



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0007847
(43) 공개일자 2016년01월21일

(51) 국제특허분류(Int. Cl.)

G09G 3/32 (2016.01)

(21) 출원번호 10-2014-0083311

(22) 출원일자 2014년07월03일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

권준영

부산 부산진구 백양관문로 10, 303동 1206호 (당
감동, 개금주공3단지아파트)

심재호

대구 수성구 옥수천로 87, 102동 102호 (신매동,
시지반도유보라)

(뒷면에 계속)

(74) 대리인

특허법인로알

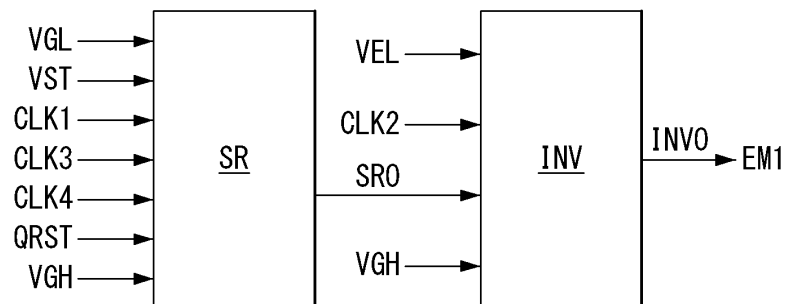
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 스캔구동부 및 이를 이용한 유기전계발광표시장치

(57) 요약

본 발명은 표시패널; 상기 표시패널에 데이터신호를 공급하는 데이터구동부; 및 상기 표시패널에 스캔신호를 공급하는 스캔구동부를 포함하고, 상기 스캔구동부는 시프트 레지스터와, 상기 시프트 레지스터의 출력단을 통해 출력된 스캔신호를 반전하여 출력하는 인버터를 포함하며, 상기 시프트 레지스터와 인버터는 게이트로우전압을 전달하는 전압라인이 분리된 것을 특징으로 하는 유기전계발광표시장치를 제공한다.

대표도 - 도9



(72) 발명자

김중철

경기 파주시 정담길 85-9, 601동 204호 (금촌동,
동문아파트)

엄은철

전북 김제시 금구면 양시로 215-7

명세서

청구범위

청구항 1

표시패널;

상기 표시패널에 데이터신호를 공급하는 데이터구동부; 및

상기 표시패널에 스캔신호를 공급하는 스캔구동부를 포함하고,

상기 스캔구동부는 시프트 레지스터와, 상기 시프트 레지스터의 출력단을 통해 출력된 스캔신호를 반전하여 출력하는 인버터를 포함하며,

상기 시프트 레지스터와 인버터는 게이트로우전압을 전달하는 전압라인이 분리된 것을 특징으로 하는 유기전계발광표시장치.

청구항 2

제1항에 있어서,

상기 시프트 레지스터는 게이트로우전압라인에 연결되고,

상기 인버터는 가변전압라인에 연결된 것을 특징으로 하는 유기전계발광표시장치.

청구항 3

제2항에 있어서,

상기 가변전압라인의 전압은

상기 표시패널의 화면이 턴온되는 시점에 대응하여 레벨이 상이한 제1전압과 제2전압으로 스위칭하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 4

제2항에 있어서,

상기 가변전압라인의 전압은

상기 표시패널의 화면이 턴온되는 시점에 대응하여 일정시간 동안 상기 제2전압으로 유지되고 상기 일정시간 이후 상기 제1전압으로 유지되도록 스위칭하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 5

제2항에 있어서,

상기 가변전압라인의 전압은

상기 표시패널의 화면이 턴온되는 시점에 대응하여 네거티브전압에서 포지티브전압으로 또는 포지티브전압에서 네거티브전압으로 스위칭하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 6

제4항에 있어서,

상기 가변전압라인의 상기 제2전압은

상기 표시패널의 서브 픽셀에 포함된 보상회로 중 유기발광다이오드의 발광을 제어하는 트랜지스터를 턴오프하는 전압인 것을 특징으로 하는 유기전계발광표시장치.

청구항 7

제2항에 있어서,

상기 가변전압라인의 전압이 가변되는 시점은

상기 표시패널의 화면을 턴온하는 고전위전원이 인가되는 시점보다 앞서거나, 상기 고전위전원이 인가되는 시점에 대응되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 8

시프트 레지스터; 및

상기 시프트 레지스터의 출력단을 통해 출력된 스캔신호를 반전하여 출력하는 인버터를 포함하며,

상기 시프트 레지스터와 인버터는 게이트로우전압을 전달하는 전압라인이 분리된 것을 특징으로 하는 스캔구동부.

청구항 9

제8항에 있어서,

상기 시프트 레지스터는 게이트로우전압라인에 연결되고,

상기 인버터는 가변전압라인에 연결된 것을 특징으로 하는 스캔구동부.

청구항 10

제9항에 있어서,

상기 가변전압라인의 전압은

레벨이 상이한 제1전압과 제2전압으로 스위칭하는 것을 특징으로 하는 스캔구동부.

발명의 설명

기술 분야

[0001] 본 발명은 스캔구동부 및 이를 이용한 유기전계발광표시장치에 관한 것이다.

배경 기술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 유기전계발광표시장치(Organic Light Emitting Display: OLED), 액정표시장치(Liquid Crystal Display: LCD) 및 플라즈마표시장치(Plasma Display Panel: PDP) 등과 같은 표시장치의 사용이 증가하고 있다.

[0003] 앞서 설명한 표시장치 중 유기전계발광표시장치에는 복수의 서브 픽셀을 포함하는 표시패널과 표시패널을 구동하는 구동부가 포함된다. 구동부에는 표시패널에 스캔신호(또는 스캔신호)를 공급하는 스캔구동부 및 표시패널에 데이터신호를 공급하는 데이터 구동부 등이 포함된다.

[0004] 유기전계발광표시장치는 매트릭스 형태로 배치된 서브 픽셀들에 스캔신호 및 데이터신호 등이 공급되면, 선택된 서브 픽셀이 발광을 하게 됨으로써 영상을 표시할 수 있게 된다.

[0005] 유기전계발광표시장치는 명암비와 색 재현율 등이 좋은 장점이 있지만, 박막 트랜지스터 등의 특성 불균일을 보상하기 위한 보상회로가 요구된다. 보상회로는 보상방식에 따라 내부 보상방식과 외부 보상방식으로 크게 나눌 수 있다. 내부보상 방식은 서브 픽셀의 내부에 보상회로가 구현되고 외부보상 방식은 서브 픽셀의 외부에 보상회로가 구현된다.

[0006] 그런데, 유기전계발광표시장치를 내부 보상방식으로 구현할 경우 예상치 못한 문제점이 나타날 수 있는바 이를 고려하여 표시패널이나 구동회로를 설계해야 한다.

발명의 내용

해결하려는 과제

- [0007] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 표시패널의 서브 픽셀 내에 내부 보상회로를 구현할 때 서브 픽셀 내의 보상회로가 비정상적으로 동작하지 않도록 오프전압을 안정적으로 출력하는 것이다. 또한, 본 발명은 표시패널의 서브 픽셀 내에 내부 보상회로를 구현할 때 예상치 못한 화면 깜빡임(또는 순간적으로 휘도가 밝아지는 현상)을 억제 또는 개선하는 것이다.

과제의 해결 수단

- [0008] 상술한 과제 해결 수단으로 본 발명은 표시패널; 상기 표시패널에 데이터신호를 공급하는 데이터구동부; 및 상기 표시패널에 스캔신호를 공급하는 스캔구동부를 포함하고, 상기 스캔구동부는 시프트 레지스터와, 상기 시프트 레지스터의 출력단을 통해 출력된 스캔신호를 반전하여 출력하는 인버터를 포함하며, 상기 시프트 레지스터와 인버터는 게이트로우전압을 전달하는 전압라인이 분리된 것을 특징으로 하는 유기전계발광표시장치를 제공한다.
- [0009] 상기 시프트 레지스터는 게이트로우전압라인에 연결되고, 상기 인버터는 가변전압라인에 연결될 수 있다.
- [0010] 상기 가변전압라인의 전압은 상기 표시패널의 화면이 턴온되는 시점에 대응하여 레벨이 상이한 제1전압과 제2전압으로 스위칭할 수 있다.
- [0011] 상기 가변전압라인의 전압은 상기 표시패널의 화면이 턴온되는 시점에 대응하여 일정시간 동안 상기 제2전압으로 유지되고 상기 일정시간 이후 상기 제1전압으로 유지되도록 스위칭할 수 있다.
- [0012] 상기 가변전압라인의 전압은 상기 표시패널의 화면이 턴온되는 시점에 대응하여 네거티브전압에서 포지티브전압으로 또는 포지티브전압에서 네거티브전압으로 스위칭할 수 있다.
- [0013] 상기 가변전압라인의 상기 제2전압은 상기 표시패널의 서브 픽셀에 포함된 보상회로 중 유기발광다이오드의 발광을 제어하는 트랜지스터를 턴오프하는 전압일 수 있다.
- [0014] 상기 가변전압라인의 전압이 가변되는 시점은 상기 표시패널의 화면을 턴온하는 고전위전원이 인가되는 시점보다 앞서거나, 상기 고전위전원이 인가되는 시점에 대응될 수 있다.
- [0015] 다른 측면에서 본 발명은 시프트 레지스터; 및 상기 시프트 레지스터의 출력단을 통해 출력된 스캔신호를 반전하여 출력하는 인버터를 포함하며, 상기 시프트 레지스터와 인버터는 게이트로우전압을 전달하는 전압라인이 분리된 것을 특징으로 하는 스캔구동부를 제공한다.
- [0016] 시프트 레지스터는 게이트로우전압라인에 연결되고, 상기 인버터는 가변전압라인에 연결될 수 있다.
- [0017] 상기 가변전압라인의 전압은 레벨이 상이한 제1전압과 제2전압으로 스위칭할 수 있다.

발명의 효과

- [0018] 본 발명은 화면을 턴온할 때 잔여 전하에 의해 서브 픽셀 내의 보상회로가 비정상적으로 동작하지 않도록 오프전압을 안정적으로 출력할 수 있는 효과가 있다. 또한, 본 발명은 오프전압을 안정적으로 출력하여 화면을 턴온할 때 순간적으로 화면 깜빡임(또는 순간적으로 휘도가 밝아지는 현상)을 억제 또는 개선할 수 있는 효과가 있다.

도면의 간단한 설명

- [0019] 도 1은 유기전계발광표시장치를 개략적으로 나타낸 블록도.
- 도 2는 도 1에 도시된 서브 픽셀을 개략적으로 나타낸 구성도.
- 도 3은 도 1에 도시된 표시패널의 평면을 개략적으로 나타낸 도면.
- 도 4는 내부보상 방식의 보상회로가 포함된 서브 픽셀의 회로 구성예시도.
- 도 5는 실험예에 따른 스캔구동부의 일부를 나타낸 블록도.

- 도 6은 도 5에 도시된 스캔구동부의 입출력 파형 예시도.
- 도 7은 실험예의 문제를 설명하기 위한 파워온 시퀀스 파형 예시도.
- 도 8은 실험예의 화면 깜빡임 발생원리에 대한 부연 설명을 위한 파형도.
- 도 9는 본 발명의 실시예에 따른 스캔구동부의 일부를 나타낸 블록도.
- 도 10은 도 9에 도시된 시프트 레지스터와 인터버의 회로 구성 예시도.
- 도 11은 도 9에 도시된 스캔구동부의 입출력 파형 예시도.
- 도 12는 실시예의 파워온 시퀀스를 설명하기 위한 제1파형 예시도.
- 도 13은 실시예의 파워온 시퀀스를 설명하기 위한 제2파형 예시도.
- 도 14는 본 발명의 실시예에 적용할 수 있는 서브 픽셀의 변형 예시도.

발명을 실시하기 위한 구체적인 내용

- [0020] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0021] 도 1은 유기전계발광표시장치를 개략적으로 나타낸 블록도이고, 도 2는 도 1에 도시된 서브 픽셀을 개략적으로 나타낸 구성도이며, 도 3은 도 1에 도시된 표시패널의 평면을 개략적으로 나타낸 도면이다.
- [0022] 도 1에 도시된 바와 같이, 유기전계발광표시장치에는 영상공급부(110), 타이밍제어부(120), 스캔구동부(130), 데이터구동부(140) 및 표시패널(150)이 포함된다.
- [0023] 영상공급부(110)는 데이터신호를 영상처리하고 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호 및 클럭신호 등과 함께 출력한다. 영상공급부(110)는 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호, 클럭신호 및 데이터신호 등을 타이밍제어부(120)에 공급한다.
- [0024] 타이밍제어부(120)는 영상공급부(110)로부터 데이터신호 등을 공급받고, 스캔구동부(130)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터구동부(140)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다. 타이밍제어부(120)는 데이터 타이밍 제어신호(DDC)와 함께 데이터신호(DATA)를 데이터구동부(140)에 공급한다.
- [0025] 스캔구동부(130)는 타이밍제어부(120)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 게이트전압의 레벨을 시프트시키면서 스캔신호를 출력한다. 스캔구동부(130)에는 레벨 시프터와 시프트 레지스터가 포함된다. 스캔구동부(130)는 스캔라인들(GL1 ~ GLm)을 통해 표시패널(150)에 포함된 서브 픽셀들(SP)에 스캔신호를 공급한다. 스캔구동부(130)는 표시패널(150)에 게이트인패널(Gate In Panel) 방식으로 형성된다. 스캔구동부(130)에서 게이트인패널 방식으로 형성되는 부분은 시프트 레지스터이다.
- [0026] 데이터구동부(140)은 타이밍제어부(120)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 데이터신호(DATA)를 샘플링하고 래치하며 감마 기준전압에 대응하여 아날로그신호를 디지털신호로 변환하여 출력한다. 데이터구동부(140)은 데이터라인들(DL1 ~ DLn)을 통해 표시패널(150)에 포함된 서브 픽셀들(SP)에 데이터신호(DATA)를 공급한다. 데이터구동부(140)은 집적회로(Integrated Circuit; IC) 형태로 형성된다.
- [0027] 표시패널(150)은 스캔구동부(130)로부터 공급된 스캔신호와 데이터구동부(140)로부터 공급된 데이터신호(DATA)에 대응하여 영상을 표시한다. 표시패널(150)은 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 또는 양면발광(Dual-Emission) 방식으로 구현된다. 표시패널(150)에는 영상을 표시하기 위해 자체적으로 빛을 발광하는 서브 픽셀들(SP)이 포함된다.
- [0028] 도 2에 도시된 바와 같이, 하나의 서브 픽셀에는 스캔라인(GL1)과 데이터라인(DL1)에 연결(또는 교차부에 형성된)된 스위칭 트랜지스터(SW)와 스위칭 트랜지스터(SW)를 통해 공급된 데이터신호(DATA)에 대응하여 동작하는 픽셀회로(PC)가 포함된다. 픽셀회로(PC)에는 구동 트랜지스터, 스토리지 커패시터, 유기 발광다이오드와 같은 회로와 이를 보상하기 위한 보상회로가 포함된다. 보상회로와 관련된 설명은 이하에서 다룬다.
- [0029] 도 3에 도시된 바와 같이, 표시패널(150)에는 표시영역(AA), 스캔구동부(130a, 130b), 데이터구동부(140) 및 신호패드들(160)이 형성된다. 도 1을 참조하여 설명한 영상공급부(110) 및 타이밍제어부(120)는 외부기판에 형성되므로 이는 미도시한 상태이다.

- [0030] 표시영역(AA)에는 서브 픽셀들(SP)이 포함된다. 그리고 표시영역(AA)을 제외한 외부 영역에는 비표시영역(NAx, NAy1, NAy2)이 되는 베젤(Bezel) 영역이 정의된다. 제1 및 제2비표시영역(NAy1, NAy2)은 측면 베젤 영역으로 정의되고, 제3비표시영역(NAx)은 하부 베젤 영역(이는 보는 방향에 따라 상부 베젤 영역으로 정의되기도 하나 본 발명에서는 하부 베젤 영역으로 함)으로 정의된다.
- [0031] 스캔구동부(130a, 130b)는 표시패널(150)의 측면 베젤 영역에 형성되거나 외부기판 상에 형성된다. 스캔구동부(130a, 130b)가 게이트인패널(Gate In Panel) 방식으로 형성된 경우, 이는 도면과 같이 표시영역(AA)의 좌측 및 우측이 되는 제1 및 제2비표시영역(NAy1, NAy2)에 형성된다. 이때, 스캔구동부(130a, 130b)는 표시패널(150)의 해상도나 크기에 따라 제1 및 제2비표시영역(NAy1, NAy2)에 형성되거나 이들 중 하나의 비표시영역(NAy1 또는 NAy2)에만 형성될 수 있다.
- [0032] 신호패드들(160)은 표시패널(150)의 최 외곽에 형성된다. 신호패드들(160)은 다수의 패드들로 구성되며, 이는 표시패널(150)의 해상도나 크기에 따라 제3비표시영역(NAx)에 위치하는 최 외곽의 한 부분에 형성되거나 제1 및 제2비표시영역(NAy1, NAy2)에 위치하는 최 외곽의 한 부분에 형성될 수 있다.
- [0033] 통상 타이밍제어부(120)는 물론 전원공급부 등은 외부기판(예컨대, 인쇄회로기판) 상에 집적회로 형태로 실장된다. 따라서, 신호패드들(160)은 타이밍제어부(120) 등이 형성된 외부기판과 연결되는 부분이 되며, 외부기판으로부터 출력되는 각종 신호나 전원을 표시패널(150)에 전달 및 공급하는 역할을 하게 된다.
- [0034] 데이터구동부(140)는 표시패널(150)에 형성된 신호패드들(160)과 표시영역(AA) 사이에 위치하는 제3비표시영역(NAx)에 형성될 수 있다. 이 경우, 데이터구동부(140)는 집적회로 형태로 구성되어 표시패널(150)에 형성된 범프패드들 상에 실장된다. 그러나, 표시패널(150)의 해상도나 크기가 큰 경우, 데이터구동부(140)는 제3비표시영역(NAx)에 형성되지 아니하고 외부기판 상에 실장된다.
- [0035] 한편, 앞서 설명된 유기전계발광표시장치는 명암비와 색 재현율 등이 좋은 장점이 있지만, 박막 형태로 형성되는 트랜지스터 등의 특성 불균일을 보상하기 위한 보상회로가 요구된다. 보상회로는 보상방식에 따라 내부 보상 방식과 외부 보상방식으로 크게 나눌 수 있다. 내부보상 방식은 서브 픽셀의 내부에 보상회로가 구현되고 외부 보상 방식은 서브 픽셀의 외부에 보상회로가 구현된다.
- [0036] 그런데, 유기전계발광표시장치를 내부 보상방식으로 구현할 경우 예상치 못한 문제점이 나타날 수 있는바 이를 고려하여 표시패널이나 구동회로를 설계해야 한다.
- [0037] 이하, 내부보상 방식의 보상회로가 포함된 유기전계발광표시장치 구현시, 실험예를 기반으로 이의 신뢰성과 표시품질을 향상하기 위한 실시예를 설명한다.
- [0038] -실험예-
- [0039] 도 4는 내부보상 방식의 보상회로가 포함된 서브 픽셀의 회로 구성예시도이고, 도 5는 실험예에 따른 스캔구동부의 일부를 나타낸 블록도이며, 도 6은 도 5에 도시된 스캔구동부의 입출력 파형 예시도이고, 도 7은 실험예의 문제를 설명하기 위한 파워온 시퀀스 파형 예시도이고, 도 8은 실험예의 화면 깜빡임 발생원리에 대한 부연 설명을 위한 파형도이다.
- [0040] 도 4에 도시된 바와 같이, 실험예의 서브 픽셀에는 기본 회로인 제1스위칭 트랜지스터(SW1), 구동 트랜지스터(DT), 스토리지 커패시터(Cst) 및 유기 발광다이오드(OLED)가 포함된다. 그리고 실험예의 서브 픽셀에는 내부보상 방식의 보상회로인 제2 내지 제5스위칭 트랜지스터(SW2 ~ SW5)가 더 포함된다.
- [0041] 내부보상회로에 포함된 제2 내지 제5스위칭 트랜지스터(SW2 ~ SW5)의 구성, 접속관계 및 역할을 간략히 설명하면 다음과 같다.
- [0042] 제2스위칭 트랜지스터(SW2)는 제1스위칭 트랜지스터(SW1)와 스토리지 커패시터(Cst)가 연결된 노드에 참조전압을 공급하는 역할을 한다. 제3스위칭 트랜지스터(SW3)는 구동 트랜지스터(DT)의 문턱전압 센싱을 돕기 위해 구동 트랜지스터(DT)를 다이오드 커넥션으로 형성하는 역할을 한다. 제4스위칭 트랜지스터(SW4)는 유기 발광다이오드(OLED)의 발광을 제어하는 역할을 한다. 제5스위칭 트랜지스터(SW5)는 유기 발광다이오드(OLED)의 애노드전극의 노드(A)에 초기화전압을 공급하는 역할을 한다.
- [0043] 도 5에 도시된 바와 같이, 실험예의 스캔구동부에는 시프트 레지스터(SR)와 인버터(INV)가 포함된다. 도 5의 스캔구동부는 제2 및 제4스위칭 트랜지스터(SW2, SW4)의 게이트전극을 제어하는 제어신호를 출력하는 역할을 한다.

- [0044] 시프트 레지스터(SR)는 게이트로우전압라인(VGL), 스타트신호라인(VST), 제1, 3 및 4클록신호라인(CLK1, CLK3, CLK4), 리셋신호라인(QRST), 게이트하이전압라인(VGH)을 통해 공급되는 신호 또는 전압을 기반으로 동작한다.
- [0045] 시프트 레지스터(SR)는 게이트로우전압라인(VGL), 스타트신호라인(VST), 제1, 3 및 4클록신호라인(CLK1, CLK3, CLK4), 리셋신호라인(QRST), 게이트하이전압라인(VGH)을 통해 공급되는 신호 또는 전압을 기반으로 자신의 출력단(SRO)을 통해 로직하이 또는 로직로우에 해당하는 신호를 출력한다.
- [0046] 인버터(INV)는 게이트로우전압라인(VGL), 시프트 레지스터의 출력단(SRO), 제2클록신호라인(CLK2) 및 게이트하이전압라인(VGH)을 통해 공급되는 신호 또는 전압을 기반으로 동작한다.
- [0047] 인버터(INV)는 게이트로우전압라인(VGL), 시프트 레지스터의 출력단(SRO), 제2클록신호라인(CLK2) 및 게이트하이전압라인(VGH)을 통해 공급되는 신호 또는 전압을 기반으로 자신의 출력단(INVO)을 통해 로직하이 또는 로직로우에 해당하는 신호를 출력한다.
- [0048] 도 6에 도시된 바와 같이, 실험예의 스캔구동부는 시프트 레지스터의 출력단(SRO)으로부터 로직하이의 신호가 출력되면 이를 로직로우의 신호로 반전하여 출력한다. 반대로, 실험예의 스캔구동부는 시프트 레지스터의 출력단(SRO)으로부터 로직로우의 신호가 출력되면 인버터(INV)가 이를 로직하이의 신호로 반전하여 출력한다. 이때, 실험예의 스캔구동부는 도 6의 파형을 통해 알 수 있듯이, 로직하이의 신호를 출력한 이후 장시간 동안 로직로우의 신호를 유지하게 된다.
- [0049] 도 4 내지 도 6에 도시된 바와 같이 인버터의 출력단(INVO)은 서브 픽셀의 제어신호라인(EM1)에 연결된다. 그리고 인버터의 출력단(INVO)을 통해 출력된 제어신호에 대응하여 서브 픽셀의 내부보상회로에 포함된 제2 및 제4 스위칭 트랜지스터(SW2, SW4)는 턴온 또는 턴오프된다.
- [0050] 서브 픽셀은 실험예의 스캔구동부의 인버터의 출력단(INVO)으로부터 로직하이의 신호가 출력될 때에만 발광을 제어하는 제4스위칭 트랜지스터(SW4)가 턴온됨에 따라 빛을 발광하게 된다. 서브 픽셀은 도 6과 같이 실험예의 스캔구동부의 인버터의 출력단(INVO)으로부터 로직하이의 신호가 출력될 때에만 빛을 발광하게 되어 있다.
- [0051] 한편, 유기전계발광표시장치는 스마트폰이나 핸드폰 등으로 구현될 수 있다. 이러한 스마트폰이나 핸드폰 등은 사용자의 입력이 없을 경우 일정 시간 이후 화면이 턴오프되도록 설정된다. 이때, 사용자가 스마트폰이나 핸드폰을 사용하기 위해서는 화면을 턴온하는 버튼(예: 전원버튼)을 눌러야 한다.
- [0052] 그런데, 실험예의 구조는 도 7의 파워온 시퀀스와 같이 화면을 턴온하는 버튼(예: 전원버튼)을 누르면(버튼을 누른 시점은 PO입), 고전위전원라인(ELVDD)의 고전위전원이 인가된 이후 화면 깜빡임(또는 순간적으로 휘도가 밝아지는 현상)이 나타났다. 이때, 실험예의 스캔구동부는 인버터의 출력단(INVO)을 통해 게이트로우전압을 출력하고 있는 상태이다. 그리고 실험예의 스캔구동부는 고전위전원이 인가되고 일정시간이 지난 후(스캔구동부의 정상화 이후) 정상적인 제어신호를 출력하게 된다.
- [0053] 도 8에 도시된 바와 같이, 고전위전원라인(ELVDD)을 통해 공급되는 고전위전원이 인가된 이후 유기 발광다이오드(OLED)의 애노드전압이 유기 발광다이오드의 턴온 전압(OLED On 전압)을 넘어설 경우 이는 불량으로 간주 된다.
- [0054] 실험예의 구조에 위와 같은 화면 깜빡임 현상이 나타나는 이유를 분석한 결과 서브 픽셀 내의 잔여 전하에 의해 보상회로 내의 트랜지스터(예: SW2, SW4)가 비정상 동작을 하기 때문인 것으로 검토되었다. 잔여 전하는 시간 경과에 대응하여 서브 픽셀의 다양한 노드에 분배되는데, 실험예의 구조는 고전위전원이 인가된 이후 보상회로 내의 트랜지스터가 턴온됨에 따라 유기 발광다이오드(OLED)로 전류가 유입되는 문제가 작용하는 것으로 검토되었다. 또한, 실험예의 구조는 화면을 턴온하는 버튼의 턴온/턴오프 동작을 반복할수록 보상회로 등에 잔여 전하가 축적됨에 따라 화면 깜빡임이 심화되는 것으로 나타났다.
- [0055] -실시예-
- [0056] 도 9는 본 발명의 실시예에 따른 스캔구동부의 일부를 나타낸 블록도이며, 도 10은 도 9에 도시된 시프트 레지스터와 인터버의 회로 구성 예시도이며, 도 11은 도 9에 도시된 스캔구동부의 입출력 파형 예시도이고, 도 12는 실시예의 파워온 시퀀스를 설명하기 위한 제1파형 예시도이고, 도 13은 실시예의 파워온 시퀀스를 설명하기 위한 제2파형 예시도이며, 도 14는 본 발명의 실시예에 적용할 수 있는 서브 픽셀의 변형 예시도이다.
- [0057] 실시예의 서브 픽셀 또한 도 4와 같이 기본 회로인 제1스위칭 트랜지스터(SW1), 구동 트랜지스터(DT), 스토리지 커패시터(Cst) 및 유기 발광다이오드(OLED)가 포함된다. 그리고 실시예의 서브 픽셀 또한 내부보상 방식의 보상

회로인 제2 내지 제5스위칭 트랜지스터(SW2 ~ SW5)가 더 포함된다.

- [0058] 기본 회로에 포함된 제1스위칭 트랜지스터(SW1), 스토리지 커패시터(Cst), 구동 트랜지스터(DT) 및 유기 발광다이오드(OLED)에 대해 설명하면 다음과 같다.
- [0059] 제1스위칭 트랜지스터(SW1)는 제1스캔라인(SCAN1)에 게이트전극이 연결되고 제1데이터라인(DL1)에 제1전극이 연결되고 스토리지 커패시터(Cst)의 일단에 제2전극이 연결된다. 제1스위칭 트랜지스터(SW1)는 제1스캔신호에 대응하여 데이터신호를 스토리지 커패시터(Cst)에 전달하는 역할을 한다.
- [0060] 스토리지 커패시터(Cst)는 제1스위칭 트랜지스터(SW1)의 제2전극에 일단이 연결되고 구동 트랜지스터(DT)의 게이트전극에 타단이 연결된다. 스토리지 커패시터(Cst)는 데이터신호를 데이터전압으로 저장하는 역할을 한다.
- [0061] 구동 트랜지스터(DT)는 스토리지 커패시터(Cst)의 타단에 게이트전극이 연결되고 고전위전원라인(ELVDD)에 제1전극이 연결되고 제4스위칭 트랜지스터(SW4)의 제1전극에 제2저극이 연결된다. 구동 트랜지스터(DT)는 스토리지 커패시터(Cst)에 저장된 데이터전압에 대응하여 구동 전류를 흘려주는 역할을 한다.
- [0062] 유기 발광다이오드(OLED)는 노드(A)에 애노드전극이 연결되고 저전위전원라인(ELVSS)에 캐소드전극이 연결된다. 유기 발광다이오드(OLED)는 구동 전류에 대응하여 빛을 발광하는 역할을 한다.
- [0063] 내부부상회로에 포함된 제2 내지 제5스위칭 트랜지스터(SW2 ~ SW5)의 구성, 접속관계 및 역할을 간략히 설명하면 다음과 같다.
- [0064] 제2스위칭 트랜지스터(SW2)는 제2스캔라인(EM1)에 게이트전극이 연결되고 참조전압라인(VREF)에 제1전극이 연결되고 제1스위칭 트랜지스터(SW1)와 스토리지 커패시터(Cst)의 사이에 제2전극이 연결된다. 제2트랜지스터(SW2)는 제1스위칭 트랜지스터(SW1)와 스토리지 커패시터(Cst)가 연결된 노드에 참조전압을 공급하는 역할을 한다.
- [0065] 제3스위칭 트랜지스터(SW3)는 제1스캔라인(SCAN1)에 게이트전극이 연결되고 스토리지 커패시터(Cst)와 구동 트랜지스터(DT)의 게이트전극 사이에 제1전극이 연결되고 구동 트랜지스터(DT)의 제2전극에 제2전극이 연결된다. 제3스위칭 트랜지스터(SW3)는 제1스캔신호에 대응하여 구동 트랜지스터(DT)의 문턱전압 센싱을 돕기 위해 구동 트랜지스터(DT)를 다이오드 커백션으로 형성하는 역할을 한다.
- [0066] 제4스위칭 트랜지스터(SW4)는 제2스캔라인(EM1)에 게이트전극이 연결되고 구동 트랜지스터(DT)의 제2전극에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극 노드(A)에 제2전극이 연결된다. 제4스위칭 트랜지스터(SW4)는 제2스캔신호에 대응하여 유기 발광다이오드(OLED)의 발광을 제어하는 역할을 한다.
- [0067] 제5스위칭 트랜지스터(SW5)는 제1스캔라인(SCAN1)에 게이트전극이 연결되고 참조전압라인(VREF)에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극의 노드(A)에 제2전극이 연결된다. 제5스위칭 트랜지스터(SW5)는 제1스캔신호에 대응하여 유기 발광다이오드(OLED)의 애노드전극의 노드(A)에 초기화전압을 공급하는 역할을 한다.
- [0068] 도 9에 도시된 바와 같이, 실시예의 스캔구동부에는 시프트 레지스터(SR)와 인버터(INV)가 포함된다. 도 9의 스캔구동부는 제2 및 제4스위칭 트랜지스터(SW2, SW4)의 게이트전극을 제어하는 제2스캔신호(이하 제어신호로 기재함)를 출력하는 역할을 한다. 다만, 제1, 제3 및 제5트랜지스터(SW1, SW3, SW5)의 게이트전극을 제어하는 제1스캔신호를 출력하는 스캔구동부는 일반적인 구성에 해당하므로 생략한다.
- [0069] 시프트 레지스터(SR)는 게이트로우전압라인(VGL), 스타트신호라인(VST), 제1, 3 및 4클록신호라인(CLK1, CLK3, CLK4), 리셋신호라인(QRST), 게이트하이전압라인(VGH)을 통해 공급되는 신호 또는 전압을 기반으로 동작한다.
- [0070] 시프트 레지스터(SR)는 게이트로우전압라인(VGL), 스타트신호라인(VST), 제1, 3 및 4클록신호라인(CLK1, CLK3, CLK4), 리셋신호라인(QRST), 게이트하이전압라인(VGH)을 통해 공급되는 신호 또는 전압을 기반으로 자신의 출력단(SRO)을 통해 로직하이 또는 로직로우에 해당하는 신호를 출력한다.
- [0071] 인버터(INV)는 가변전압라인(VEL), 시프트 레지스터의 출력단(SRO), 제2클록신호라인(CLK2) 및 게이트하이전압라인(VGH)을 통해 공급되는 신호 또는 전압을 기반으로 동작한다.
- [0072] 인버터(INV)는 가변전압라인(VEL), 시프트 레지스터의 출력단(SRO), 제2클록신호라인(CLK2) 및 게이트하이전압라인(VGH)을 통해 공급되는 신호 또는 전압을 기반으로 자신의 출력단(INVO)을 통해 로직하이 또는 로직로우에 해당하는 신호를 출력한다.
- [0073] 실시예의 스캔구동부는 실험에 대비 인버터(INV)에 연결된 가변전압라인(VEL)에 차이점이 있다. 가변전압라인

(VEL)은 파워온 시퀀스의 변화에 대응하여 전압의 로직 상태를 로직하이에서 로직로우 또는 로직로우에서 로직하이로 가변한다. 이하, 실시예의 스캔구동부의 회로 구성을 구체화하고 이에 대해 설명한다.

- [0074] 도 10에 도시된 바와 같이, 실시예의 스캔구동부에 포함된 시프트 레지스터(SR)와 인버터(INV)는 트랜지스터와 커패시터로 구현된다.
- [0075] 시프트 레지스터(SR)에는 제1회로부(T1, T2, Tbva, Tbv, Tbv, Tbv, Tbv, T4a, T4b, CB), 제2회로부(Tqrsta, Tqrstb, T3a, T3b, T5a, T5b, T8a, T8b) 및 제3회로부(T6, T7)가 포함된다.
- [0076] 제1회로부(T1, T2, Tbva, Tbv, Tbv, Tbv, Tbv, T4a, T4b, CB)에는 제1트랜지스터(T1), 제2트랜지스터(T2), 제Tbva트랜지스터(Tbva), 제Tbv트랜지스터(Tbv), 제Tbv트랜지스터(Tbv), 제Tbv트랜지스터(Tbv), 제T4a트랜지스터(T4a), 제T4b트랜지스터(T4b) 및 제1커패시터(CB)가 포함된다.
- [0077] 제1트랜지스터(T1)는 스타트신호라인(VST)에 게이트전극이 연결되고 게이트로우전압라인(VGL)에 제1전극이 연결되고 제2트랜지스터(T2)의 제1전극에 제2전극이 연결된다. 제1트랜지스터(T1)는 스타트신호에 대응하여 게이트로우전압을 제2트랜지스터(T2)의 제1전극에 전달하는 역할을 한다.
- [0078] 제2트랜지스터(T2)는 제4클록신호라인(CLK4)에 게이트전극이 연결되고 제1트랜지스터(T1)의 제2전극에 제1전극이 연결되고 제Tbva트랜지스터(Tbva)의 제1전극에 제2전극이 연결된다. 제2트랜지스터(T2)는 제4클록신호에 대응하여 게이트로우전압을 제Tbva트랜지스터(Tbva)의 제1전극에 전달하는 역할을 한다.
- [0079] 제Tbva트랜지스터(Tbva)는 게이트로우전압라인(VGL)에 게이트전극이 연결되고 제2트랜지스터(T2)의 제2전극에 제1전극이 연결되고 Q노드(Q)에 제2전극이 연결된다. 제Tbva트랜지스터(Tbva)는 게이트로우전압에 대응하여 Q노드(Q)를 게이트로우전압으로 방전하는 역할을 한다.
- [0080] 제Tbv트랜지스터(Tbv)는 게이트로우전압라인(VGL)에 게이트전극이 연결되고 제Tqrsta트랜지스터(Tqrsta)의 제2전극에 제1전극이 연결되고 Q노드(Q)에 제2전극이 연결된다. 제Tbv트랜지스터(Tbv)는 게이트로우전압에 대응하여 Q노드(Q)를 고전위전압으로 충전하는 역할을 한다.
- [0081] 제Tbv트랜지스터(Tbv)는 게이트로우전압라인(VGL)에 게이트전극이 연결되고 제T3a트랜지스터(T3a)의 제2전극에 제1전극이 연결되고 Q노드(Q)에 제2전극이 연결된다. 제Tbv트랜지스터(Tbv)는 게이트로우전압에 대응하여 Q노드(Q)를 고전위전압으로 충전하는 역할을 한다.
- [0082] 제Tbv트랜지스터(Tbv)는 게이트로우전압라인(VGL)에 게이트전극이 연결되고 제T8a트랜지스터(T8a)의 제2전극에 제1전극이 연결되고 Q노드(Q)에 제2전극이 연결된다. 제Tbv트랜지스터(Tbv)는 게이트로우전압에 대응하여 제T8a 및 T8b트랜지스터(T8a, T8b)를 제어하는 역할을 한다.
- [0083] 제T4a트랜지스터(T4a)는 제3클록신호라인(CLK3)에 게이트전극이 연결되고 게이트로우전압라인(VGL)에 제1전극이 연결되고 제T4b트랜지스터(T4b)의 제1전극에 제2전극이 연결된다. 제T4a트랜지스터(T4a)는 제3클록신호에 대응하여 제T4b트랜지스터(T4b)에 게이트로우전압을 전달하는 역할을 한다.
- [0084] 제T4b트랜지스터(T4b)는 제3클록신호라인(CLK3)에 게이트전극이 연결되고 제T4a트랜지스터(T4a)의 제2전극에 제1전극이 연결되고 QB노드(QB)에 제2전극이 연결된다. 제T4b트랜지스터(T4b)는 제3클록신호에 대응하여 제T4a트랜지스터(T4a)와 함께 QB노드(QB)를 게이트로우전압으로 방전하는 역할을 한다.
- [0085] 제1커패시터(CB)는 Q노드(Q)에 일단이 연결되고 시프트 레지스터의 출력단(SRO)에 타단이 연결된다. 제1커패시터(CB)는 Q노드(Q)의 전압에 대응하여 시프트 레지스터의 출력단(SRO)의 출력을 부트 스트래핑하는 역할을 한다.
- [0086] 제2회로부(Tqrsta, Tqrstb, T3a, T3b, T5a, T5b, T8a, T8b)에는 제Tqrsta트랜지스터(Tqrsta), 제Tqrstb트랜지스터(Tqrstb), 제T3a트랜지스터(T3a), 제T3b트랜지스터(T3b), 제T5a트랜지스터(T5a), 제T5b트랜지스터(T5b), 제T8a트랜지스터(T8a) 및 제T8b트랜지스터(T8b)가 포함된다.
- [0087] 제Tqrsta트랜지스터(Tqrsta)는 리셋신호라인(QRST)에 게이트전극이 연결되고 제Tqrstb트랜지스터(Tqrstb)의 제2전극에 제1전극이 연결되고 제Tbv트랜지스터(Tbv)의 제1전극에 제2전극이 연결된다. 제Tqrsta트랜지스터(Tqrsta)는 리셋신호에 대응하여 제Tqrstb트랜지스터(Tqrstb)와 함께 게이트하이전압을 제Tbv트랜지스터(Tbv)에 전달하는 역할을 한다.
- [0088] 제Tqrstb트랜지스터(Tqrstb)는 리셋신호라인(QRST)에 게이트전극이 연결되고 게이트하이전압라인(VGH)에 제1전

극이 연결되고 제Tqrsta트랜지스터(Tqrsta)의 제1전극에 제2전극이 연결된다. 제Tqrstb트랜지스터(Tqrstb)는 리셋신호에 대응하여 게이트하이전압을 제Tqrsta트랜지스터(Tqrsta)에 전달하는 역할을 한다.

[0089] 제T3a트랜지스터(T3a)는 QB노드(QB)에 게이트전극이 연결되고 제T3b트랜지스터(T3b)의 제2전극에 제1전극이 연결되고 제Tbvc트랜지스터(Tbvc)의 제1전극에 제2전극이 연결된다. 제T3a트랜지스터(T3a)는 QB노드(QB)의 전위에 대응하여 제T3b트랜지스터(T3b)와 함께 게이트하이전압을 제Tbvc트랜지스터(Tbvc)에 전달하는 역할을 한다.

[0090] 제T3b트랜지스터(T3b)는 QB노드(QB)에 게이트전극이 연결되고 고전위전압라인(VGH)에 제1전극이 연결되고 제T3a트랜지스터(T3a)의 제1전극에 제2전극이 연결된다. 제T3b트랜지스터(T3b)는 QB노드(QB)의 전위에 대응하여 게이트하이전압을 제T3a트랜지스터(T3a)에 전달하는 역할을 한다.

[0091] 제T5a트랜지스터(T5a)는 스타트신호라인(VST)에 게이트전극이 연결되고 제T5b트랜지스터(T5b)의 제2전극에 제1전극이 연결되고 QB노드(QB)에 제2전극이 연결된다. 제T5a트랜지스터(T5a)는 스타트신호에 대응하여 제T5b트랜지스터(T5b)와 함께 QB노드(QB)를 게이트하이전압으로 충전하는 역할을 한다.

[0092] 제T5b트랜지스터(T5b)는 스타트신호라인(VST)에 게이트전극이 연결되고 게이트하이전압라인(VGH)에 제1전극이 연결되고 제T5a트랜지스터(T5a)의 제1전극에 제2전극이 연결된다. 제T5b트랜지스터(T5b)는 스타트신호에 대응하여 게이트하이전압을 제T5a트랜지스터(T5a)에 전달하는 역할을 한다.

[0093] 제T8a트랜지스터(T8a)는 제Tbvd트랜지스터(Tbvd)의 제1전극에 게이트전극이 연결되고 제T8b트랜지스터(T8b)의 제2전극에 제1전극이 연결되고 QB노드(QB)에 제2전극이 연결된다. 제T8a트랜지스터(T8a)는 제Tbvd트랜지스터(Tbvd)의 전위에 대응하여 제T8b트랜지스터(T8b)와 함께 QB노드(QB)를 게이트하이전압으로 충전하는 역할을 한다.

[0094] 제T8b트랜지스터(T8b)는 제Tbvd트랜지스터(Tbvd)의 제1전극에 게이트전극이 연결되고 게이트하이전압라인(VGH)에 제1전극이 연결되고 제T8a트랜지스터(T8a)의 제1전극에 제2전극이 연결된다. 제T8b트랜지스터(T8b)는 제Tbvd트랜지스터(Tbvd)의 전위에 대응하여 게이트하이전압을 제T8a트랜지스터(T8a)에 전달하는 역할을 한다.

[0095] 제3회로부(T6, T7)에는 제T6트랜지스터(T6) 및 제T7트랜지스터(T7)가 포함된다.

[0096] 제T6트랜지스터(T6)는 Q노드(Q)에 게이트전극이 연결되고 제1클록신호라인(CLK1)에 제1전극이 연결되고 시프트 레지스터의 출력단(SRO)에 제2전극이 연결된다. 제T6트랜지스터(T6)는 Q노드(Q)의 전위에 대응하여 제1클록신호를 시프트 레지스터의 출력단(SRO)에 출력하는 역할을 한다.

[0097] 제T7트랜지스터(T7)는 QB노드(QB)에 게이트전극이 연결되고 게이트하이전압라인(VGH)에 제1전극이 연결되고 시프트 레지스터의 출력단(SRO)에 제2전극이 연결된다. 제T7트랜지스터(T7)는 QB노드(QB)의 전위에 대응하여 게이트하이전압을 시프트 레지스터의 출력단(SRO)에 출력하는 역할을 한다.

[0098] 인버터(INV)에는 제4회로부(T16a, T16b, T15, T14, T13, T11, T12a, T13b)가 포함된다.

[0099] 제4회로부(T16a, T16b, T15, T14, T13, T11, T12a, T13b)에는 제T16a트랜지스터(T16a), 제T16b트랜지스터(T16b), 제T15트랜지스터(T15), 제T14트랜지스터(T14), 제T13트랜지스터(T13), 제T11트랜지스터(T11), 제T12a트랜지스터(T12a) 및 제T13b트랜지스터(T13b)가 포함된다.

[0100] 제T16a트랜지스터(T16a)는 시프트 레지스터의 출력단(SRO)에 게이트전극이 연결되고 제T16b트랜지스터(T16b)의 제2전극에 제1전극이 연결되고 제1노드(IN1)에 제2전극이 연결된다. 제T16a트랜지스터(T16a)는 시프트 레지스터의 출력단(SRO)의 전위에 대응하여 제T16b트랜지스터(T16b)와 함께 게이트하이전압을 제1노드(IN1)에 전달하는 역할을 한다.

[0101] 제T16b트랜지스터(T16b)는 시프트 레지스터의 출력단(SRO)에 게이트전극이 연결되고 게이트하이전압라인(VGH)에 제1전극이 연결되고 제T16a트랜지스터(T16a)의 제1전극에 제2전극이 연결된다. 제T16b트랜지스터(T16b)는 시프트 레지스터의 출력단(SRO)의 전위에 대응하여 게이트하이전압을 제T16a트랜지스터(T16a)에 전달하는 역할을 한다.

[0102] 제T15트랜지스터(T15)는 제2클록신호라인(CLK2)에 게이트전극이 연결되고 게이트로우전압라인(VGL)에 제1전극이 연결되고 제1노드(IN1)에 제2전극이 연결된다. 제T15트랜지스터(T15)는 제2클록신호에 대응하여 제1노드(IN1)를 게이트로우전압으로 방전하는 역할을 한다.

[0103] 제T14트랜지스터(T14)는 인버터의 출력단(INVO)에 게이트전극이 연결되고 가변전압라인(VEL)에 제1전극이 연결

되고 제1노드(IN1)에 제2전극이 연결된다. 제T14트랜지스터(T14)는 인버터의 출력단(INVO)의 전위에 대응하여 제1노드(IN1)를 가변전압으로 충전 또는 방전하는 역할을 한다.

[0104] 제T13트랜지스터(T13)는 인버터의 출력단(INVO)에 게이트전극이 연결되고 가변전압라인(VEL)에 제1전극이 연결되고 제T12a트랜지스터(T12a)의 제1전극과 제T13b트랜지스터(T13b)의 제2전극 사이에 연결된다. 제T13트랜지스터(T13)는 인버터의 출력단(INVO)의 전위에 대응하여 가변전압을 제T12a트랜지스터(T12a)의 제1전극과 제T13b트랜지스터(T13b)의 제2전극 사이에 전달하는 역할을 한다.

[0105] 제T11트랜지스터(T11)는 제1노드(IN1)에 게이트전극이 연결되고 가변전압라인(VEL)에 제1전극이 연결되고 인버터의 출력단(INVO)에 제2전극이 연결된다. 제T11트랜지스터(T11)는 제1노드(IN1)의 전위에 대응하여 인버터의 출력단(INVO)에 가변전압을 출력하는 역할을 한다.

[0106] 제T12a트랜지스터(T12a)는 제2노드(IN2)에 게이트전극이 연결되고 제T13b트랜지스터(T13b)의 제2전극에 제1전극이 연결되고 인버터의 출력단(INVO)에 제2전극이 연결된다. 제T12a트랜지스터(T12a)는 제2노드(IN2)의 전위에 대응하여 인버터의 출력단(INVO)에 가변전압 또는 게이트하이전압을 출력하는 역할을 한다.

[0107] 제T13b트랜지스터(T13b)는 제2노드(IN2)에 게이트전극이 연결되고 게이트하이전압라인(VGH)에 제1전극이 연결되고 제T12a트랜지스터(T12a)의 제1전극에 제2전극이 연결된다. 제T13b트랜지스터(T13b)는 제2노드(IN2)의 전위에 대응하여 게이트하이전압라인(VGH)을 제T12a트랜지스터(T12a)에 전달하는 역할을 한다.

[0108] 한편, 위의 설명에서는 스캔구동부의 시프트 레지스터(SR)와 인버터(INV)를 구성하는 트랜지스터가 P타입인 것을 일례로 하였다. 그러나, 시프트 레지스터(SR)와 인버터(INV)를 구성하는 트랜지스터는 N타입이 될 수도 있다.

[0109] 그리고 스캔구동부의 시프트 레지스터(SR)와 인버터(INV)를 구성하는 트랜지스터는 게이트전극을 제외한 2개의 전극이 접속 방향에 따라 소오스전극이 되거나 드레인전극이 될 수 있다. 그러므로, 본 발명에서는 트랜지스터의 소오스전극과 드레인전극이 되는 2개의 전극을 제1전극과 제2전극으로 표현하였음을 이해해야 한다. 이에 따라, 제1전극과 제2전극은 경우에 따라 소오스전극과 드레인전극 또는 드레인전극과 소오스전극이 될 수 있다.

[0110] 도 11에 도시된 바와 같이, 실시예의 스캔구동부는 시프트 레지스터의 출력단(SRO)으로부터 로직하이의 신호가 출력되면 이를 로직로우의 신호로 반전하여 출력한다. 반대로, 실시예의 스캔구동부는 시프트 레지스터의 출력단(SRO)으로부터 로직로우의 신호가 출력되면 인버터(INV)가 이를 로직하이의 신호로 반전하여 출력한다. 이때, 실시예의 스캔구동부는 도 11의 파형을 통해 알 수 있듯이, 로직하이의 신호를 출력한 이후 장시간 동안 로직로우의 신호를 유지하게 된다.

[0111] 도 9 내지 도 11에 도시된 바와 같이 인버터의 출력단(INVO)은 서브 픽셀의 제어신호라인(EM1)에 연결된다. 그리고 인버터의 출력단(INVO)을 통해 출력된 제어신호에 대응하여 서브 픽셀의 내부보상회로에 포함된 제2 및 제4스위칭 트랜지스터(SW2, SW4)는 턴온 또는 턴오프된다.

[0112] 서브 픽셀은 실시예의 스캔구동부의 인버터의 출력단(INVO)으로부터 로직하이의 신호가 출력될 때에만 발광을 제어하는 제4스위칭 트랜지스터(SW4)가 턴온됨에 따라 빛을 발광하게 된다. 서브 픽셀은 도 11과 같이 실시예의 스캔구동부의 인버터의 출력단(INVO)으로부터 로직하이의 신호가 출력될 때에만 빛을 발광하게 되어 있다.

[0113] 한편, 유기전계발광표시장치는 스마트폰이나 핸드폰 등으로 구현될 수 있다. 이러한 스마트폰이나 핸드폰 등은 사용자의 입력이 없을 경우 일정 시간 이후 화면이 턴오프되도록 설정된다. 이때, 사용자가 스마트폰이나 핸드폰을 사용하기 위해서는 화면을 턴온하는 버튼(예: 전원버튼)을 눌러야 한다.

[0114] 실시예의 구조는 도 12의 파워온 시퀀스와 같이 화면을 턴온하는 버튼(예: 전원버튼)을 누르면(버튼을 누른 시점은 PO입), 스캔구동부의 인버터의 출력단(INVO)으로부터 일정 시간(ts) 동안 로직하이의 신호가 출력된다.

[0115] 실험예와 실시예를 비교하면, 실험예는 시프트 레지스터(SR)와 인버터(INV)가 게이트로우전압라인(VGL)을 공유한다. 그러나 실시예는 시프트 레지스터(SR)와 인버터(INV)가 게이트로우전압라인(VGL)을 공유하지 않고 시프트 레지스터(SR)는 게이트로우전압라인(VGL)을 사용하고 인버터(INV)는 별도의 가변전압라인(VEL)을 사용한다.

[0116] 그리고 비교예의 인버터(INV)에 연결된 게이트로우전압라인(VGL)은 화면을 턴온하는 버튼과 무관하게 항상 게이트로우전압을 유지한다. 그러나 실시예의 인버터(INV)에 연결된 가변전압라인(VEL)의 전압은 화면을 턴온하는 버튼에 대응(또는 동기)하여 스위칭된다.

[0117] 그 예로, 도 12의 게이트로우전압라인(VGL)의 전압을 참조하면, 이는 화면을 턴온하는 버튼의 동작과 무관하게

항시 게이트로우전압을 유지하고 있음을 알 수 있다. 반면, 가변전압라인(VEL)의 전압을 참조하면, 이는 로직로우(L)를 유지하고 있다가 화면을 턴온하는 버튼의 동작에 대응하여 로직하이(H)로 전환하고 일정 시간(ts)이 지나면 다시 로직로우(L)로 전환됨을 알 수 있다. 이때, 가변전압라인(VEL)을 통해 전달되는 로직로우(L)의 레벨은 게이트로우전압라인(VGL)의 게이트로우전압에 대응된다.

[0118] 인버터(INV)에 연결된 가변전압라인(VEL)의 전압은 제1전압과 제2전압 사이를 스윙한다. 예컨대, 가변전압라인(VEL)의 전압은 -15V에서 +15V로 설정될 수 있으나 이에 한정되지 않는다. 가변전압라인(VEL)의 전압의 경우, 전원의 초기 턴온 구간에서는 높은 전압(+, 포지티브전압)으로 설정되고, 스캔구동부의 회로가 모두 정상동작하는 구간에서는 낮은 전압(-, 네거티브전압)으로 설정되도록 스윙된다.

[0119] 한편, 도 12의 파형을 재차 참조하면 고전위전원라인(ELVDD)의 고전위전원이 인가되는 시점(비인가는 OFF, 인가는 ON)과 스캔구동부로부터 출력된 제어신호(EM1)가 로직로우에서 로직하이로 가변되는 시점에 시차가 존재한다.

[0120] 이는 사용자가 화면을 턴온하는 버튼을 누르더라도 곧바로 고전위전원라인(ELVDD)의 고전위전원이 인가되지 않고 1프레임(Frame의 3 부분 참조) 정도의 지연시간이 존재하기 때문이다. 그러나, 고전위전원라인(ELVDD)의 고전위전원이 인가되는 시점은 반드시 도 12에 한정되지 않음에 주의해야 한다.

[0121] 다른 예로 도 13을 참조하면, 고전위전원라인(ELVDD)의 고전위전원이 인가되는 시점과 스캔구동부로부터 출력된 제어신호(EM1)가 로직로우에서 로직하이로 가변되는 시점은 가변전압라인(VEL)의 전압 스윙 타이밍을 조절하는 방식으로 동기 시킬 수도 있다.

[0122] 위와 같이 실시예의 스캔구동부는 고전위전원이 인가되면 일정시간(ts) 동안 보상회로 내의 트랜지스터를 강제로 턴오프시킬 수 있는 신호를 출력하고 이후 정상적인 제어신호를 출력하게 된다. 즉, 실시예의 스캔구동부는 초기 구동시 인버터가 오프전압을 안정적으로 출력할 수 있도록 구현된다.

[0123] 그 결과, 실시예는 화면을 턴온하는 버튼을 누르더라도 보상회로 내의 트랜지스터가 강제로 턴오프된 상태를 취하게 되므로 고전위전원라인(ELVDD)의 고전위전원이 인가된 이후 유기 발광다이오드(OLED)의 애노드전압이 유기 발광다이오드의 턴온 전압(OLED On 전압)을 넘어서지 않게 된다.

[0124] 실시예의 구조는 스캔구동부가 일정시간 동안 오프전압을 출력함에 따라 잔여 전하에 의해 보상회로 내의 트랜지스터(예: SW2, SW4)가 비정상 동작을 하지 않게 되므로 화면을 턴온하는 버튼을 누르더라도 깜빡임 현상(또는 순간적으로 휘도가 밝아지는 현상)을 억제할 수 있는 것으로 나타났다. 또한, 실시예의 구조는 화면을 턴온하는 버튼의 턴온/턴오프 동작을 반복하더라도 보상회로 등의 오프전압을 안정적으로 유지할 수 있어 잔여 전하 축적에 의한 화면 깜빡임이 심화되는 문제를 개선 또는 방지할 수 있는 것으로 나타났다.

[0125] 한편, 실험예 및 실시예에서는 도 4와 같은 형태의 보상회로가 포함된 서브 픽셀을 일례로 하였다. 그러나, 보상회로의 구성은 이에 한정되지 않고 다양하다. 그 예로 도 4의 변형예에 대해 설명하면 다음과 같다.

[0126] 도 14와 같이 변형예의 서브 픽셀에는 기본 회로인 제1스위칭 트랜지스터(SW1), 구동 트랜지스터(DT), 스토리지 커패시터(Cst) 및 유기 발광다이오드(OLED)가 포함된다. 그리고 변형예의 서브 픽셀 또한 내부보상 방식의 보상회로인 제2 내지 제4스위칭 트랜지스터(SW2 ~ SW4)가 더 포함된다.

[0127] 내부보상회로에 포함된 제2 내지 제4스위칭 트랜지스터(SW2 ~ SW4)의 구성, 접속관계 및 역할을 간략히 설명하면 다음과 같다.

[0128] 제2스위칭 트랜지스터(SW2)는 제2스캔라인(EM1)에 게이트전극이 연결되고 참조전압라인(VREF)에 제1전극이 연결되고 제1스위칭 트랜지스터(SW1)와 스토리지 커패시터(Cst)의 사이에 제2전극이 연결된다. 제2트랜지스터(SW2)는 제1스위칭 트랜지스터(SW1)와 스토리지 커패시터(Cst)가 연결된 노드에 참조전압을 공급하는 역할을 한다.

[0129] 제3스위칭 트랜지스터(SW3)는 제1스캔라인(SCAN1)에 게이트전극이 연결되고 스토리지 커패시터(Cst)와 구동 트랜지스터(DT)의 게이트전극 사이에 제1전극이 연결되고 구동 트랜지스터(DT)의 제2전극에 제2전극이 연결된다. 제3스위칭 트랜지스터(SW3)는 제1스캔신호에 대응하여 구동 트랜지스터(DT)의 문턱전압 센싱을 돕기 위해 구동 트랜지스터(DT)를 다이오드 커넥션으로 형성하는 역할을 한다.

[0130] 제4스위칭 트랜지스터(SW4)는 제2스캔라인(EM1)에 게이트전극이 연결되고 구동 트랜지스터(DT)의 제2전극에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극 노드(A)에 제2전극이 연결된다. 제4스위칭 트랜지스터(SW4)는 제2스캔신호에 대응하여 유기 발광다이오드(OLED)의 발광을 제어하는 역할을 한다.

[0131] 본 발명은 위의 변형에 외에도 보상회로의 구성이 위와 다르지만 표시패널의 서브 픽셀에 포함된 보상회로 중 유기발광다이오드의 발광을 제어하는 트랜지스터가 포함된 구조에 적용될 수 있다. 한편, 위의 설명에서는 서브 픽셀의 기본회로 및 보상회로가 모두 P타입인 것을 일례로 설명하였다. 그러나 서브 픽셀의 기본회로 및 보상회로는 N타입으로도 설계될 수 있고 이들에 인가되는 신호의 파형은 N타입에 맞게 변경될 수 있다.

[0132] 이상 본 발명은 화면을 턴온할 때 잔여 전하에 의해 서브 픽셀 내의 보상회로가 비정상적으로 동작하지 않도록 오프전압을 안정적으로 출력할 수 있는 효과가 있다. 또한, 본 발명은 오프전압을 안정적으로 출력하여 화면을 턴온할 때 순간적으로 화면 깜빡임(또는 순간적으로 휘도가 밝아지는 현상)을 억제 또는 개선할 수 있는 효과가 있다.

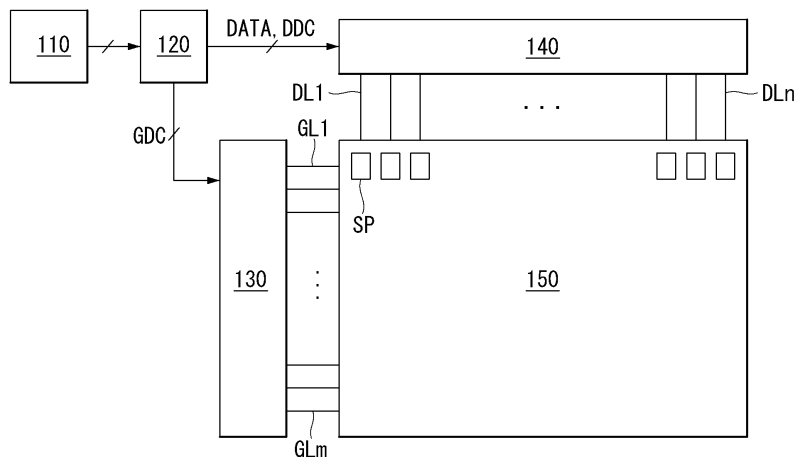
[0133] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

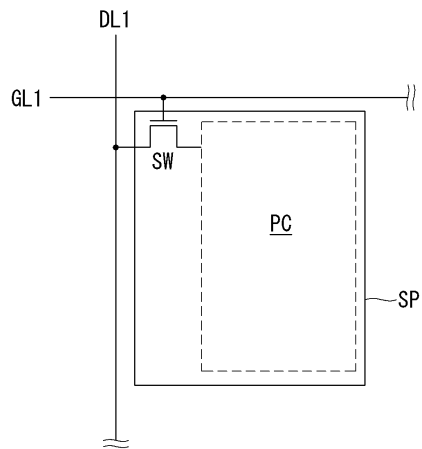
[0134] 110: 영상공급부 120: 타이밍제어부
130: 스캔구동부 140: 데이터구동부
150: 표시패널 SR: 시프트 레지스터
VGH: 게이트하이전압라인 VST: 스타트신호라인
VGL: 게이트로우전압라인 INV: 인버터
VEL: 가변전압라인

도면

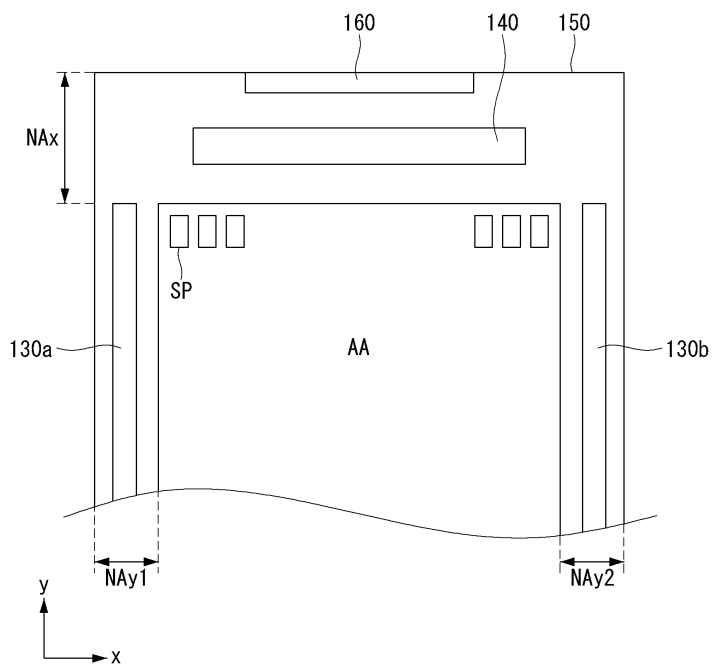
도면1



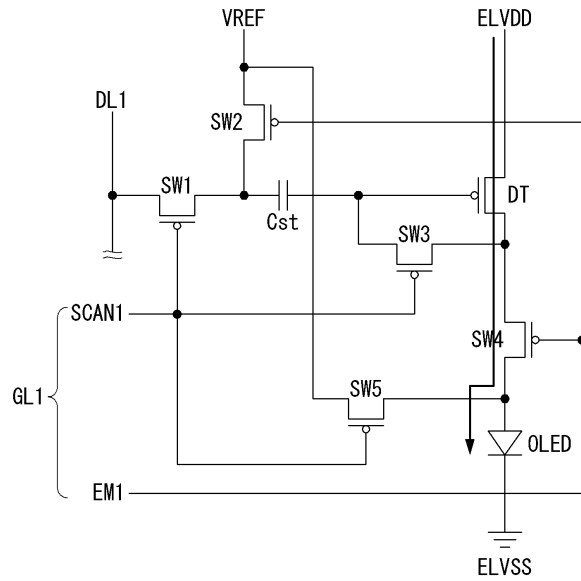
도면2



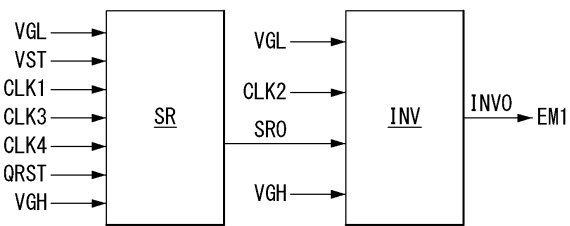
도면3



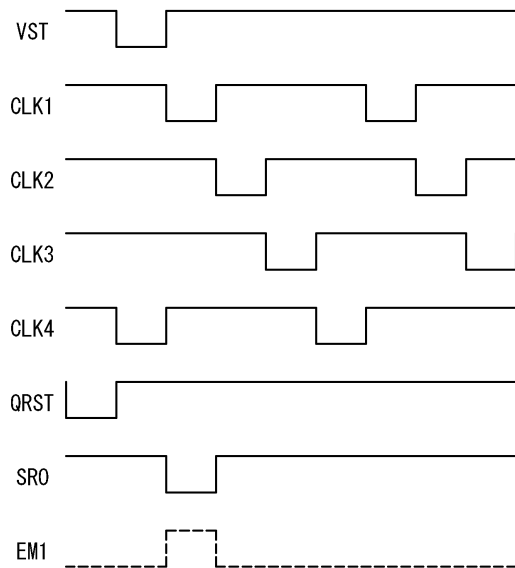
도면4



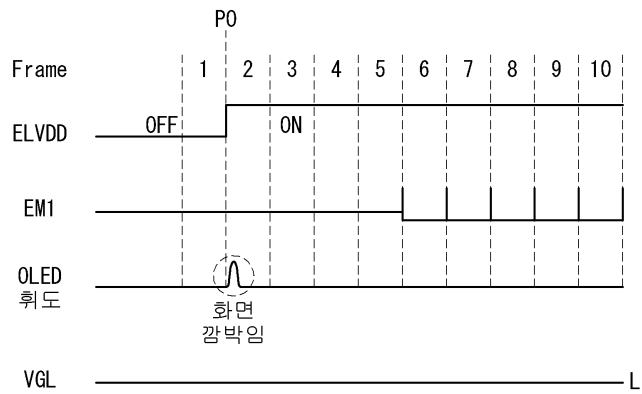
도면5



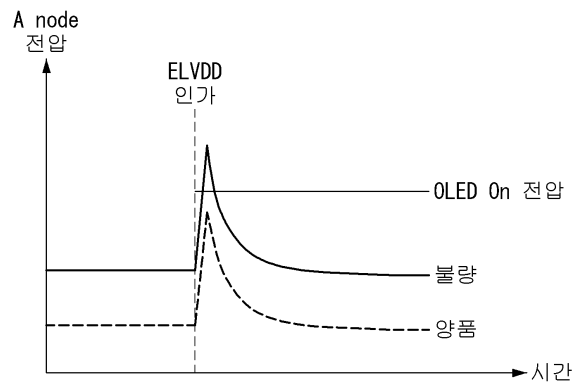
도면6



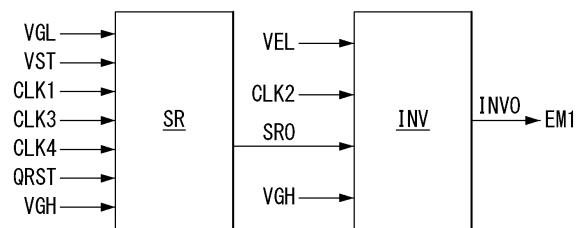
도면7



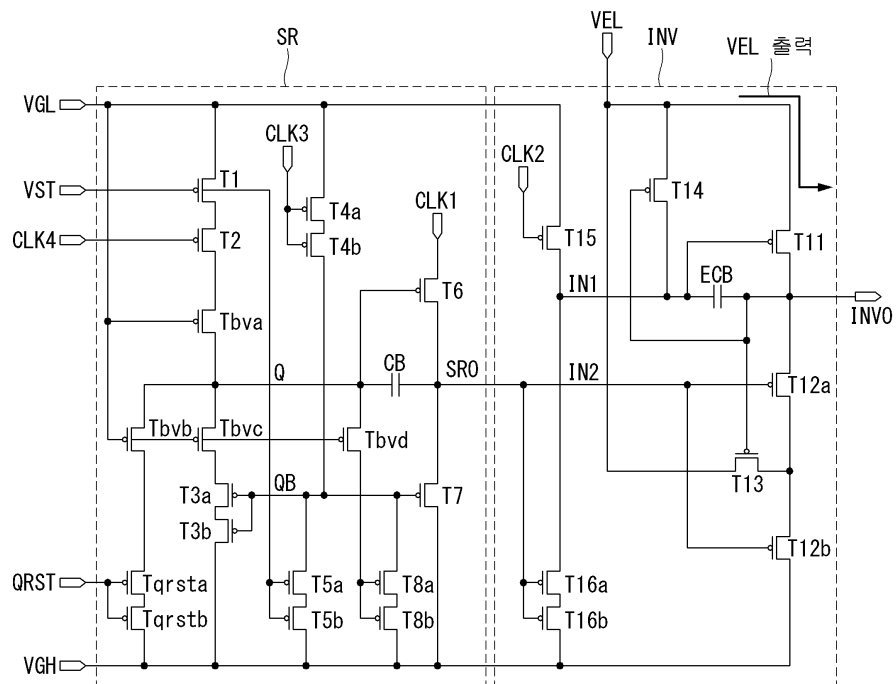
도면8



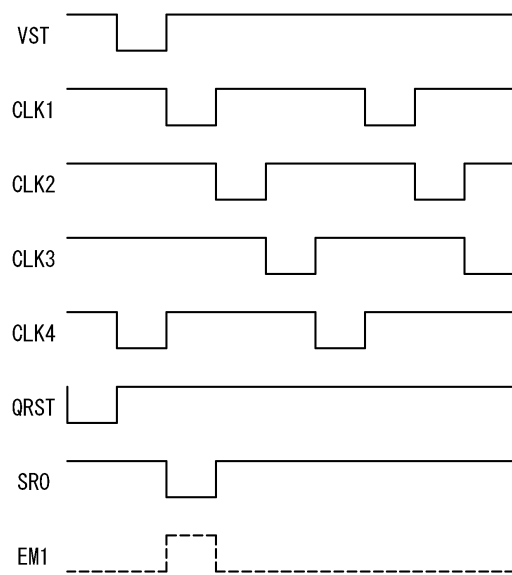
도면9



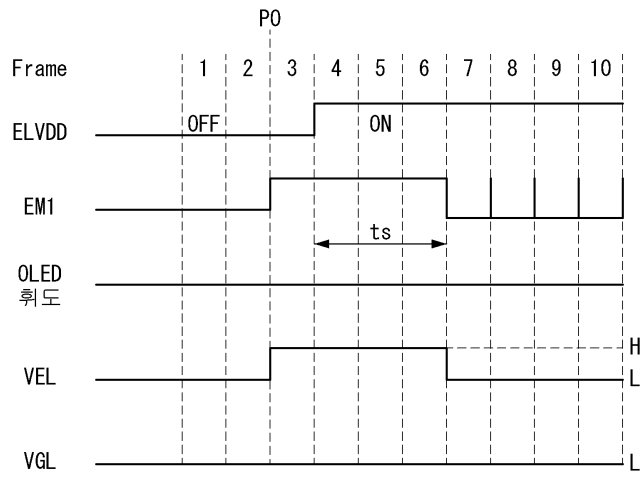
도면10



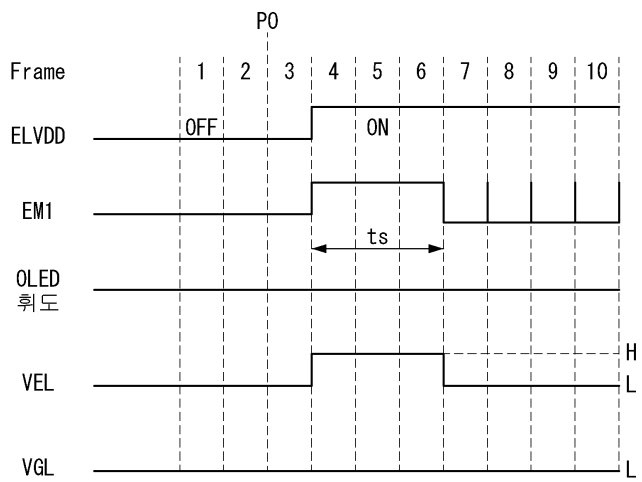
도면11



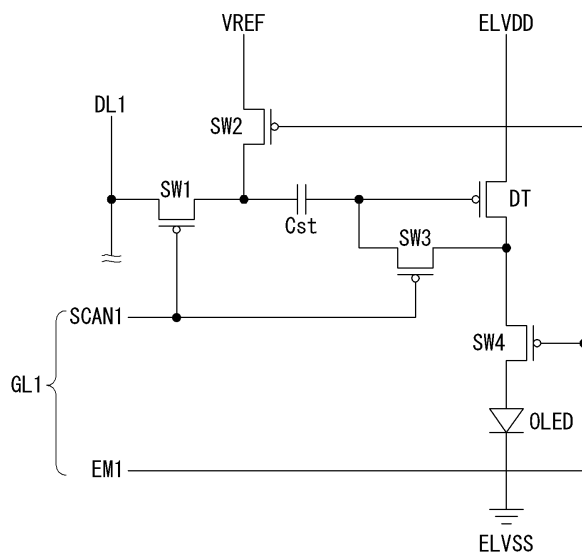
도면12



도면13



도면14



专利名称(译)	扫描驱动器和使用其的有机发光显示器		
公开(公告)号	KR1020160007847A	公开(公告)日	2016-01-21
申请号	KR1020140083311	申请日	2014-07-03
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KWON JUNYOUNG 권준영 SIM JAEHO 심재호 KIM JUNG CHUL 김중철 EOM EUN CHEOL 엄은철		
发明人	권준영 심재호 김중철 엄은철		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3266 G09G2300/0814 G09G2300/0819 G09G2310/0286 G09G2320/0247 G09G2320/045 G09G2330/026		
外部链接	Espacenet		

摘要(译)

显示面板本发明涉及一种显示面板，用于向显示面板提供数据信号的数据驱动器;以及扫描驱动器，用于向显示面板提供扫描信号，其中扫描驱动器包括移位寄存器和反相器，用于反相和输出通过移位寄存器的输出端输出的扫描信号，并且用于传输栅极低电压的电压线彼此分离。

