

명세서

청구범위

청구항 1

기관;

상기 기관 상에 배치되고 반도체층을 포함하는 박막 트랜지스터; 및

상기 박막 트랜지스터와 전기적으로 연결된 유기 발광 소자 및 커패시터를 포함하고,

상기 반도체층은 상기 기관 상의 전체 영역에 균일하게 배치되고,

상기 박막 트랜지스터는,

상기 반도체층 상에 배치되는 제 1 절연막;

상기 제 1 절연막 상에 배치되고, 복수의 게이트 중심부와 상기 복수의 게이트 중심부로부터 연장된 페루프 모양의 게이트 주변부를 포함하는 게이트 전극 패턴;

상기 게이트 전극 패턴과 동일층 상에 배치되며, 상기 게이트 전극 패턴을 둘러싸는 게이트 가드;

상기 게이트 전극 패턴 및 게이트 가드 상에 배치되는 제 2 절연막; 및

상기 제 1 절연막 및 제 2 절연막을 관통하여 상기 반도체층과 연결되는 소스 전극 및 드레인 전극;을 포함하는 표시 장치.

청구항 2

제 1 항에 있어서, 상기 게이트 가드는 상기 게이트 전극 패턴과 동일한 재질로 구비되는 표시 장치.

청구항 3

제 1 항에 있어서, 상기 게이트 중심부와 상기 게이트 주변부가 이루는 페루프의 빈 공간을 통해 상기 소스 전극 및 드레인 전극이 상기 반도체층과 연결되는 표시 장치.

청구항 4

유기 발광 소자, 박막 트랜지스터 및 커패시터가 형성될 기관 상의 전체 영역에 반도체층을 균일하게 형성하는 단계;

상기 반도체층 상에 제 1 절연막을 형성하는 단계;

상기 제 1 절연막 상에 도전층을 형성한 후 패터닝하여, 복수의 게이트 중심부와 상기 복수의 게이트 중심부로부터 연장된 페루프 모양의 게이트 주변부를 포함하는 게이트 전극 패턴, 상기 게이트 전극 패턴을 둘러싸는 게이트 가드, 상기 유기 발광 소자의 화소전극 및 상기 커패시터의 상부전극을 각각 형성하는 제 1 마스크 공정 단계;

상기 기관 상에 제 2 절연막을 형성한 후 패터닝하여, 상기 화소전극, 상기 상부전극 및 상기 박막 트랜지스터의 반도체층을 노출시키는 제 2 마스크 공정 단계;

상기 기관 상에 도전층을 형성한 후, 패터닝하여 상기 반도체층의 노출된 부위와 접촉하는 소스 전극 및 드레인 전극을 형성하는 제 3 마스크 공정 단계; 및

상기 기관 상에 화소정의막 형성용 물질층을 형성한 후, 패터닝하여 상기 화소전극을 노출시키는 제 4 마스크 공정 단계;를 포함하는 표시 장치 제조 방법.

청구항 5

제 5 항에 있어서, 상기 게이트 가드는 상기 게이트 전극 패턴과 동일층 상에 형성되며, 상기 게이트 전극 패턴

을 둘러싸며 형성되는 표시 장치 제조 방법.

청구항 6

제 5 항에 있어서, 상기 게이트 가드는 상기 게이트 전극 패턴과 동일한 재질로 형성되는 표시 장치 제조 방법.

청구항 7

제 5 항에 있어서, 상기 게이트 전극 패턴 및 게이트 가드를 마스크로 이용하여 상기 반도체층에 불순물을 도핑하는 단계를 더 포함하는 표시 장치 제조 방법.

청구항 8

제 5 항에 있어서, 상기 반도체층이 노출되는 상기 박막 트랜지스터 영역은 상기 게이트 중심부와 상기 게이트 주변부가 이루는 페루프의 빈 공간인 표시 장치 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치 및 그 제조 방법에 관한 것으로 특히, 마스크 사용수를 줄일 수 있는 표시 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 표시 장치는 블랙 매트릭스 또는 화소 정의막에 의해 정의되는 영역에 구비되는 복수개의 화소를 포함한다. 표시 장치는 발광 방식에 따라 액정 표시 장치(liquid crystal display, LCD), 유기 발광 표시 장치(organic light emitting diode display, OLED display), 플라즈마 표시 장치(plasma display panel, PDP) 및 전기 영동 표시 장치(electrophoretic display) 등으로 분류된다.

[0003] 이러한 표시 장치 가운데, 유기 발광 표시 장치는 전자와 정공이 유기 물질 내에서 결합하여 스스로 빛을 발하는 현상을 이용하는 것으로, 구동 방법에 따라 수동 매트릭스(Passive Matrix) 유기 발광 표시 장치와 능동 매트릭스(Active Matrix) 유기 발광 표시 장치로 구분될 수 있다. 능동 매트릭스 유기 발광 표시 장치는 각각의 화소 내부에 박막 트랜지스터와 같은 스위치 소자를 구비하여 각 화소의 발광을 제어한다.

[0004] 유기 발광 표시 장치는 박막 트랜지스터(Thin Film Transistor: TFT) 및 커패시터 등과 이들을 연결하는 배선을 포함하는 패턴이 형성된 기판 상에 제작된다.

[0005] 일반적으로, 유기 발광 표시 장치가 제작되는 기판은 TFT 등을 포함하는 미세 구조의 패턴을 형성하기 위하여, 미세 패턴이 그려진 마스크를 이용하여 패턴을 상기 어레이 기판에 전사한다. 마스크를 이용하여 패턴을 전사하는 공정은 일반적으로 포토 리소그래피(photo-lithography) 공정을 이용한다.

[0006] 포토 리소그래피 공정에 의하면, 패턴을 형성할 기판 상에 포토레지스트(photoresist)를 균일하게 도포하고, 스텝퍼(stepper)와 같은 노광 장비로 포토레지스트를 노광시킨 후, (포지티브(positive) 포토레지스트의 경우) 감광된 포토레지스트를 현상(developing)하는 과정을 거친다. 또한, 포토레지스트를 현상한 후에는, 잔존하는 포토레지스트를 마스크로 하여 패턴을 식각(etching)하고, 불필요한 포토레지스트를 제거하는 등의 일련의 과정을 거친다.

[0007] 이와 같이 마스크를 이용하여 패턴을 전사하는 공정에서, 먼저 필요한 패턴을 구비한 마스크를 준비하여야 하기 때문에, 마스크를 이용하는 공정 단계가 늘어날수록 마스크 준비를 위한 제조 원가가 상승한다.

[0008] 따라서, 마스크 사용수를 줄이기 위해서, 반도체층을 패터닝하지 않고, 기판 전면에도포하여 박막 트랜지스터를 형성한 표시 장치 및 그 제조 방법이 연구되고 있다. 다만, 이 경우 반도체층을 패터닝하는 경우보다 누설 전류가 많이 발생하게 된다.

발명의 내용

해결하려는 과제

- [0009] 이에 본 발명에서는 반도체층을 패터닝하기 위한 마스크 공정을 생략한 제조 방법으로 구현한 표시 장치에 있어서, 박막 트랜지스터의 소자 특성을 최적화할 수 있는 표시 장치 및 그 제조 방법을 제공하고자 한다.

과제의 해결 수단

- [0010] 기판, 상기 기판 상에 배치되고 반도체층을 포함하는 박막 트랜지스터 및 상기 박막 트랜지스터와 전기적으로 연결된 유기 발광 소자 및 커패시터를 포함하고, 상기 반도체층은 상기 기판 상의 전체 영역에 균일하게 배치되고, 상기 박막 트랜지스터는, 상기 반도체층 상에 배치되는 제 1 절연막, 상기 제 1 절연막 상에 배치되고, 복수의 게이트 중심부와 상기 복수의 게이트 중심부로부터 연장된 페루프 모양의 게이트 주변부를 포함하는 게이트 전극 패턴, 상기 게이트 전극 패턴과 동일층 상에 배치되며, 상기 게이트 전극 패턴을 둘러싸는 게이트 가드, 상기 게이트 전극 패턴 및 게이트 가드 상에 배치되는 제 2 절연막 및 상기 제 1 절연막 및 제 2 절연막을 관통하여 상기 반도체층과 연결되는 소스 전극 및 드레인 전극을 포함하는 표시 장치를 제공한다.
- [0011] 상기 게이트 가드는 상기 게이트 전극 패턴과 동일한 재질로 구비될 수 있다.
- [0012] 상기 게이트 중심부와 상기 게이트 주변부가 이루는 페루프의 빈 공간을 통해 상기 소스 전극 및 드레인 전극이 상기 반도체층과 연결될 수 있다.
- [0013] 유기 발광 소자, 박막 트랜지스터 및 커패시터가 형성될 기판 상의 전체 영역에 반도체층을 균일하게 형성하는 단계, 상기 반도체층 상에 제 1 절연막을 형성하는 단계, 상기 제 1 절연막 상에 도전층을 형성한 후 패터닝하여, 복수의 게이트 중심부와 상기 복수의 게이트 중심부로부터 연장된 페루프 모양의 게이트 주변부를 포함하는 게이트 전극 패턴, 상기 게이트 전극 패턴을 둘러싸는 게이트 가드, 상기 유기 발광 소자의 화소전극 및 상기 커패시터의 상부전극을 각각 형성하는 제 1 마스크 공정 단계, 상기 기판 상에 제 2 절연막을 형성한 후 패터닝하여, 상기 화소전극, 상기 상부전극 및 상기 박막 트랜지스터의 반도체층을 노출시키는 제 2 마스크 공정 단계, 상기 기판 상에 도전층을 형성한 후, 패터닝하여 상기 반도체층의 노출된 부위와 접촉하는 소스 전극 및 드레인 전극을 형성하는 제 3 마스크 공정 단계 및 상기 기판 상에 화소정의막 형성용 물질층을 형성한 후, 패터닝하여 상기 화소전극을 노출시키는 제 4 마스크 공정 단계를 포함하는 표시 장치 제조 방법을 제공한다.
- [0014] 상기 게이트 가드는 상기 게이트 전극 패턴과 동일층 상에 형성되며, 상기 게이트 전극 패턴을 둘러싸며 형성될 수 있다.
- [0015] 상기 게이트 가드는 상기 게이트 전극 패턴과 동일한 재질로 형성될 수 있다.
- [0016] 상기 표시 장치 제조 방법은 상기 게이트 전극 패턴 및 게이트 가드를 마스크로 이용하여 상기 반도체층에 불순물을 도핑하는 단계를 더 포함할 수 있다.
- [0017] 상기 반도체층이 노출되는 상기 박막 트랜지스터 영역은 상기 게이트 중심부와 상기 게이트 주변부가 이루는 페루프의 빈 공간일 수 있다.

발명의 효과

- [0018] 본 발명에 따른 표시 장치 및 그 제조 방법에 따르면, 반도체층을 패터닝하기 위한 마스크 공정을 생략한 제조 방법으로 구현한 표시 장치에 있어서, 박막 트랜지스터의 소자 특성을 최적화할 수 있다.

도면의 간단한 설명

- [0019] 도 1은 종래 기술에 따른 유기 발광 표시 장치의 화소를 개략적으로 나타낸 평면도이다.
- 도 2는 도 1에 도시된 유기 발광 소자(EL), 박막 트랜지스터(TFT1, TFT2) 및 저장 커패시터(C_{st})의 단면을 나타낸 단면도이다.
- 도 3은 종래 기술에 따른 유기 발광 표시 장치에서 하나의 박막 트랜지스터를 개략적으로 나타낸 평면도이다.
- 도 4는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소를 개략적으로 나타낸 평면도이다.
- 도 5는 도 4에 도시된 유기 발광 소자(EL), 박막 트랜지스터(TFT1, TFT2) 및 저장 커패시터(C_{st})의 단면을 나타낸 단면도이다.

도 6은 본 발명의 일실시예에 따른 유기 발광 표시 장치에서 하나의 박막 트랜지스터를 개략적으로 나타낸 평면도이다.

도 7은 본 발명에 다른 일실시예에 따른 유기 발광 표시 장치에서 하나의 박막 트랜지스터를 개략적으로 나타낸 평면도이다.

도 8a는 종래 기술에 따른 박막 트랜지스터에서의 누설 전류를 나타낸 그래프이다.

도 8b는 본 발명의 일실시예에 따른 박막 트랜지스터의 누설 전류를 나타낸 그래프이다.

도 9 내지 도 16는 본 발명의 일실시예에 따른 유기 발광 표시 장치의 제조 방법을 나타낸 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0020] 이하, 첨부도면을 참조하여 본 발명을 상세히 설명한다.
- [0021] 본 발명은 다양한 변경이 가능하고, 여러 가지 형태로 실시될 수 있는 바, 특정의 실시예만을 도면에 예시하고 본문에는 이를 중심으로 설명한다. 그렇다고 하여 본 발명의 범위가 상기 특정한 실시예로 한정되는 것은 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 또는 대체물은 본 발명의 범위에 포함되는 것으로 이해되어야 한다.
- [0022] 본 명세서에서 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 직접적으로 연결되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 전기적으로 연결되어 있는 경우도 포함한다. 또한, 어떤 부분이 어떤 구성 요소를 포함한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0023] 본 명세서에서 제1, 제2, 제3 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 이러한 구성 요소들은 상기 용어들에 의해 한정되는 것은 아니다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소들로부터 구별하는 목적으로 사용된다. 예를 들어, 본 발명의 권리 범위로부터 벗어나지 않고, 제1 구성 요소가 제2 또는 제3 구성 요소 등으로 명명될 수 있으며, 유사하게 제2 또는 제3 구성 요소도 교호적으로 명명될 수 있다.
- [0024] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙인다.
- [0025] 도 1은 종래 기술에 따른 유기 발광 표시 장치의 화소를 개략적으로 나타낸 평면도이다.
- [0026] 도 1을 참조하면, 본 발명의 유기 발광 표시 장치는, 복수개의 게이트 라인(GL)과 데이터 라인(DL) 또는 화소정의막에 의해 구분되는 화소 영역(PE)마다 유기 발광 소자(organic light emitting diode)(EL), 두개의 박막 트랜지스터(thin film transistor, TFT1, TFT2) 및 하나의 저장 캐패시터(storage capacitor)(C_{st})를 포함한다.
- [0027] 여기서, 화소 영역(PE)은 화상을 표시하는 최소 단위인 화소(pixel)가 형성되는 영역을 말한다. 또한, 상기 두개의 박막 트랜지스터 가운데 하나는 게이트 라인(GL)에서 인가되는 스위칭 신호에 따라 데이터 라인(DL)으로부터 데이터 신호를 전달하는 스위칭 트랜지스터(TFT1)이고, 나머지 하나는 유기 발광 소자(EL)에 구동 전압을 인가하는 구동 트랜지스터(TFT2)이다.
- [0028] 도 1에서 상기 화소 영역(PE)이 2Tr-1Cap 구조를 갖는 것으로 도시되었으나 반드시 이에 한정되는 것은 아니며, 상기 화소 영역(PE)은 상기 구동 트랜지스터(TFT2)의 문턱 전압을 보상하거나 초기화하기 위한 추가적인 박막 트랜지스터 및 캐패시터를 더 포함할 수 있다.
- [0029] 상기 스위칭 트랜지스터(TFT1)는 발광시키고자 하는 화소 영역(PE)을 선택하는 스위칭 소자로 사용된다. 상기 스위칭 트랜지스터(TFT1)가 순간적으로 턴-온되면 상기 저장 캐패시터(C_{st})에 전하가 축전된다. 이때 축전되는 전하량은 데이터 라인(DL)으로부터 인가되는 전압의 전위에 비례한다.
- [0030] 이어서, 상기 스위칭 트랜지스터(TFT2)가 턴-오프되면, 상기 구동 트랜지스터(TFT2)의 게이트 전위는 상기 저장 캐패시터(C_{st})에 축전된 전위를 따라서 상승한다. 그리고 상기 구동 트랜지스터(TFT2)의 게이트 전위가 문턱 전압을 넘으면 턴-온된다. 그러면 상기 전원 라인(PL)에 인가되던 전압이 상기 구동 트랜지스터(TFT2)를 통하여 유기 발광 소자(EL)에 인가되고, 유기발광 소자(EL)는 발광된다.
- [0031] 도 2는 도 1에 도시된 유기 발광 소자(EL), 박막 트랜지스터(TFT1, TFT2) 및 저장 캐패시터(C_{st})의 단면을 나타

낸 단면도이다.

- [0032] 상기 두 박막 트랜지스터(TFT1, TFT2)는 동일한 적층 구조를 가지고 있다. 상기 박막 트랜지스터(TFT1, TFT2)는 기판(10), 상기 기판(10)상에 구비된 반도체층(20), 상기 반도체층(20) 상에 구비된 제 1 절연막(21), 상기 제 1 절연막(21) 상에 구비된 게이트 전극 패턴(30), 상기 게이트 전극 패턴(30) 상에 구비된 제 2 절연막(80) 및 상기 제 2 절연막(80)을 관통하여 상기 반도체층(20)에 연결되는 소스 전극 및 드레인 전극(50)을 포함한다.
- [0033] 상기 게이트 전극 패턴(30)은 게이트 중심부(31)와, 그로부터 페루프 형상으로 연장된 게이트 주변부(32)로 구성되어 있다. 이 페루프 형상의 가운데 빈 공간을 통해 상기 소스 전극 및 드레인 전극(50)이 반도체층(20)과 연결된다.
- [0034] 상기 게이트 전극 패턴(30)은 게이트 하부전극(31a, 32a)과 게이트 상부전극(31b, 32b)으로 나뉘 수 있으며, 상기 게이트 하부전극(31a, 32a)은 투명 전도성 물질로 형성될 수 있다.
- [0035] 그런데, 도면에 도시된 바와 같이, 상기 반도체층(20)은 박막 트랜지스터(TFT1, TFT2)가 있는 영역에만 있는 것이 아니라, 유기 발광 소자(EL) 및 저장 커패시터(C_{st})가 있는 영역까지 포함하여, 기판(10) 상의 전체 영역에 균일하게 형성되어 있다.
- [0036] 즉, 별도의 패터닝을 하지 않고 기판(10) 전면에 반도체층(20)이 구비된 것이다. 이렇게 되면 반도체층(20)을 패터닝하기 위한 마스크 공정이 하나 생략될 수 있기 때문에 전체적인 유기 발광 표시 장치의 제조과정을 간소화하는데 상당히 유리해진다.
- [0037] 물론, 이렇게 반도체층(20)을 패터닝 하지 않고 기판(10) 전면에 균일하게 형성하게 되면, 인접한 박막 트랜지스터(TFT1, TFT2)간 전기적으로 비분리로 인하여 단락(short)이 발생할 수 있다. 따라서, 이를 방지하기 위해 상기 게이트 전극 패턴(30)을 둘러싸는 영역에 게이트 가드(40)를 구비한다. 상기 게이트 가드(40)는 각 박막 트랜지스터(TFT1, TFT2)를 전기적으로 분리되게 해주는 역할을 한다.
- [0038] 상기 유기 발광 소자(EL)는 서로 대면하는 화소전극(61)과 대향전극(63) 및 그 사이에 개재된 발광층(62)을 포함한다. 상기 화소전극(61)은 투명한 전도성 물질로 형성되어 상기 구동 트랜지스터(TFT2)의 드레인 전극(50)과 연결되며, 상기 박막 트랜지스터(TFT1, TFT2)의 게이트 전극 패턴(30)과 동시에 형성된다.
- [0039] 상기 저장 커패시터(C_{st})는 하부전극(71) 및 상부전극(72)을 포함하며, 이들 사이에 제 1 절연막(21)이 개재된다. 상기 저장 커패시터(C_{st})의 상부전극(72)은 상기 박막 트랜지스터(TFT1, TFT2)의 게이트 전극 패턴(30) 및 유기발광소자(EL)의 화소전극(61)과 동시에 형성되며, 하부전극(71)에 대면하는 제 1 상부전극(72a)과, 그 제 1 상부전극(72a) 둘레를 둘러싸는 제 2 상부전극(72b)을 포함한다.
- [0040] 여기서, 상기 하부전극(71)은 별도의 층을 형성한 것이 아니라, 상기한 반도체층(20)의 일부 영역을 이용하는 구조로 이루어져 있다. 즉, 상기 반도체층(20)의 저장 커패시터(C_{st}) 영역을 하부전극(71)으로 활용하는 것이다. 이때에도 상기 저장 커패시터(C_{st})와 인접한 다른 소자들 간의 전기적 분리가 필요한데, 상기 상부전극(72) 중 제 2 상부전극(72b)이 이러한 전기적 분리 구조를 만드는 역할을 하게 된다.
- [0041] 도 3은 종래 기술에 따른 유기 발광 표시 장치에서 하나의 박막 트랜지스터를 개략적으로 나타낸 평면도이다. 도 3에서 설명의 편의상 일부 구성요소(예를 들면, 기판, 반도체층 및 제 2 절연막 등)를 생략하여 도시되고 있다.
- [0042] 도 2 및 도 3을 참조하면, 종래 기술에 따른 유기 발광 표시 장치에서 하나의 박막 트랜지스터는 기판(10), 상기 기판(10) 상에 구비된 반도체층(20), 상기 반도체층(20) 상에 구비된 제 1 절연막(21), 상기 제 1 절연막(21) 상에 구비된 게이트 전극 패턴(30), 상기 게이트 전극 패턴(30) 상에 구비된 제 2 절연막(80) 및 상기 제 2 절연막(80)을 관통하여 상기 반도체층(20)에 연결되는 소스 전극 및 드레인 전극(50)을 포함한다.
- [0043] 상기 게이트 전극 패턴(30)은 게이트 중심부(31)와, 그로부터 페루프 형상으로 연장된 게이트 주변부(32)로 구성되어 있다. 이 페루프 형상의 가운데 빈 공간을 통해 상기 소스 전극 및 드레인 전극(50)이 반도체층(20)과 연결된다.
- [0044] 종래 기술에 따른 유기 발광 표시 장치는 마스크 사용 횟수를 줄이기 위해서, 반도체층을 패터닝하지 않고, 기판 전면에 도포하여 박막 트랜지스터를 형성한 것으로 일반적으로 반도체층을 패터닝하는 경우보다 누설 전류가 많이 발생하게 된다.

- [0045] 즉, 도 3을 참조하면 종래 기술에 따른 유기 발광 표시 장치의 경우, 박막 트랜지스터 내에서 흐르는 전류가 수직 방향(①) 뿐아니라 측면 방향(②)으로도 흐르기 때문에 일반적인 박막 트랜지스터보다는 누설 전류가 많다.
- [0046] 이에 본 발명에서는 반도체층을 패터닝하기 위한 마스크 공정을 생략한 제조 방법으로 구현한 표시 장치에 있어서, 박막 트랜지스터의 소자 특성을 최적화할 수 있는 표시 장치 및 그 제조 방법을 제공하고자 한다.
- [0047] 도 4는 본 발명의 일실시예에 따른 유기 발광 표시 장치의 화소를 개략적으로 나타낸 평면도이고, 도 5는 도 4에 도시된 유기 발광 소자(EL), 박막 트랜지스터(TFT1, TFT2) 및 저장 커패시터(C_{st})의 단면을 나타낸 단면도이다.
- [0048] 도 4 및 도 5를 참조하면, 상기 박막 트랜지스터(TFT1, TFT2)는 기판(110), 상기 기판(110)상에 구비된 반도체층(120), 상기 반도체층(120) 상에 구비된 제 1 절연막(121), 상기 제 1 절연막(121) 상에 구비된 게이트 전극 패턴(130), 상기 게이트 전극 패턴(130) 상에 구비된 제 2 절연막(180) 및 상기 제 2 절연막(180)을 관통하여 상기 반도체층(120)에 연결되는 소스 전극 및 드레인 전극(150)을 포함한다.
- [0049] 상기 게이트 전극 패턴(130)은 복수개의 게이트 중심부(131)와, 그로부터 페루프 형상으로 연장된 게이트 주변부(132)로 구성되어 있다. 이 페루프 형상의 가운데 빈 공간을 통해 상기 소스 전극 및 드레인 전극(150)이 반도체층(120)과 연결된다.
- [0050] 상기 게이트 전극 패턴(130)은 게이트 하부전극(131a, 132a)과 게이트 상부전극(131b, 132b)으로 나뉠 수 있으며, 상기 게이트 하부전극(131a, 132a)은 투명 전도성 물질로 형성될 수 있다.
- [0051] 또한, 박막 트랜지스터(TFT1, TFT2)간 전기적으로 비분리로 인하여 단락(short)이 발생하는 것을 방지하기 위해서 상기 게이트 전극 패턴(130)을 둘러싸는 영역에 게이트 가드(140)가 구비된다.
- [0052] 상기 반도체층(120)은 상기 박막 트랜지스터(TFT1, TFT2)가 있는 영역에만 있는 것이 아니라, 유기 발광 소자(EL) 및 저장 커패시터(C_{st})가 있는 영역까지 포함하여, 기판(110) 상의 전체 영역에 균일하게 형성되어 있다. 즉, 별도의 패터닝을 하지 않고 기판(110) 전면에 반도체층(120)이 구비된다.
- [0053] 상기 유기 발광 소자(EL)는 서로 대면하는 화소전극(161)과 대향전극(163) 및 그 사이에 개재된 발광층(162)을 포함한다. 상기 화소전극(161)은 투명한 전도성 물질로 형성되어 상기 구동 트랜지스터(TFT2)의 드레인 전극(150)과 연결되며, 상기 박막 트랜지스터(TFT1, TFT2)의 게이트 전극 패턴(130)과 동시에 형성된다.
- [0054] 상기 저장 커패시터(C_{st})는 하부전극(171) 및 상부전극(172)을 포함하며, 이들 사이에 제 1 절연막(121)이 개재된다. 상기 저장 커패시터(C_{st})의 상부전극(172)은 상기 박막 트랜지스터(TFT1, TFT2)의 게이트 전극 패턴(130) 및 유기발광소자(EL)의 화소전극(161)과 동시에 형성되며, 하부전극(171)에 대면하는 제 1 상부전극(172a)과, 그 제 1 상부전극(172a) 둘레를 둘러싸는 제 2 상부전극(172b)을 포함한다.
- [0055] 도 6은 본 발명의 일실시예에 따른 유기 발광 표시 장치에서 하나의 박막 트랜지스터를 개략적으로 나타낸 평면도이다. 도 6에서 설명의 편의상 일부 구성요소(예를 들면, 기판, 반도체층 및 제 2 절연막 등)를 생략하여 도시하고 있다.
- [0056] 도 5 및 도 6을 참조하면, 본 발명의 일실시예에 따른 유기 발광 표시 장치에서 하나의 박막 트랜지스터는 기판(110), 상기 기판(110) 상에 구비된 반도체층(120), 상기 반도체층(120) 상에 구비된 제 1 절연막(121), 상기 제 1 절연막(121) 상에 구비된 게이트 전극 패턴(130), 상기 게이트 전극 패턴(130) 상에 구비된 제 2 절연막(180) 및 상기 제 2 절연막(180)을 관통하여 상기 반도체층(120)에 연결되는 소스 전극 및 드레인 전극(150)을 포함한다.
- [0057] 상기 게이트 전극 패턴(130)은 2개의 게이트 중심부(131)와, 그로부터 페루프 형상으로 연장된 게이트 주변부(132)로 구성되어 있다. 이 페루프 형상의 가운데 빈 공간을 통해 상기 소스 전극 및 드레인 전극(150)이 반도체층(120)과 연결된다.
- [0058] 즉, 도 6을 참조하면 본 발명의 일실시예에 따른 유기 발광 표시 장치의 경우, 게이트 전극 역할을 하는 게이트 중심부가 2개로 구성되기 때문에 일종의 이중 게이트를 형성한 것과 같은 효과를 나타낸다. 따라서, 측면 방향(②)으로 누설되는 전류를 잡아주는 기능을 한다.
- [0059] 도 7은 본 발명에 다른 일실시예에 따른 유기 발광 표시 장치에서 하나의 박막 트랜지스터를 개략적으로 나타낸 평면도이다. 도 6에서는 설명의 편의상 일부 구성요소(예를 들면, 기판, 반도체층 및 제 2 절연막 등)를 생략하

고 있다.

- [0060] 도 7을 참조하면, 본 발명의 일실시예에 따른 유기 발광 표시 장치에서 하나의 박막 트랜지스터는 기판, 상기 기판 상에 구비된 반도체층, 상기 반도체층 상에 구비된 제 1 절연막(221), 상기 제 1 절연막(221) 상에 구비된 게이트 전극 패턴(230), 상기 게이트 전극 패턴(230) 상에 구비된 제 2 절연막 및 상기 제 2 절연막을 관통하여 상기 반도체층에 연결되는 소스 전극 및 드레인 전극(250)을 포함한다.
- [0061] 상기 게이트 전극 패턴(230)은 3개의 게이트 중심부(231)와, 그로부터 페루프 형상으로 연장된 게이트 주변부(232)로 구성되어 있다. 이 페루프 형상의 가운데 빈 공간을 통해 상기 소스 전극 및 드레인 전극(250)이 반도체층과 연결된다.
- [0062] 도 7을 참조하면 본 발명의 다른 일실시예에 따른 유기 발광 표시 장치의 경우, 게이트 전극 역할을 하는 게이트 중심부가 3개로 구성되기 때문에 일종의 삼중 게이트를 형성한 것과 같은 효과를 나타낸다. 따라서, 측면 방향으로 누설되는 전류를 잡아주는 기능을 한다.
- [0063] 도 8a는 종래 기술에 따른 박막 트랜지스터의 누설 전류를 나타낸 그래프이고, 도 8b는 본 발명의 일실시예에 따른 박막 트랜지스터의 누설 전류를 나타낸 그래프이다.
- [0064] 도 8a 및 도 8b를 비교하면, 본 발명의 일실시예에 따른 박막 트랜지스터의 누설 전류가 종래 기술에 따른 박막 트랜지스터의 누설 전류보다 더 낮은 수준으로 떨어진 것을 확인할 수 있다.
- [0065] 도 9 내지 도 16는 본 발명의 일실시예에 따른 유기 발광 표시 장치의 제조 방법을 나타낸 도이다.
- [0066] 먼저, 도 9를 참조하면, 기판(110) 상부에 기판(110)의 평활성과 불순 원소의 침투를 차단하기 위한 버퍼층(111)을 형성하고, 그 위에 반도체층(120)을 균일하게 형성한다. 상기 기판(110)은 투명 재질의 글라스로 형성할 수 있고, 상기 반도체층(120)은 다결정 실리콘 재료로 형성할 수 있다.
- [0067] 이어서, 도 10에 도시된 바와 같이 상기 반도체층(120) 위에 제 1 절연막(121)을 형성한다. 즉, 상기 반도체층(120)에 대한 별도의 마스크 패터닝 작업 없이 바로 그 위에 제 1 절연막(121)을 형성하는 것으로, 이에 따라 기존의 제조 방법에 비해 반도체층에 대한 마스크 공정을 생략할 수 있게 된다. 대신, 반도체층을 패터닝하지 않게 됨에 따른 각 소자 간의 전기적 미분리 상태는 이후의 공정을 통해 해결한다. 상기 제 1 절연막(121)은 SiNx 또는 SiOx 등과 같은 무기 절연막을 PECVD법, APCVD법, LPCVD법 등의 방법으로 증착할 수 있다.
- [0068] 이어서, 도 11에 도시된 바와 같이 상기 제 1 절연막(121) 상부에 유기발광소자(EL)의 화소전극(161), 박막 트랜지스터(TFT1, TFT2)의 게이트 전극 패턴(130) 및 저장 커패시터(C_{st})의 상부전극(172)을 형성한다.
- [0069] 즉, 제 1 절연막(121) 위에 두 개의 도전층을 차례로 형성한 후 제 1 마스크(미도시)를 이용한 마스크 공정을 통해 상기 화소전극(161)과 게이트 전극 패턴(130) 및 상부전극(172)의 패턴을 형성하게 된다.
- [0070] 이 때, 두 개의 도전층 중 하부에 먼저 형성되는 층은 ITO, IZO, ZnO 또는 In2O3와 같은 투명 물질 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 나중에 이 투명 물질층이 화소전극(161), 게이트 하부전극(131a, 132a) 및 저장 커패시터(C_{st})의 제 1 상부전극(172a)이 된다.
- [0071] 그리고, 상기 두 개의 도전층 중 상부에 형성되는 층은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Al/Cu 가운데 선택된 하나 이상의 금속 물질을 포함할 수 있다. 나중에 이 금속 물질층은 게이트 상부전극(131b, 132b) 및 저장 커패시터(C_{st})의 제 2 상부전극(172b) 등으로 패터닝 된다.
- [0072] 그리고, 이와 같은 층에 동일한 재료로 게이트 가드(140)가 함께 패터닝 된다. 이 게이트 가드(140)는 게이트 전극 패턴(130)을 둘러싸고 있으며, 이것이 이후의 도핑 공정 시 반도체층(120)에서 인접 소자끼리 전기적 분리가 일어나도록 해주는 역할을 한다.
- [0073] 도 12는 상기 게이트 전극 패턴(130)과 상기 게이트 가드(140)의 패턴 모양을 도시한 평면도인데, 도시된 것처럼 게이트 가드(140)가 게이트 전극 패턴(130)을 둘러싸서 인접 소자와 구획된 영역을 갖도록 하고 있다. 그리고, 상기 게이트 전극 패턴(130)은 전술한 바대로 2개의 게이트 중심부(131)와 게이트 주변부(132)로 구성되어 있고, 게이트 중심부(131)와 게이트 주변부(132) 사이에는 빈 공간이 형성되어 있다.
- [0074] 이 상태에서 도면의 상부로부터 n형 또는 p형의 불순물 도핑이 진행된다. 그러면, 상기 금속 물질층으로 덮여 있는 부분으로는 불순물이 통과하지 못하고, 그렇지 않은 부분을 통해 불순물이 반도체층(120)으로 도핑된다.

- [0075] 따라서, 도 12에 도시된 바와 같이 게이트 중심부(131) 사이 영역(P영역), 및 게이트 중심부(131)와 게이트 주변부(132) 사이 영역(Q영역)에 불순물이 도핑된다. 이 후 공정에서, 상기 Q영역을 통해서 소스 전극 및 드레인 전극(150)이 각각 반도체층(120)에 연결된다.
- [0076] 그리고, 게이트 전극 패턴(130)의 외곽 경계부에는 금속 물질층으로 덮여있는 게이트 가드(140)가 형성되어 있기 때문에, 그 하부의 반도체층(120)에는 도핑이 일어나지 못하게 되고, 따라서 전기적으로 인접 소자들과 분리된 상태가 만들어지게 된다. 즉, 상기 게이트 전극 패턴(130)과 상기 게이트 가드(140)를 마스크로 이용하여 불순물 도핑을 진행하는 셈이 된다.
- [0077] 한편, 유기 발광 소자(EL)의 화소전극(161)과 저장 커패시터(C_{st})의 상부전극(172)은 아직 금속 물질층으로 덮여있는 상태이므로 그 하부의 반도체층(120)으로 불순물 도핑이 진행되지 않는다.
- [0078] 이어서, 도 13에 도시된 바와 같이, 기판(110)의 전면에서 제 2 절연막(180)을 증착한 후, 제 2 마스크(미도시)를 이용한 마스크 공정을 통해 소정 패턴의 개구들을 형성한다. 이 개구들은 유기 발광 소자(EL)의 화소전극(161)과 저장 커패시터(C_{st})의 상부전극(172)을 노출시킨다. 또한 상기 게이트 중심부(131)와 게이트 주변부(132) 사이 영역(Q영역)에, 상기 제 1 절연막(121) 및 상기 제 2 절연막(180)을 관통하여 상기 반도체층(120)을 노출시킨다.
- [0079] 이때 상기 제 2 절연막(180)은 예컨대 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질을 이용하여 스핀 코팅 방법으로 형성할 수 있다.
- [0080] 이어서, 도 14에 도시된 바와 같이 기판(110) 전면에서 도전층을 증착한 후 제 3 마스크(미도시)를 이용한 마스크 공정을 통해 소스 전극 및 드레인 전극(150)을 형성한다. 이때의 도전층은 금속 물질층으로 형성될 수 있으며, 전술한 개구들을 매울 수 있을 정도로 충분한 두께로 증착되었다가 상기 마스크 공정을 통해 소스 전극 및 드레인 전극(150)만 남고 제거된다.
- [0081] 그리고, 이때 상기 유기 발광 소자(EL)의 화소전극(161)과 저장 커패시터(C_{st})의 상부전극(172)에 있던 금속 물질층도 에칭으로 제거된다.
- [0082] 그런데, 상기 화소전극(161)과 상부전극(172)의 가장자리부분은 상기 제 2 절연막(180) 안에 묻혀있기 때문에 에칭 후에도 제거되지 않고 남아있게 된다. 이렇게 남은 저장 커패시터(C_{st})의 제 2 상부전극(172b)은 전술한 게이트 전극 패턴(130)의 게이트 가드(140)와 같은 마스크 역할을 하게 된다.
- [0083] 즉, 이와 같이 소스 전극 및 드레인 전극(150)이 형성된 후에 상기 저장 커패시터(C_{st})의 하부전극(171)을 형성하기 위한 도핑을 수행하게 되는데, 이때 도 13에 도시된 바와 같이 잔류하는 제 2 상부전극(172b)이 제 1 상부전극(172a) 둘레를 둘러싸고 있는 모양이 되며, 이에 따라 제 2 상부전극(172b) 아래의 반도체층(120)으로는 도핑이 진행되지 못하게 된다. 그러면, 제 1 상부전극(172a)과 대면하는 반도체층(120) 영역에는 도핑이 일어나서 하부전극(171)이 형성되지만, 상기 잔류하는 제 2 상부전극(172b) 아래의 반도체층(120) 영역에는 도핑이 일어나지 않게 되므로 결과적으로 인접한 다른 소자와 전기적으로 분리되게 해주는 경계선이 만들어지는 것이다.
- [0084] 따라서, 반도체층(120)을 별도의 마스크로 패터닝하지 않고도 상기 박막트랜지스터(TFT1, TFT2)와 저장 커패시터(C_{st})에 필요한 반도체층(120) 및 하부전극(171)을 모두 전기적으로 안전하게 분리된 형태로 만들어 낼 수 있게 된다.
- [0085] 이어서, 도 15에 도시된 바와 같이, 기판(110) 상에 화소정의막(pixel define layer: PDL)(190)을 형성한다. 화소정의막(190)은 예컨대 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 형성될 수 있으며, 제 4 마스크(미도시)를 사용한 마스크 공정에 의해 화소전극(161)의 중앙부가 노출되는 개구가 형성된다.
- [0086] 이어서, 도 16에 도시된 바와 같이, 상기 화소전극(161) 위에 발광층(162) 및 대향전극(163)이 형성된다.
- [0087] 이상, 첨부된 도면을 참조하여 본 발명의 일례들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 일례들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

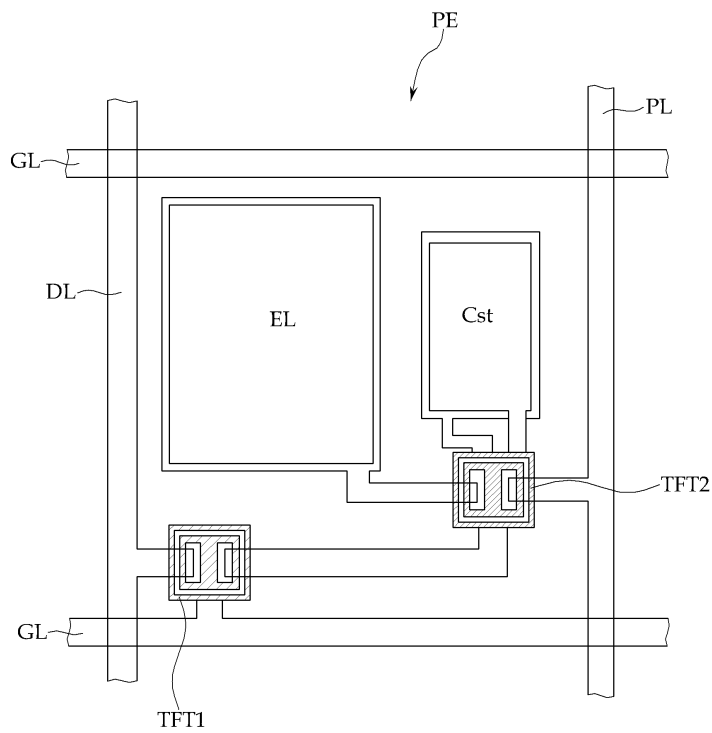
부호의 설명

[0088]

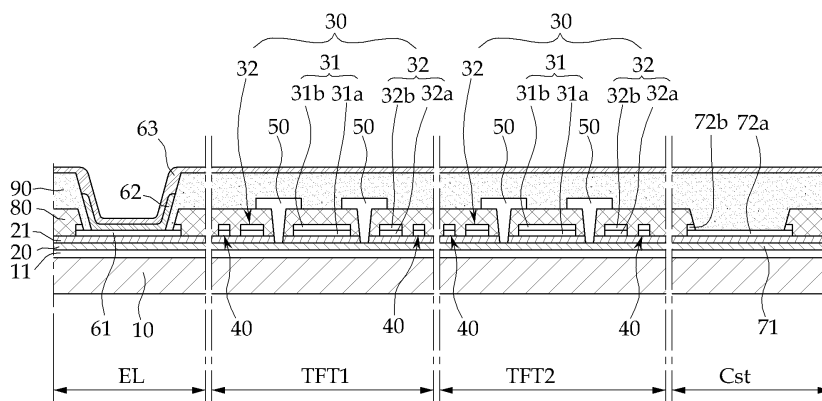
- 110 : 기판
- 120 : 반도체층
- 130 : 게이트 전극 패턴
- 140 : 게이트 가드
- 150 : 소스, 드레인 전극

도면

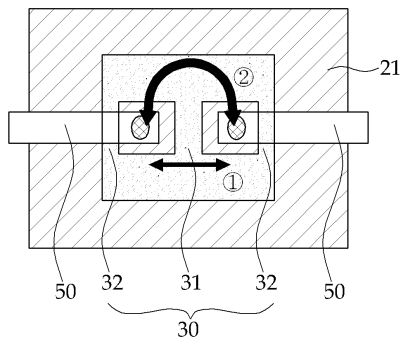
도면1



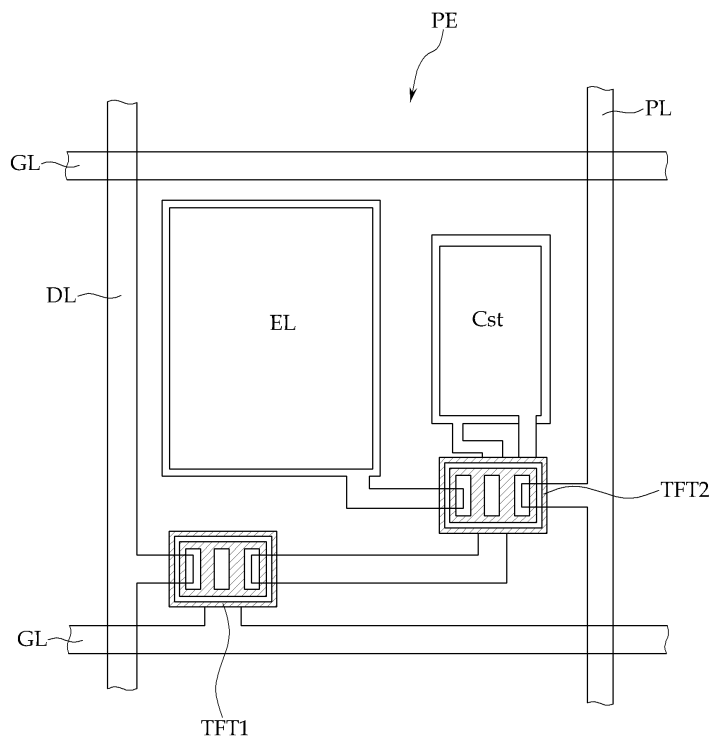
도면2



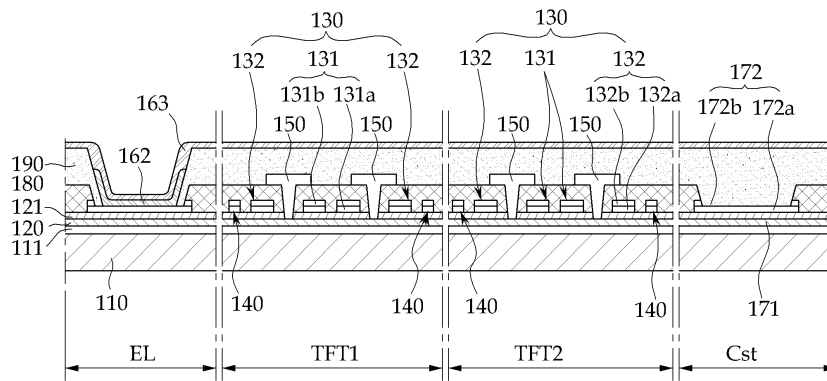
도면3



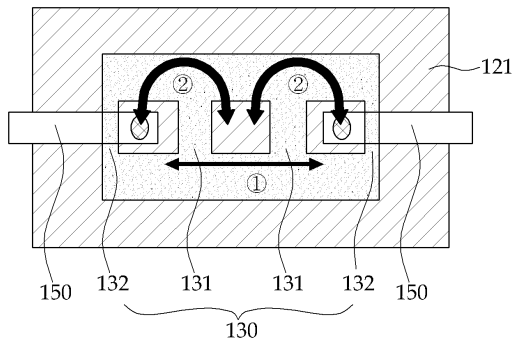
도면4



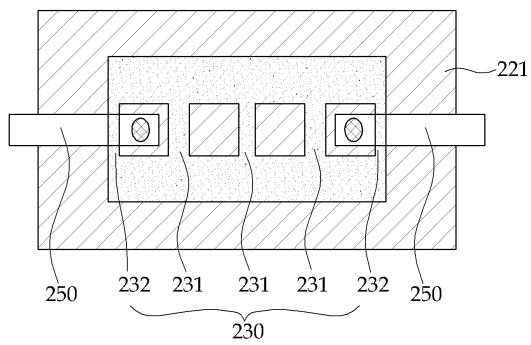
도면5



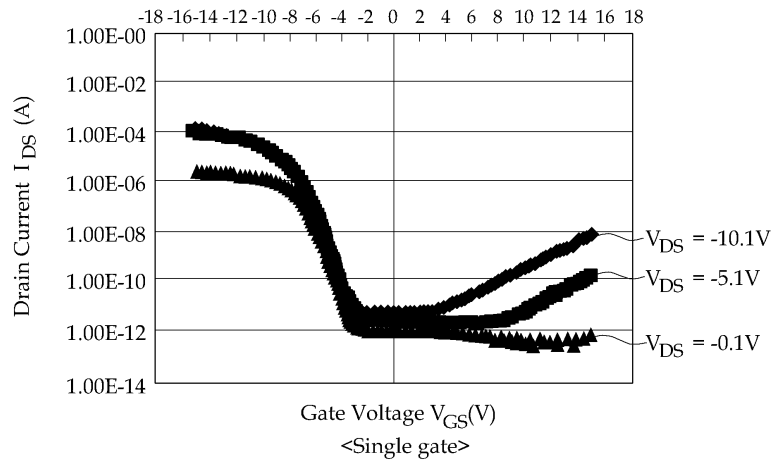
도면6



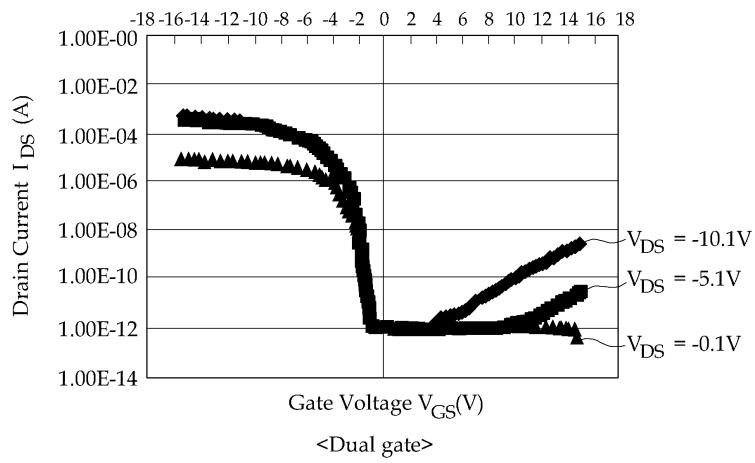
도면7



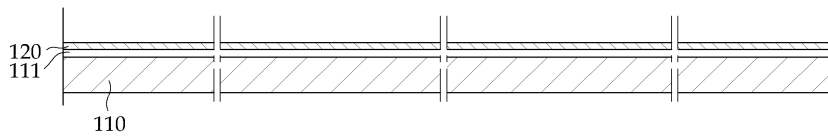
도면8a



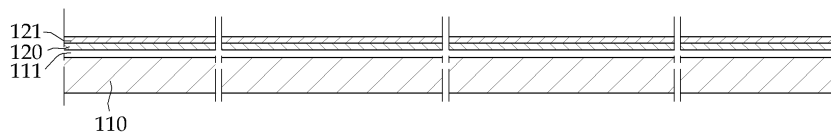
도면8b



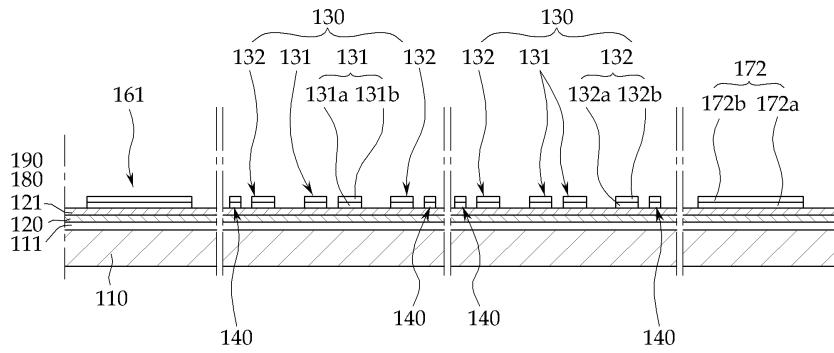
도면9



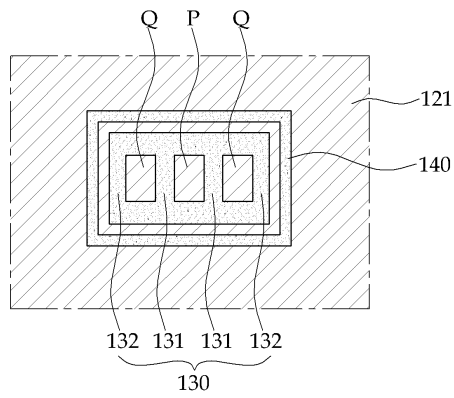
도면10



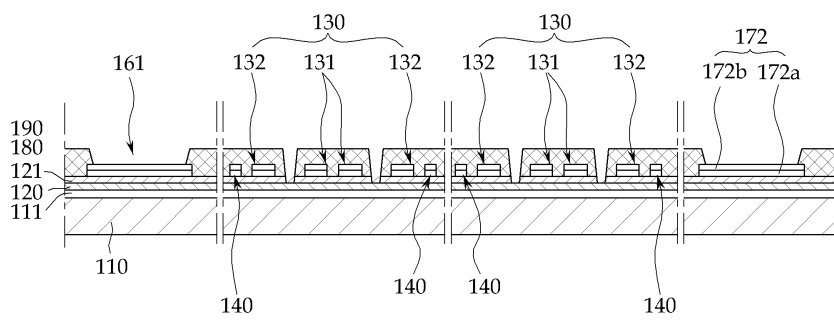
도면11



도면12



도면13



专利名称(译)	显示装置和制造该装置的方法		
公开(公告)号	KR1020150078155A	公开(公告)日	2015-07-08
申请号	KR1020130167293	申请日	2013-12-30
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	JIN GUANG HAI 김광해 JUNG IN YOUNG 정인영 CHOI JAE BEOM 최재범		
发明人	김광해 정인영 최재범		
IPC分类号	H01L27/32		
CPC分类号	H01L51/56 H01L29/78675 H01L2227/323 H01L29/78645 H01L29/78609 H01L27/3262 H01L27/124 H01L27/1255 H01L29/42384		
外部链接	Espacenet		

摘要(译)

一种显示装置，包括有机发光元件和连接到薄膜晶体管的电容器。晶体管包括均匀地设置在衬底的整个区域上的半导体层。晶体管还包括半导体层上的第一绝缘层，第一绝缘层上的栅电极图案，与栅电极图案相同的层上的栅极保护层，栅电极图案上的第二绝缘层和栅极保护，以及源极和漏极电极穿过第一绝缘层和第二绝缘层并连接到半导体层。栅电极图案包括多个栅极中心部分和具有从栅极中心部分延伸的闭环形状的栅极外围部分。

