



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0013727
(43) 공개일자 2014년02월05일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) H01L 51/56 (2006.01)
(21) 출원번호 10-2012-0081972
(22) 출원일자 2012년07월26일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
김성호
경기도 용인시 기흥구 삼성2로 95 (농서동)
신민철
경기도 용인시 기흥구 삼성2로 95 (농서동)
김도영
경기도 용인시 기흥구 삼성2로 95 (농서동)
(74) 대리인
리엔목특허법인

전체 청구항 수 : 총 20 항

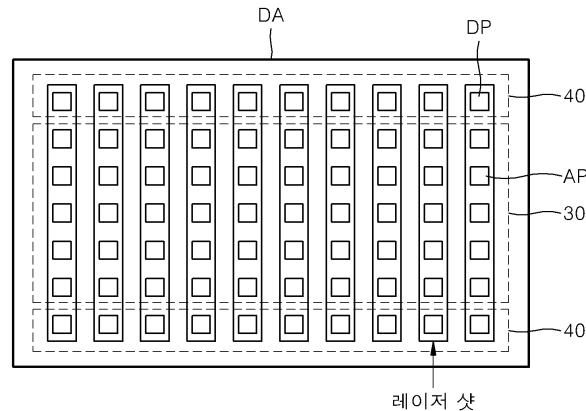
(54) 발명의 명칭 유기 발광 표시 장치 및 그 제조 방법

(57) 요약

본 발명은 유기 발광 표시 장치 및 그 제조 방법을 개시한다.

상기 유기 발광 표시 장치는, 레이저 결정화에 의해 형성한 반도체층을 패터닝하여 형성된 활성층; 상기 활성층의 채널영역에 대응하여 배치된 게이트 전극; 상기 활성층과 상기 게이트 전극 사이에 배치된 제1절연막; 상기 게이트 전극 상부에 배치된 제2절연막; 및 상기 제2절연막 상에 형성되며, 상기 활성층의 소스영역, 드레인영역 및 상기 게이트 전극과 각각 접촉하는 테스트 패턴들;을 포함한다.

대표도 - 도2



특허청구의 범위

청구항 1

레이저 결정화에 의해 형성한 반도체층을 패터닝하여 형성된 활성층;

상기 활성층의 채널영역에 대응하여 배치된 게이트 전극;

상기 활성층과 상기 게이트 전극 사이에 배치된 제1절연막;

상기 게이트 전극 상부에 배치된 제2절연막; 및

상기 제2절연막 상에 형성되며, 상기 활성층의 소스영역, 드레인영역 및 상기 게이트 전극과 각각 접촉하는 테스트 패턴들;을 포함하는 유기 발광 표시 장치.

청구항 2

제1항에 있어서,

상기 테스트 패턴들을 커버하며 상기 제2절연막 상부에 배치되고, 상기 테스트 패턴들의 일부를 노출하는 홀이 형성된 제3절연막;

상기 홀 상부에 형성된 중간층; 및

상기 중간층 상부에 형성된 전극층;을 포함하는 유기 발광 표시 장치.

청구항 3

제1항에 있어서,

상기 중간층은 발광층 이외의 기능층들이 단일 또는 복합의 구조로 적층된 유기 발광 표시 장치.

청구항 4

제2항에 있어서,

상기 제1절연막 상부에 형성되고, 상기 제3절연막으로 커버된 화소전극을 더 포함하는 유기 발광 표시 장치.

청구항 5

제2항에 있어서,

상기 활성층과 동일층에 상기 반도체층을 패터닝하여 형성된 커패시터 하부전극과, 상기 제1절연막 상부에 형성되고 상기 제3절연막으로 커버된 커패시터 상부 전극을 포함하는 유기 발광 표시 장치.

청구항 6

제5항에 있어서,

상기 제2절연막 상에 형성되며, 상기 커패시터 하부 전극의 일부 및 상기 커패시터 상부 전극과 접촉하는 전극층의 일부와 각각 접촉하는 제2 테스트 패턴들을 더 포함하고,

상기 제3절연막이 상기 제2 테스트 패턴들의 일부를 노출하는 홀을 구비하고, 상기 홀 상부에 상기 중간층과 상기 전극층이 차례로 적층된 유기 발광 표시 장치.

청구항 7

제5항에 있어서,

상기 제3절연막은 상기 커패시터 하부 전극의 일부와 상기 커패시터 상부 전극의 일부를 노출하는 홀을 구비하고,

상기 홀 상부에 상기 중간층과 상기 전극층이 차례로 적층된 유기 발광 표시 장치.

청구항 8

레이저 결정화에 의해 형성한 반도체층을 패터닝하여 형성된 제1활성층과, 상기 제1활성층의 채널영역에 대응하여 배치된 제1 게이트 전극과, 상기 제1활성층의 소스영역 및 드레인영역과 각각 접촉하는 소스 전극 및 드레인 전극을 포함하는 유효 화소; 및

상기 유효 화소 주변에 배치되고, 상기 반도체층을 패터닝하여 형성된 제2활성층과, 상기 제2활성층의 채널영역에 대응하여 배치된 제2 게이트 전극과, 상기 제2활성층의 소스영역, 드레인영역 및 상기 제2 게이트 전극과 각각 접촉하는 테스트 패턴들을 포함하는 더미 화소;를 포함하는 유기 발광 디스플레이 장치.

청구항 9

제8항에 있어서,

상기 제1활성층과 상기 제1 게이트 전극 사이, 및 상기 제2활성층과 상기 제2 게이트 전극 사이에 배치된 제1절연막;

상기 제1 게이트 전극과 상기 소스 전극 및 드레인 전극 사이, 및 상기 제2 게이트 전극과 상기 테스트 패턴들 사이에 배치된 제2절연막; 및

상기 소스 전극 및 드레인 전극과, 상기 테스트 패턴들을 커버하며 상기 제2절연막 상부에 배치되고, 상기 테스트 패턴들의 일부를 노출하는 홀이 형성된 제3절연막;을 포함하는 유기 발광 디스플레이 장치.

청구항 10

제9항에 있어서,

상기 제3절연막 상부에 형성된 중간층; 및

상기 중간층 상부에 형성된 전극층;을 포함하는 유기 발광 표시 장치.

청구항 11

제10항에 있어서,

상기 유효 화소는, 상기 제1절연막 상부에 형성된 제1화소전극을 구비하고, 상기 제3절연막의 패터닝에 의해 노출된 상기 제1화소전극 상에 상기 중간층과 상기 전극층이 차례로 형성되고,

상기 더미 화소는, 상기 제1절연막 상부에 형성되고 상기 제3절연막으로 커버된 제2화소전극을 구비하는 유기 발광 표시 장치.

청구항 12

제11항에 있어서,

상기 유효 화소에 형성된 중간층은 발광층 및 기능층들이 단일 또는 복합으로 적층된 구조이고,

상기 더미 화소에 형성된 중간층은 발광층 이외의 기능층들이 단일 또는 복합으로 적층된 구조인 유기 발광 표시 장치.

청구항 13

제10항에 있어서,

상기 유효 화소는, 상기 제1활성층과 동일층에 상기 반도체층을 패터닝하여 형성된 제1 커패시터 하부전극과, 상기 제1절연막 상부에 형성되고 상기 제3절연막으로 커버된 제1 커패시터 상부전극을 포함하고,

상기 더미 화소는, 상기 제2활성층과 동일층에 상기 반도체층을 패터닝하여 형성된 제2 커패시터 하부전극과, 상기 제1절연막 상부에 형성되고 상기 제3절연막으로 커버된 제2 커패시터 상부전극을 포함하는 유기 발광 표시 장치.

청구항 14

제13항에 있어서,

상기 제2절연막 상에 형성되며, 상기 제2 커패시터 하부 전극의 일부 및 상기 제2 커패시터 상부 전극과 접촉하는 전극층의 일부와 각각 접촉하는 제2 테스트 패턴들을 더 포함하고,

상기 제3절연막이 상기 제2 테스트 패턴들의 일부를 노출하는 홀을 구비하고, 상기 홀 상부에 상기 중간층과 상기 전극층이 차례로 적층된 유기 발광 표시 장치.

청구항 15

제13항에 있어서,

상기 제3절연막은 상기 제2 커패시터 하부전극의 일부와 상기 제2 커패시터 상부전극의 일부를 노출하는 홀을 구비하고,

상기 홀 상부에 상기 중간층과 상기 전극층이 차례로 적층된 유기 발광 표시 장치.

청구항 16

레이저 결정화에 의해 형성한 반도체층을 패터닝하여 활성층을 형성하는 단계;

상기 활성층 상부에 제1절연막을 형성하는 단계;

상기 제1절연막 상부에 상기 활성층의 채널영역에 대응하여 게이트 전극을 형성하는 단계;

상기 게이트 전극 상부에 제2절연막을 형성하는 단계; 및

상기 제2절연막 상에 상기 활성층의 소스영역, 드레인영역 및 상기 게이트 전극과 각각 접촉하는 테스트 패턴들을 형성하는 단계;를 포함하는 유기 발광 표시 장치 제조 방법.

청구항 17

제16항에 있어서,

상기 테스트 패턴들을 커버하며 상기 제2절연막 상부에 제3절연막을 형성하고, 상기 테스트 패턴들의 일부를 노출하는 홀을 형성하는 단계;

상기 홀 상부에 중간층을 형성하는 단계; 및

상기 중간층 상부에 전극층을 형성하는 단계;를 포함하는 유기 발광 표시 장치 제조 방법.

청구항 18

제17항에 있어서,

상기 중간층은 발광층 이외의 기능층들이 단일 또는 복합의 구조로 적층된 유기 발광 표시 장치 제조 방법.

청구항 19

제17항에 있어서,

상기 활성층 형성 단계에서, 상기 반도체층을 패터닝하여 형성된 커패시터 하부전극을 형성하고,

상기 게이트 전극 형성 단계에서, 상기 제1절연막 상부에 제1전극층과 제1전극층 상부의 제2전극층을 포함하는 전극패턴을 형성하고,

상기 테스트 패턴들 형성 단계에서, 상기 커패시터 하부전극과 상기 제2전극층과 접촉하는 제2 테스트 패턴들을 형성하고,

상기 홀 형성 단계에서, 상기 제2 테스트 패턴들의 일부를 노출하는 홀을 형성하고,

상기 홀 상부에 중간층과 전극층을 차례로 형성하는 유기 발광 표시 장치 제조 방법.

청구항 20

제17항에 있어서,

상기 활성층 형성 단계에서, 상기 반도체층을 패터닝하여 형성된 커패시터 하부전극을 형성하고,

상기 게이트 전극 형성 단계에서, 상기 제1절연막 상부에 제1전극층과 제1전극층 상부의 제2전극층을 포함하는 전극패턴을 형성하고,

상기 테스트 패턴들 형성 단계에서, 상기 제2전극층을 제거하여 커패시터 상부 전극을 형성하고,

상기 홀 형성 단계에서, 상기 커패시터 하부전극과 상기 커패시터 상부전극의 일부를 노출하는 홀을 형성하고,

상기 홀 상부에 중간층과 전극층을 차례로 형성하는 유기 발광 표시 장치 제조 방법.

명세서

기술분야

[0001] 본 발명은 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 정보화 사회의 발전에 따라 다양한 형태의 표시장치가 요구되고 있으며, 액정표시장치(liquid crystal display device), 유기전기발광 표시장치(organic electroluminescent display device), 플라즈마 표시장치(plasma display panel device), 전계방출 표시장치(field emission display device) 등과 같은 평판표시장치(flat panel display)가 널리 개발되고 있다. 이러한 평판표시장치는, 다수의 화소를 매트릭스 형태로 배열하고 각 화소마다 스위칭 소자인 박막 트랜지스터를 포함하여 개별 구동하는 능동행렬(active matrix) 형태가 주로 이용된다.

[0003] 박막 트랜지스터는 실리콘과 같은 반도체로 이루어진 액티브층을 포함하는데, 비정질 실리콘(amorphous silicon; a-Si:H)이 저온에서 저가의 유리 기판과 같은 대형 기판 상에 형성할 수 있으며, 공정이 간단하여 널리 이용되고 있다.

[0004] 그러나, 비정질 실리콘을 이용한 박막 트랜지스터는, 낮은 전계효과 이동도(field effect mobility)를 가지고 있어 응답 속도가 느리며, 특히, 대면적 표시장치에서의 고속 구동에 어려움이 있다.

[0005] 이에 따라, 다결정 실리콘(polycrystalline silicon)을 이용한 박막 트랜지스터를 채용하는 표시장치가 널리 연구 및 개발되고 있다. 다결정 실리콘을 이용한 표시장치에서는 화소 영역의 박막 트랜지스터와 구동 회로를 동일 기판 상에 형성할 수 있으며, 화소 영역의 박막 트랜지스터와 구동 회로를 연결하는 과정이 불필요하므로 공정이 간단해진다. 또한, 다결정 실리콘은 비정질 실리콘에 비해 전계효과 이동도가 100 내지 200배 정도 더 크므로 응답 속도가 빠르고, 온도와 빛에 대한 안정성도 우수한 장점이 있다.

[0006] 한편, 최근 표시장치의 고성능화가 진행되어, 이에 따르는 디바이스 특성의 관리가 엄격하게 요구되고 있다. 디바이스 특성의 관리는 품질관리, 불량기판의 조기발견 및 불량기판의 공정유출 방지를 위해 필요하다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 다결정 실리콘을 이용한 박막 트랜지스터를 채용하는 표시장치에서, 레이저 결정화에 의한 얼룩을 용이하게 모니터링할 수 있는 화소 구성 및 그 제조 방법을 제공한다.

과제의 해결 수단

[0008] 본 발명의 바람직한 일 실시예에 따른 유기 발광 표시 장치는, 레이저 결정화에 의해 형성한 반도체층을 패터닝하여 형성된 활성층; 상기 활성층의 채널영역에 대응하여 배치된 게이트 전극; 상기 활성층과 상기 게이트 전극 사이에 배치된 제1절연막; 상기 게이트 전극 상부에 배치된 제2절연막; 및 상기 제2절연막 상에 형성되며, 상기 활성층의 소스영역, 드레인영역 및 상기 게이트 전극과 각각 접촉하는 테스트 패턴들;을 포함할 수 있다.

[0009] 상기 유기 발광 표시 장치는, 상기 테스트 패턴들을 커버하며 상기 제2절연막 상부에 배치되고, 상기 테스트 패턴들의 일부를 노출하는 홀이 형성된 제3절연막; 상기 홀 상부에 형성된 중간층; 및 상기 중간층 상부에 형성된

전극층;을 포함할 수 있다. 상기 중간층은 발광층 이외의 기능층들이 단일 또는 복합의 구조로 적층될 수 있다.

- [0010] 상기 유기 발광 표시 장치는, 상기 제1절연막 상부에 형성되고, 상기 제3절연막으로 커버된 화소전극을 더 포함할 수 있다.
- [0011] 상기 유기 발광 표시 장치는, 상기 활성층과 동일층에 상기 반도체층을 패터닝하여 형성된 커패시터 하부전극과, 상기 제1절연막 상부에 형성되고 상기 제3절연막으로 커버된 커패시터 상부 전극을 더 포함할 수 있다.
- [0012] 상기 유기 발광 표시 장치는, 상기 제2절연막 상에 형성되며, 상기 커패시터 하부 전극의 일부 및 상기 커패시터 상부 전극과 접촉하는 전극층의 일부와 각각 접촉하는 제2 테스트 패턴들을 더 포함하고, 상기 제3절연막이 상기 제2 테스트 패턴들의 일부를 노출하는 홀을 구비하고, 상기 홀 상부에 상기 중간층과 상기 전극층이 차례로 적층될 수 있다.
- [0013] 상기 제3절연막은 상기 커패시터 하부 전극의 일부와 상기 커패시터 상부 전극의 일부를 노출하는 홀을 구비하고, 상기 홀 상부에 상기 중간층과 상기 전극층이 차례로 적층될 수 있다.
- [0014] 본 발명의 바람직한 일 실시예에 따른 유기 발광 표시 장치는, 레이저 결정화에 의해 형성한 반도체층을 패터닝하여 형성된 제1활성층과, 상기 제1활성층의 채널영역에 대응하여 배치된 제1 게이트 전극과, 상기 제1활성층의 소스영역 및 드레인영역과 각각 접촉하는 소스 전극 및 드레인 전극을 포함하는 유효 화소; 및 상기 유효 화소 주변에 배치되고, 상기 반도체층을 패터닝하여 형성된 제2활성층과, 상기 제2활성층의 채널영역에 대응하여 배치된 제2 게이트 전극과, 상기 제2활성층의 소스영역, 드레인영역 및 상기 제2 게이트 전극과 각각 접촉하는 테스트 패턴들을 포함하는 더미 화소;를 포함할 수 있다.
- [0015] 상기 유기 발광 표시 장치는, 상기 제1활성층과 상기 제1 게이트 전극 사이, 및 상기 제2활성층과 상기 제2 게이트 전극 사이에 배치된 제1절연막; 상기 제1 게이트 전극과 상기 소스 전극 및 드레인 전극 사이, 및 상기 제2 게이트 전극과 상기 테스트 패턴들 사이에 배치된 제2절연막; 및 상기 소스 전극 및 드레인 전극과, 상기 테스트 패턴들을 커버하며 상기 제2절연막 상부에 배치되고, 상기 테스트 패턴들의 일부를 노출하는 홀이 형성된 제3절연막;을 포함할 수 있다.
- [0016] 상기 유기 발광 표시 장치는, 상기 제3절연막 상부에 형성된 중간층; 및 상기 중간층 상부에 형성된 전극층;을 포함할 수 있다.
- [0017] 상기 유효 화소는, 상기 제1절연막 상부에 형성된 제1화소전극을 구비하고, 상기 제3절연막의 패터닝에 의해 노출된 상기 제1화소전극 상에 상기 중간층과 상기 전극층이 차례로 형성된다. 그리고, 상기 더미 화소는, 상기 제1절연막 상부에 형성되고 상기 제3절연막으로 커버된 제2화소전극을 구비할 수 있다.
- [0018] 상기 유효 화소에 형성된 중간층은 발광층 및 기능층들이 단일 또는 복합으로 적층된 구조이다. 그리고, 상기 더미 화소에 형성된 중간층은 발광층 이외의 기능층들이 단일 또는 복합으로 적층된 구조일 수 있다.
- [0019] 상기 유효 화소는, 상기 제1활성층과 동일층에 상기 반도체층을 패터닝하여 형성된 제1 커패시터 하부전극과, 상기 제1절연막 상부에 형성되고 상기 제3절연막으로 커버된 제1 커패시터 상부전극을 포함한다. 그리고, 상기 더미 화소는, 상기 제2활성층과 동일층에 상기 반도체층을 패터닝하여 형성된 제2 커패시터 하부전극과, 상기 제1절연막 상부에 형성되고 상기 제3절연막으로 커버된 제2 커패시터 상부전극을 포함할 수 있다.
- [0020] 상기 더미 화소는, 상기 제2절연막 상에 형성되며, 상기 제2 커패시터 하부 전극의 일부 및 상기 제2 커패시터 상부 전극과 접촉하는 전극층의 일부와 각각 접촉하는 제2 테스트 패턴들을 더 포함하고, 상기 제3절연막이 상기 제2 테스트 패턴들의 일부를 노출하는 홀을 구비하고, 상기 홀 상부에 상기 중간층과 상기 전극층이 차례로 적층될 수 있다.
- [0021] 상기 제3절연막은 상기 제2 커패시터 하부전극의 일부와 상기 제2 커패시터 상부전극의 일부를 노출하는 홀을 구비하고, 상기 홀 상부에 상기 중간층과 상기 전극층이 차례로 적층될 수 있다.
- [0022] 본 발명의 바람직한 일 실시예에 따른 유기 발광 표시 장치 제조 방법은, 레이저 결정화에 의해 형성한 반도체층을 패터닝하여 활성층을 형성하는 단계; 상기 활성층 상부에 제1절연막을 형성하는 단계; 상기 제1절연막 상부에 상기 활성층의 채널영역에 대응하여 게이트 전극을 형성하는 단계; 상기 게이트 전극 상부에 제2절연막을 형성하는 단계; 및 상기 제2절연막 상에 상기 활성층의 소스영역, 드레인영역 및 상기 게이트 전극과 각각 접촉하는 테스트 패턴들을 형성하는 단계;를 포함할 수 있다.

[0023] 상기 방법은, 상기 테스트 패턴들을 커버하며 상기 제2절연막 상부에 제3절연막을 형성하고, 상기 테스트 패턴들의 일부를 노출하는 홀을 형성하는 단계; 상기 제3절연막 상부에 중간층을 형성하는 단계; 및 상기 중간층 상부에 전극층을 형성하는 단계;를 포함할 수 있다.

[0024] 상기 중간층은 발광층 이외의 기능층들이 단일 또는 복합의 구조로 적층될 수 있다.

[0025] 상기 방법은, 상기 활성층 형성 단계에서, 상기 반도체층을 패터닝하여 형성된 커패시터 하부전극을 형성하고, 상기 게이트 전극 형성 단계에서, 상기 제1절연막 상부에 제1전극층과 제1전극층 상부의 제2전극층을 포함하는 전극패턴을 형성하고, 상기 테스트 패턴들 형성 단계에서, 상기 커패시터 하부전극과 상기 제2전극층과 접촉하는 제2 테스트 패턴들을 형성하고, 상기 홀 형성 단계에서, 상기 제2 테스트 패턴들의 일부를 노출하는 홀을 형성하고, 상기 홀 상부에 중간층과 전극층을 차례로 형성할 수 있다.

[0026] 상기 방법은, 상기 활성층 형성 단계에서, 상기 반도체층을 패터닝하여 형성된 커패시터 하부전극을 형성하고, 상기 게이트 전극 형성 단계에서, 상기 제1절연막 상부에 제1전극층과 제1전극층 상부의 제2전극층을 포함하는 전극패턴을 형성하고, 상기 테스트 패턴들 형성 단계에서, 상기 제2전극층을 제거하여 커패시터 상부 전극을 형성하고, 상기 홀 형성 단계에서, 상기 커패시터 하부전극과 상기 커패시터 상부전극의 일부를 노출하는 홀을 형성하고, 상기 홀 상부에 중간층과 전극층을 차례로 형성할 수 있다.

발명의 효과

[0027] 본 발명의 실시예에 따른 더미 화소의 형성에 의해, 용이하고 정확한 박막 트랜지스터 및 커패시터의 특성 테스트가 가능하여 테스트 결과를 신뢰할 수 있다.

도면의 간단한 설명

[0028] 도 1은 본 발명의 일 실시예에 따른 유기 발광 디스플레이 표시장치를 개략적으로 나타낸 평면도이다.

도 2는 본 발명의 일 실시예에 따른 도 1의 표시 영역(DA)의 평면도를 개략적으로 나타낸다.

도 3은 일반적인 레이저 어닐링 공정에 의한 레이저 빔의 진행 방향을 도시한다.

도 4 내지 도 10은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 공정을 개략적으로 나타내는 단면도이다.

도 11은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치에서 더미 화소의 단면도이다.

도 12 내지 도 14는 도 11에 도시된 더미 화소(DP)를 포함하는 유기 발광 표시 장치의 제조 공정을 개략적으로 나타내는 단면도이다.

도 15는 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치에서 더미 화소의 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0029] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시 예를 가질 수 있는 바, 특정 실시 예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 도면상의 동일한 부호는 동일한 요소를 지칭한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.

[0030] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 구성요소들은 용어들에 의해 한정되어서는 안 된다. 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.

[0031] 본 출원에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0032] 본 발명의 실시예를 설명하는 도면에 있어서, 어떤 층이나 영역들은 명세서의 명확성을 위해 두께를 확대하여 나타내었다. 또한 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에"

있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

- [0033] 이하 첨부된 도면들에 도시된 본 발명에 관한 실시예를 참조하여 본 발명의 구성 및 작용을 상세히 설명한다.
- [0034] 도 1은 본 발명의 일 실시예에 따른 유기 발광 디스플레이 표시장치를 개략적으로 나타낸 평면도이다. 도 2는 본 발명의 일 실시예에 따른 도 1의 표시 영역(DA)의 평면도를 개략적으로 나타낸다.
- [0035] 본 발명의 일 실시예에 따른 유기 발광 디스플레이 표시장치(1)는 어레이 기관(10) 상에 박막 트랜지스터(TFT), 유기발광소자(EL), 및 커패시터(Cst) 등을 포함하는 복수의 화소를 구비한다.
- [0036] 어레이 기관(10)은 표시 영역(DA)을 구비하고 있다. 표시 영역(DA)은 복수의 스캔 라인(SL) 및 복수의 데이터 라인(DL)을 포함하고, 스캔 라인(SL)과 데이터 라인(DL)이 교차하는 영역에 복수의 화소를 구비한다.
- [0037] 표시 영역(DA)은 발광에 의해 영상을 표시하는 유효 화소(AP)가 매트릭스 형상으로 배치된 액티브 영역(30)과, 액티브 영역(30)의 정확한 박막 트랜지스터 및/또는 커패시터의 특성을 측정하기 위해, 유효 화소(AP) 주변에 더미 화소(DP)가 배치된 더미 영역(40)을 포함한다. 유효 화소(AP)와 더미 화소(DP)는 각각 화소 전극, 박막 트랜지스터, 커패시터, 및 배선을 구비하고, 더미 화소(DP)는 구동 회로와 절연되어 있다.
- [0038] 다결정 실리콘(polycrystalline silicon)을 이용한 박막 트랜지스터를 채용하는 표시장치의 경우, 다결정 실리콘층은, 비정질 실리콘층을 형성하고 이를 결정화하는 과정을 통해 형성되는데, 통상적으로, 엑시머 레이저(Excimer laser)를 이용한 레이저 어닐링(laser annealing) 공정을 통해 비정질 실리콘을 열처리함으로써 형성될 수 있다. 도 3은 일반적인 레이저 어닐링 공정에 의한 레이저 빔의 진행 방향을 도시한다. 도 3에 도시된 바와 같이, 레이저 어닐링 공정은, 레이저 빔이 여러 샷(shot)을 통해 기관 표면을 가로질러 점진적으로 스캐닝되기 때문에, 비교적 느리고, 레이저 빔의 샷 간의 에너지 차이에 의해 형성된 다결정 실리콘층이 위치에 따라 균일하지 않다는 단점이 있다. 이에 따라, 패널의 발광시 결정화 기인성 세로줄 얼룩 또는 가로줄 얼룩 등이 발생한다.
- [0039] 본 발명의 실시예는 이러한 결정화에 의해 얼룩이 발현되는 영역에 대한 전기적 특성 차이를 모니터링하기 위해, 결정화 라인마다 더미 화소(DP)를 형성하고, 더미 화소(DP)의 박막 트랜지스터 및 커패시터의 특성 검사를 이용하여, 액티브 영역(30) 내의 박막 트랜지스터 및 커패시터의 특성을 유추 해석할 수 있다. 더미 화소(DP)는 레이저 빔의 샷에 대응하는 결정화 라인의 양끝 중 적어도 하나에 형성될 수 있다. 도 2의 실시예에서는 결정화 라인의 양끝 모두에 더미 화소(DP)가 형성된 예를 도시하고 있다. 본 발명의 실시예에 따라 레이저 어닐링(laser annealing) 진행시 레이저 빔의 샷 별 박막 트랜지스터 및 커패시터의 특성을 실제 발광 영역 내 특성으로 모니터링이 가능하며, 이를 통해서 실제 적인 표시장치의 불량 원인 분석이 가능하다.
- [0040] 박막 트랜지스터 및 커패시터의 특성 검사를 위한 방법으로, 테스트 요소를 포함하는 TEG(Test Element Group)를 기관상에 형성하고, 각 테스트 요소에 프로브를 접촉시켜, 각 테스트 요소의 특성을 측정하는 방법이 있다.
- [0041] 표시 영역(DA) 주변의 비표시 영역에는 유효 화소에 영상 신호를 공급하기 위한 각종 구동 회로와 배선 등이 배치될 수 있다. 구동 회로는, 유기 발광 디스플레이 패널이 일정한 기능을 수행하도록 구동시키는 전기적인 신호를 공급 및 제어하는 반도체 장치 및 관련되는 배선 등이 집적되어 배선된 회로의 전반을 가리킨다. 예를 들어, 표시 영역(DA)의 스캔 라인(SL)에 스캔 신호를 전달하는 스캔 회로부, 표시 영역(DA)의 데이터 라인(DL)에 데이터 신호를 전달하는 데이터 회로부 및 표시 영역(DA)에 구동 전원을 공급하는 구동 전원 배선부 등이 포함될 수 있다. 주사 회로부 및 데이터 회로부는 집적 회로(20)로 형성될 수 있다.
- [0042] 도 4 내지 도 10은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 공정을 개략적으로 나타내는 단면도이다. 본 발명의 실시예에서 유효 화소와 더미 화소의 제조 공정을 함께 설명하겠다.
- [0043] 유효 화소(AP)는 제1 유기 발광 소자(EL1)가 형성되는 제1발광영역(101A), 제1 박막 트랜지스터(TFT1)가 형성되는 제1채널영역(102A), 및 제1 커패시터(Cst1)가 형성되는 제1저장영역(103A)을 포함한다.
- [0044] 더미 화소(DP)는 제2 유기 발광 소자(EL2)가 형성되는 제2발광영역(101B), 제2 박막 트랜지스터(TFT2)가 형성되는 제2채널영역(102B), 및 제2 커패시터(Cst2)가 형성되는 제2저장영역(103B)을 포함한다. 제2 박막 트랜지스터(TFT2)는 특성 모니터링을 위한 측정용 박막 트랜지스터이다.
- [0045] 도 4를 참조하면, 먼저 어레이 기관인 기관(10) 상부에 버퍼층(11)을 형성한다.
- [0046] 다음으로, 유효 화소(AP)의 경우, 버퍼층(11) 상에 제1채널영역(102A)의 제1활성층(211A)과, 제1저장영역(103A)의 제1 커패시터 하부 전극(311A)을 형성한다. 그리고, 더미 화소(DP)의 경우, 버퍼층(11) 상에 제2채널영역

(102B)의 제2활성층(211B)과, 제2저장영역(103B)의 제2 커패시터 하부 전극(311B)을 형성한다.

- [0047] 기판(10)은 SiO₂를 주성분으로 하는 투명 재질의 글라스재로 형성될 수 있다. 기판(10)은 반드시 이에 한정되는 것은 아니며 투명한 플라스틱 재 또는 금속 재 등, 다양한 재질의 기판을 이용할 수 있다.
- [0048] 버퍼층(11)은 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면을 평탄화하기 위한 베리어층, 및/또는 블록킹층으로 역할한다. 버퍼층(11)은 SiO₂ 및/또는 SiN_x 등을 사용하여, PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 형성될 수 있다.
- [0049] 도면에는 도시되어 있지 않지만, 버퍼층(11) 상에는 반도체층(미도시)이 증착되고, 반도체층(미도시) 상에 포토 레지스터(미도시)가 도포된 후, 마스크(미도시)를 이용한 포토리소그래피 공정에 의해 반도체층(미도시)이 패터닝되어, 제1활성층(211A), 제2활성층(211B), 제1 커패시터 하부 전극(311A), 제2 커패시터 하부 전극(311B)이 동시에 형성될 수 있다. 여기서, 반도체층(미도시)은 비정질 실리콘을 ELA(excimer laser annealing)법에 의해 결정화하여 형성된다. 결정화는 레이저 빔이 여러 샷(shot)을 통해 기판 표면을 가로질러 점진적으로 스캐닝하며 어닐링함으로써 이루어질 수 있다.
- [0050] 포토리소그래피에 의한 마스크 공정은 마스크(미도시)에 노광장치(미도시)로 노광 후, 현상(developing), 식각(etching), 및 스트립핑(stripping) 또는 에싱(ashing) 등과 같은 일련의 공정을 거쳐 진행된다.
- [0051] 다음으로, 도 5를 참조하면, 제1활성층(211A), 제2활성층(211B), 제1 커패시터 하부 전극(311A), 제2 커패시터 하부 전극(311B)이 형성된 기판(10)의 전면에 제1절연층(13), 제1도전층(14) 및 제2도전층(15)을 순차로 증착한다.
- [0052] 제1절연층(13)은 SiN_x 또는 SiO_x 등과 같은 무기 절연막을 PECVD법, APCVD법, LPCVD법 등의 방법으로 증착할 수 있다. 상기 제1절연층(13)은, 제1 박막 트랜지스터(TFT1)와 제2 박막 트랜지스터(TFT2)의 게이트 절연막 역할을 하며, 제1 커패시터(Cst1)와 제2 커패시터(Cst2)의 유전체층 역할을 하게 된다.
- [0053] 제1도전층(14)은 인듐틴옥사이드(ITO; indium tin oxide), 인듐징크옥사이드(IZO; indium zinc oxide), 징크옥사이드(ZnO; zinc oxide), 인듐옥사이드(In₂O₃; indium oxide), 인듐갈륨옥사이드(IGO; indium gallium oxide), 및 알루미늄징크옥사이드(AZO; aluminum zinc oxide)를 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.
- [0054] 제2도전층(15)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속 물질을 포함하며, 단층 또는 다층으로 형성될 수 있다.
- [0055] 도 6을 참조하면, 기판(10) 전면에 차례로 적층된, 상기 제1도전층(14) 및 상기 제2도전층(15)은 마스크(미도시)를 사용한 마스크 공정에 의해 패터닝된다.
- [0056] 제1발광영역(101A)에는 제1절연층(13) 상에 전극패턴(40A)이 형성되고, 전극패턴(40A)은 제1도전층(14)의 일부로 형성된 제1화소전극(114A) 및 제2도전층(15)의 일부로 형성된 제1금속층(115A)을 포함한다. 제2발광영역(101B)에는 제1절연층(13) 상에 전극패턴(40B)이 형성되고, 전극패턴(40B)은 제1도전층(14)의 일부로 형성된 제2화소전극(114B) 및 제2도전층(15)의 일부로 형성된 제2금속층(115B)을 포함한다.
- [0057] 제1채널영역(102A)에는 제1활성층(211A) 상부에 제1 게이트 전극(20A)이 형성되고, 상기 제1 게이트 전극(20A)은 제1도전층(14)의 일부로 형성된 제1전극(214A)과 제2도전층(15)의 일부로 형성된 제2전극(215A)을 포함한다. 제2채널영역(102B)에는 제2활성층(211B) 상부에 제2 게이트 전극(20B)이 형성되고, 상기 제2 게이트 전극(20B)은 제1도전층(14)의 일부로 형성된 제1전극(214B)과 제2도전층(15)의 일부로 형성된 제2전극(215B)을 포함한다.
- [0058] 제1저장영역(103A)에는 제1절연층(13) 상에 전극패턴(30A)이 제1 커패시터 하부전극(311A) 상부에 형성되고, 상기 전극패턴(30A)은 제1도전층(14)의 일부로 형성된 제1전극층(314A) 및 제2도전층(15)의 일부로 형성된 제2전극층(315A)을 포함한다. 제2저장영역(103B)에는 제1절연층(13) 상에 전극패턴(30B)이 제2 커패시터 하부전극(311B) 상부에 형성되고, 상기 전극패턴(30B)은 제1도전층(14)의 일부로 형성된 제1전극층(314B) 및 제2도전층(15)의 일부로 형성된 제2전극층(315B)을 포함한다.
- [0059] 제1 게이트 전극(20A)은 제1활성층(211A)의 중앙에 대응하며, 제1 게이트 전극(20A)을 셀프 얼라인(self align) 마스크로 하여 제1활성층(211A)으로 n형 또는 p형의 불순물을 도핑하여 제1 게이트 전극(20A)의 양측에 대응하

는 제1활성층(211A)의 가장자리에 소스/드레인 영역(221a/221b)과 이들 사이의 채널 영역(221c)을 형성한다. 제2 게이트 전극(20B)은 제2활성층(211B)의 중앙에 대응하며, 제2 게이트 전극(20B)을 셀프 얼라인(self align) 마스크로 하여 제2활성층(211B)으로 n형 또는 p형의 불순물을 도핑하여 제2 게이트 전극(20B)의 양측에 대응하는 제2활성층(211B)의 가장자리에 소스/드레인 영역(231a/231b)과 이들 사이의 채널 영역(231c)을 형성한다.

- [0060] 다음으로, 도 7에 도시된 바와 같이, 전극패턴(30A, 30B, 40A, 40B) 및 제1 및 제2 게이트 전극(20A, 20B) 상에 제2절연층(16)을 적층하고, 제2절연층(16)과 하부 절연층들을 패터닝하여 개구들(H1, H2, H3, H4, H5, H6, H7)을 형성한다.
- [0061] 이에 따라, 제1발광영역(101A)에는 제2절연층(16)이 제거되어, 전극패턴(40A)의 상부를 구성하는 제1금속층(115A)을 노출하는 제1개구(H1)가 형성된다. 제2발광영역(101A)에는 제2절연층(16)이 제거되어, 전극패턴(40B)의 상부를 구성하는 제2금속층(115B)을 노출하는 제4개구(H4)가 형성된다.
- [0062] 제1채널영역(102A)에는 제2절연층(16)과 제1절연층(13)이 제거되어, 소스/드레인 영역(221a/221b)의 일부를 노출시키는 제2개구(H2)가 형성된다. 제2채널영역(102B)에는 제2절연층(16)과 제1절연층(13)이 제거되어, 소스/드레인 영역(231a/231b)의 일부를 노출시키는 제5개구(H5), 및 제2 게이트 전극(20B)의 제2전극(215B)의 일부를 노출시키는 제6개구(H6)가 형성된다.
- [0063] 제1저장영역(103A)에는 제2절연층(16)이 제거되어, 전극패턴(30A)의 전체를 노출시키는 제3개구(H3)가 형성된다. 제2저장영역(103B)에는 제2절연층(16)이 제거되어, 전극패턴(30B)의 전체를 노출시키는 제7개구(H7)가 형성된다. 본 실시예에서는 전극패턴(30A, 30B)의 전체를 노출시키고 있으나, 전극패턴(30A)의 상부를 구성하는 제2전극층(315A)의 일부, 전극패턴(30B)의 상부를 구성하는 제2전극층(315B)의 일부를 노출하도록 개구가 형성될 수 있다.
- [0064] 제2절연층(16)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성된다. 제2절연층(16)은 충분한 두께로 형성되어, 예컨대 전술한 제1절연층(13)보다 두껍게 형성되어, 제1 및 제2 박막 트랜지스터의 게이트 전극과 소스/드레인 전극 사이의 층간 절연막 역할을 수행한다. 한편, 제2절연층(16)은 유기 절연 물질뿐만 아니라, 무기 절연 물질로 형성될 수 있으며, 유기 절연 물질과 무기절연 물질을 교번하여 형성할 수도 있다.
- [0065] 도 8을 참조하면, 제2절연층(16)을 커버하며 기판(10) 전면에 금속층을 증착한 후, 마스크(미도시)를 사용한 패터닝에 의해, 유효 화소(AP)에는 소스 및 드레인 전극(217a, 217b) 패턴을 형성하고, 더미 화소(DP)에는 TEG(Test Element Group) 패턴(TEG)을 형성한다.
- [0066] 상기 금속층은 제1도전층(15)과 동일한 도전 물질 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있으며, 이에 한정되지 않고 다양한 도전 물질들로 형성될 수 있다.
- [0067] 한편, 상기 금속층의 패터닝과 동시 식각에 의해, 또는 후속하는 추가 식각에 의해, 전극패턴(40A)의 제1금속층(115A)과 전극패턴(40B)의 제2금속층(115B), 및 전극패턴(30A)의 제2전극층(315A)과 전극패턴(30B)의 제2전극층(315B)의 적어도 일부가 제거될 수 있다. 이에 따라, 유효 화소(AP)의 제1 화소전극(114A)과 제1 커패시터 상부 전극(314A), 및 더미 화소(DP)의 제2 화소전극(114B)과 제2 커패시터 상부전극(314B)이 형성된다. 제2 화소전극(114B)은 제1 테스트 패턴(227a) 또는 제2 테스트 패턴(227b)과 전기적으로 절연된다.
- [0068] 소스 및 드레인 전극(217a, 217b)은 제2개구(H2)를 통해 제1 박막 트랜지스터의 소스/드레인 영역(221a/221b)을 외부와 전기적으로 연결시킨다. 이때, 상기 소스/드레인 전극(217a/217b) 중 하나의 전극은 전극패턴(40A)의 상부 제1금속층(115A)을 통해 제1 화소전극(114A)과 접속하도록 형성된다.
- [0069] TEG 패턴(TEG)은 제2절연층(16)의 상부에 형성되며, 제5개구(H5)를 통해 제2 박막 트랜지스터(TFT2)의 소스 영역(231a)과 접촉하는 제1 테스트 패턴(227a), 드레인 영역(231b)과 접촉하는 제2 테스트 패턴(227b), 제6개구(H6)를 통해 제2 박막 트랜지스터(TFT2)의 제2 게이트 전극(20B)의 제2전극(215B)과 접촉하는 제3 테스트 패턴(227c)을 포함한다. 이때 TEG 패턴(TEG)에서 제1 테스트 패턴(227a) 또는 제2 테스트 패턴(227b)은 제2 화소전극(114B)과 접속하지 않고 절연시켜 전기적으로 비도통으로 한다.
- [0070] 제1 커패시터 상부 전극(314A)과 제2 커패시터 상부 전극(314B)을 통해 n형 또는 p형의 불순물을 주입하여 제1 커패시터 하부전극(311A)과 제2 커패시터 하부전극(311B)을 도핑한다. 상기 도핑시 주입되는 불순물은 상기 제1 활성층(211A) 및 제2활성층(211B)의 도핑시 사용된 것과 동일 또는 상이할 수 있다.
- [0071] 제1 및 제2 커패시터 하부전극(311A, 311B)의 도핑에 의해 제1 및 제2 커패시터 하부전극(311A, 311B)의 도전성

이 증가하여, 제1 및 제2 커패시터(Cst1, Cst2)의 정전용량을 증가시킬 수 있다.

- [0072] 또한, 제2절연층(16)에 전극패턴(30A, 30B)보다 크게 개구(H3, H7)를 형성하고, 전극패턴(30A, 30B)의 제2도전층(15)의 일부가 잔존하지 않고 모두 식각됨으로써, 제1 및 제2 커패시터 하부전극(311A, 311B)이 완전히 도핑될 수 있어, 개구율 향상, 정전 용량 증가, 및 커패시터 배선의 신호 전달 품질 향상을 도모할 수 있다.
- [0073] 다음으로, 도 9에 도시된 바와 같이, 소스 및 드레인 전극(217a, 217b) 패턴 및 TEG 패턴(TEG)이 형성된 기판(10) 전면에 제3절연층(18)을 증착하고, 마스크 공정에 의해 패터닝한다.
- [0074] 이에 따라, 유효 화소(AP)에서 제3절연층(18)은 패터닝되어 제1화소전극(114A)의 일부를 노출시켜 화소를 정의하는 화소정의막을 형성한다.
- [0075] 그리고, 더미 화소(DP)에서 제3절연층(18)은 패터닝되어 TEG 패턴(TEG)을 구성하는 제1 내지 제3 테스트 패턴(227a 내지 227c) 각각의 일부를 노출시킨다. 더미 화소(DP)는 제2발광영역(101B)이 패터닝되지 않고, 제2화소전극(114B)을 제3절연층(18)이 커버하여, 패널(1)의 발광에는 기여하지 않도록 한다.
- [0076] 일반적으로 유기발광 표시장치의 박막 트랜지스터 기판의 경우, 화소 전극이 형성되는 영역을 제외한 모든 영역 내의 모든 박막 트랜지스터와 커패시터 등은 화소정의막 등의 절연막으로 절연하도록 구성된다. 이 경우, 박막 트랜지스터 공정 완료 후에 박막 트랜지스터의 특성 측정을 위해서는 레이저(Laser) 등을 이용해서 절연막을 제거하여야 한다. 그러나 절연막 제거 과정에서 박막 트랜지스터의 과전류 등으로 인해 오프 상태에서의 누설(off leakage) 상승 등의 문제가 발생한다. 따라서, 본 발명의 실시예에서는 더미 화소(DP)의 제2 박막 트랜지스터(TFT2)에 프로브 핀 접촉(Probe Pin ontact) 영역인 TEG 패턴(TEG)을 형성하고, TEG 패턴(TEG) 상부의 제3절연층(18)을 미리 제거한다.
- [0077] 제3절연층(18)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질, 또는 SiO₂, SiNx, Al₂O₃, CuOx, Tb₄O₇, Y₂O₃, Nb₂O₅, Pr₂O₃ 등에서 선택된 무기 절연 물질로 형성될 수 있다. 또한 상기 제3절연층(18)은 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다.
- [0078] 도 10을 참조하면, 기판(10) 전면에 중간층(19A, 19B)과 대향전극(20)을 형성한다.
- [0079] 대향전극(20)은 제1기판(10) 전면에 증착되어 공통 전극으로 형성될 수 있다. 본 발명의 실시예에 따른 유기 발광 표시 장치(1)의 경우, 제1화소전극(114A)은 애노드로 사용되고, 대향전극(20)은 캐소드로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.
- [0080] 유효 화소(AP)의 제1화소전극(114A) 상부에 형성되는 중간층(19A)은 발광층(emissive layer: EML)과, 그 외에 정공 수송층(hole transport layer: HTL), 정공 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL), 및 전자 주입층(electron injection layer: EIL) 등의 기능층 중 어느 하나 이상의 층이 단일 혹은 복합의 구조로 적층된 구조이다.
- [0081] 중간층(19A)이 적색, 녹색, 청색의 각각의 빛을 방출하는 경우, 상기 발광층은 적색 부화소, 녹색 부화소 및 청색 부화소에 따라 각각 적색 발광층, 녹색 발광층 및 청색 발광층으로 패터닝될 수 있다. 한편, 중간층(19A)이 백색광을 방출하는 경우, 상기 발광층은 백색광을 방출할 수 있도록 적색 발광층, 녹색 발광층 및 청색 발광층이 적층된 다층 구조를 갖거나, 적색 발광 물질, 녹색 발광 물질 및 청색 발광 물질을 포함한 단일층 구조를 가질 수 있다.
- [0082] 더미 화소(DP)의 TEG 패턴(TEG) 상부에 형성되는 중간층(19B)은 발광층(emissive layer: EML)을 제외한 기능층들이 단일 혹은 복합의 구조로 적층된 구조이다. 더미 화소(DP)에서 발광(EML)층을 제외하는 것은, 측정용 박막 트랜지스터인 제2 박막 트랜지스터와 대향전극(20) 간의 쇼트(short) 등의 위험을 방지하기 위함이다.
- [0083] 도 11은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치에서 더미 화소의 단면도이다.
- [0084] 도 11을 참조하면, 더미 화소(DP)는 제2채널영역(102B)에 제2 박막 트랜지스터(TFT2)의 특성 측정을 위한 제1 TEG 패턴(TEG1)과 제2저장영역(103B)에 제2 커패시터(Cst2)의 특성 측정을 위한 제2 TEG 패턴(TEG2)을 구비한다. 도 11에 도시된 더미 화소(DP)는 도 10에 도시된 더미 화소(DP)에 비해 제2 커패시터(Cst2)의 특성 측정을 위한 제2 TEG 패턴(TEG2)이 추가되는 점에 차이가 있다.
- [0085] 도 12 내지 도 14는 도 11에 도시된 더미 화소(DP)를 포함하는 유기 발광 표시 장치의 제조 공정을 개략적으로 나타내는 단면도이다. 이하에서는 도 4 내지 도 10의 실시예에 따른 유기 발광 표시 장치의 제조 공정과 중복

하는 도 4 내지 도 6의 제조 공정에 대한 설명은 생략하겠다. 또한, 도 4 내지 도 10에 도시된 내용과 구별되는 특징적인 부분을 발체하여 설명하며, 동일한 내용의 상세한 설명은 생략하겠다. 그리고, 설명의 편의를 위하여 동일한 구성요소에 대하여는 동일한 참조번호를 사용하여 설명한다.

- [0086] 도 4 내지 도 6의 제조 공정에 의해 전극패턴(30A, 30B, 40A, 40B) 및 제1 및 제2 게이트 전극(20A, 20B)이 형성된다. 이때, 전극패턴(40A, 40B)은 제1 및 제2 커패시터 하부 전극과 일부 중첩하게 형성된다.
- [0087] 그리고, 도 12에 도시된 바와 같이, 전극패턴(30A, 30B, 40A, 40B) 및 제1 및 제2 게이트 전극(20A, 20B)이 형성된 기판(10) 상에, 제2절연층(16)을 적층하고, 제2절연층(16)과 그 하부 절연층들을 패터닝하여 개들(H1, H2, H3, H4, H5, H6, H8, H9)을 형성한다.
- [0088] 이에 따라, 제1발광영역(101A)에는 제2절연층(16)이 제거되어, 전극패턴(40A)의 상부를 구성하는 제1금속층(115A)을 노출하는 제1개구(H1)가 형성된다. 제2발광영역(101B)에는 제2절연층(16)이 제거되어, 전극패턴(40B)의 상부를 구성하는 제2금속층(115B)을 노출하는 제4개구(H4)가 형성된다.
- [0089] 제1채널영역(102A)에는 제2절연층(16)과 제1절연층(13)이 제거되어, 소스/드레인 영역(221a/221b)의 일부를 노출시키는 제2개구(H2)가 형성된다. 제2채널영역(102B)에는 제2절연층(16)과 제1절연층(13)이 제거되어, 소스/드레인 영역(231a/231b)의 일부를 노출시키는 제5개구(H5), 및 제2 게이트 전극(20B)의 제2전극(215B)의 일부를 노출시키는 제6개구(H6)가 형성된다.
- [0090] 제1저장영역(103A)에는 제2절연층(16)이 제거되어, 전극패턴(30A)의 전체를 노출시키는 제3개구(H3)가 형성된다. 제2저장영역(103B)에는 제2절연층(16)과 제1절연층(13)이 제거되어 제2활성층(311)의 일부를 노출시키는 제8개구(H8), 및 전극패턴(30B)의 상부를 구성하는 제2전극층(315B)의 일부를 노출시키는 제9개구(H9)가 형성된다.
- [0091] 제2절연층(16)은 유기 절연 물질 또는 무기 절연 물질로 형성될 수 있으며, 유기 절연 물질과 무기절연 물질을 교번하여 형성할 수도 있다.
- [0092] 도 13을 참조하면, 제2절연층(16)을 커버하며 기판(10) 전면에 금속층을 증착한 후, 마스크(미도시)를 사용한 패터닝에 의해, 유효 화소(AP)에는 소스 및 드레인 전극(217a, 217b) 패턴을 형성하고, 더미 화소(DP)에는 제1 TEG 패턴(TEG1)과 제2 TEG 패턴(TEG2)을 형성한다.
- [0093] 상기 금속층은 제1도전층(15)과 동일한 도전 물질 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있으며, 이에 한정되지 않고 다양한 도전 물질들로 형성될 수 있다.
- [0094] 한편, 상기 금속층의 패터닝과 동시 식각에 의해, 또는 후속하는 추가 식각에 의해, 전극패턴(40A)의 제1금속층(115A)과 전극패턴(40B)의 제2금속층(115B), 및 전극패턴(30A)의 제2전극층(315A)과 전극패턴(30B)의 제2전극층(315B)의 적어도 일부가 제거될 수 있다. 이에 따라, 유효 화소(AP)의 제1 화소전극(114A)과 제1 커패시터 상부 전극(314A), 및 더미 화소(DP)의 제2 화소전극(114B)과 제2 커패시터 상부전극(314B)이 형성된다. 제2 화소전극(114B)은 제1 테스트 패턴(227a) 또는 제2 테스트 패턴(227b)과 전기적으로 절연된다.
- [0095] 소스 및 드레인 전극(217a, 217b)은 제2개구(H2)를 통해 제1 박막 트랜지스터의 소스/드레인 영역(221a/221b)을 외부와 전기적으로 연결시킨다. 이때, 상기 소스/드레인 전극(217a/217b) 중 하나의 전극은 전극패턴(40A)의 상부 제1금속층(115A)을 통해 제1 화소전극(114A)과 접속하도록 형성된다.
- [0096] 제1 TEG 패턴(TEG1)은 제2절연층(16)의 상부에 형성되며, 제5개구(H5)를 통해 제2 박막 트랜지스터(TFT2)의 소스 영역(231a)과 접촉하는 제1 테스트 패턴(227a), 드레인 영역(231b)과 접촉하는 제2 테스트 패턴(227b), 제6개구(H6)를 통해 제2 박막 트랜지스터(TFT2)의 제2 게이트 전극(20B)의 제2전극(215B)과 접촉하는 제3 테스트 패턴(227c)을 포함한다. 이때 TEG 패턴(TEG)에서 제1 테스트 패턴(227a) 또는 제2 테스트 패턴(227b)은 제2 화소 전극(114B)과 접속하지 않고 절연시켜 전기적으로 비도통으로 한다.
- [0097] 제2 TEG 패턴(TEG2)은 제2절연층(16)의 상부에 형성되며, 제8개구(H8)를 통해 제2 커패시터(Cst2)의 제2 커패시터 하부전극(311B)과 접촉하는 제4 테스트 패턴(317a), 및 제9개구(H9)를 통해 제2 커패시터(Cst2)의 제2전극층(315B)의 일부와 접촉하여 제2 커패시터 상부전극(314B)과 연결되는 제5 테스트 패턴(317b)을 포함한다.
- [0098] 제1 커패시터 상부 전극(314A)과 제2 커패시터 상부 전극(314B)을 통해 n형 또는 p형의 불순물을 주입하여 제1 커패시터 하부전극(311A)과 제2 커패시터 하부전극(311B)을 도핑한다. 상기 도핑시 주입되는 불순물은 상기 제1 활성층(211A) 및 제2활성층(211B)의 도핑시 사용된 것과 동일 또는 상이할 수 있다.

- [0099] 제1 및 제2 커패시터 하부전극(311A, 311B)의 도핑에 의해 제1 및 제2 커패시터 하부전극(311A, 311B)의 도전성이 증가하여, 제1 및 제2 커패시터(Cst1, Cst2)의 정전용량을 증가시킬 수 있다.
- [0100] 다음으로, 도 14에 도시된 바와 같이, 소스 및 드레인 전극(217a, 217b) 패턴, 제1 및 제2 TEG 패턴(TEG1, TEG2)이 형성된 기관(10) 전면에서 제3절연층(18)을 증착하고, 마스크 공정에 의해 패터닝한다.
- [0101] 이에 따라, 유효 화소(AP)에서 제3절연층(18)은 패터닝되어 제1화소전극(114A)의 일부를 노출시켜 화소를 정의하는 화소정의막을 형성한다.
- [0102] 그리고, 더미 화소(DP)에서 제3절연층(18)은 패터닝되어 제1 TEG 패턴(TEG1)을 구성하는 제1 내지 제3 테스트 패턴(227a 내지 227c) 각각의 일부와, 제2 TEG 패턴(TEG2)을 구성하는 제4 및 제5 테스트 패턴(317a 및 317b) 각각의 일부를 노출시킨다. 더미 화소(DP)는 제2발광영역(101B)이 패터닝되지 않고, 제2화소전극(114B)을 제3절연층(18)이 커버하여, 패널(1)의 발광에는 기여하지 않도록 한다.
- [0103] 본 발명의 실시예에서는 더미 화소(DP)의 제2 박막 트랜지스터(TFT2)와 제2 커패시터(Cst2)에 프로브 핀 접촉(Probe Pin contact) 영역인 제1 TEG 패턴(TEG1)과 제2 TEG 패턴(TEG2)을 각각 형성하고, 제1 TEG 패턴(TEG1)과 제2 TEG 패턴(TEG2) 상부의 제3절연층(18)을 미리 제거한다. 이로써 박막 트랜지스터 및 커패시터 공정 완료 후에 박막 트랜지스터 및 커패시터의 특성 측정을 위한 절연막 제거 과정에서 발생하는 누설 상승 등의 문제점들을 방지할 수 있다.
- [0104] 제3절연층(18)은 유기 절연 물질, 또는 무기 절연 물질, 또는 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수 있다.
- [0105] 이후, 기관(10) 전면에서 중간층(19A, 19B)과 대향전극(20)을 형성한다.
- [0106] 이때, 유효 화소(AP)의 제1화소전극(114A) 상부에 형성되는 중간층(19A)은 발광층(emissive layer: EML)과, 그 외에 정공 수송층(hole transport layer: HTL), 정공 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL), 및 전자 주입층(electron injection layer: EIL) 등의 기능층 중 어느 하나 이상의 층이 단일 혹은 복합의 구조로 적층된 구조이다.
- [0107] 더미 화소(DP)의 제1 및 제2 TEG 패턴(TEG1, TEG2) 상부에 형성되는 중간층(19B)은 발광층(emissive layer: EML)을 제외한 기능층들이 단일 혹은 복합의 구조로 적층된 구조이다. 더미 화소(DP)에서 발광(EML)층을 제외하는 것은, 측정용 박막 트랜지스터인 제2 박막 트랜지스터 및 제2 커패시터와 대향전극(20) 간의 쇼트(short) 등의 위험을 방지하기 위함이다.
- [0108] 도 15는 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치에서 더미 화소의 단면도이다. 도시되지 않았으나, 유효 화소(AP)는 전술된 실시예들의 유기 발광 표시 장치에 포함되는 유효 화소(AP)와 동일하다.
- [0109] 도 15를 참조하면, 더미 화소(DP)의 제2 TEG 패턴(TEG2)이 제2 커패시터 하부전극(311B)과 제2 커패시터 상부전극(314B) 상부의 절연막들을 제거하여 형성된 제11개구들(H11)에 의한 개구 패턴인 점에서, 도 11에 도시된 더미 화소(DP)의 제2 TEG 패턴(TEG2)과 상이하다.
- [0110] 도 4 내지 도 6에 도시된 바에 따라 형성된, 유효 화소(AP)의 소스 및 드레인 전극(217a, 217b) 패턴과 더미 화소(DP)의 제1 TEG 패턴(TEG) 상부에 절연층(18)을 형성하고, 패터닝한다. 이에 따라, 유효 화소(AP)에는 제3절연층(18)이 패터닝되어 제1화소전극(114A)의 일부를 노출시켜 화소를 정의하는 화소정의막이 형성된다. 그리고, 더미 화소(DP)에는 제3절연층(18)이 패터닝되어, 제2채널영역(102B)에서 제1 TEG 패턴(TEG1)을 구성하는 제1 내지 제3 테스트 패턴(227a 내지 227c) 각각의 일부가 노출되는 제10개구들(H10)이 형성되고, 제2저장영역(103B)에서 제2 커패시터(Cst2)의 제2 커패시터 하부전극(311B)과 제2 커패시터 상부전극(314B)의 일부가 노출되는 제11개구들(H11)이 형성된다. 제2 커패시터 하부전극(311B)과 제2 커패시터 상부전극(314B) 상부의 제11개구들(H11)에 의한 개구 패턴이 제2 TEG 패턴(TEG2)이 된다.
- [0111] 다음으로, 유효 화소(AP)의 제1화소전극(114A) 상부에는 발광층(emissive layer: EML)과, 그 외에 정공 수송층(hole transport layer: HTL), 정공 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL), 및 전자 주입층(electron injection layer: EIL) 등의 기능층 중 어느 하나 이상의 층이 단일 혹은 복합의 구조로 적층된 중간층(19A)을 형성한다.
- [0112] 반면, 더미 화소(DP)의 제1 TEG 패턴(TEG) 상부와 제2 TEG 패턴(TEG2)에 형성되는 중간층(19B)은 발광층(emissive layer: EML)을 제외한 기능층들이 단일 혹은 복합의 구조로 적층된 구조이다. 더미 화소(DP)에서 발

광(EML)층을 제외하는 것은, 측정용 박막 트랜지스터인 제2 박막 트랜지스터(TFT2)와 제2 커패시터(Cst2) 각각과 대향전극(20) 간의 쇼트(short) 등의 위험을 방지하기 위함이다.

[0113] 본 발명의 실시예들은 결정화에 의해 발생하는 얼룩에 대한 전기적 특성을 모니터링하기 위해, 유효 화소(AP)를 형성하는 과정에서 박막 트랜지스터 및/또는 커패시터의 특성을 테스트하기 위한 더미 화소(DP)를 형성한다. 그리고, 유효 화소(AP)의 절연막 패터닝에 의한 화소 정의막 형성 단계에서, 동시에 더미 화소(DP)의 TEG 패턴을 덮고 있는 절연막을 제거한다.

[0114] 이에 따라, 추후 더미 화소(DP)의 TEG 패턴을 덮고 있는 기능층 및 대향전극만을 제거하고 특성 테스트를 수행할 수 있다. 따라서, 특성 테스트가 용이하고, 동시에 박막 트랜지스터 및 커패시터를 덮고 있는 절연막을 제거하는 단계에서 발생하는 누설 문제 등을 방지하여 정확한 테스트가 가능하다.

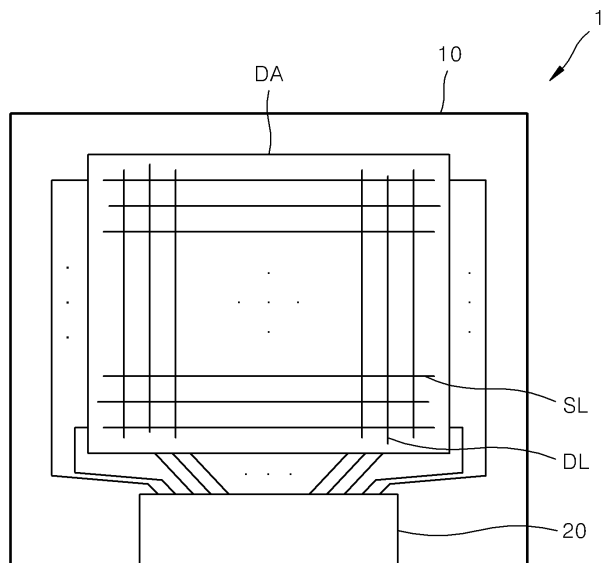
[0115] 한편, 전술한 실시예에서는 유기 발광 표시 장치를 예로 설명하였으나, 본 발명은 이에 한정되지 않고 액정 표시 장치를 비롯한 다양한 표시 소자를 사용할 수 있음은 물론이다.

[0116] 본 발명에 따른 실시예를 설명하기 위한 도면에는 하나의 TFT와 하나의 커패시터만 도시되어 있으나, 이는 설명의 편의를 위한 것일 뿐, 본 발명은 이에 한정되지 않으며, 본 발명에 따른 마스크 공정을 늘리지 않는 한, 복수 개의 TFT와 복수 개의 커패시터가 포함될 수 있음은 물론이다.

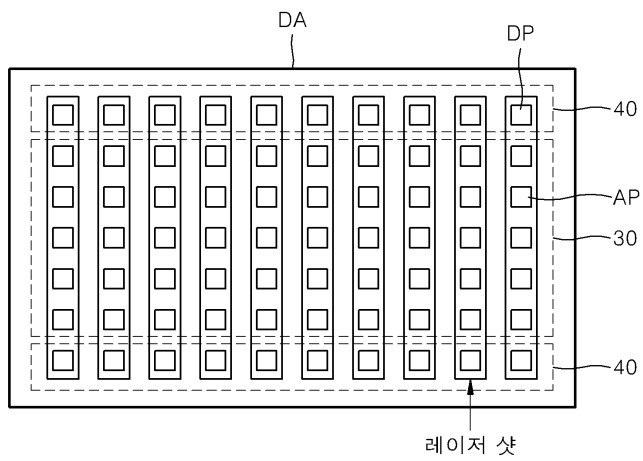
[0117] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

도면

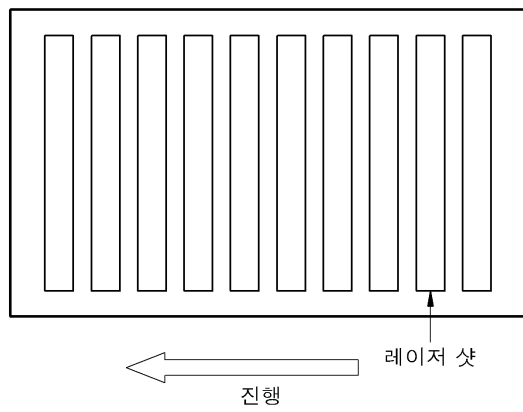
도면1



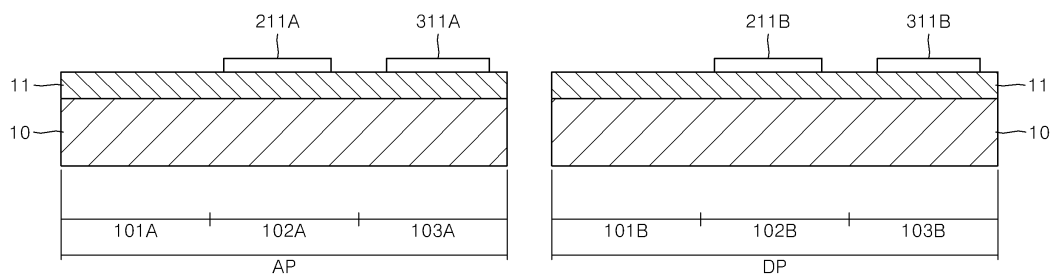
도면2



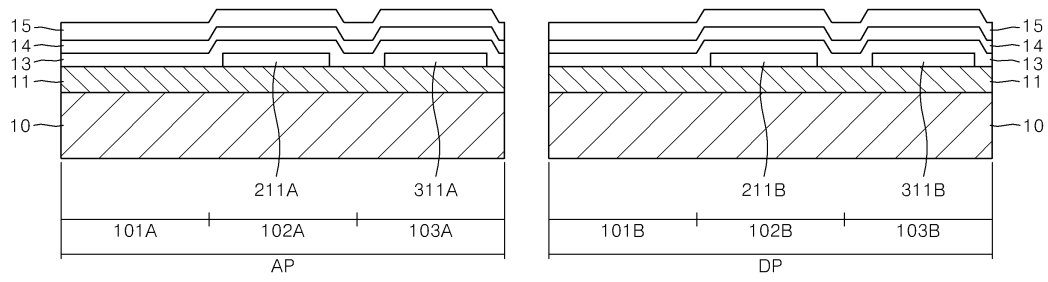
도면3



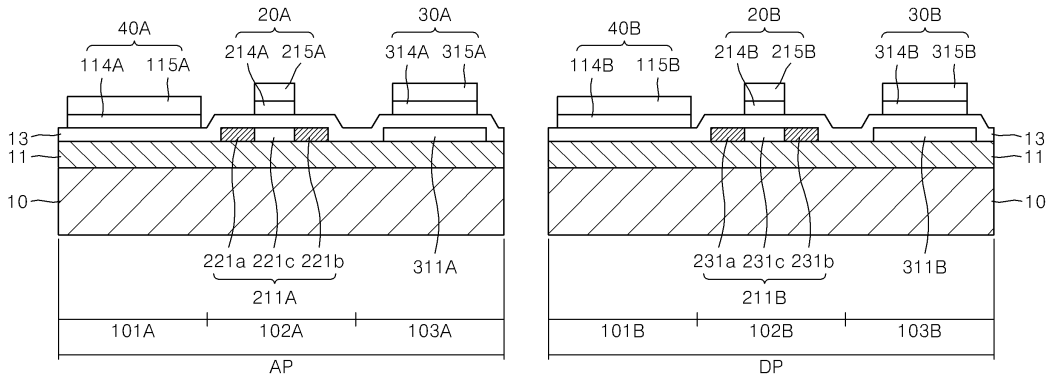
도면4



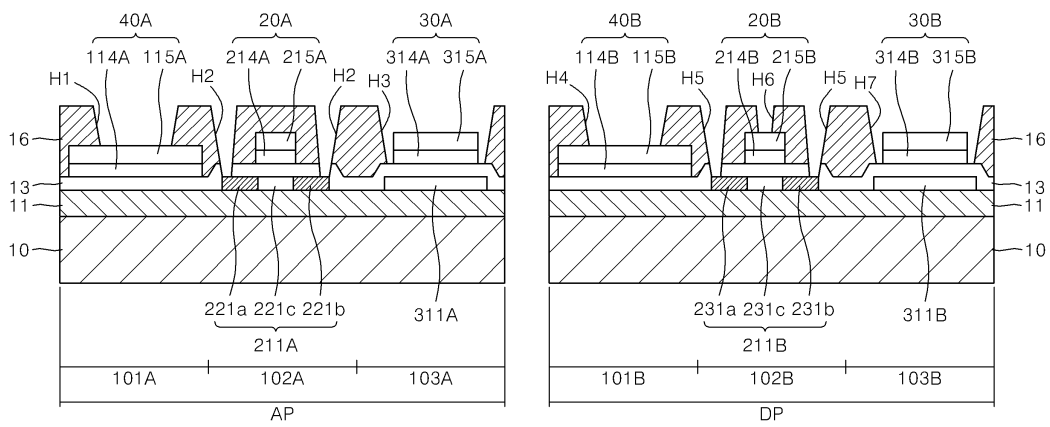
도면5



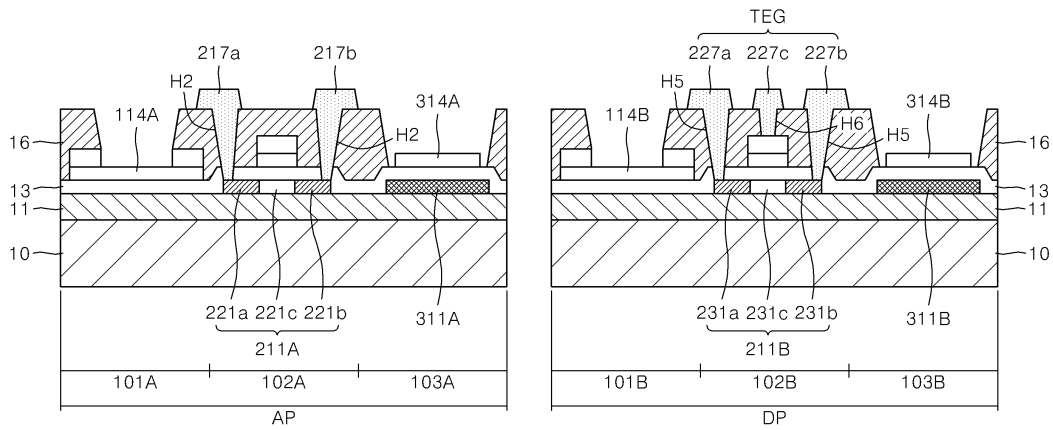
도면6



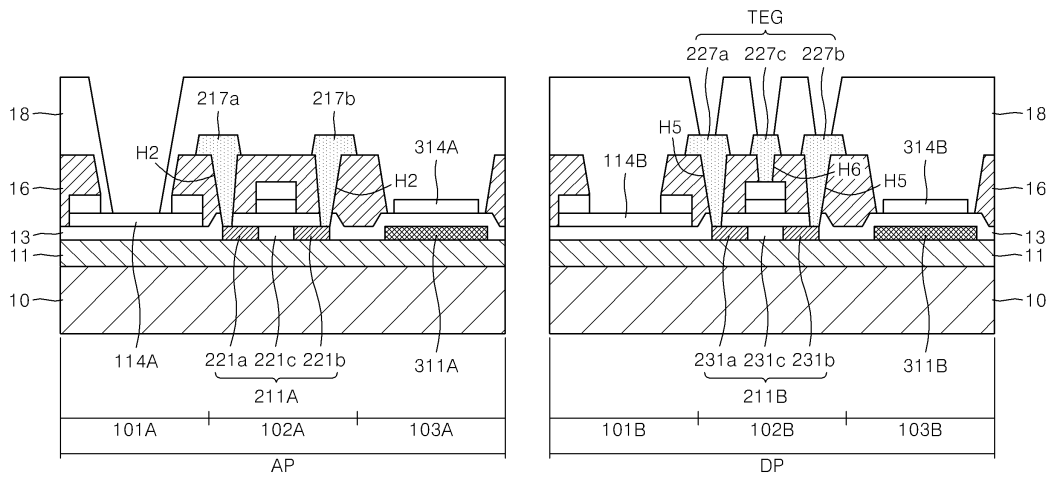
도면7



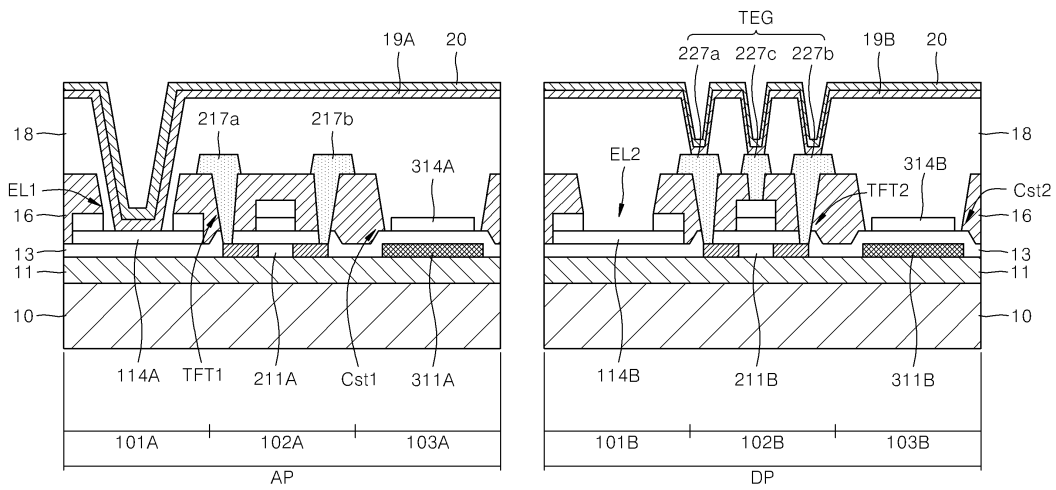
도면8



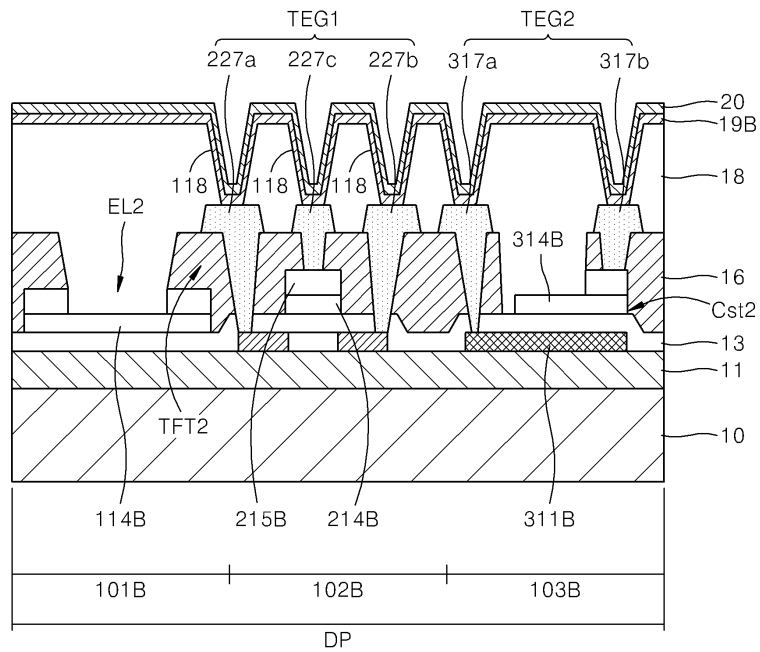
도면9



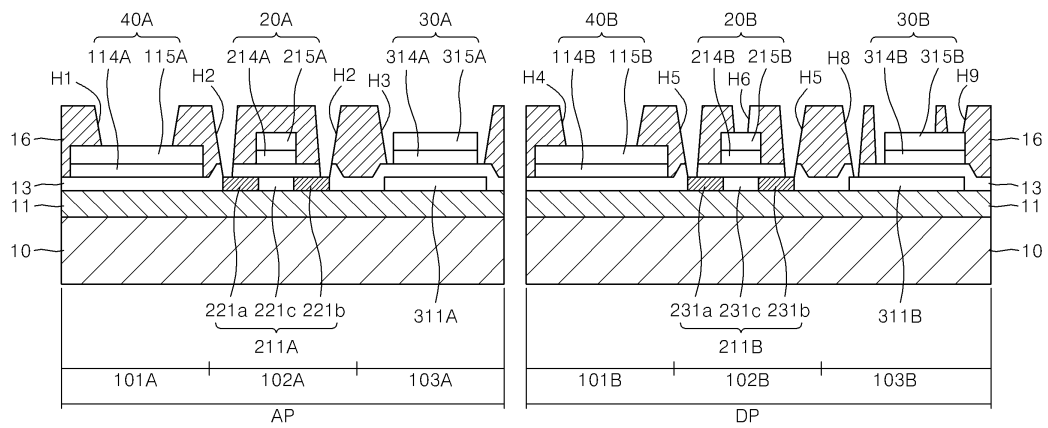
도면10



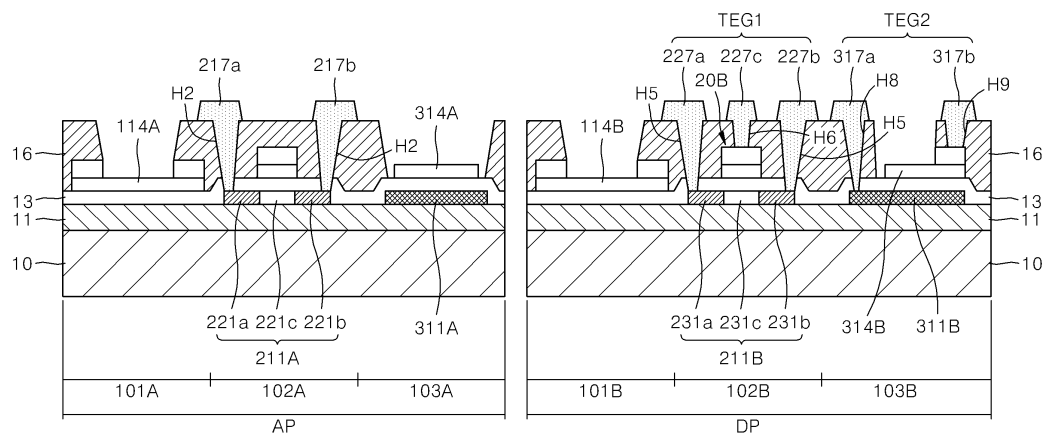
도면11



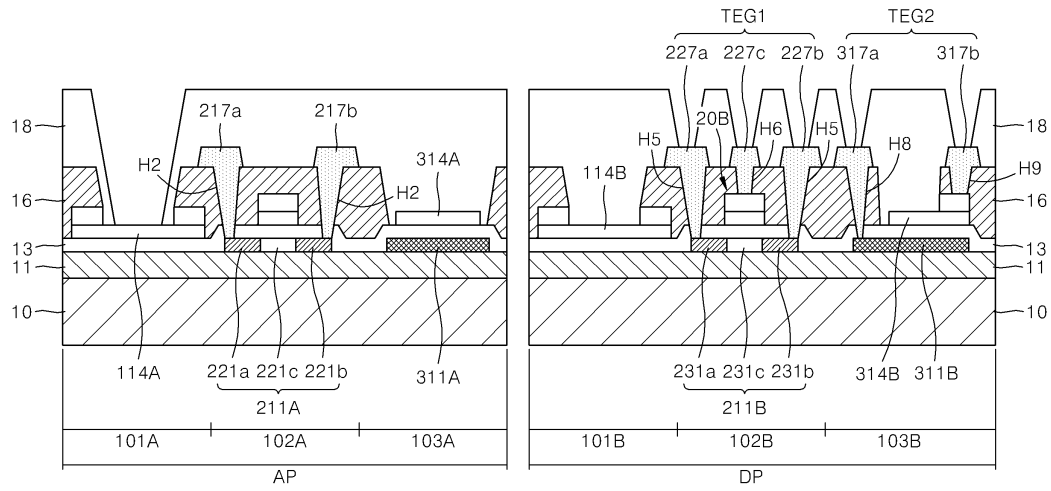
도면12



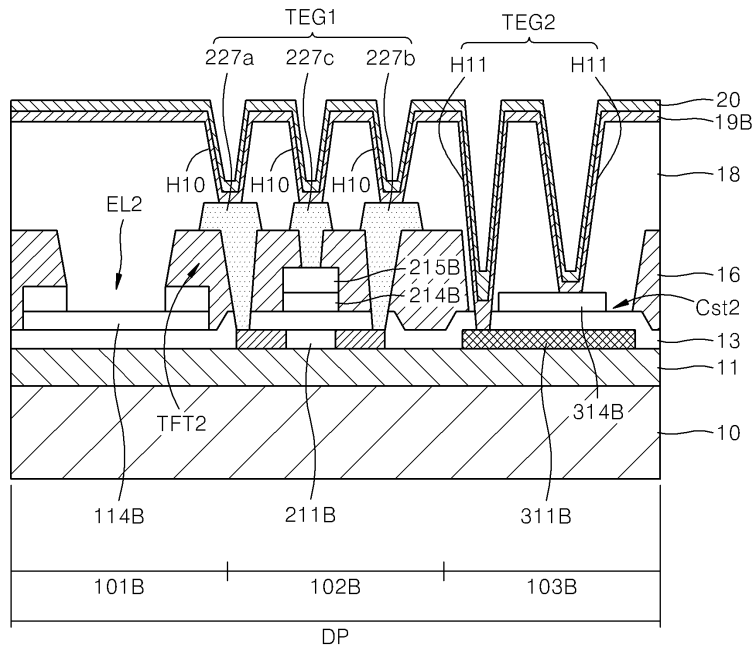
도면13



도면14



도면15



专利名称(译)	有机发光显示器及其制造方法		
公开(公告)号	KR1020140013727A	公开(公告)日	2014-02-05
申请号	KR1020120081972	申请日	2012-07-26
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM SUNG HO 김성호 SHIN MIN CHUL 신민철 KIM DO YOUNG 김도영		
发明人	김성호 신민철 김도영		
IPC分类号	H01L51/50 H01L51/56		
CPC分类号	H01L51/0023 H01L27/3223 H01L27/3225 H01L27/32 H01L27/124 H01L51/00 H01L2221/1089		
其他公开文献	KR101938760B1		
外部链接	Espacenet		

摘要(译)

本发明公开了一种有机发光显示器及其制造方法。有机发光显示器包括通过图案化通过激光结晶形成的半导体层而形成的有源层;对应于有源层的沟道区设置的栅电极;第一绝缘层,设置在有源层和栅电极之间;第二绝缘层设置在栅电极上;并且在第二绝缘膜上形成测试图案,测试图案分别与有源层的源区,漏区和栅电极接触。

