



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0074534  
(43) 공개일자 2019년06월28일

(51) 국제특허분류(Int. Cl.)

H01L 51/52 (2006.01) H01L 27/32 (2006.01)

H01L 51/50 (2006.01) H01L 51/56 (2006.01)

(52) CPC특허분류

H01L 51/5203 (2013.01)

H01L 27/3248 (2013.01)

(21) 출원번호 10-2017-0175966

(22) 출원일자 2017년12월20일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

이주연

경기도 파주시 월롱면 엘지로 245

홍순환

경기도 파주시 월롱면 엘지로 245

문선지

경기도 파주시 월롱면 엘지로 245

(74) 대리인

특허법인로얄

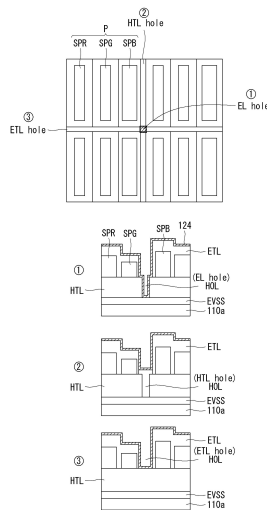
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 전계발광표시장치와 이의 제조방법

**(57) 요약**

본 발명은 제1기관, 전원라인, 절연층, 및 발광다이오드를 포함하는 전계발광표시장치를 제공한다. 제1기관은 표시영역과 비표시영역을 갖는다. 전원라인은 제1기관 상의 표시영역에 배치된다. 절연층은 전원라인 상에 위치하고 전원라인을 노출하는 콘택홀을 갖는다. 발광다이오드는 절연층 상의 픽셀전극층, 발광층 및 공통전극층을 갖는다. 공통전극층은 콘택홀을 통해 전원라인과 전기적으로 연결된다.

**대표도** - 도11



(52) CPC특허분류

*H01L 27/3258* (2013.01)

*H01L 51/5048* (2013.01)

*H01L 51/5237* (2013.01)

*H01L 51/56* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

표시영역과 비표시영역을 갖는 제1기관;  
상기 제1기관 상의 상기 표시영역에 배치된 전원라인;  
상기 전원라인 상에 위치하고 상기 전원라인을 노출하는 콘택홀을 갖는 절연층; 및  
상기 절연층 상의 픽셀전극층, 발광층 및 공통전극층을 갖는 발광다이오드를 포함하고,  
상기 공통전극층은 상기 콘택홀을 통해 상기 전원라인과 전기적으로 연결된 전계발광표시장치.

#### 청구항 2

제1항에 있어서,  
상기 콘택홀은  
제1 내지 제3콘택홀을 포함하고,  
상기 제1콘택홀은 상기 제2콘택홀 및 상기 제3콘택홀의 교차부에 마련된 전계발광표시장치.

#### 청구항 3

제2항에 있어서,  
상기 제2콘택홀은 상기 표시영역의 세로 방향을 지나도록 형성되고,  
상기 제3콘택홀은 상기 표시영역의 가로 방향을 지나도록 형성된 전계발광표시장치.

#### 청구항 4

제3항에 있어서,  
상기 공통전극층은  
상기 제1콘택홀을 통해 상기 전원라인과 직접적으로 접촉된 전계발광표시장치.

#### 청구항 5

제3항에 있어서,  
상기 공통전극층은  
상기 제2콘택홀을 통해 상기 발광층에 포함된 전자수송층과 접촉된 전계발광표시장치.

#### 청구항 6

제3항에 있어서,  
상기 공통전극층은  
상기 제3콘택홀을 통해 상기 발광층에 포함된 정공수송층과 접촉된 전계발광표시장치.

#### 청구항 7

제2항에 있어서,  
상기 제1 내지 상기 제3콘택홀은  
비발광영역에 배치된 전계발광표시장치.

**청구항 8**

제2항에 있어서,  
 상기 제2콘택홀 및 상기 제3콘택홀은  
 상기 표시영역의 1 픽셀단위로 배치된 전계발광표시장치.

**청구항 9**

제1기관 상의 표시영역에 전원라인을 형성하는 단계;  
 상기 전원라인 상에서 상기 전원라인을 노출하는 콘택홀을 갖는 절연층을 형성하는 단계; 및  
 상기 절연층 상에 픽셀전극층, 발광층 및 공통전극층을 갖는 발광다이오드를 형성하는 단계를 포함하고,  
 상기 발광층을 형성하는 단계는  
 상기 콘택홀에 대응하여 제1방향을 차단하는 슬릿을 갖는 정공수송층용 마스크를 이용하여 정공수송층을 형성하는 단계와, 상기 콘택홀에 대응하여 제2방향을 차단하는 슬릿을 갖는 전자수송층용 마스크를 이용하여 전자수송층을 형성하는 단계를 포함하는 전계발광표시장치의 제조방법.

**청구항 10**

제9항에 있어서,  
 상기 콘택홀은  
 제1 내지 제3콘택홀을 포함하고,  
 상기 제1콘택홀은 상기 제2콘택홀 및 상기 제3콘택홀의 교차부에 마련되고,  
 상기 제2콘택홀은 상기 표시영역의 세로 방향을 지나도록 형성되고,  
 상기 제3콘택홀은 상기 표시영역의 가로 방향을 지나도록 형성된 전계발광표시장치의 제조방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 전계발광표시장치와 이의 제조방법에 관한 것이다.

**배경 기술**

[0002] 정보화 기술이 발달함에 따라 사용자와 정보 간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 전계발광표시장치(Light Emitting Display: OLED), 액정표시장치(Liquid Crystal Display: LCD) 및 플라즈마표시장치(Plasma Display Panel: PDP) 등과 같은 표시장치의 사용이 증가하고 있다.

[0003] 앞서 설명한 표시장치 중 전계발광표시장치에는 복수의 서브 픽셀을 포함하는 표시 패널, 표시 패널을 구동하는 구동부 및 표시 패널에 전원을 공급하는 전원 공급부 등이 포함된다. 구동부에는 표시 패널에 스캔신호(또는 게이트신호)를 공급하는 스캔구동부 및 표시 패널에 데이터신호를 공급하는 데이터 구동부 등이 포함된다.

[0004] 전계발광표시장치는 매트릭스 형태로 배치된 서브 픽셀들에 스캔신호 및 데이터신호 등이 공급되면, 선택된 서브 픽셀의 발광다이오드가 발광을 하게 됨으로써 영상을 표시할 수 있게 된다. 그런데 종래 제안된 전계발광표시장치는 대면적 구현을 위해 전원의 안정화 등 개선의 여지가 있다.

**발명의 내용**

**해결하려는 과제**

[0005] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 대면적 전계발광표시장치 제작시, 추가 공정을 하지 않더라도 전류 전압 강하(IR drop) 발생 가능성을 낮추면서 표시품질을 균일하게 유지할 수 있는 구조 및 방법을 제공하는 것이다.

**과제의 해결 수단**

- [0006] 상술한 과제 해결 수단으로 본 발명은 제1기판, 전원라인, 절연층, 및 발광다이오드를 포함하는 전계발광표시장치를 제공한다. 제1기판은 표시영역과 비표시영역을 갖는다. 전원라인은 제1기판 상의 표시영역에 배치된다. 절연층은 전원라인 상에 위치하고 전원라인을 노출하는 콘택홀을 갖는다. 발광다이오드는 절연층 상의 픽셀전극층, 발광층 및 공통전극층을 갖는다. 공통전극층은 콘택홀을 통해 전원라인과 전기적으로 연결된다.
- [0007] 콘택홀은 제1 내지 제3콘택홀을 포함하고, 제1콘택홀은 제2콘택홀 및 제3콘택홀의 교차부에 마련될 수 있다.
- [0008] 제2콘택홀은 표시영역의 세로 방향을 지나도록 형성되고, 제3콘택홀은 표시영역의 가로 방향을 지나도록 형성될 수 있다.
- [0009] 공통전극층은 제1콘택홀을 통해 전원라인과 직접적으로 접촉될 수 있다.
- [0010] 공통전극층은 제2콘택홀을 통해 발광층에 포함된 전자수송층과 접촉될 수 있다.
- [0011] 공통전극층은 제3콘택홀을 통해 발광층에 포함된 정공수송층과 접촉될 수 있다.
- [0012] 제1 내지 제3콘택홀은 비발광영역에 배치될 수 있다.
- [0013] 제2콘택홀 및 제3콘택홀은 표시영역의 1 픽셀단위로 배치될 수 있다.
- [0014] 다른 측면에서 본 발명은 전계발광표시장치의 제조방법을 제공한다. 전계발광표시장치의 제조방법은 제1기판 상의 표시영역에 전원라인을 형성하는 단계, 전원라인 상에서 전원라인을 노출하는 콘택홀을 갖는 절연층을 형성하는 단계, 절연층 상에 픽셀전극층, 발광층 및 공통전극층을 갖는 발광다이오드를 형성하는 단계를 포함하나, 발광층을 형성하는 단계는 콘택홀에 대응하여 제1방향을 차단하는 슬릿을 갖는 정공수송층용 마스크를 이용하여 정공수송층을 형성하는 단계와, 콘택홀에 대응하여 제2방향을 차단하는 슬릿을 갖는 전자수송층용 마스크를 이용하여 전자수송층을 형성하는 단계를 포함한다.
- [0015] 콘택홀은 제1 내지 제3콘택홀을 포함하고, 제1콘택홀은 제2콘택홀 및 제3콘택홀의 교차부에 마련되고, 제2콘택홀은 표시영역의 세로 방향을 지나도록 형성되고, 제3콘택홀은 표시영역의 가로 방향을 지나도록 형성될 수 있다.

**발명의 효과**

- [0016] 본 발명은 대면적 전계발광표시장치 제작시, 저전위전압을 균일하고 안정적으로 공급할 수 있도록 하여 전류 전압 강하(IR drop) 발생 가능성을 낮추면서 표시품질을 균일하게 유지할 수 있는 효과가 있다. 또한, 본 발명은 별도의 추가 공정 없이 제2전원라인과 공통전극층 간에 전기적 접촉이 이루어지는 구조 및 방법을 제공하는 효과가 있다.

**도면의 간단한 설명**

- [0017] 도 1은 유기전계발광표시장치의 개략적인 블록도.
- 도 2는 서브 픽셀의 개략적인 회로 구성도.
- 도 3은 도 2의 일부를 구체화한 회로 구성 예시도.
- 도 4는 표시 패널의 평면 예시도.
- 도 5는 도 4의 I1-I2 영역의 단면 예시도.
- 도 6은 제1실험예에 따른 전계발광표시장치의 제2전원라인 배치와 이의 시뮬레이션 결과를 나타낸 도면.
- 도 7은 제2실험예에 따른 전계발광표시장치의 제2전원라인 배치와 이의 시뮬레이션 결과를 나타낸 도면.
- 도 8은 본 발명의 일 실시예에 따라 대면적 유기전계발광표시장치 제작에 용이한 마스크를 보여주는 평면도.
- 도 9 및 도 10은 본 발명의 일 실시예로 구현 가능한 픽셀의 구조 및 제2전원라인의 배치 예시도들.
- 도 11은 제2전원라인과 공통전극층 간의 전기적 접촉 형태를 설명하기 위한 도면.
- 도 12는 본 발명의 일 실시예에 따라 제1콘택홀을 중심으로 서브 픽셀의 단면을 보여주는 도면.

도 13은 본 발명의 일 실시예에 따라 제2콘택홀을 중심으로 서브 픽셀의 단면을 보여주는 도면.

도 14는 본 발명의 일 실시예에 따라 제3콘택홀을 중심으로 서브 픽셀의 단면을 보여주는 도면.

도 15 내지 도 18은 본 발명의 일 실시예에 따른 서브 픽셀을 제조방법의 관점에서 설명하기 위한 공정도들.

**발명을 실시하기 위한 구체적인 내용**

- [0018] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0019] 이하에서 설명되는 텔레비전, 영상 플레이어, 개인용 컴퓨터(PC), 홈시어터, 스마트폰, 가상현실기기(VR), 증강현실기기(AR) 등으로 구현될 수 있다. 또한, 유기 발광다이오드(전계발광 표시소자)를 기반으로 구현된 유기전계발광표시장치(Organic Light Emitting Display Device)는 물론이고, 무기 발광다이오드를 기반으로 구현된 무기전계발광표시장치(Inorganic Light Emitting Display Device)에도 적용 가능하다. 그러나 이하에서는 유기전계발광표시장치를 일례로 설명한다.
- [0020] 도 1은 유기전계발광표시장치의 개략적인 블록도이고, 도 2는 서브 픽셀의 개략적인 회로 구성도이고, 도 3은 도 2의 일부를 구체화한 회로 구성 예시도이며, 도 4는 표시 패널의 평면 예시도이고, 도 5는 도 4의 I1-I2 영역의 단면 예시도이다.
- [0021] 도 1에 도시된 바와 같이, 유기전계발광표시장치는 타이밍 제어부(151), 데이터 구동부(155), 스캔 구동부(157), 표시 패널(110) 및 전원 공급부(153)를 포함한다.
- [0022] 타이밍 제어부(151)는 영상 처리부(미도시)로부터 데이터신호(DATA)와 더불어 데이터 인에이블 신호, 수직 동기 신호, 수평 동기 신호 및 클럭 신호 등을 포함하는 구동 신호 등을 공급받는다. 타이밍 제어부(151)는 구동 신호에 기초하여 스캔 구동부(157)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어 신호(GDC)와 데이터 구동부(155)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어 신호(DDC)를 출력한다. 타이밍 제어부(151)는 IC(Integrated Circuit) 형태로 형성될 수 있다.
- [0023] 데이터 구동부(155)는 타이밍 제어부(151)로부터 공급된 데이터 타이밍 제어 신호(DDC)에 응답하여 타이밍 제어부(151)로부터 공급되는 데이터 신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 디지털 데이터 신호를 아날로그 데이터 신호(또는 데이터 전압)로 변환하여 출력한다. 데이터 구동부(155)는 데이터 라인들(DL1 ~ DLn)을 통해 데이터 신호(DATA)를 출력한다. 데이터 구동부(155)는 IC 형태로 형성될 수 있다.
- [0024] 스캔 구동부(157)는 타이밍 제어부(151)로부터 공급된 게이트 타이밍 제어 신호(GDC)에 응답하여 스캔 신호를 출력한다. 스캔 구동부(157)는 스캔 라인들(GL1 ~ GLm)을 통해 스캔 신호를 출력한다. 스캔 구동부(157)는 IC 형태로 형성되거나 표시 패널(110)에 게이트 인 패널(Gate In Panel) 방식(박막 공정으로 트랜지스터를 형성하는 방식)으로 형성된다.
- [0025] 전원 공급부(153)는 고전위전압과 저전위전압 등을 출력한다. 전원 공급부(153)로부터 출력된 고전위전압과 저전위전압 등은 표시 패널(110)에 공급된다. 고전위전압은 제1전원라인(EVDD)을 통해 표시 패널(110)에 공급되고 저전위전압은 제2전원라인(EVSS)을 통해 표시 패널(110)에 공급된다. 전원 공급부(153)는 IC 형태로 형성될 수 있다.
- [0026] 표시 패널(110)은 데이터 구동부(155)로부터 공급된 데이터 신호(DATA), 스캔 구동부(157)로부터 공급된 스캔 신호 그리고 전원 공급부(153)로부터 공급된 전원을 기반으로 영상을 표시한다. 표시 패널(110)은 영상을 표시할 수 있도록 동작하며 빛을 발광하는 서브 픽셀들(SP)을 포함한다.
- [0027] 서브 픽셀들(SP)은 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함하거나 백색 서브 픽셀, 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함한다. 서브 픽셀들(SP)은 발광 특성에 따라 하나 이상 다른 발광 면적을 가질 수 있다.
- [0028] 도 2에 도시된 바와 같이, 하나의 서브 픽셀은 데이터라인(DL1), 스캔라인(GL1)의 교차영역에 위치하며, 구동 트랜지스터(DR)의 게이트-소스간 전압을 셋팅하기 위한 프로그래밍부(SC)와 유기 발광다이오드(OLED)를 포함한다.
- [0029] 유기발광 다이오드(OLED)는 애노드(ANO), 캐소드(CAT), 및 애노드(ANO)와 캐소드(CAT) 사이에 개재된 유기 발광층을 포함한다. 애노드(ANO)는 구동 트랜지스터(DR)와 접속된다.
- [0030] 프로그래밍부(SC)는 적어도 하나 이상의 스위칭 트랜지스터와, 적어도 하나 이상의 커패시터를 포함하는 트랜지

스터부(트랜지스터 어레이)로 구현될 수 있다. 트랜지스터부는 CMOS 반도체, PMOS 반도체 또는 NMOS 반도체를 기반으로 구현된다. 트랜지스터부에 포함된 트랜지스터들은 p 타입 또는 n 타입 등으로 구현될 수 있다. 또한, 서브 픽셀의 트랜지스터부에 포함된 트랜지스터들의 반도체층은, 아몰포스 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다.

- [0031] 스위칭 트랜지스터는 스캔라인(GL1)으로부터의 스캔신호에 응답하여 턴 온 됨으로써, 데이터라인(DL1)으로부터의 데이터전압을 커패시터의 일측 전극에 인가한다. 구동 트랜지스터(DR)는 커패시터에 충전된 전압의 크기에 따라 전류량을 제어하여 유기 발광다이오드(OLED)의 발광량을 조절한다. 유기 발광다이오드(OLED)의 발광량은 구동 트랜지스터(DR)로부터 공급되는 전류량에 비례한다. 또한, 서브 픽셀은 제1전원라인(EVDD)과 제2전원라인(EVSS)에 연결되며, 이들로부터 고전위전압과 저전위전압을 공급받는다.
- [0032] 도 3의 (a)에 도시된 바와 같이, 서브 픽셀은 앞서 설명한 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst) 및 유기 발광다이오드(OLED) 뿐만 아니라 내부보상회로(CC)를 포함할 수 있다. 내부보상회로(CC)는 보상신호라인(INIT)에 연결된 하나 이상의 트랜지스터들을 포함할 수 있다. 내부보상회로(CC)는 구동 트랜지스터(DR)의 게이트-소스전압을 문턱전압이 반영된 전압으로 세팅하여, 유기발광 다이오드(OLED)가 발광할 때에 구동 트랜지스터(DR)의 문턱전압에 의한 휘도 변화를 배제시킨다. 이 경우, 스캔라인(GL1)은 스위칭 트랜지스터(SW)와 내부보상회로(CC)의 트랜지스터들을 제어하기 위해 적어도 2개의 스캔라인(GL1a, GL1b)을 포함하게 된다.
- [0033] 도 3의 (b)에 도시된 바와 같이, 서브 픽셀은 스위칭 트랜지스터(SW1), 구동 트랜지스터(DR), 센싱 트랜지스터(SW2), 커패시터(Cst) 및 유기 발광다이오드(OLED)를 포함할 수 있다. 센싱 트랜지스터(SW2)는 내부보상회로(CC)에 포함될 수 있는 트랜지스터로서, 서브 픽셀의 보상 구동을 위해 센싱 동작을 수행한다.
- [0034] 스위칭 트랜지스터(SW1)는 제1스캔라인(GL1a)을 통해 공급된 스캔신호에 응답하여, 데이터라인(DL1)을 통해 공급되는 데이터전압을 제1노드(N1)에 공급하는 역할을 한다. 그리고 센싱 트랜지스터(SW2)는 제2스캔라인(GL1b)을 통해 공급된 센싱신호에 응답하여, 구동 트랜지스터(DR)와 유기 발광다이오드(OLED) 사이에 위치하는 제2노드(N2)를 초기화하거나 센싱하는 역할을 한다.
- [0035] 한편, 앞서 도 3에서 소개된 서브 픽셀의 회로 구성은 이해를 돕기 위한 것일 뿐이다. 즉, 본 발명의 서브 픽셀의 회로 구성은 이에 한정되지 않고, 2T(Transistor)1C(Capacitor), 3T1C, 4T2C, 5T2C, 6T2C, 7T2C 등으로 다양하게 구성될 수 있다.
- [0036] 도 4에 도시된 바와 같이, 표시 패널(110)은 제1기판(110a), 제2기판(110b), 표시영역(AA), 패드부(PAD) 등을 포함한다. 표시영역(AA)은 빛을 발광하는 서브 픽셀들(SP)로 이루어진다. 표시영역(AA)의 서브 픽셀들(SP)은 수분이나 산소 등에 취약하므로 밀봉되지만, 패드부(PAD)는 외부 기판과의 전기적인 연결을 도모하기 위한 패드들로 이루어지므로 외부로 노출된다.
- [0037] 표시영역(AA)은 제1기판(110a)의 거의 모든 면을 차지하도록 배치될 수 있고, 패드부(PAD)는 제1기판(110a)의 일측 외곽에 배치될 수 있다. 표시 패널(110)은 사각형 형상으로 구현된 것을 일례로 하였으나, 이는 오각형, 육각형, 다각형, 원형, 타원형 등 다양한 형상으로 구현될 수 있다.
- [0038] 도 4 및 도 5 (a)에 도시된 바와 같이, 표시영역(AA)은 제1기판(110a)과 제2기판(110b) 사이에 존재하는 밀봉부재(170)에 의해 밀봉될 수 있다. 도 4 및 도 5 (b)에 도시된 바와 같이, 표시영역(AA)은 제1기판(110a)과 제2기판(110b)만으로 밀봉될 수 있다.
- [0039] 표시 패널(110)은 평평하게 펴진 형태, 유연하게 구부러지거나 펼 수 있는 형태, 곡면을 갖는 형태 등 다양한 형태를 가질 수 있다. 또한, 표시 패널(110)은 제1기판(110a) 방향으로 빛을 출사하는 하부발광(Bottom Emission), 제2기판(110b) 방향으로 빛을 출사하는 상부발광(Top Emission), 또는 양쪽 기판(110a, 110b) 방향으로 빛을 출사하는 양면발광(Dual Emission) 등의 형태로도 구현될 수 있다. 그러므로 표시 패널(110)의 밀봉 구조는 구현하고자 하는 형태에 맞추어 선택될 수 있는바 도 4 및 도 5의 설명에 한정되지 않는다.
- [0040] 도 6은 제1실험예에 따른 전계발광표시장치의 제2전원라인 배치와 이의 시뮬레이션 결과를 나타낸 도면이고, 도 7은 제2실험예에 따른 전계발광표시장치의 제2전원라인 배치와 이의 시뮬레이션 결과를 나타낸 도면이다. 도 6 및 도 7의 시뮬레이션 결과도에서 가로축과 세로축은 표시 패널(110)의 일측 비표시영역(NA)에 배치된 제2전원라인의 폭(Width)과 길이(Length)에 대응한다.
- [0041] 도 6 (a)와 같이, 표시 패널(110)의 비표시영역(NA)을 기준으로 상하 및 좌우에 제2전원라인(EVSS)을 배치하면,

도 6 (b)와 같은 시뮬레이션 결과를 얻게 된다. 도 7 (a)와 같이, 표시 패널(110)의 비표시영역(NA)을 기준으로 상하 및 좌우에 제2전원라인(EVSS)을 배치함과 더불어 표시영역(AA)의 내부에 그물 형태로 제2전원라인(EVSS)을 추가 배치하면, 도 7 (b)와 같은 시뮬레이션 결과를 얻게 된다.

- [0042] 도 6 및 도 7의 실험 결과가 말해 주듯이, 제2전원라인(EVSS)의 폭이 클수록 전류 전압 강하(IR drop) 발생 가능성을 낮추어 저전위전압을 안정적으로 공급할 수 있고, 또한 표시 패널(110) 내에 공급되는 저전위전압의 차이를 줄일 수 있다. 그러므로 대면적 유기전계발광표시장치를 제작할 때, 표시품질을 균일하게 유지하기 위해서는 저전위전압을 균일하고 안정적으로 공급할 수 있는 제2전원라인(EVSS)의 설계가 필요함을 알 수 있다.
- [0043] 종래에는 제2전원라인(EVSS)을 표시영역(AA)에 설계하기 위한 방안이 다양한 형태로 제안된 바 있다. 그러나 종래에 제안된 방식은 비표시영역(NA)에 해당하는 베젤영역의 크기가 증가한다는 복잡한 공정 방식을 이용해야 하는 어려움이 있었다. 이하에서 설명되는 본 발명은 이러한 어려움을 해소하는 것이다.
- [0044] 도 8은 본 발명의 일 실시예에 따라 대면적 유기전계발광표시장치 제작에 용이한 마스크를 보여주는 평면도이고, 도 9 및 도 10은 본 발명의 일 실시예로 구현 가능한 픽셀의 구조 및 제2전원라인의 배치 예시도들이며, 도 11은 제2전원라인과 공통전극층 간의 전기적 접촉 형태를 설명하기 위한 도면이다.
- [0045] 도 8에 도시된 바와 같이, 본 발명에서는 유기 발광다이오드 제작을 위해 공통층(HTL/ETL)을 형성하는 부분에 슬릿 패턴 금속 마스크(slit pattern Metal Mask)를 적용하여 재료가 증착되지 않는 미증착부가 형성되도록 한다. 공통층(HTL/ETL) 중 정공수송층(HTL)을 형성하는 마스크에 배치된 세로 방향의 슬릿(HTL slit)과 전자수송층(ETL)을 형성하는 마스크에 배치된 가로 방향의 슬릿(ETL slit)이 미증착부를 형성하기 위한 예이다.
- [0046] 미증착부는 1 픽셀(SCR, SPG, SPB) 단위로 배치된다. 공통층(HTL/ETL) 중 정공수송층(HTL)을 형성하는 마스크 그리고 전자수송층(ETL)을 형성하는 마스크를 제외한 다른 공정용 마스크들(PXL, CAT)은 이전과 동일한 구조를 사용하면 되므로 이들과 관련된 설명은 생략한다.
- [0047] 도 8에서 설명된 바와 같이 공통층(HTL/ETL)을 형성하는 부분에 슬릿 패턴 금속 마스크(slit pattern Metal Mask)를 적용하여 미증착부가 교차되도록 하면, 별도의 추가 공정을 진행하지 않더라도 표시영역의 내부에 배치된 제2전원라인과 공통전극층을 전기적으로 접촉시킬 수 있다.
- [0048] 제1예로, 도 9 (a)와 같은 사각형 형태의 픽셀(P)은 도 10 (a)와 같이 구조적 변경 없이 제2전원라인(EVSS)과 공통전극층(미도시) 간의 전기적 접촉이 이루어지도록 할 수 있다. 제2예로, 도 10 (a)와 같은 삼각형 및 다이아몬드(마름모) 형태의 픽셀(P)은 도 10 (b)와 같이 약간의 구조적 변경을 수행한 후 제2전원라인(EVSS)과 공통전극층(미도시) 간의 전기적 접촉이 이루어지도록 할 수 있다. 그러나 이는 하나의 예시일 뿐, 본 발명을 따르면 대부분의 픽셀 구조에서 구조적 변경 없이 제2전원라인(EVSS)과 공통전극층 간의 전기적 접촉이 이루어지도록 할 수 있다.
- [0049] 도 11의 HTL hole은 도 8에서 설명된 정공수송층용 마스크의 슬릿에 대응하여 위치하는 홀이고, 도 11의 ETL hole은 도 8에서 설명된 전자수송층용 마스크의 슬릿에 의해 대응하여 위치하는 홀이고, 도 11의 EL hole은 도 8에서 설명된 정공수송층용 마스크의 슬릿 및 전자수송층용 마스크의 슬릿의 교차부에 대응하여 위치하는 홀이다. 그리고 HTL hole과 ETL hole은 픽셀(P)과 픽셀 사이에 배치된다.
- [0050] 도 11을 통해 알 수 있듯이, HTL hole은 표시영역의 세로 방향을 지나도록 형성되고, ETL hole은 표시영역의 가로 방향을 지나도록 형성되고, EL hole은 HTL hole과 ETL hole의 교차부에 형성된다. HTL hole이 형성된 부분에는 정공수송층(HTL)이 형성되지 않고, ETL hole이 형성된 부분에는 전자수송층(ETL)이 형성되지 않고, EL hole이 형성된 부분에는 정공수송층(HTL) 및 전자수송층(ETL)이 형성되지 않는다. 대신, EL hole이 형성된 부분은 정공수송층(HTL)보다 더 하부에 위치하는 제2전원라인(EVSS)을 노출한다.
- [0051] 도 11의 EL hole 부분에 해당하는 ①의 단면을 통해 알 수 있듯이, 미증착부를 형성하는 "EL hole"의 내부에는 제2전원라인(EVSS)이 노출된 상태이다. 따라서, 공통전극층(124)은 별도의 공정 없이 증착 공정만 수행하더라도 제2전원라인(EVSS)과 전기적 접촉을 이루게 된다. 즉, 도 11의 EL hole은 공통전극층(124)과 제2전원라인(EVSS)이 직접적으로 접촉할 수 있는 홀을 제공한다.
- [0052] 도 11의 HTL hole 부분에 해당하는 ②의 단면을 통해 알 수 있듯이, "HTL hole"의 내부에는 제2전원라인(EVSS)과 전기적으로 연결된 전자수송층(ETL)이 노출된 상태이다. 도 11의 HTL hole은 공통전극층(124)과 전자수송층(ETL)이 접촉할 수 있는 홀을 제공한다. 전자수송층(ETL)을 구성하는 재료에 따라 다를 수 있지만 공통전극층(124)과 제2전원라인(EVSS)은 전자수송층(ETL)을 매개로 전기적 도통 상태를 가질 수 있다.

- [0053] 도 11의 ETL hole 부분에 해당하는 ③의 단면을 통해 알 수 있듯이, "ETL hole"의 내부에는 정공수송층(HTL)이 노출된 상태이다. 도 11의 ETL hole은 공통전극층(124)과정공수송층(HTL)이 접촉할 수 있는 홀을 제공한다. 정공수송층(HTL)을 구성하는 재료에 따라 다를 수 있지만 공통전극층(124)과 제2전원라인(EVSS)은 정공수송층(HTL)을 매개로 전기적 도통 상태를 가질 수 있다.
- [0054] 그러므로 공통전극층(124)은 콘택홀들(HOL) 중 적어도 하나를 통해 제2전원라인(EVSS)과 전기적인 접촉을 이루게 된다. 이처럼, "EL hole", "HTL hole" 및 "ETL hole"은 구조적으로 상이한 점이 있지만, 공통전극층(124)과 제2전원라인(EVSS) 간의 전기적인 접촉을 돕는 홀을 제공하므로 이들을 위와 같이 통칭하여 콘택홀들(HOL)이라고 정의할 수 있다.
- [0055] 이하, 도 8에서 설명된 정공수송층용 마스크와 전자수송층용 마스크를 기반으로 제작한 서브 픽셀의 단면을 일례로 본 발명을 더 구체화하여 설명한다. 다만, 이하에서는 콘택홀들(HOL)에 포함된 "EL hole"을 제1콘택홀로, "HTL hole"을 제2콘택홀로, "ETL hole"을 제3콘택홀로 명명하고 설명한다. 그 이유는 콘택홀들(HOL)마다 구조적인 상이점이 존재하고 또한 이를 위치별로 구분하여 설명하면 이해를 높일 수 있기 때문이다. 그리고 이하의 설명은 실제 서브 픽셀의 구조에 본 발명을 적용한 경우를 일례로 설명을 구체화하나 이는 하나의 예시일 뿐, 본 발명은 다양한 픽셀 구조에 적용 가능하므로 이에 한정되지 않는다.
- [0056] 도 12는 본 발명의 일 실시예에 따라 제1콘택홀을 중심으로 서브 픽셀의 단면을 보여주는 도면이고, 도 13은 본 발명의 일 실시예에 따라 제2콘택홀을 중심으로 서브 픽셀의 단면을 보여주는 도면이며, 도 14는 본 발명의 일 실시예에 따라 제3콘택홀을 중심으로 서브 픽셀의 단면을 보여주는 도면이다.
- [0057] 도 12 내지 도 14에 도시된 바와 같이, 본 발명의 일 실시예에 따른 서브 픽셀은 비발광영역(NEMA)에 위치하는 콘택홀들(HOL) 부분에서 공통전극층(124)과 제3소스드레인금속층(118c)으로 이루어진 제2전원라인(EVSS) 간의 전기적인 접촉이 이루어진다.
- [0058] 도 12에 도시된 제1콘택홀(EL hole)의 측면에서 보면, 제1콘택홀(EL hole)은 비발광영역(NEMA)에 위치한다. 제1콘택홀(EL hole)은 제3절연층(120) 및 제2절연층(119)을 관통하도록 형성되어 제2전원라인(EVSS)의 일부를 노출한다. 공통전극층(124)은 제1콘택홀(EL hole)의 내부에 형성되어 제2전원라인(EVSS)과 접촉하게 된다.
- [0059] 도 13에 도시된 제2콘택홀(HTL hole)의 측면에서 보면, 제2콘택홀(HTL hole)은 비발광영역(NEMA)에 위치한다. 제2콘택홀(HTL hole)은 제3절연층(120) 및 제2절연층(119)을 관통하도록 형성되어 제2전원라인(EVSS)의 일부를 노출한다. 공통전극층(124)은 제2콘택홀(HTL hole)의 내부에 형성되지만 그 하부에 위치하는 전자수송층(ETL)과 접촉하게 된다. 즉, 제2콘택홀(HTL hole)은 정공수송층(HTL)을 관통하는 홀만 형성한다.
- [0060] 도 14에 도시된 제3콘택홀(ETL hole)의 측면에서 보면, 제3콘택홀(ETL hole)은 비발광영역(NEMA)에 위치한다. 제3콘택홀(ETL hole)은 제3절연층(120) 및 제2절연층(119)을 관통하도록 형성되어 제2전원라인(EVSS)의 일부를 노출한다. 공통전극층(124)은 제3콘택홀(ETL hole)의 내부에 형성되지만 그 하부에 위치하는 정공수송층(HTL)과 접촉하게 된다. 즉, 제3콘택홀(ETL hole)은 전자수송층(ETL)을 관통하는 홀만 형성한다.
- [0061] 한편, 제1콘택홀(EL hole), 제2콘택홀(HTL hole) 및 제3콘택홀(ETL hole)이 존재하는 부분에는 बैं크층(122)이 존재하지 않는다. 제1콘택홀(EL hole), 제2콘택홀(HTL hole) 및 제3콘택홀(ETL hole)은 बैं크층(122)을 제거한 후 마련할 수 있으나 이에 한정되지 않는다.
- [0062] 이하, 본 발명의 일 실시예에 따른 서브 픽셀의 제조방법을 설명한다. 다만, 이하에서는 제1콘택홀을 중심으로 서브 픽셀의 단면을 보여주며 그 제조방법을 설명한다. 이 밖에, 설명되지 않은 제2 및 제3콘택홀부분은 도 13 및 도 14를 참고한다.
- [0063] 도 15 내지 도 18은 본 발명의 일 실시예에 따른 서브 픽셀을 제조방법의 관점에서 설명하기 위한 공정도들이다.
- [0064] 도 15에 도시된 바와 같이, 제1기판(110a) 상에는 버퍼층(111)이 형성된다. 버퍼층(111) 상에는 반도체층(112)이 형성된다. 반도체층(112) 상에는 게이트절연층(113)이 형성된다. 게이트절연층(113) 상에는 게이트금속층(114a, 114b)이 형성된다. 제1게이트금속층(114a)은 구동 트랜지스터(DR)의 게이트전극이 되고, 제2게이트금속층(114b)은 커패시터(Cst)의 하부전극이 된다.
- [0065] 게이트금속층(114a, 114b) 상에는 제1절연층(115)이 형성된다. 제2게이트금속층(114b)에 대응하는 제1절연층(115) 상에는 보조전극층(116)이 형성된다. 보조전극층(116)은 커패시터(Cst)의 상부전극이 된다. 보조전극층

(116) 상에는 제2절연층(117)이 형성된다.

- [0066] 제2절연층(117) 상에는 소스드레인금속층(118a ~ 118c)이 형성된다. 제1소스드레인금속층(118a)은 구동 트랜지스터(DR)의 제1전극이 되고, 제2소스드레인금속층(118b)은 구동 트랜지스터(DR)의 제2전극이 되고, 제3소스드레인금속층(118c)은 제2전원라인(EVSS)이 된다. 제2전원라인(EVSS)은 표시영역 내에서 데이터라인과 동일한 방향(세로 방향)으로 배치될 수 있으나 이에 한정되지 않는다. 또한, 제2전원라인(EVSS)은 비표시영역에 배치된 제2전원라인(EVSS)과 전기적으로 연결된다.
- [0067] 소스드레인금속층(118a ~ 118c) 상에는 보호층(119)이 형성된다. 보호층(119) 상에는 제3절연층(120)이 형성된다. 제3절연층(120)은 구동 트랜지스터(DR)의 제2전극이 되는 제2소스드레인금속층(118b)과 제2전원라인(EVSS)이 되는 제3소스드레인금속층(118c)을 노출한다. 제3절연층(120)에서 제2전원라인(EVSS)이 되는 제3소스드레인금속층(118c)을 노출하는 부분은 제1콘택홀(EL hole)로 정의된다. 제3절연층(120)은 표면을 평탄화할 수 있는 재료로 선택될 수 있다.
- [0068] 제3절연층(120) 상에는 픽셀전극층(121)이 형성된다. 픽셀전극층(121)은 유기 발광다이오드(OLED)의 애노드 또는 캐소드가 된다. 픽셀전극층(121)은 구동 트랜지스터(DR)의 제2전극이 되는 제2소스드레인금속층(118b)과 전기적으로 연결되며 서브 픽셀마다 분리된다.
- [0069] 픽셀전극층(121) 상에는 बैं크층(122)이 형성된다. बैं크층(122)은 픽셀전극층(121)을 덮고 일부를 노출하는 개구부를 갖는다. बैं크층(122)이 덮고 있는 영역은 비발광영역(NEMA)으로 정의되고, बैं크층(122)이 덮지 않는 개구부는 발광영역(EMA)으로 정의된다.
- [0070] 픽셀전극층(121) 및 बैं크층(122) 상에는 정공수송층(HTL)이 형성된다. 정공수송층(HTL)은 제1콘택홀(EL hole)의 내부에 형성되지 않는다. 그 이유는 도 8에서 설명된 정공수송층용 마스크의 슬릿에 의해 제1콘택홀(EL hole)과 대응하는 부분이 차단된 상태이기 때문이다.
- [0071] 도 16에 도시된 바와 같이, बैं크층(122)의 개구부 내에는 유기 발광층(EML)이 형성된다. 유기 발광층(EML)은 도 8에서 설명된 적색 증착용 마스크, 녹색 증착용 마스크 및 청색 증착용 마스크를 포함하는 유기 마스크(PXL)에 의해 बैं크층(122)의 개구부 내에만 형성된다.
- [0072] 도 17에 도시된 바와 같이, बैं크층(122), 정공수송층(HTL) 및 유기 발광층(EML) 상에는 전자수송층(ETL)이 형성된다. 전자수송층(ETL)은 제1콘택홀(EL hole)의 내부에 형성되지 않는다. 그 이유는 도 8에서 설명된 정공수송층용 마스크의 슬릿에 의해 제1콘택홀(EL hole)과 대응하는 부분이 차단된 상태이기 때문이다.
- [0073] 도 18에 도시된 바와 같이, 정공수송층(HTL), 유기 발광층(EML) 및 전자수송층(ETL)을 포함하는 발광층(123) 상에는 공통전극층(124)이 형성된다. 공통전극층(124)은 유기 발광다이오드(OLED)의 캐소드 또는 애노드가 된다. 공통전극층(124)은 공통 마스크(CAT)에 의해 제1기판(110a)의 거의 전면에 형성된다. 그 결과, 공통전극층(124)은 제1기판(110a)의 거의 전면에 형성됨과 더불어 제1콘택홀(EL hole)을 통해 노출된 제3소스드레인금속층(118c) 즉, 제2전원라인(EVSS)에 연결된다.
- [0074] 이상 본 발명은 대면적 전계발광표시장치 제작시, 저전위전압을 균일하고 안정적으로 공급할 수 있도록 하여 전류 전압 강하(IR drop) 발생 가능성을 낮추면서 표시품질을 균일하게 유지할 수 있는 효과가 있다. 또한, 본 발명은 별도의 추가 공정 없이 제2전원라인과 공통전극층 간에 전기적 접촉이 이루어지는 구조 및 방법을 제공하는 효과가 있다.
- [0075] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

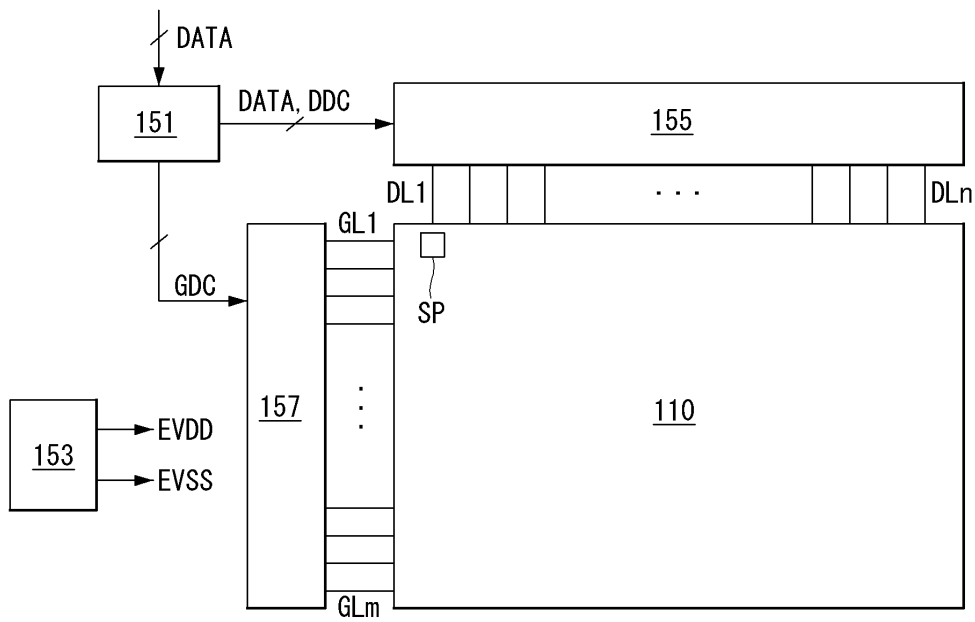
**부호의 설명**

- [0076] 118a ~ 118c: 소스드레인금속층 EVSS: 제2전원라인
- 120: 제3절연층      121: 픽셀전극층

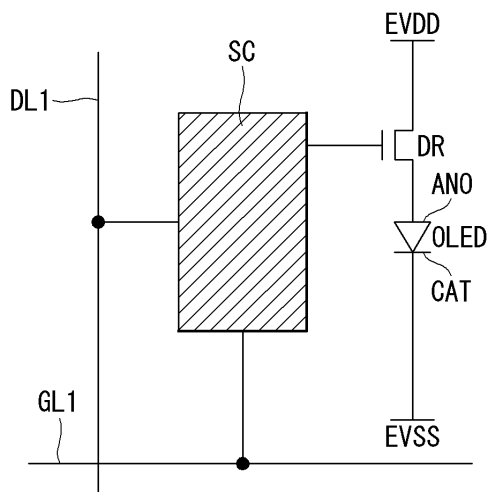
122: बैं크층      123: 발광층  
 124: 공통전극층      HTL: 정공수송층  
 EML: 유기 발광층      ETL: 전자수송층  
 EL hole: 제1콘택홀      HTL hole: 제2콘택홀  
 ETL hole: 제3콘택홀

도면

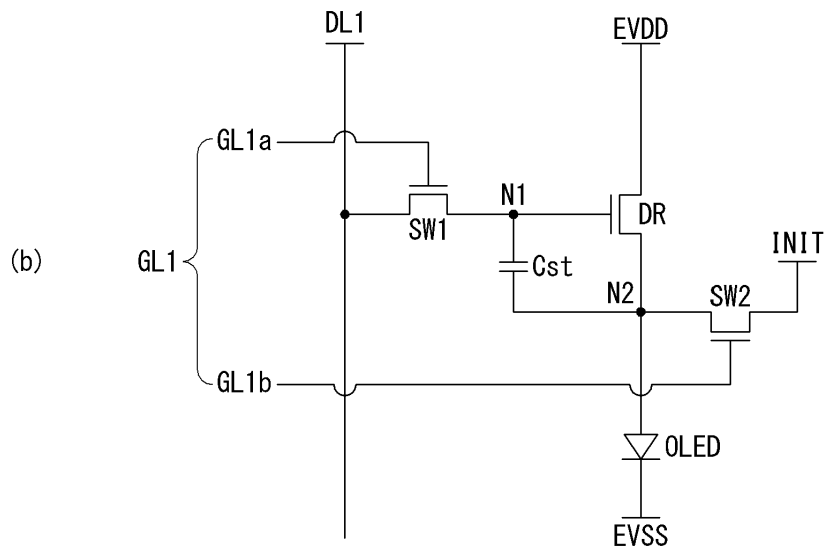
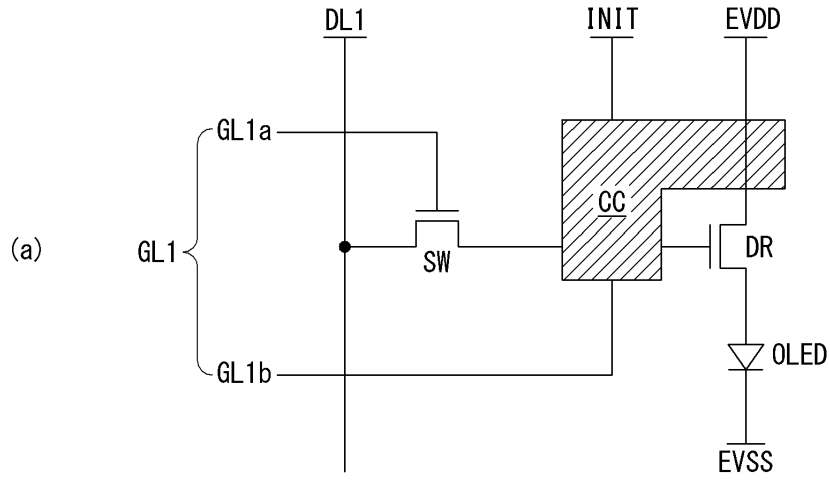
도면1



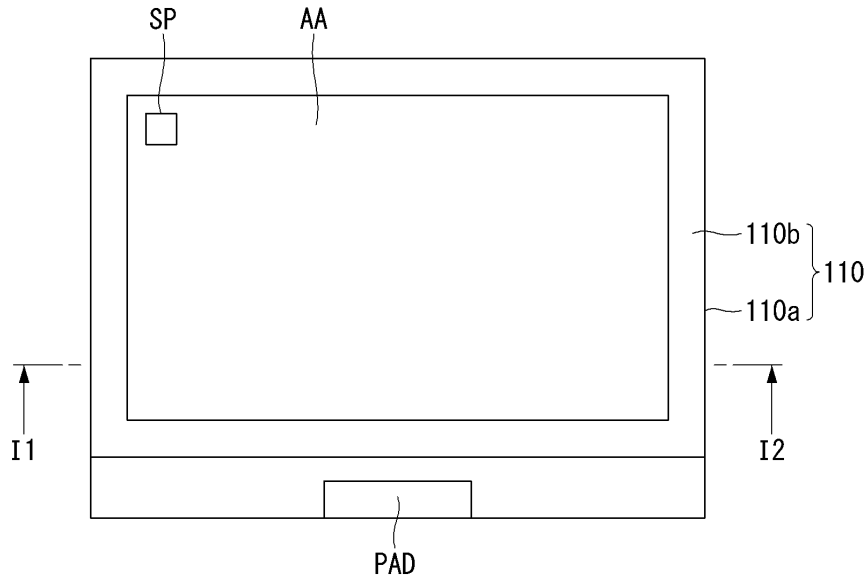
도면2



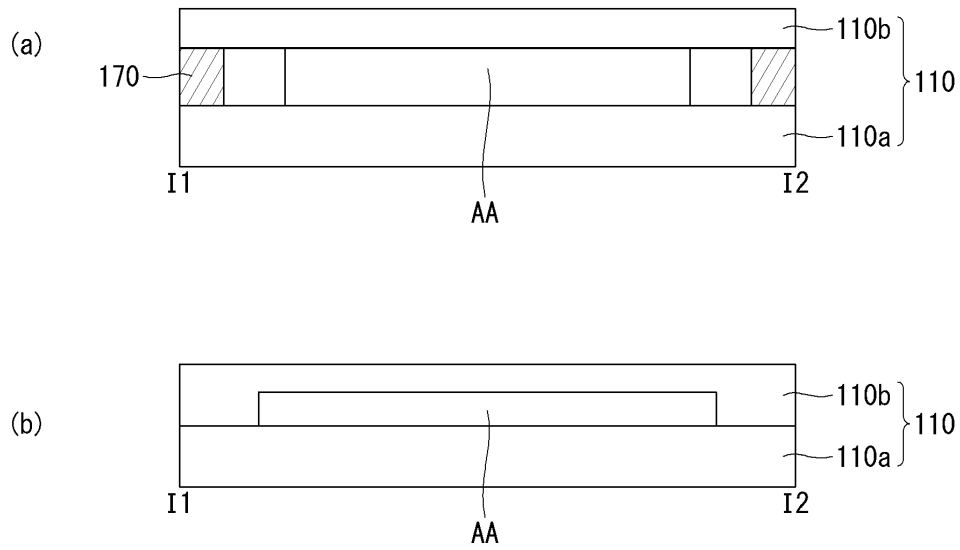
도면3



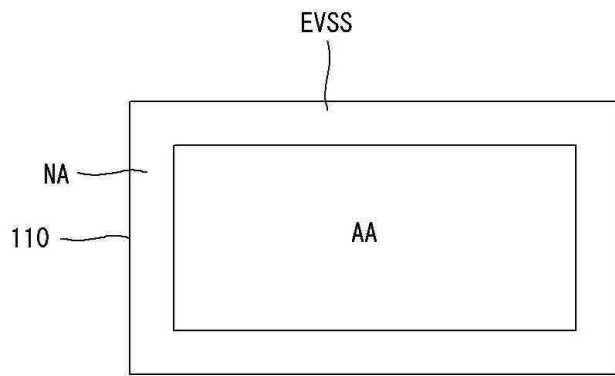
도면4



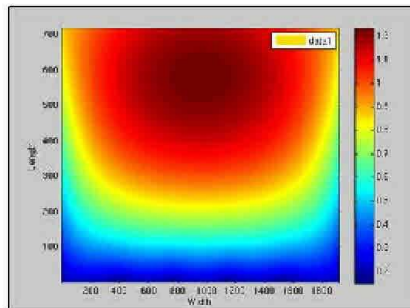
도면5



도면6

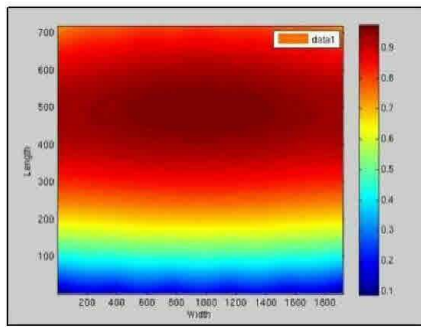
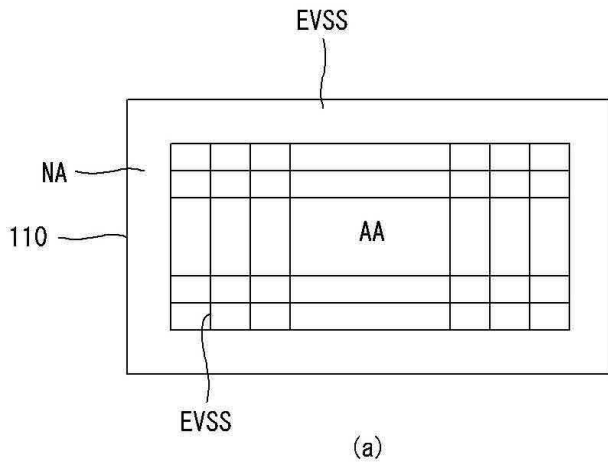


(a)

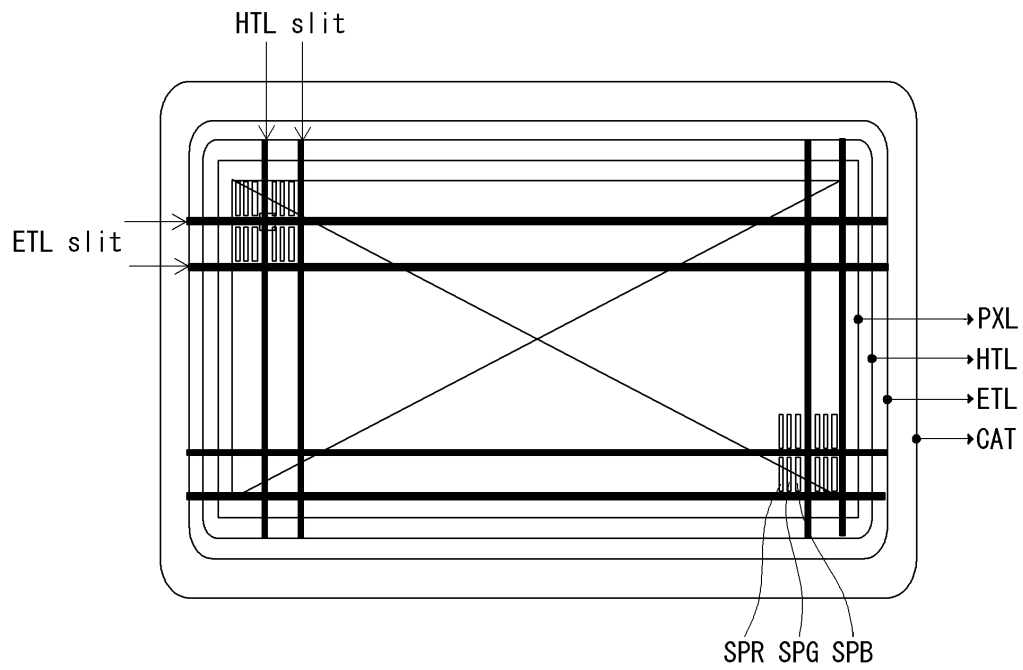


(b)

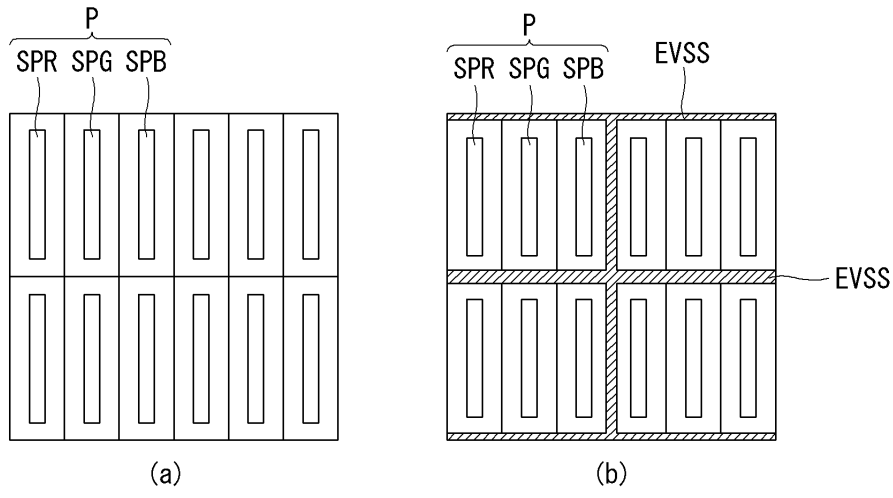
도면7



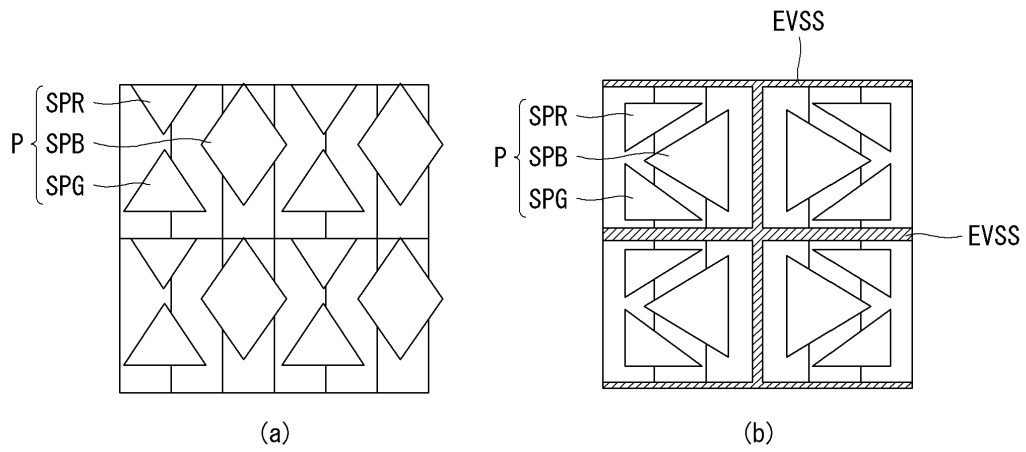
도면8



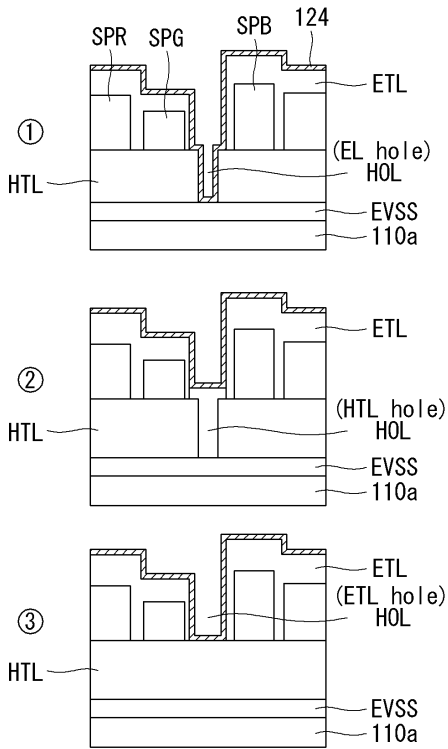
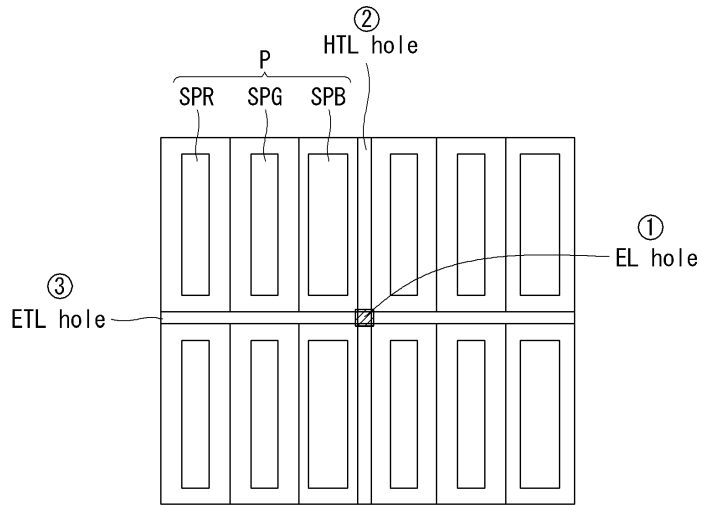
도면9



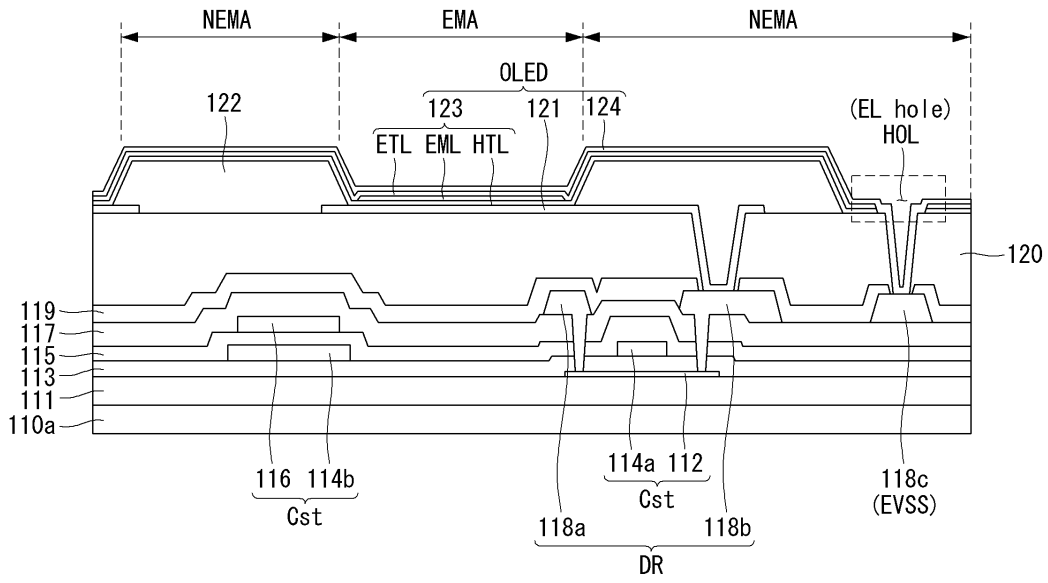
도면10



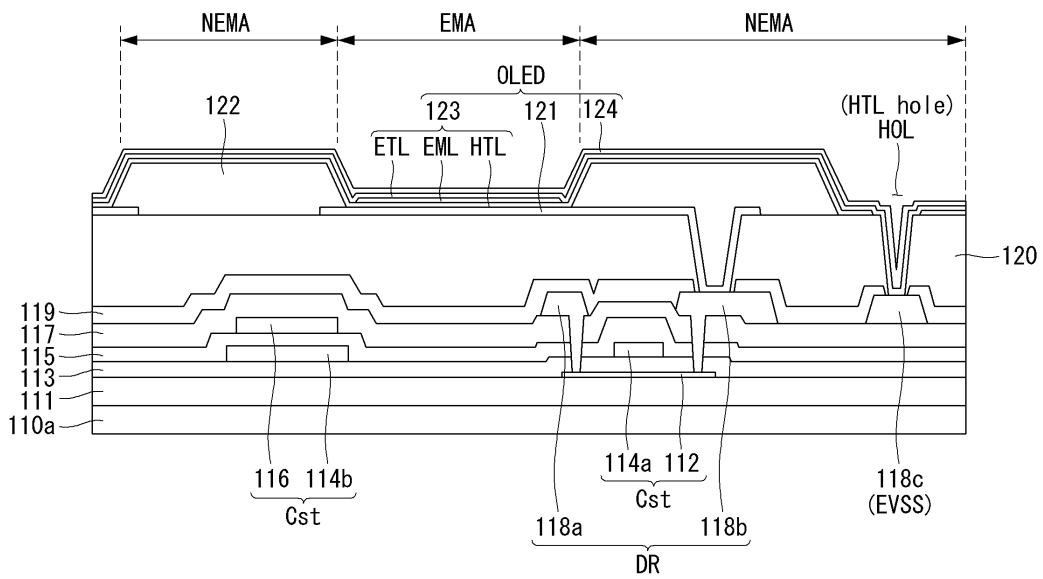
도면11



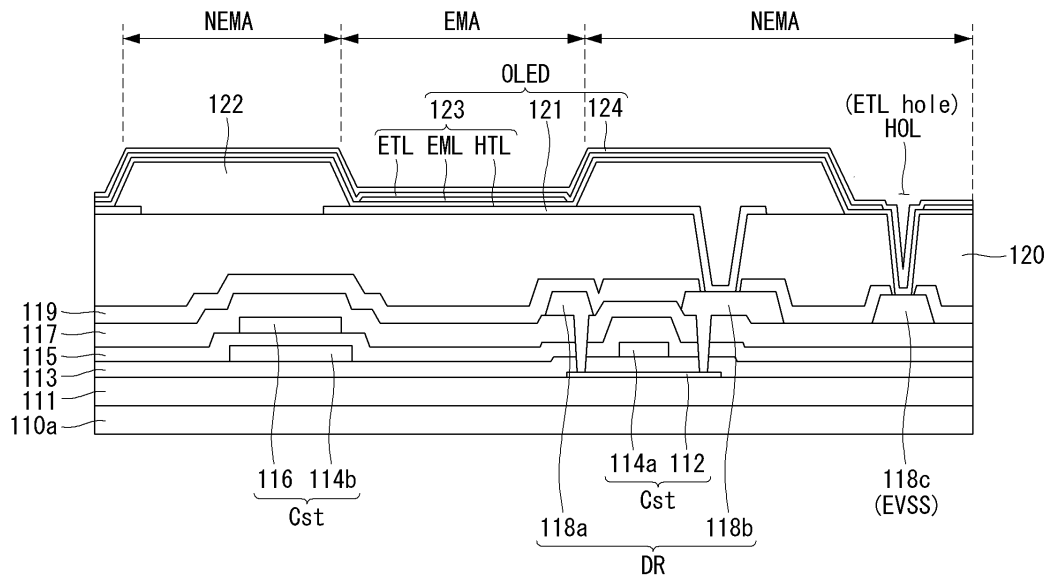
도면12



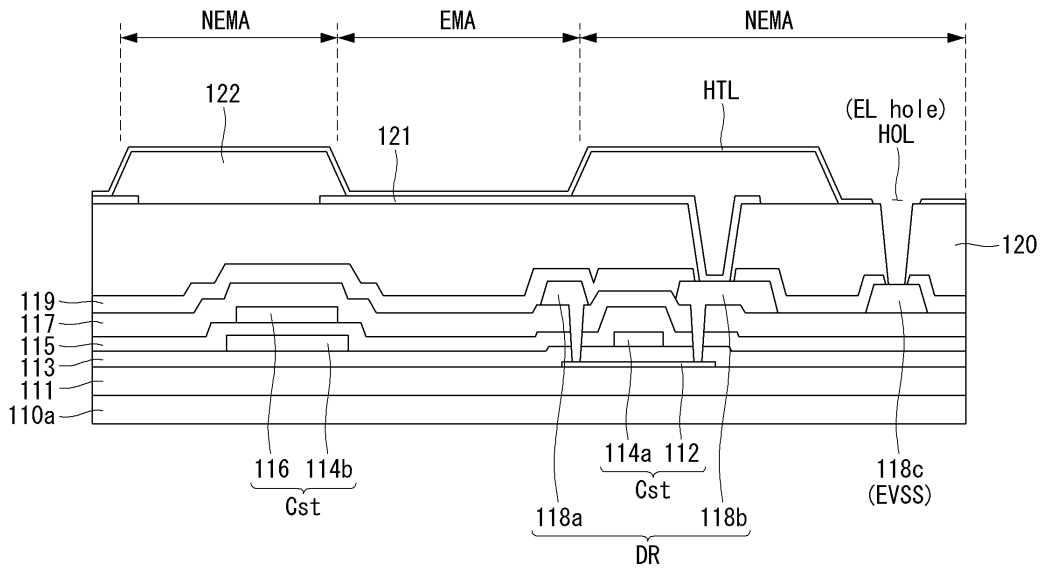
도면13



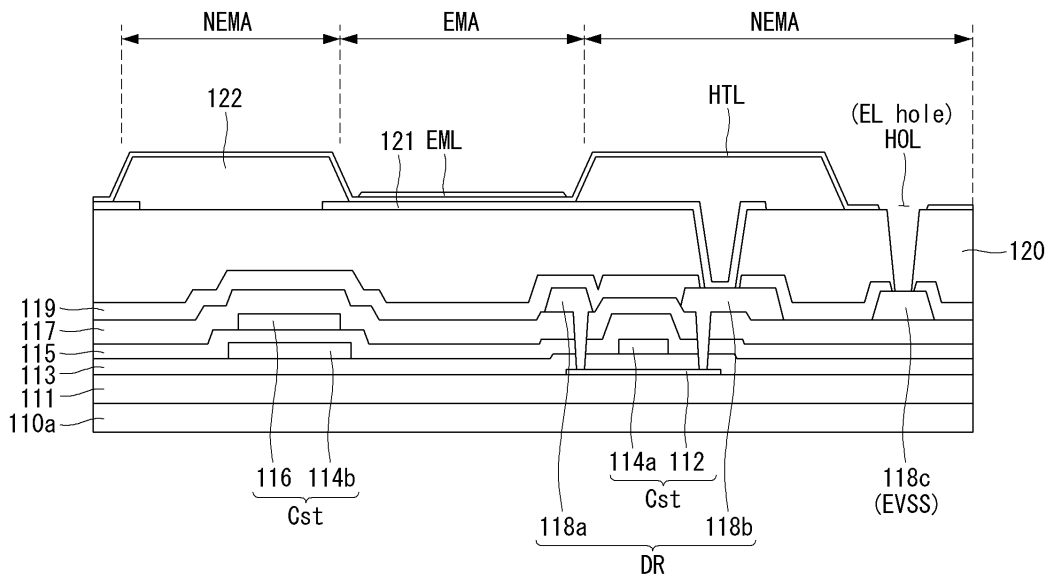
도면14



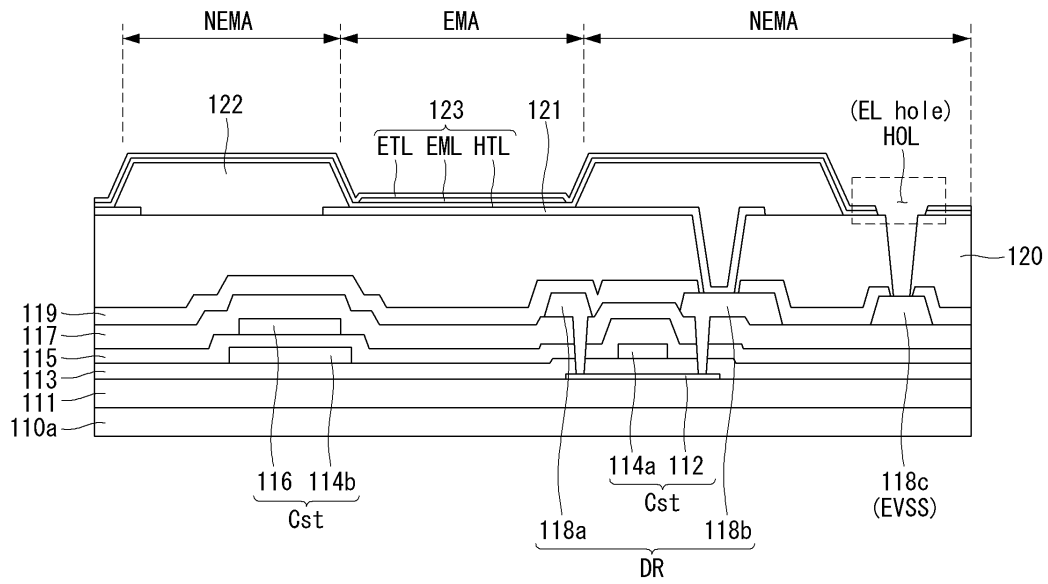
도면15



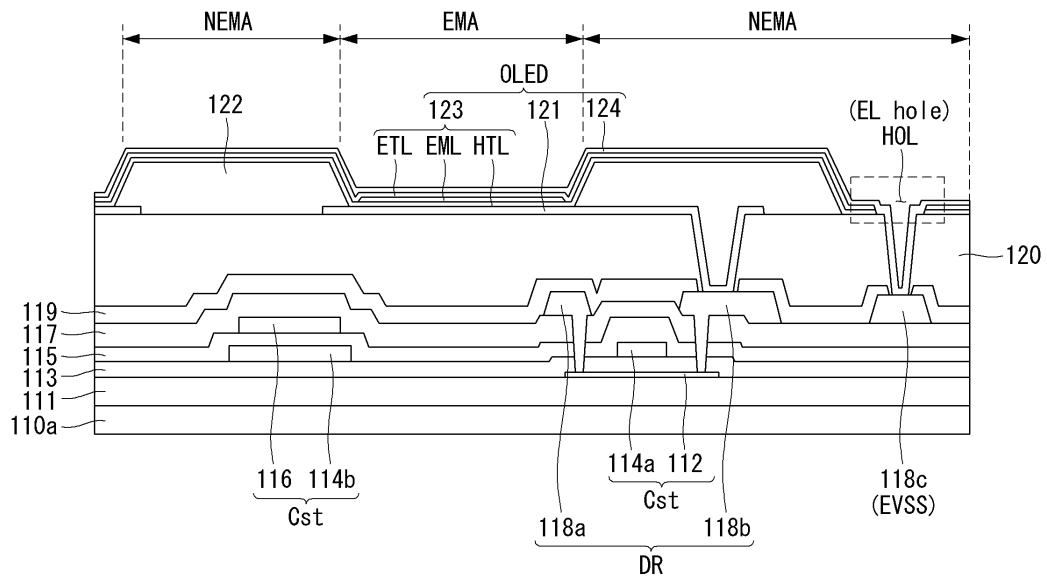
도면16



도면17



도면18



专利名称(译)	电致发光显示装置及其制造方法		
公开(公告)号	<a href="#">KR1020190074534A</a>	公开(公告)日	2019-06-28
申请号	KR1020170175966	申请日	2017-12-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	이주연 홍순환 문선지		
发明人	이주연 홍순환 문선지		
IPC分类号	H01L51/52 H01L27/32 H01L51/50 H01L51/56		
CPC分类号	H01L51/5203 H01L27/3248 H01L27/3258 H01L51/5048 H01L51/5237 H01L51/56		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明提供了一种电致发光显示装置，其包括第一基板，电源线，绝缘层和发光二极管。第一基板具有显示区域和非显示区域。电源线设置在第一基板上的显示区域中。绝缘层具有位于电源线上并暴露电源线的接触孔。发光二极管在绝缘层上具有像素电极层，发光层和公共电极层。公共电极层通过接触孔电连接到电力线。

