



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0004364
(43) 공개일자 2018년01월11일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/56 (2006.01)
(52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 27/3213 (2013.01)
(21) 출원번호 10-2016-0083464
(22) 출원일자 2016년07월01일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
나지수
경기도 용인시 수지구 문인로 57, 풍림아파트
106-507 (풍덕천동)
(74) 대리인
특허법인가산

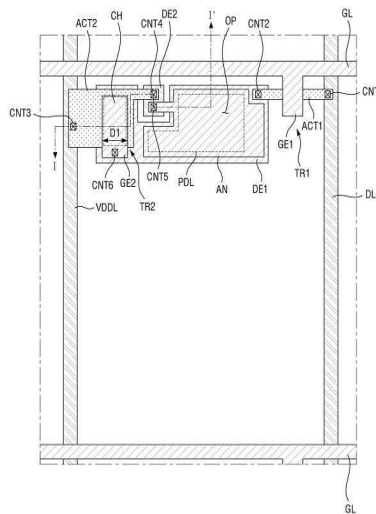
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조방법

(57) 요약

유기 발광 표시 장치 및 유기 발광 표시 장치의 제조 방법이 제공된다. 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 기판, 상기 기판 상에 배치되는 공통 전원 라인, 제1 드레인 전극 및 제2 드레인 전극, 상기 공통 전원 라인 및 상기 제2 드레인 전극과 연결되는 반도체 패턴층, 상기 반도체 패턴층과 중첩되는 게이트 전극 및 상기 제2 드레인 전극과 연결되는 애노드 전극을 포함하되, 상기 반도체 패턴층과 상기 게이트 전극이 중첩되는 영역은 상기 제1 드레인 전극과 중첩된다.

대표도 - 도2



(52) CPC특허분류

H01L 27/3246 (2013.01)

H01L 27/3265 (2013.01)

H01L 27/3276 (2013.01)

H01L 51/56 (2013.01)

명세서

청구범위

청구항 1

기관;

상기 기관 상에 배치되는 공통 전원 라인, 제1 드레인 전극 및 제2 드레인 전극;

상기 공통 전원 라인 및 상기 제2 드레인 전극과 연결되는 반도체 패턴층;

상기 반도체 패턴층과 중첩되는 게이트 전극; 및

상기 제2 드레인 전극과 연결되는 애노드 전극; 을 포함하되,

상기 반도체 패턴층과 상기 게이트 전극이 중첩되는 영역은 상기 제1 드레인 전극과 중첩되는 유기 발광 표시 장치.

청구항 2

제1항에 있어서,

상기 반도체 패턴층의 일단은 상기 제2 드레인 전극과 접촉하고, 타단은 상기 공통 전원 라인과 접촉하는 유기 발광 표시 장치.

청구항 3

제1항에 있어서,

상기 공통 전원 라인의 일부, 상기 제2 드레인 전극 및 상기 반도체 패턴층이 모여 구동 트랜지스터를 형성하는 유기 발광 표시 장치.

청구항 4

제1항에 있어서,

상기 반도체 패턴층과 상기 게이트 전극이 중첩되는 영역에는 채널 영역이 형성되고, 상기 채널 영역은 상기 제1 드레인 전극과 완전하게 중첩되는 유기 발광 표시 장치.

청구항 5

제1항에 있어서,

상기 애노드 전극과 상기 제1 드레인 전극은 서로 중첩되는 유기 발광 표시 장치.

청구항 6

제1항에 있어서,

상기 애노드 전극과 상기 제1 드레인 전극은 캐패시터를 형성하는 유기 발광 표시 장치.

청구항 7

제1항에 있어서,

상기 제2 드레인 전극은 상기 반도체 패턴층 및 상기 애노드 전극과 접촉하는 유기 발광 표시 장치.

청구항 8

제1항에 있어서,

상기 공통 전원 라인, 상기 제1 드레인 전극 및 상기 제2 드레인 전극은 동일층에 배치되는 유기 발광 표시 장

치.

청구항 9

제1항에 있어서,

상기 게이트 전극 및 상기 애노드 전극은 동일층에 배치되는 유기 발광 표시 장치.

청구항 10

제1항에 있어서,

상기 애노드 전극을 적어도 부분적으로 노출시키는 화소 정의막을 더 포함하는 유기 발광 표시 장치.

청구항 11

기관;

상기 기관 상에 정의되는 복수개의 화소를 포함하되,

상기 화소는 복수개의 서브 화소를 포함하고,

상기 서브 화소는

상기 기관 상에 배치되는 공통 전원 라인, 제1 드레인 전극 및 제2 드레인 전극;

상기 공통 전원 라인 및 상기 제2 드레인 전극과 연결되는 반도체 패턴층;

상기 반도체 패턴층과 중첩되는 게이트 전극; 및

상기 제2 드레인 전극과 연결되는 애노드 전극; 을 포함하되,

상기 반도체 패턴층과 상기 게이트 전극이 중첩되는 영역은 상기 제1 드레인 전극과 중첩되는 유기 발광 표시 장치.

청구항 12

제11항에 있어서,

상기 화소는 네 개의 서브 화소를 포함하고, 상기 네 개의 서브 화소는 각각 적색, 녹색, 청색 및 백색 중 선택된 어느 하나의 색을 발광하는 유기 발광 표시 장치.

청구항 13

제11항에 있어서,

상기 반도체 패턴층과 상기 게이트 전극이 중첩되는 영역에는 채널 영역이 형성되고, 상기 채널 영역은 상기 제1 드레인 전극과 완전하게 중첩되는 유기 발광 표시 장치.

청구항 14

제11항에 있어서,

상기 공통 전원 라인, 상기 제1 드레인 전극 및 상기 제2 드레인 전극은 동일층에 배치되는 유기 발광 표시 장치.

청구항 15

제11항에 있어서,

상기 애노드 전극과 상기 제1 드레인 전극은 캐패시터를 형성하는 유기 발광 표시 장치.

청구항 16

제11항에 있어서,

상기 게이트 전극 및 상기 애노드 전극은 동일층에 배치되는 유기 발광 표시 장치.

청구항 17

기관 상에 공통 전원 라인, 제1 드레인 전극 및 제2 드레인 전극을 형성하는 단계;

상기 공통 전원 라인 및 상기 제2 드레인 전극과 연결되는 반도체 패턴층을 형성하는 단계;

상기 반도체 패턴층과 중첩되도록 게이트 전극을 형성하는 단계; 및

상기 제2 드레인 전극과 연결되는 애노드 전극을 형성하는 단계;

를 포함하되, 상기 반도체 패턴층과 상기 게이트 전극이 중첩되는 영역은 상기 제1 드레인 전극과 중첩되는 유기 발광 표시 장치의 제조 방법.

청구항 18

제17항에 있어서,

상기 반도체 패턴층과 상기 게이트 전극이 중첩되는 영역에는 채널 영역이 형성되고, 상기 채널 영역은 상기 제1 드레인 전극과 완전하게 중첩되는 유기 발광 표시 장치의 제조 방법.

청구항 19

제17항에 있어서,

상기 애노드 전극과 상기 제1 드레인 전극은 캐패시터를 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 20

제17항에 있어서,

상기 게이트 전극 및 상기 애노드 전극은 동일층에 배치되는 유기 발광 표시 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조방법에 대한 것이다.

배경 기술

[0002] 표시 장치는 멀티미디어의 발달과 함께 그 중요성이 증대되고 있다. 이에 부응하여 액정 표시 장치(Liquid Crystal Display, LCD), 유기 발광 표시 장치(Organic Light Emitting Display, OLED) 등과 같은 여러 종류의 표시 장치가 사용되고 있다.

[0003] 그 중 유기 발광 표시 장치(organic light emitting display device, OLED)는 시야각이 넓고, 콘트라스트가 우수할 뿐만 아니라 응답 속도가 빠르다는 장점을 가지고 있어서 차세대 표시 소자로서 주목을 받고 있다. 유기 발광층은 애노드 전극과 캐소드 전극 사이에 유기물로 이루어진 발광층을 구비하고 있다. 이들 전극들에 양극 및 음극 전압이 각각 인가됨에 따라 애노드 전극으로부터 주입된 정공(hole)이 정공 주입층 및 정공 수송층을 경유하여

[0004] 발광층으로 이동되고, 전자는 캐소드 전극으로부터 전자 주입층과 전자 수송층을 경유하여 발광층으로 이동되어, 발광층에서 전자와 정공이 재결합된다. 이러한 재결합에 의해 여기자(exiton)가 생성되며, 이 여기자가 여기 상태에서 기저 상태로 변화됨에 따라 발광층이 발광됨으로써 화상이 표시된다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하고자 하는 과제는 기관 하부에서 발생하는 정전기가 유기 발광 표시 장치의 구동 트랜지스터에

영향을 미치는 것을 방지하는 유기 발광 표시 장치를 제공하는 것이다.

[0006] 본 발명이 해결하고자 하는 다른 과제는 기관 하부에서 발생하는 정전기에 의해 얼룩이 시인되는 것을 방지하는 유기 발광 표시 장치를 제공하는 것이다.

[0007] 본 발명의 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0008] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 기관, 상기 기관 상에 배치되는 공통 전원 라인, 제1 드레인 전극 및 제2 드레인 전극, 상기 공통 전원 라인 및 상기 제2 드레인 전극과 연결되는 반도체 패터층, 상기 반도체 패터층과 중첩되는 게이트 전극 및 상기 제2 드레인 전극과 연결되는 애노드 전극을 포함하되, 상기 반도체 패터층과 상기 게이트 전극이 중첩되는 영역은 상기 제1 드레인 전극과 중첩된다.

[0009] 또한, 상기 반도체 패터층의 일단은 상기 제2 드레인 전극과 접촉하고, 타단은 상기 공통 전원 라인과 접촉할 수 있다.

[0010] 또한, 상기 공통 전원 라인의 일부, 상기 제2 드레인 전극 및 상기 반도체 패터층이 모여 구동 트랜지스터를 형성할 수 있다.

[0011] 또한, 상기 반도체 패터층과 상기 게이트 전극이 중첩되는 영역에는 채널 영역이 형성되고, 상기 채널 영역은 상기 제1 드레인 전극과 완전하게 중첩될 수 있다.

[0012] 또한, 상기 애노드 전극과 상기 제1 드레인 전극은 서로 중첩될 수 있다.

[0013] 또한, 상기 애노드 전극과 상기 제1 드레인 전극은 캐패시터를 형성할 수 있다.

[0014] 또한, 상기 제2 드레인 전극은 상기 반도체 패터층 및 상기 애노드 전극과 접촉할 수 있다.

[0015] 또한, 상기 공통 전원 라인, 상기 제1 드레인 전극 및 상기 제2 드레인 전극은 동일층에 배치될 수 있다.

[0016] 또한, 상기 게이트 전극 및 상기 애노드 전극은 동일층에 배치될 수 있다.

[0017] 또한, 상기 애노드 전극을 적어도 부분적으로 노출시키는 화소 정의막을 더 포함할 수 있다.

[0018] 또한, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치는 기관, 상기 기관 상에 정의되는 복수개의 화소를 포함하되, 상기 화소는 복수개의 서브 화소를 포함하고, 상기 서브 화소는 상기 기관 상에 배치되는 공통 전원 라인, 제1 드레인 전극 및 제2 드레인 전극, 상기 공통 전원 라인 및 상기 제2 드레인 전극과 연결되는 반도체 패터층, 상기 반도체 패터층과 중첩되는 게이트 전극 및 상기 제2 드레인 전극과 연결되는 애노드 전극을 포함하되, 상기 반도체 패터층과 상기 게이트 전극이 중첩되는 영역은 상기 제1 드레인 전극과 중첩된다.

[0019] 또한, 상기 화소는 네 개의 서브 화소를 포함하고, 상기 네 개의 서브 화소는 각각 적색, 녹색, 청색 및 백색 중 선택된 어느 하나의 색을 발광할 수 있다.

[0020] 또한, 상기 반도체 패터층과 상기 게이트 전극이 중첩되는 영역에는 채널 영역이 형성되고, 상기 채널 영역은 상기 제1 드레인 전극과 완전하게 중첩될 수 있다.

[0021] 또한, 상기 공통 전원 라인, 상기 제1 드레인 전극 및 상기 제2 드레인 전극은 동일층에 배치될 수 있다.

[0022] 또한, 상기 애노드 전극과 상기 제1 드레인 전극은 캐패시터를 형성할 수 있다.

[0023] 또한, 상기 게이트 전극 및 상기 애노드 전극은 동일층에 배치될 수 있다.

[0024] 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법은 기관 상에 공통 전원 라인, 제1 드레인 전극 및 제2 드레인 전극을 형성하는 단계, 상기 공통 전원 라인 및 상기 제2 드레인 전극과 연결되는 반도체 패터층을 형성하는 단계, 상기 반도체 패터층과 중첩되도록 게이트 전극을 형성하는 단계 및 상기 제2 드레인 전극과 연결되는 애노드 전극을 형성하는 단계를 포함하되, 상기 반도체 패터층과 상기 게이트 전극이 중첩되는 영역은 상기 제1 드레인 전극과 중첩된다.

[0025] 또한, 상기 반도체 패터층과 상기 게이트 전극이 중첩되는 영역에는 채널 영역이 형성되고, 상기 채널 영역은 상기 제1 드레인 전극과 완전하게 중첩될 수 있다.

[0026] 또한, 상기 애노드 전극과 상기 제1 드레인 전극은 캐패시터를 형성할 수 있다.

[0027] 또한, 상기 게이트 전극 및 상기 애노드 전극은 동일층에 배치될 수 있다.

발명의 효과

[0028] 본 발명의 실시예들에 의하면 적어도 다음과 같은 효과가 있다.

[0029] 유기 발광 표시 장치에서 외부 정전기에 특성 저하를 감지할 수 있다.

[0030] 유기 발광 표시 장치에서 외부 정전기에 의해 얼룩이 시인되는 것을 방지할 수 있다.

[0031] 본 발명의 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

[0032] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 배치도이다.

도 2는 도 1의 일 부분에 대한 확대도이다.

도 3은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 등가회로도이다.

도 4는 도 2의 '-' 라인을 따라 절단한 단면도이다.

도 5는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 배치도이다.

도 6은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 평면도이다.

도 7은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도이다.

도 8은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도이다.

도 9는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도이다.

도 10은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도이다.

도 11은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 평면도이다.

도 12는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도이다.

도 13은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 평면도이다.

도 14는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0033] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0034] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이며, 단지 하나의 구성요소를 다른 구성요소와 구별하기 위해 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수 있음은 물론이다.

[0035] 이하, 첨부된 도면을 참조로 하여 본 발명의 실시예들에 대해 설명한다.

[0036] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 배치도이다. 도 2는 도 1의 일 부분에 대한 확대도이다. 도 3은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 등가 회로도이다. 도 4은 도 2의 '-' 라인을 따라 절단한 단면도이다. 도 1 내지 도 4를 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 기판(500), 기판(500) 상에 배치되는 공통 전원 라인(VDDL), 제1 드레인 전극(DE1) 및 제2 드레인 전극(DE2), 공통 전원 라인(VDDL) 및 제2 드레인 전극(DE2)과 연결되는 반도체 패턴층(ACT2), 반도체 패턴층(ACT2)과 중첩되는

게이트 전극(GE2) 및 제2 드레인 전극(DE2)과 연결되는 애노드 전극(AN)을 포함한다.

- [0037] 도 1을 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 화상이 표시되는 표시 영역(DA)과 표시 영역(DA)의 외주를 감싸며 배치되는 비표시 영역(NDA)을 포함할 수 있다.
- [0038] 비표시 영역(NDA)은 표시 영역(DA)이 화상을 표시할 수 있게 하기 위한 각종 신호선들이 배치될 수 있다. 비표시 영역(NDA)에는 게이트 구동부(GD) 및/또는 데이터 구동부(DD)가 배치될 수 있다.
- [0039] 게이트 구동부(GD)는 표시 영역(DA)에 배치되는 게이트 라인(GL)에 신호를 제공할 수 있다. 데이터 구동부(DD)는 표시 영역(DA)에 배치되는 데이터 라인(DL)에 필요한 신호를 제공할 수 있다.
- [0040] 도 1은 게이트 구동부(GD)와 데이터 구동부(DD)가 독립적으로 형성되는 경우를 예시하지만, 다른 실시예에서 양자는 일체로 형성될 수도 있다.
- [0041] 또한 또 다른 실시예에서 게이트 구동부(GD) 및 데이터 구동부(DD) 중 어느 하나는 생략될 수도 있다.
- [0042] 표시 영역(DA)에는 제1 방향으로 연장되는 게이트 라인(GL)이 배치될 수 있다. 게이트 라인(GL)은 비표시 영역(NDA)에 배치되는 게이트 구동부(GD)로부터 연장되어 형성될 수 있다. 제1 방향은 예컨대, 도 1에서 보는 바와 같이 가로 방향일 수 있다.
- [0043] 표시 영역(DA)에는 게이트 라인(GL)과 교차하도록 데이터 라인(DL)이 배치될 수 있다. 표시 영역(DA)에서 데이터 라인(DL)은 제2 방향으로 연장될 수 있다. 데이터 라인(DL)은 비표시 영역(NDA)에 배치되는 데이터 구동부(DD)로부터 연장되어 형성될 수 있다. 제2 방향은 예컨대, 도 2에서 보는 바와 같이 세로 방향일 수 있다.
- [0044] 표시 영역에는 공통 전원 라인(VDDL)이 배치될 수 있다. 공통 전원 라인(VDDL)에는 공통 전압(ELVDD)이 제공될 수 있다.
- [0045] 공통 전원 라인(VDDL)과 데이터 라인(DL)은 서로 나란하게 배치될 수 있다. 즉, 공통 전원 라인(VDDL)과 데이터 라인(DL)은 일정 간격 이격되어 평행하게 연장될 수 있다.
- [0046] 일 실시예에서 공통 전원 라인(VDDL)과 데이터 라인(DL)은 서로 동일한 재질로 형성될 수 있다. 또한, 일 실시예에서 양자는 서로 동일한 층에 형성될 수 있다.
- [0047] 하나의 공통 전원 라인(VDDL), 데이터 라인(DL) 및 인접하는 두 개의 게이트 라인(GL)이 모여 하나의 화소(PX)를 정의할 수 있다. 표시 영역(DA)에는 이와 같이 정의된 화소(PX)가 복수개 배치될 수 있다.
- [0048] 도 2는 도 1의 하나의 화소(PX)를 구체적으로 설명하기 위한 도면이다.
- [0049] 도 2를 참조하면, 하나의 화소(PX)는 적어도 두 개의 트랜지스터(TR1, TR2)를 포함할 수 있다.
- [0050] 데이터 라인(DL) 상에는 데이터 라인(DL)과 연결되도록 제1 반도체 패턴층(ACT1)이 배치될 수 있다. 즉, 제1 반도체 패턴층(ACT1)의 일측은 제1 컨택(CNT1)을 통해 데이터 라인(DL)과 접촉할 수 있다.
- [0051] 제1 반도체 패턴층(ACT1)의 타측은 제1 드레인 전극(DE1)과 연결될 수 있다. 즉, 제1 반도체 패턴층(ACT1)의 타측은 제2 컨택(CNT2)을 통해 제1 드레인 전극(DE1)과 접촉할 수 있다.
- [0052] 제1 반도체 패턴층(ACT1) 상에는 제1 게이트 전극(GE1)이 배치될 수 있다. 제1 게이트 전극(GE1)은 게이트 라인(GL)으로부터 분지되어 형성될 수 있다.
- [0053] 제1 게이트 전극(GE1)은 데이터 라인(DL)과 제1 드레인 전극(DE1) 사이에 배치될 수 있으며, 제1 반도체 패턴층(ACT1)을 적어도 부분적으로 덮을 수 있다.
- [0054] 제1 게이트 전극(GE1)과 제1 반도체 패턴층(ACT1) 사이에는 게이트 절연막(GI)이 개재될 수 있다.(도 2에 미도시) 즉, 제1 반도체 패턴층(ACT1)과 제1 게이트 전극(GE1)은 게이트 절연막(GI)에 의해 절연될 수 있다.
- [0055] 상술한 데이터 라인(DL)의 일부와 제1 드레인 전극(DE1), 제1 반도체 패턴층(ACT1) 및 제1 게이트 전극(GE1)이 모여 제1 트랜지스터(TR1)를 형성할 수 있다. 제1 트랜지스터(TR1)는 본 발명의 일 실시예에 따른 유기 발광 표시 장치에서 스위칭 소자로 기능할 수 있다.
- [0056] 일 실시예에서 제1 드레인 전극(DE1)은 평판 형상을 가질 수 있다. 제1 드레인 전극(DE1)과 인접하도록 제2 드레인 전극(DE2)이 배치될 수 있다. 제2 드레인 전극(DE2)은 제1 드레인 전극(DE1)에 비해 상대적으로 작은 크기를 가질 수 있다. 일 실시예에서, 제1 드레인 전극(DE1)은 제2 드레인 전극(DE2)의 일부를 감싸도록 배치될 수

있다.

- [0057] 제1 드레인 전극(DE1)과 제2 드레인 전극(DE2)은 일정 간격 이격되며, 직접적으로 접하지 않는다.
- [0058] 제1 드레인 전극(DE1)의 일측에는 앞서 설명한 바와 같이 제1 반도체 패턴층(ACT1)이 배치될 수 있다.
- [0059] 제1 드레인 전극(DE1)의 타측에는 제2 반도체 패턴층(ACT2)이 배치될 수 있다.
- [0060] 제2 반도체 패턴층(ACT2)의 일측은 기판(500) 상에 배치되는 제2 드레인 전극(DE2)과 연결되고, 제2 반도체 패턴층(ACT2)의 타측은 공통 전원 라인(VDDL)과 연결될 수 있다. 즉, 제2 반도체 패턴층(ACT2)은 제3 컨택(CNT3)을 통해 공통 전원 라인(VDDL)과 접할 수 있다.
- [0061] 제2 반도체 패턴층(ACT2)은 제2 드레인 전극(DE2)과 연결될 수 있다. 즉, 제2 반도체 패턴층(ACT2)은 제4 컨택(CNT4)을 통해 제2 드레인 전극(DE2)과 접촉할 수 있다.
- [0062] 제2 반도체 패턴층(ACT2)은 제1 드레인 전극(DE1)과 부분적으로 중첩될 수 있다. 즉, 제2 반도체 패턴층(ACT2)은 제1 드레인 전극(DE1)일부를 덮도록 배치될 수 있다.
- [0063] 제2 반도체 패턴층(ACT2) 상에는 제2 게이트 전극(GE2)이 배치될 수 있다. 제2 게이트 전극(GE2)은 제2 반도체 패턴층(ACT2)과 부분적으로 중첩될 수 있다. 앞서 설명한 바와 같이 제2 반도체 패턴층(ACT2)은 제1 드레인 전극(DE1)과 부분적으로 중첩될 수 있다. 제2 게이트 전극(GE2)이 제2 반도체 패턴층(ACT2)과 부분적으로 중첩되는 경우, 제1 드레인 전극(DE1), 제2 반도체 패턴층(ACT2) 및 제2 게이트 전극(GE2)은 순차적으로 적층되며, 서로 부분적으로 중첩될 수 있다.
- [0064] 제2 게이트 전극(GE2)의 일단은 제1 드레인 전극(DE1)과 연결될 수 있다. 즉, 제2 게이트 전극(GE2)은 제6 컨택(CNT6)을 통해 제1 드레인 전극(DE1)과 접촉할 수 있다.
- [0065] 상술한 바와 같이 공통 전원 라인(VDDL)의 일부, 제2 드레인 전극(DE), 제2 반도체 패턴층(ACT2) 및 제2 게이트 전극(GE2)은 모여 제2 트랜지스터(TR2)를 형성할 수 있다. 제2 트랜지스터(TR2)는 일 실시예에 따른 유기 발광 표시 장치에서 구동 트랜지스터일 수 있다.
- [0066] 제2 게이트 전극(GE2)과 제2 반도체 패턴층(ACT2)이 중첩되는 영역은 채널이 형성되는 채널 영역(CH)일 수 있다.
- [0067] 일 실시예에서 제2 게이트 전극(GE2)과 제2 반도체 패턴층(ACT2)이 중첩되는 영역은 제1 드레인 전극(DE1)과 중첩될 수 있다. 다시 말하면, 채널 영역(CH)은 제1 드레인 전극(DE1)과 중첩될 수 있다. 일 실시예에서, 채널 영역(CH)은 제1 드레인 전극(DE1)과 완전하게 중첩되도록 배치될 수 있다. 채널 영역(CH)이 제1 드레인 전극(DE1)과 중첩되는 경우, 기판(500)의 하부에서 발생하는 정전기가 제2 트랜지스터(TR2)의 구동에 영향을 미치는 것을 방지할 수 있다. 즉, 기판(500)의 하부에서 발생하는 정전기는 제2 트랜지스터(TR2)에 영향을 미쳐 얼룩 등이 시인 되게 할 수 있는데, 제1 드레인 전극(DE1)은 이러한 정전기가 제2 트랜지스터(TR2)의 구동에 영향을 미치는 것을 방지할 수 있다. 즉, 제1 드레인 전극(DE1)이 보호막으로 기능할 수 있다.
- [0068] 제1 드레인 전극(DE1)의 중앙부에는 애노드 전극(AN)이 배치될 수 있다. 즉, 애노드 전극(AN)은 제1 드레인 전극(DE1)과 중첩되도록 배치될 수 있다. 애노드 전극(AN)과 제1 드레인 전극(DE1) 사이에는 층간 절연막(ILD)이 배치될 수 있다. 즉, 애노드 전극(AN)과 제1 드레인 전극(DE1)은 층간 절연막(ILD)에 의해 절연되며, 캐패시터(C)를 형성할 수 있다. (도 3 및 도 4 참조)
- [0069] 애노드 전극(AN)의 일단은 제2 드레인 전극(DE2)과 연결될 수 있다. 즉, 애노드 전극(AN)의 일단은 제5 컨택(CNT5)을 통해 제2 드레인 전극(DE2)과 접촉할 수 있다. 이에 따라 제2 드레인 전극(DE2) 상에는 제4 컨택(CNT4) 및 제 5 컨택(CNT5)이 형성될 수 있다. 이에 의해 제2 반도체 패턴층(ACT2), 제2 드레인 전극(DE2) 및 애노드 전극(AN)이 전기적으로 연결될 수 있다.
- [0070] 애노드 전극(AN) 상에는 화소 정의막(PDL)이 배치될 수 있다. 화소 정의막(PDL)은 애노드 전극(AN)의 적어도 일부를 노출시키며, 표시 영역(DA)에 전면적으로 형성될 수 있다.
- [0071] 즉, 화소 정의막(PDL)에 의해 애노드 전극(AN) 상에 개구(OP)가 형성될 수 있다.
- [0072] 이어서, 도 3을 참조하여, 도 2의 유기 발광 표시 장치의 구동 방식에 대해 설명하기로 한다.
- [0073] 게이트 라인(GL)으로부터 제2 노드(n2)를 통해 게이트 신호가 인가되면, 제1 트랜지스터(TR1)가 턴 온(Turn On)될 수 있다. 제1 트랜지스터(TR1)의 삼단자는 도 2에서 제1 게이트 전극(GE1), 제1 드레인 전극(DE1) 및 데이

터 라인(DL)의 일부일 수 있으며, 제1 트랜지스터(TR1)가 턴 온 되면, 데이터 신호는 데이터 라인(DL)에서 제1 드레인 전극(DE1)으로 전달될 수 있다. 제1 트랜지스터(TR1)가 스위칭 소자일 수 있음은 앞서 설명한 바와 같다.

- [0074] 제1 트랜지스터(TR1)가 턴 온되면, 데이터 라인(DL)으로부터 제1 노드(n1)를 통해 데이터 신호가 제3 노드(n3)로 전달될 수 있다. 제3 노드(n3)에 전달된 신호는 제2 트랜지스터(TR2) 및/또는 캐패시터(C)에 전달될 수 있다.
- [0075] 제2 트랜지스터(TR2)에 전달된 신호는 제2 트랜지스터(TR2)를 턴 온 시킬 수 있다.
- [0076] 제2 트랜지스터(TR2)의 삼단자는 도 2에서 제2 게이트 전극(GE2), 제2 드레인 전극(DE2) 및 공통 전원 라인(VDDL)의 일부일 수 있다.
- [0077] 제2 트랜지스터(TR2)가 턴 온되면, 공통 전압(ELVDD)이 공통 전원 라인(VDDL)을 통해 제5 노드(n5)에서 제4 노드(n4)로 전달될 수 있다. 즉, 이 경우 공통 전압은 제4 노드(n4)를 통해 유기 발광 소자(EL)에 제공될 수 있다. 이를 도 2를 기준으로 설명하면, 공통 전압(ELVDD)은 공통 전원 라인(VDDL)에서 제2 드레인 전극(DE2)으로 전달될 수 있다. 제2 드레인 전극(DE2)으로 전달된 공통 전압(ELVDD)은 유기 발광 소자(EL)의 애노드 전극(AN)으로 제공될 수 있다.
- [0078] 제3 노드(n3)로부터 캐패시터(C)의 일 전극에 신호가 전달될 수 있다. 이 때, 캐패시터(C)의 일 전극은 도 2의 제1 드레인 전극(DE1)일 수 있다.
- [0079] 캐패시터(C)의 타 전극은 도 2의 애노드 전극(AN)일 수 있다. 즉, 일 실시예에서 애노드 전극(AN)은 유기 발광 소자(EL)의 애노드 전극으로 기능함과 동시에 캐패시터(C)의 타 전극으로 기능할 수 있다.
- [0080] 도 4는 도 2의 I-I'을 따라 절단한 단면도이다. 이하에서는 도 4를 참조하여, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 층상 구조에 대해 설명하기로 한다.
- [0081] 도 4를 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 기판(500)을 포함한다.
- [0082] 기판(500)은 절연 기판을 포함할 수 있다. 일 실시예에서 절연 기판은 SiO₂를 주성분으로 하는 투명 재질의 글래스로 형성될 수 있다. 다른 실시예에서 기판(500)은 플라스틱 재질로 이루어질 수 있다. 또 다른 실시예에서 기판(500)은 벤딩, 폴딩이나 롤링이 가능한 플렉서블 기판일 수 있다.
- [0083] 기판(500) 상에는 공통 전원 라인(VDDL), 제1 드레인 전극(DE1), 제2 드레인 전극(DE2) 및 데이터 라인(DL)이 배치될 수 있다. (데이터 라인(DL)은 도 4에 미도시)
- [0084] 공통 전원 라인(VDDL), 제1 드레인 전극(DE1), 제2 드레인 전극(DE2) 및 데이터 라인(DL)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질로 이루어진 군 중 선택된 하나 이상을 포함할 수 있다. 공통 전원 라인(VDDL), 제1 드레인 전극(DE1), 제2 드레인 전극(DE2) 및 데이터 라인(DL)은 예컨대, 니켈(Ni), 코발트(Co), 티탄(Ti), 은(Ag), 구리(Cu), 몰리브덴(Mo), 알루미늄(Al), 베릴륨(Be), 니오브(Nb), 금(Au), 철(Fe), 셀렌(Se) 또는 탄탈(Ta) 등으로 이루어진 단일막 또는 다중막 구조를 가질 수 있다. 또한, 상기 금속에 티탄(Ti), 지르코늄(Zr), 텅스텐(W), 탄탈(Ta), 니오브(Nb), 백금(Pt), 하프늄(Hf), 산소(O) 및 질소(N)로 이루어진 군에서 선택된 하나 이상의 원소를 포함시켜 형성한 합금도 적용할 수 있다.
- [0085] 일 실시예에서, 공통 전원 라인(VDDL), 제1 드레인 전극(DE1), 제2 드레인 전극(DE2) 및 데이터 라인(DL)은 동일 물질로 형성되며, 동일층에 배치될 수 있다.
- [0086] 공통 전원 라인(VDDL), 제1 드레인 전극(DE1), 제2 드레인 전극(DE2) 및 데이터 라인(DL) 상에는 층간 절연막(ILD)이 배치될 수 있다.
- [0087] 층간 절연막(ILD)은 실리콘 산화물(SiO_x), 실리콘 산화물(SiN_x) 등의 무기 절연물질, BCB(BenzoCycloButene), 아크릴계 물질, 및 폴리이미드와 같은 유기 절연 물질로 이루어진 군에서 선택된 어느 하나 또는 하나 이상의 물질을 혼합하여 형성할 수 있다.
- [0088] 층간 절연막(ILD)은 복수의 콘택을 포함할 수 있다. 복수의 콘택은 층간 절연막(ILD)을 관통하여 층간 절연막(ILD) 하부에 배치되는 전극들을 적어도 부분적으로 노출시킬 수 있다.
- [0089] 구체적으로, 도 4에서 제3 콘택(CNT3)은 공통 전원 라인(VDDL)을, 제4 콘택(CNT4)과 제5 콘택(CNT5)은 제2 드레인 전극(DE2)을 노출시킬 수 있다. 이에 더하여 도 4에 도시되지는 않았지만, 도 2에서 제1 콘택(CNT1)은 데이

터 라인(DL)의 일부를, 제2 콘택(CNT2)은 제1 드레인 전극(DE1)의 일부를 노출시킬 수 있다.

- [0090] 다시 도 4를 참조하면, 층간 절연막(ILD) 상에는 반도체 패턴층(ACT1, ACT2)이 배치될 수 있다. (도 4에는 제2 반도체 패턴층(ACT2)만 도시)
- [0091] 반도체 패턴층(ACT1, ACT2)은 비정질 실리콘, 다결정 실리콘 또는 단결정 실리콘 중 선택된 어느 하나 또는 둘 이상을 혼합하여 형성될 수 있다. 또한, 다른 실시예에서 반도체 패턴층(ACT1, ACT2)은 산화물 반도체를 포함할 수 있다.
- [0092] 반도체 패턴층(ACT1, ACT2)이 산화물 반도체인 경우, 반도체 패턴층(ACT1, ACT2)은 산화아연(ZnO)을 포함할 수 있다. 이에 더하여, 반도체 패턴층(700) 상에는 갈륨(Ga), 인듐(In), 스테튬(Sn), 지르코늄(Zr), 하프늄(Hf), 카드뮴(Cd), 은(Ag), 구리(Cu), 게르마늄(Ge), 가돌리늄(Gd), 티타늄(Ti) 및 바나듐(V)으로 이루어진 군에서 선택되는 하나 이상의 이온이 도핑될 수 있다. 예시적으로, 산화물 반도체인 반도체 패턴층(ACT1, ACT2)은 ZnO, ZnGaO, ZnInO, ZnSnO, GaInZnO, CdO, InO, GaO, SnO, AgO, CuO, GeO, GdO, HfO, TiZnO, InGaZnO 및 InTiZnO 으로 이루어진 군에서 선택된 어느 하나 이상을 포함할 수 있다.
- [0093] 제2 반도체 패턴층(ACT2)은 제3 콘택(CNT3)을 통해 공통 전원 라인(VDDL)과 접촉하고, 제4 콘택(CNT4)을 통해 제2 드레인 전극(DE2)과 접촉할 수 있다. 즉, 도 3에서 설명한 바와 같이 제2 트랜지스터(TR2)가 턴 온되면, 제2 반도체 패턴층(ACT2)은 공통 전원 라인(VDDL)과 제2 드레인 전극(DE2)을 전기적으로 연결할 수 있다.
- [0094] 반도체 패턴층(ACT1, ACT2) 상에는 게이트 절연막(GI)이 배치될 수 있다. 도 4에 도시된 바와 같이 게이트 절연막(GI)은 제2 반도체 패턴층(ACT2)을 부분적으로 덮을 수 있으며, 제2 게이트 전극(GE2)과 제2 반도체 패턴층(ACT2)을 절연시킬 수 있다.
- [0095] 게이트 절연막(GI)은 실리콘 산화물(SiO_x), 실리콘 산화물(SiN_x) 등의 무기 절연물질, BCB(BenzoCycloButene), 아크릴계 물질, 및 폴리이미드와 같은 유기 절연 물질로 이루어진 군에서 선택된 어느 하나 또는 하나 이상의 물질을 혼합하여 형성할 수 있다.
- [0096] 게이트 절연막(GI) 및 층간 절연막(ILD) 상에는 제2 게이트 전극(GE2) 및 애노드 전극(AN)이 배치될 수 있다.
- [0097] 제2 게이트 전극(GE2)은 게이트 절연막(GI)과 중첩되도록 배치될 수 있으며, 제2 반도체 패턴층(ACT2)과는 직접적으로 접하지 않을 수 있다.
- [0098] 제2 게이트 전극(GE2)은 제1 드레인 전극(DE1)과 중첩될 수 있다.
- [0099] 앞서 설명한 바와 같이 제2 게이트 전극(GE2)과 제2 반도체 패턴층(ACT2) 사이에는 채널 영역(CH)이 형성될 수 있다. 일 실시예에서, 채널 영역(CH)의 폭(d1)은 제1 드레인 전극(DE1)의 폭보다 작을 수 있다. 다시 말하면, 채널 영역(CH)은 제1 드레인 전극(DE1)과 완전하게 중첩될 수 있다. 이와 같이 채널 영역(CH)이 제1 드레인 전극(DE1)에 의해 완전하게 덮이는 경우, 기판(500) 하부로부터 발생하는 정전기에 의해 제2 트랜지스터(TR2)가 영향을 받는 것을 방지할 수 있다.
- [0100] 애노드 전극(AN)은 제2 반도체 패턴층(ACT2)과 일정 간격 이격되며, 층간 절연막(ILD) 상에 배치될 수 있다.
- [0101] 애노드 전극(AN)의 일단은 제5 콘택(CNT5)을 통해 제2 드레인 전극(DE2)과 연결될 수 있다.
- [0102] 애노드 전극(AN)의 하부에는 제1 드레인 전극(DE1)이 배치될 수 있다. 다시 말하면, 애노드 전극(AN)은 제1 드레인 전극(DE1)과 중첩되도록 배치될 수 있다.
- [0103] 앞서 설명한 바와 같이 애노드 전극(AN)과 제1 드레인 전극(DE1)은 캐패시터(C)를 형성할 수 있다. 다시 말하면, 제1 드레인 전극(DE1)과 애노드 전극(AN)은 각각 캐패시터(C)의 일 전극과 타 전극이 될 수 있다.
- [0104] 제2 게이트 전극(GE2) 및 애노드 전극(AN)은 동일 물질로 형성될 수 있다. 제2 게이트 전극(GE2) 및 애노드 전극(AN)은 예컨대, 알루미늄 합금을 포함하는 알루미늄(Al) 계열의 금속, 은 합금을 포함하는 은(Ag) 계열의 금속, 구리 합금을 포함하는 구리(Cu) 계열의 금속, 몰리브덴 합금을 포함하는 몰리브덴(Mo) 계열 금속, 크롬(Cr), 티타늄(Ti), 및 탄탈륨(Ta) 중 어느 하나 이상을 포함할 수 있다.
- [0105] 일 실시예에서 제2 게이트 전극(GE2)과 애노드 전극(AN)은 동일층에 형성될 수 있다.
- [0106] 제2 반도체 패턴층(ACT2), 제2 게이트 전극(GE2), 층간 절연막(ILD) 및 애노드 전극(AN) 상에는 화소 정의막(PDL)이 배치될 수 있다.

- [0107] 화소 정의막(PDL)은 기판(500) 상에 전면적으로 형성되며, 애노드 전극(AN)의 상면을 적어도 부분적으로 노출시킬 수 있다.
- [0108] 화소 정의막(PDL)에 의해 노출된 애노드 전극(AN) 상에는 유기 발광층(EML)이 형성될 수 있다. 유기 발광층(EML)은 저분자 또는 고분자 유기물을 포함하여 이루어질 수 있다.
- [0109] 일 실시예에서 유기 발광층(EML)은 두 개 이상의 기능층을 포함할 수 있다.
- [0110] 일 실시예에서 유기 발광층(EML)은 정공 주입층, 정공 수송층, 발광층, 전자 수송층 및 전자 주입층으로 이루어진 군에서 선택된 어느 하나 이상을 포함할 수 있다.
- [0111] 유기 발광층(EML) 상에는 캐소드 전극(CA)이 형성될 수 있다. 캐소드 전극(CA)은 일함수가 낮은 도전성 물질로 형성될 수 있다.
- [0112] 캐소드 전극(CA)은 전면 전극으로서 기판(500) 상에 전면적으로 형성될 수 있다.
- [0113] 이하에서는 본 발명의 다른 실시예에 다른 유기 발광 표시 장치에 대해 설명한다. 이하의 실시예에서 이미 설명한 구성과 동일한 구성에 대해서는 동일한 참조 번호로서 지칭하며, 중복 설명은 생략하거나 간략화하기로 한다.
- [0114] 도 5는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 배치도이다.
- [0115] 도 5를 참조하면, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치는 복수의 서브 화소(SP)를 포함하는 점이 도 2의 실시예와 다른 점이다.
- [0116] 일 실시예에서 하나의 화소(PX)에는 복수의 서브 화소(SP)가 배치될 수 있다. 도 5는 하나의 화소(PX)에 네 개의 서브 화소(SP)가 배치되는 경우를 예시하지만, 서브 화소(SP)의 개수가 이에 제한되는 것은 아니다.
- [0117] 도 5의 실시예에서 제1 게이트 전극(GE1_1)은 인접하는 다른 게이트 라인(GL)과 인접하는 부분까지 연장될 수 있다. 즉, 제1 게이트 전극(GE1_1)은 데이터 라인(DL)과 나란하도록 연장될 수 있다.
- [0118] 하나의 서브 화소(SP1)에는 적어도 두 개의 트랜지스터가 배치될 수 있다. 이는 앞서 도 2에서 설명한 바와 실질적으로 동일할 수 있다. 즉, 하나의 서브 화소(SP1)에 배치되는 제1 트랜지스터(TR1) 및 제2 트랜지스터(TR2)는 앞서 도 2에서 설명한 것과 실질적으로 동일하므로, 이에 대한 자세한 설명은 생략한다.
- [0119] 이에 따라, 하나의 화소에는 적어도 8개의 트랜지스터가 배치될 수 있다. (각 서브 화소 당 최소 2개)
- [0120] 제1 서브 화소(SP1) 내지 제4 서브 화소(SP4)는 각각 다른 색을 발광할 수 있다. 예컨대, 제1 서브 화소(SP1) 내지 제4 서브 화소(SP4)는 순차적으로 적색, 녹색, 청색 및 백색을 발광할 수 있다. 다만, 이는 예시적인 것이며, 제1 서브 화소(SP1) 내지 제4 서브 화소(SP4)에서 발광되는 색이 이에 제한되는 것이 아님은 물론이다.
- [0121] 이하에서는, 본 발명의 몇몇 실시예에 따른 유기 발광 표시 장치의 제조 방법에 대해 설명하기로 한다. 이하에서 설명하는 구성의 일부는 앞서 본 발명의 몇몇 실시예에 따른 유기 발광 표시 장치의 구성과 동일할 수 있으며, 중복 설명을 피하기 위해 일부 구성에 대한 설명은 생략될 수 있다.
- [0122] 도 6은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 평면도이다. 도 7은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도이다. 도 8은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 평면도이다. 도 9는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도이다. 도 10은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 평면도이다. 도 11은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도이다. 도 12는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도이다. 도 13은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 평면도이다. 도 14는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도이다.
- [0123] 도 6 내지 도 14를 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법은 기판(500) 상에 공통 전원 라인(VDDL), 제1 드레인 전극(DE1) 및 제2 드레인 전극(DE2)을 형성하는 단계, 공통 전원 라인(VDDL) 및 제2 드레인 전극(DE2)과 연결되는 반도체 패터층(ACT2)을 형성하는 단계, 반도체 패터층(ACT2)과 중첩되도록 게이트 전극(GE2)을 형성하는 단계 및 제2 드레인 전극(DE2)과 연결되는 애노드 전극(AN)을 형성하는 단계를 포함한다.

- [0124] 먼저, 도 6 및 도 7을 참조하면, 기판(500) 상에 공통 전원 라인(VDDL), 제1 드레인 전극(DE1), 제2 드레인 전극(DE2) 및 데이터 라인(DL)을 형성하는 단계가 진행될 수 있다.
- [0125] 앞서 설명한 바와 같이 공통 전원 라인(VDDL), 제1 드레인 전극(DE1), 제2 드레인 전극(DE2) 및 데이터 라인(DL)은 동일한 물질로 동일층에 배치될 수 있다.
- [0126] 예컨대, 공통 전원 라인(VDDL), 제1 드레인 전극(DE1), 제2 드레인 전극(DE2) 및 데이터 라인(DL)은 금속층을 기판(500) 상에 전면적으로 형성한 후 이를 패터닝하여 얻을 수 있다.
- [0127] 이어서, 도 8을 참조하면, 공통 전원 라인(VDDL), 제1 드레인 전극(DE1), 제2 드레인 전극(DE2) 및 데이터 라인(DL) 상에 층간 절연막(ILD)을 형성하는 단계가 진행될 수 있다. 층간 절연막(ILD)은 기판(500) 상에 전면적으로 형성될 수 있다. 층간 절연막(ILD)은 예컨대, 화학 기상 증착(CVD), 잉크젯 프린팅, 노즐 프린팅 및 스퍼터링으로 이루어진 군에서 선택된 하나 이상의 방법을 채용하여 형성할 수 있다.
- [0128] 이어서, 층간 절연막(ILD)에 복수개의 콘택을 형성하는 단계가 진행될 수 있다. 복수개의 콘택은 층간 절연막(ILD)을 관통하여 공통 전원 라인(VDDL), 제1 드레인 전극(DE1), 제2 드레인 전극(DE2) 및 데이터 라인(DL)의 적어도 일부를 노출할 수 있다.
- [0129] 예컨대, 도 8에서 보는 바와 같이 층간 절연막(ILD)에는 제3 콘택(CNT3)은 공통 전원 라인(VDDL)을, 제4 콘택(CNT4)과 제5 콘택(CNT5)은 제2 드레인 전극(DE2)을 노출시킬 수 있다. 이에 더하여 도 8에 도시되지는 않았지만, 도 2에서 도시하는 바와 같이 제1 콘택(CNT1)은 데이터 라인(DL)의 일부를, 제2 콘택(CNT2)은 제1 드레인 전극(DE1)의 일부를 노출시킬 수 있다.
- [0130] 이어서, 도 9 및 도 10을 참조하면, 층간 절연막(ILD)과 공통 전원 라인(VDDL), 제1 드레인 전극(DE1), 제2 드레인 전극(DE2) 및 데이터 라인(DL) 상에 반도체 패터층(ACT2, ACT1)을 형성하는 단계가 진행된다.
- [0131] 이에 대해 구체적으로 설명하면, 층간 절연막(ILD)과 공통 전원 라인(VDDL), 제1 드레인 전극(DE1), 제2 드레인 전극(DE2) 및 데이터 라인(DL) 상에 반도체층을 전면적으로 형성한 후, 반도체층 상에 게이트 절연막(GI)을 전면적으로 형성하는 단계가 진행될 수 있다.
- [0132] 일 실시예에서 반도체층과 게이트 절연막(GI)은 동시에 식각되어 패터닝 될 수 있다. 이 경우, 반도체층은 패터닝되어, 제1 반도체 패터층(ACT1) 및 제2 반도체 패터층(ACT2)을 형성할 수 있다.
- [0133] 반도체층과 동시에 식각된 게이트 절연막(GI)은 반도체 패터층(ACT1, ACT2)과 동일한 형상을 가질 수 있다.
- [0134] 이 경우, 제2 반도체 패터층(ACT2)은 공통 전원 라인(VDDL) 및 제2 드레인 전극(DE2)와 연결될 수 있다.
- [0135] 구체적으로 제2 반도체 패터층(ACT2)의 일단은 제3 콘택(CNT3)을 통해 공통 전원 라인(VDDL)과 접촉하고, 타단은 제4 콘택(CNT4)을 통해 제2 드레인 전극(DE2)과 접촉할 수 있다.
- [0136] 이어서, 도 11 및 도 12를 참조하면, 제2 반도체 패터층(ACT2)과 중첩하도록 게이트 전극(GE2)을 형성하는 단계 및 제2 드레인 전극(DE2)과 연결되는 애노드 전극(AN)을 형성하는 단계가 진행될 수 있다.
- [0137] 이에 대해 구체적으로 설명하면, 반도체 패터층(ACT1, ACT2)과 게이트 절연막(GI) 및 층간 절연막(ILD)이 형성된 기판(500) 상에 제1 게이트 전극(GE1)과 제2 게이트 전극(GE2) 및 애노드 전극(AN)을 형성할 수 있다. 즉, 게이트 전극(GE1, GE2)과 애노드 전극(AN)은 동일 물질로 형성되며, 동일층에 배치될 수 있다.
- [0138] 예컨대, 제1 게이트 전극(GE1)과 제2 게이트 전극(GE2) 및 애노드 전극(AN)은 금속층을 전면적으로 형성한 후 이를 동시에 패터닝하여 얻어질 수 있다.
- [0139] 이 경우, 게이트 절연막(GI)은 제2 게이트 전극(GE2)과 동시에 패터닝될 수 있으며, 이에 따라 제2 게이트 전극(GE2)과 동일한 형상을 가질 수 있다.
- [0140] 애노드 전극(AN)은 제1 드레인 전극(DE1)과 중첩되도록 배치될 수 있으며, 애노드 전극(AN)의 일단은 제5 콘택(CNT5)을 통해 제2 드레인 전극(DE2)과 접촉할 수 있다.
- [0141] 이어서, 도 12 및 도 13을 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법은 애노드 전극(AN) 상에 화소 정의막(PDL)을 형성하는 단계를 포함할 수 있다. 화소 정의막(PDL)은 기판(500) 상에 전면적으로 형성되며, 애노드 전극(AN) 상면의 적어도 일부를 노출시킬 수 있다.
- [0142] 이에 의해, 애노드 전극(AN) 상에는 개구(OP)가 형성될 수 있음은 앞서 도 2에서 설명한 것과 동일하다.

[0143] 즉, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법에 의해 제조된 유기 발광 표시 장치는 앞서 본 발명의 몇몇 실시예에 따른 유기 발광 표시 장치와 실질적으로 동일할 수 있다. 다만, 본원의 범위가 제조 방법에 의해 제한되지 않음은 물론이다.

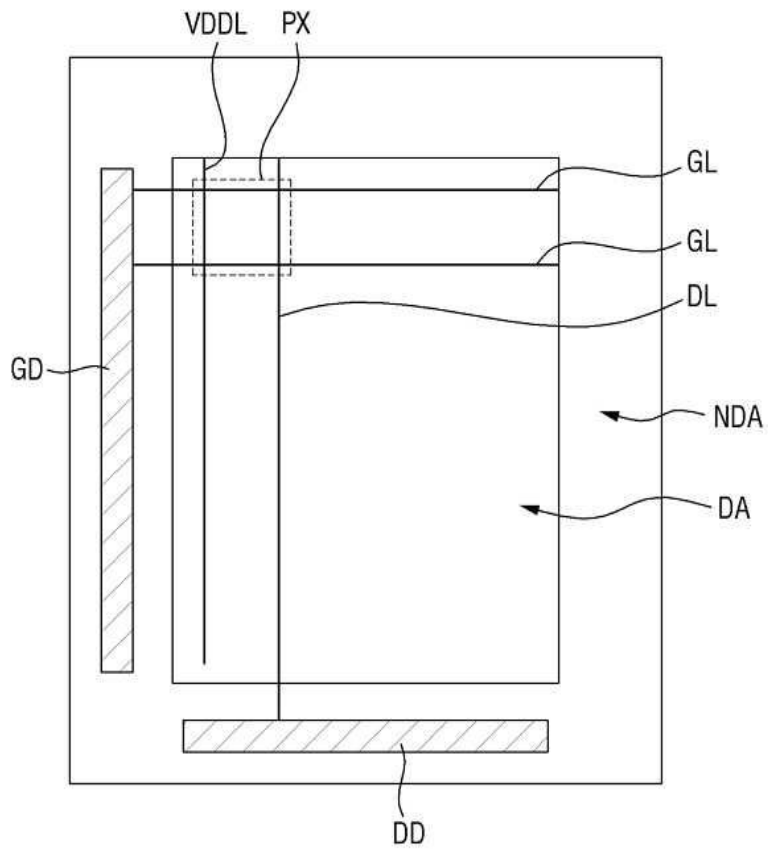
[0144] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이지 않는 것으로 이해해야 한다.

부호의 설명

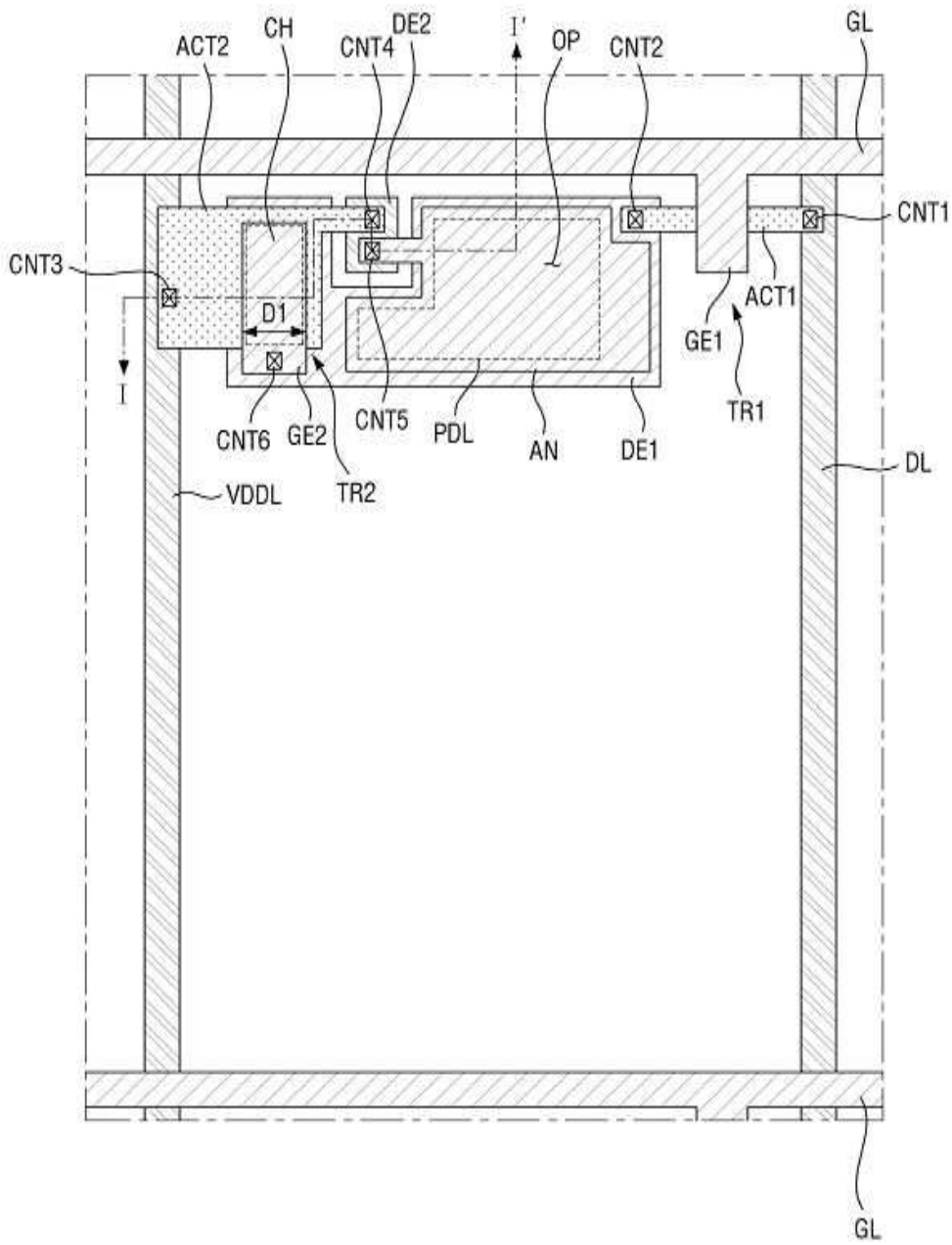
- [0145] DA: 표시 영역
- NDA: 비표시 영역
- DL: 데이터 라인
- GL: 게이트 라인
- DE: 드레인 전극
- 500: 제1 기판
- GI: 게이트 절연막
- ACT: 반도체 패터층
- CNT: 콘택
- CH: 채널 영역
- TR: 트랜지스터
- AN: 애노드 전극
- OP: 개구
- VDDL: 공통 전원 라인
- EML: 유기 발광층
- CA: 캐소드 전극
- PDL: 화소 정의막

도면

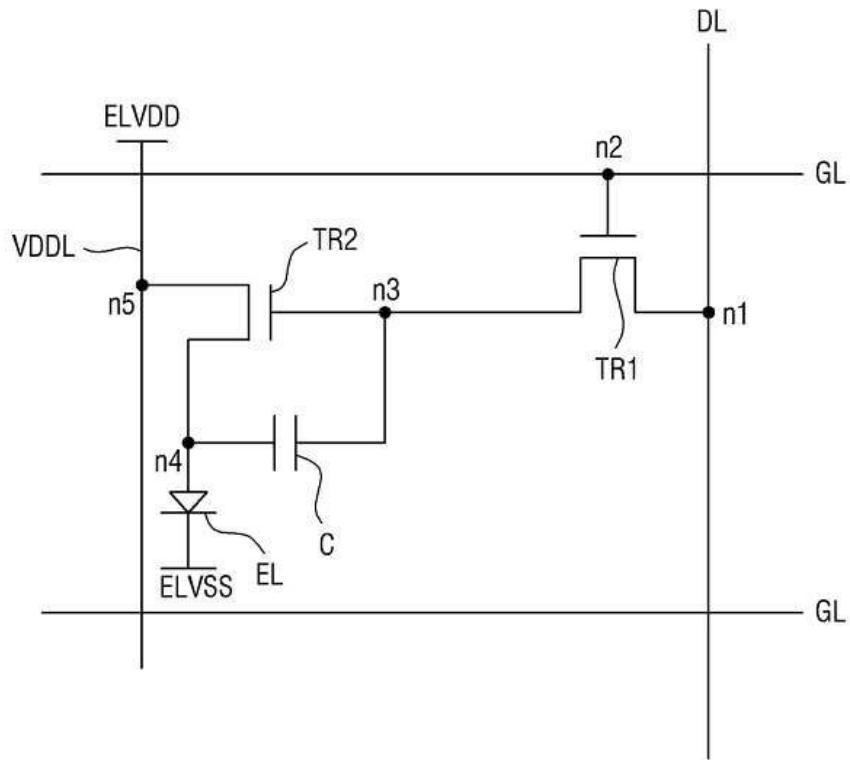
도면1



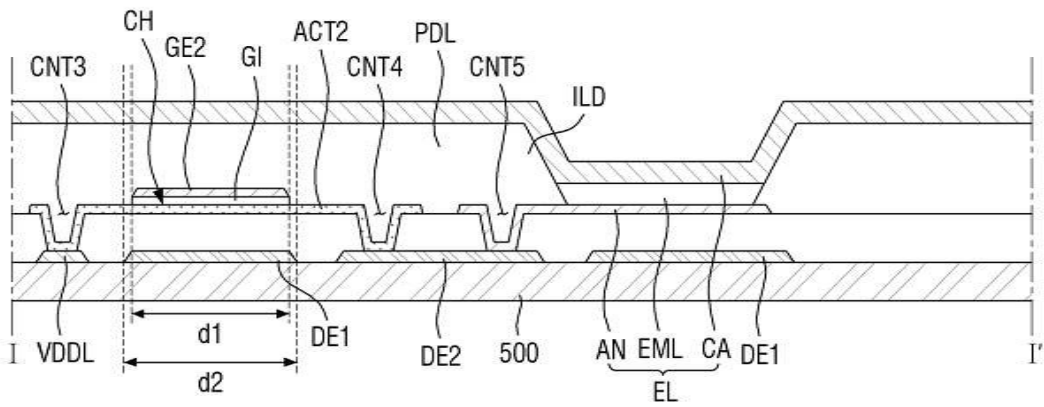
도면2



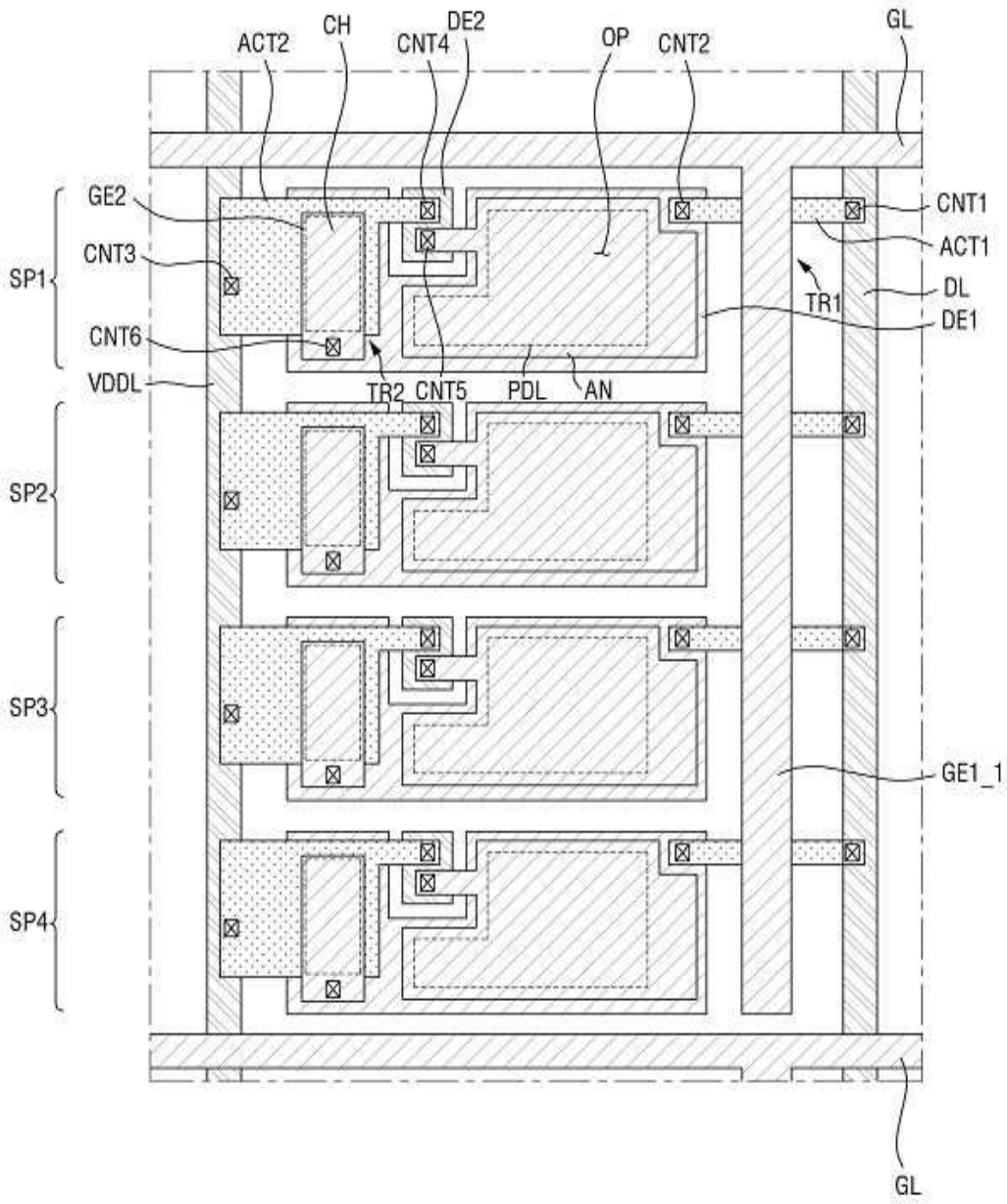
도면3



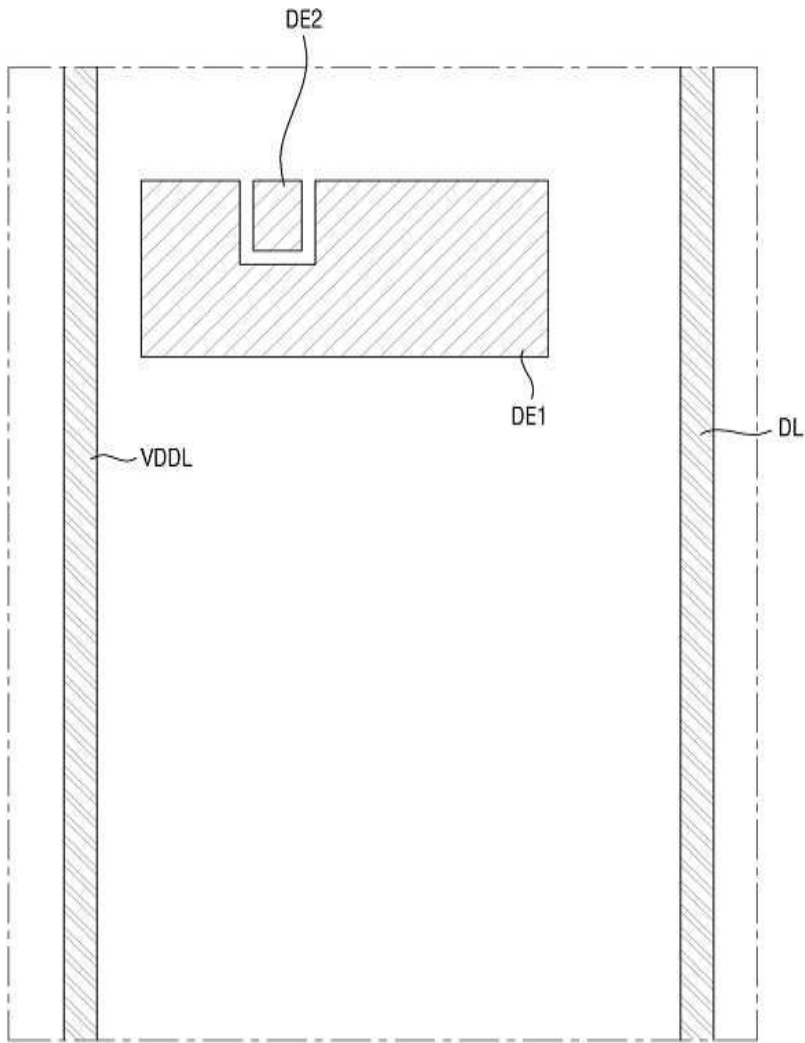
도면4



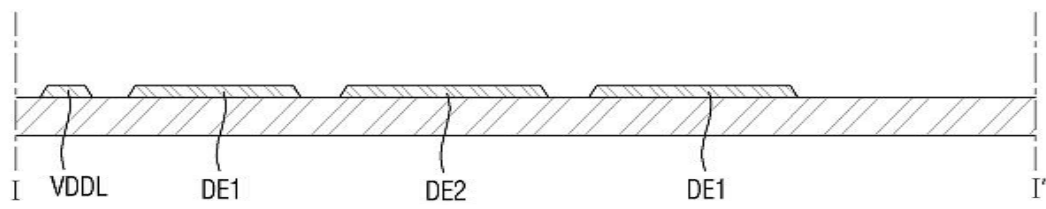
도면5



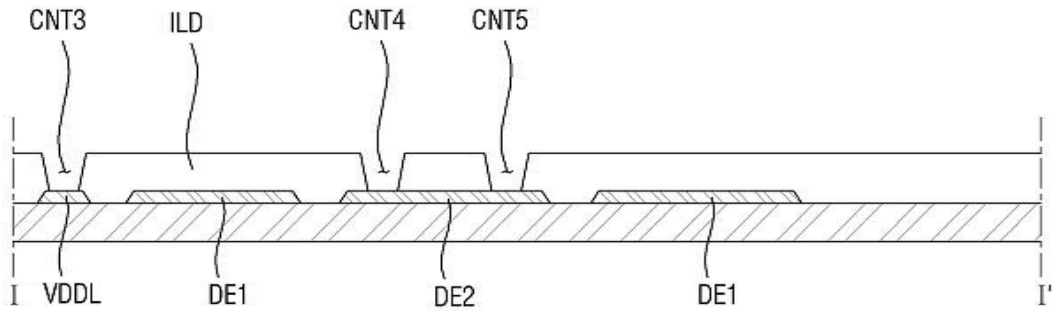
도면6



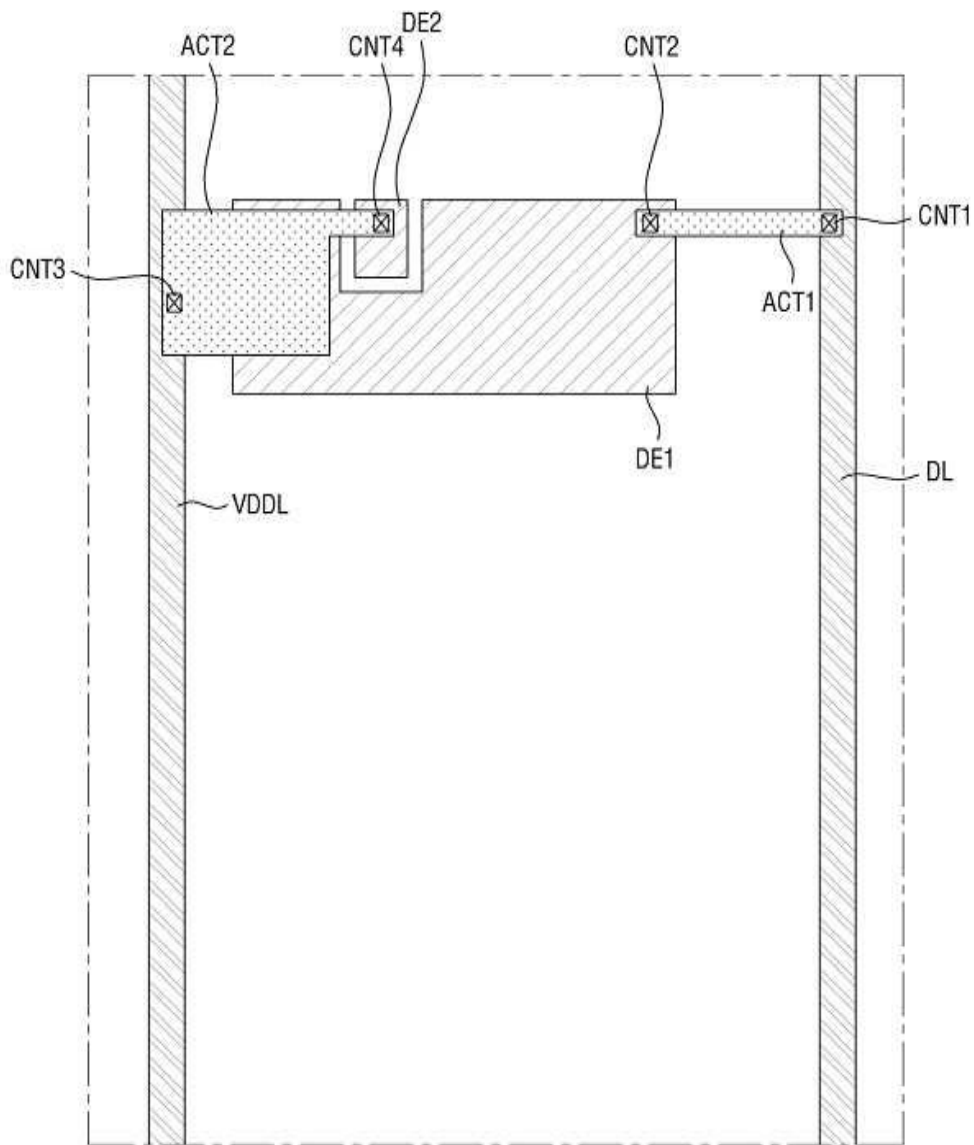
도면7



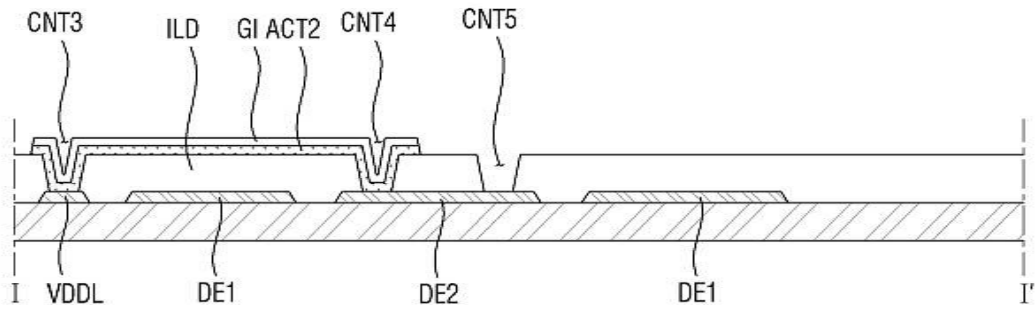
도면8



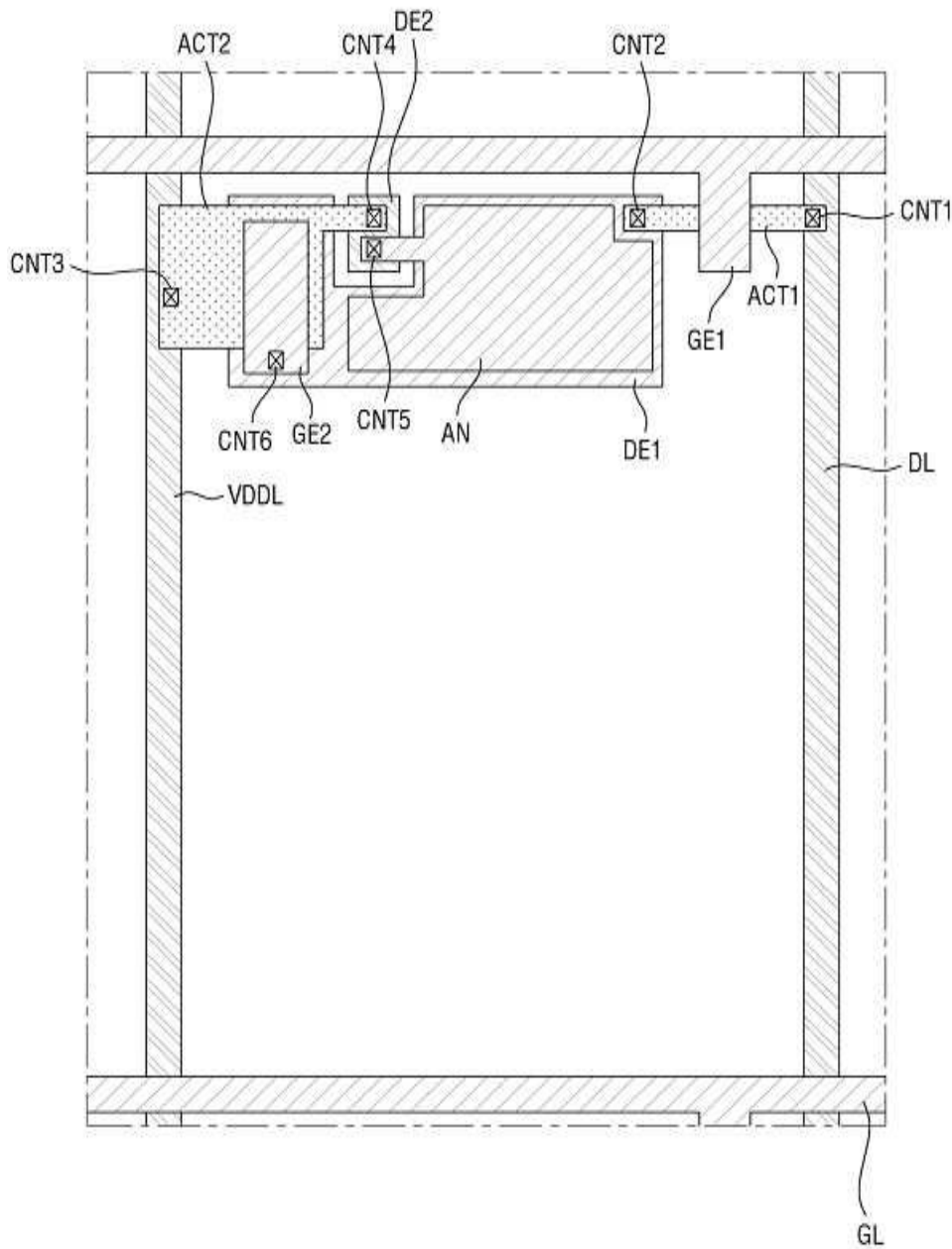
도면9



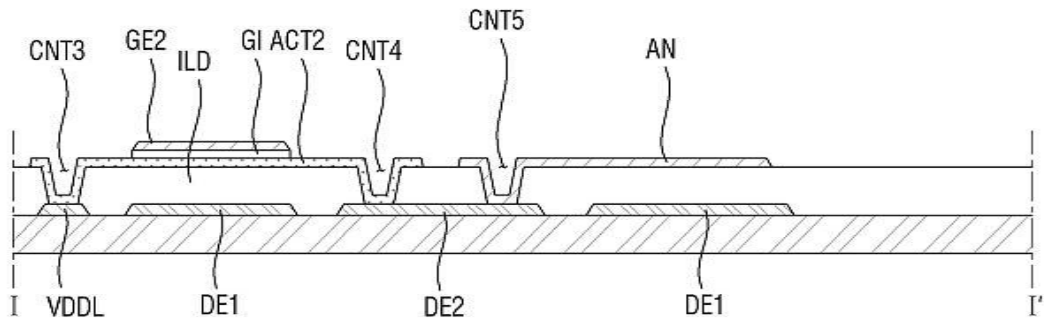
도면10



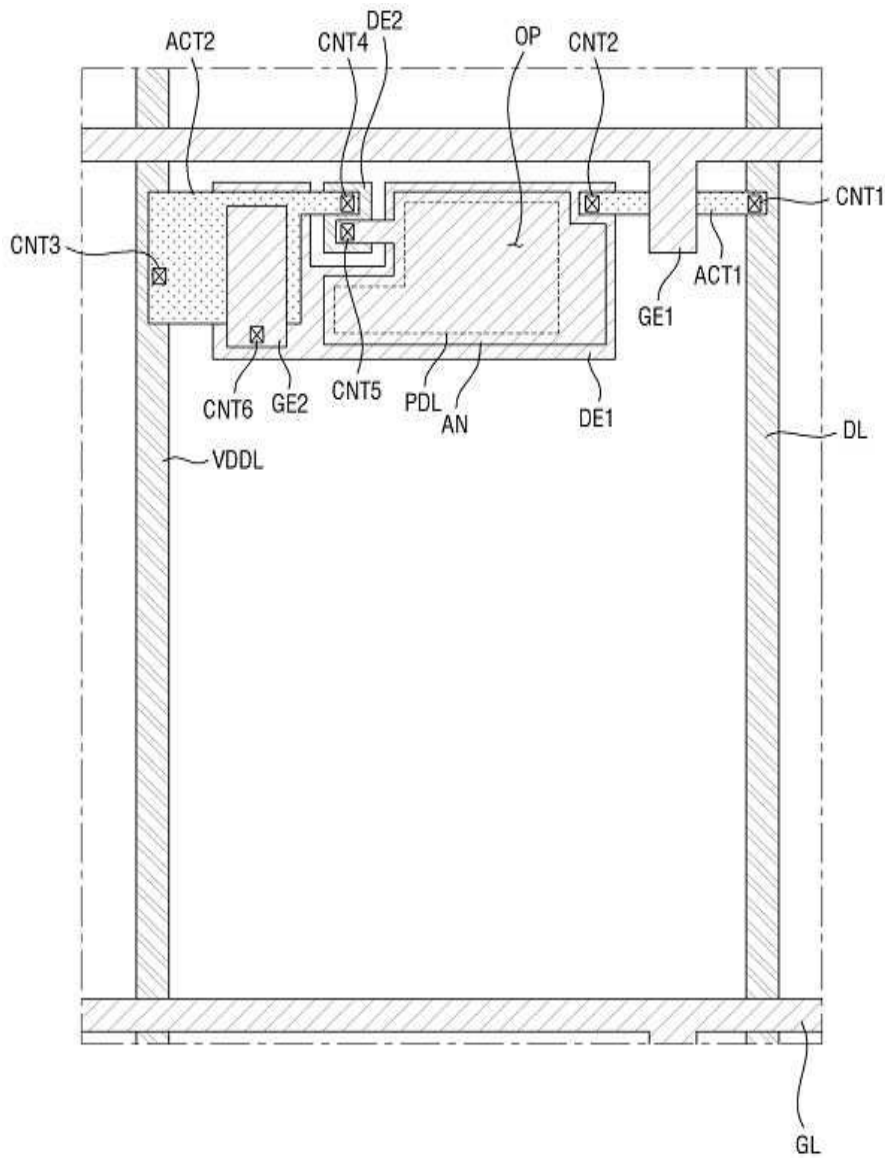
도면11



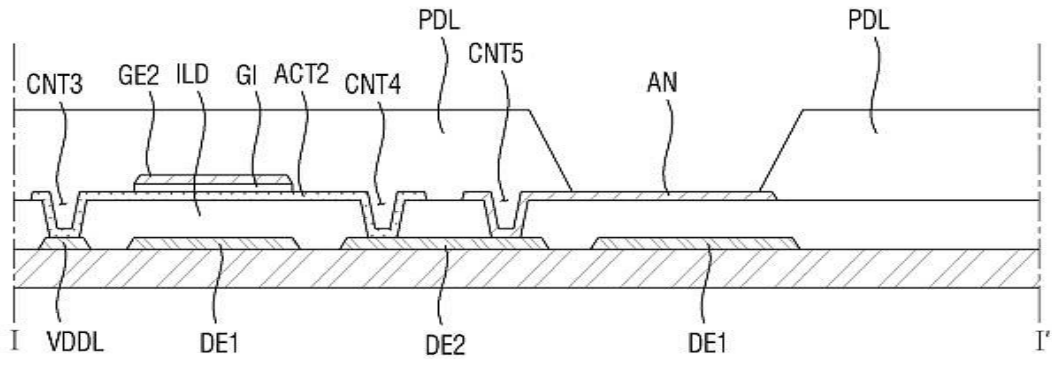
도면12



도면13



도면14



专利名称(译)	有机发光显示器和制造有机发光显示器的方法		
公开(公告)号	KR1020180004364A	公开(公告)日	2018-01-11
申请号	KR1020160083464	申请日	2016-07-01
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	NA JI SU 나지수		
发明人	나지수		
IPC分类号	H01L27/32 H01L51/56		
CPC分类号	H01L27/3262 H01L27/3276 H01L27/3265 H01L27/3246 H01L27/3213 H01L51/56 H01L27/124 H01L27/3248		
外部链接	Espacenet		

摘要(译)

提供有机发光显示装置和有机发光显示器制造方法。根据本发明优选实施例的有机发光显示装置包括基板，布置在基板上的公共电源线，第一漏电极和第二漏电极，半导体图案层与公共电源线和第二电源线连接漏电极，栅电极与上述半导体图案层重叠，阳极电极与第二漏电极连接。上述半导体图案层和栅电极重叠的区域与第一漏电极重叠。

