



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0081078
(43) 공개일자 2017년07월11일

(51) 국제특허분류(Int. Cl.)

G09G 3/32 (2016.01)

(52) CPC특허분류

G09G 3/3266 (2013.01)

G09G 3/3241 (2013.01)

(21) 출원번호 10-2015-0191811

(22) 출원일자 2015년12월31일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

이충훈

경기도 파주시 가람로116번길 130 708동 1203호
(와동동, 가람마을7단지한라비발디아파트)

박성진

경기도 파주시 청암로 27 (목동동) 601동 201호
(산내마을6단지)

(74) 대리인

특허법인로알

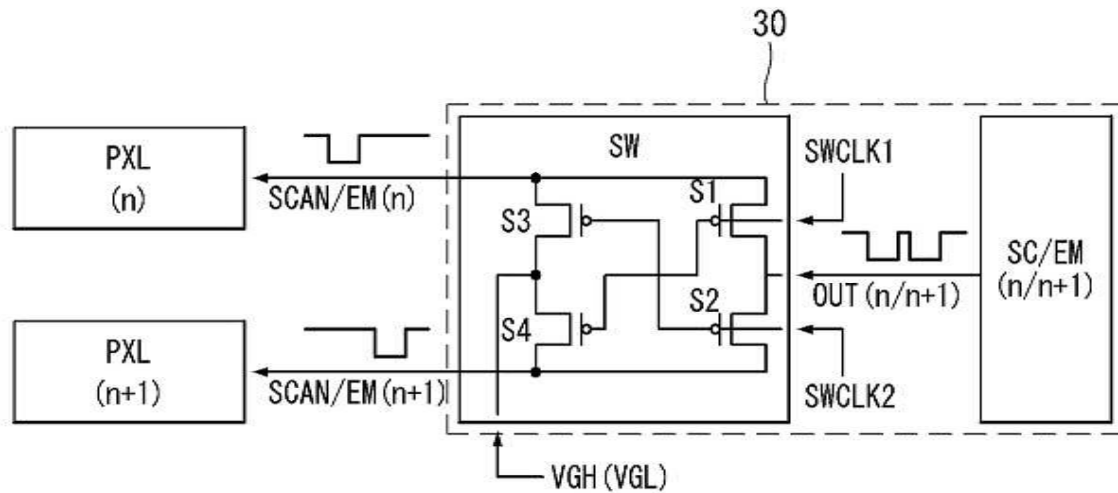
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 유기 발광 표시장치와 그 구동 장치

(57) 요약

본 발명은 유기 발광 표시장치와 그 구동 장치에 관한 것으로, 픽셀들에 스캔 신호와 발광 제어 신호 중 어느 하나를 공급하는 게이트 구동 회로를 포함한다. 상기 게이트 구동 회로는 제1 및 제2 펄스를 포함한 신호를 출력하는 신호 발생 회로와, 제1 및 제2 스위치 클럭에 응답하여 상기 신호 발생 회로로부터 수신된 상기 신호의 제1 및 제2 펄스를 분리하여 상기 제1 펄스를 제1 픽셀에 공급한 후 상기 제2 펄스를 제2 픽셀에 공급하는 스위치 회로를 포함한다. 제1 스위치 클럭은 제1 펄스와 동기되고, 제2 스위치 클럭이 제2 펄스와 동기된다. 본 발명은 스위치 회로를 이용하여 두 개로 분리함으로써 GIP 회로의 크기를 줄일 수 있다.

대표도 - 도3



(52) CPC특허분류

G09G 2230/00 (2013.01)

G09G 2300/0842 (2013.01)

G09G 2310/0286 (2013.01)

명세서

청구범위

청구항 1

픽셀들이 배치된 표시패널; 및

상기 픽셀들에 스캔 신호와 발광 제어 신호 중 어느 하나를 공급하는 게이트 구동 회로를 포함하고,

상기 게이트 구동 회로는,

제1 및 제2 펄스를 포함한 신호를 출력하는 신호 발생 회로;

제1 및 제2 스위치 클럭에 응답하여 상기 신호 발생 회로로부터 수신된 상기 신호의 제1 및 제2 펄스를 분리하여 상기 제1 펄스를 제1 픽셀에 공급한 후 상기 제2 펄스를 제2 픽셀에 공급하는 스위치 회로를 포함하고,

상기 제1 스위치 클럭은 상기 제1 펄스와 동기되고, 상기 제2 스위치 클럭이 상기 제2 펄스와 동기되는 유기 발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 제1 픽셀에 공급되는 제1 펄스와, 상기 제2 픽셀에 공급되는 제2 펄스가 상기 스캔 신호 또는 상기 발광 제어 신호인 유기 발광 표시장치.

청구항 3

제 1 항에 있어서,

상기 게이트 구동 회로는 제1 및 제2 펄스를 포함한 클럭에 응답하여 상기 출력 신호를 발생하고,

상기 클럭의 제1 펄스는 상기 제1 스위치 클럭에 동기되고, 상기 클럭의 제2 펄스는 상기 제2 스위치 클럭에 동기되는 유기 발광 표시장치.

청구항 4

제 1 항에 있어서,

상기 제1 펄스가 상기 스위치 회로의 제1 출력 단자를 통해 출력된 후, 상기 제2 펄스가 상기 스위치 회로의 제2 출력 단자를 통해 출력되는 유기 발광 표시장치.

청구항 5

제 4 항에 있어서,

상기 스위치 회로는,

상기 제1 스위치 클럭에 응답하여 상기 구동 회로로부터 수신된 신호의 제1 펄스를 상기 제1 출력 단자를 통해 출력하는 제1 스위치 소자;

상기 제2 스위치 클럭에 응답하여 상기 구동 회로로부터 수신된 신호의 제2 펄스를 상기 제2 출력 단자를 통해 출력하는 제2 스위치 소자;

상기 제2 스위치 클럭에 응답하여 오프 레벨 전압을 상기 제1 출력 단자를 통해 출력하는 제3 스위치 소자; 및

상기 제1 스위치 클럭에 응답하여 오프 레벨 전압을 상기 제2 출력 단자를 통해 출력하는 제4 스위치 소자를 포함하는 유기 발광 표시장치.

청구항 6

제 1 항에 있어서,

상기 스위치 회로는,

상기 제1 스위치 클럭이 입력되는 게이트, 상기 스위치 회로의 제1 출력 단자에 연결된 소스, 및 상기 스위치 회로의 입력 단자에 연결된 드레인을 포함한 제1 스위치 소자;

상기 제2 스위치 클럭이 입력되는 게이트, 상기 스위치 회로의 제2 출력 단자에 연결된 소스, 및 상기 스위치 회로의 입력 단자에 연결된 드레인을 포함한 제2 스위치 소자;

상기 제2 스위치 클럭이 입력되는 게이트, 상기 제1 출력 단자에 연결된 드레인, 및 오프 레벨 전압이 공급되는 소스를 포함한 제3 스위치 소자; 및

상기 제1 스위치 클럭이 입력되는 게이트, 상기 제1 출력 단자에 연결된 드레인, 및 상기 오프 레벨 전압이 공급되는 소스를 포함한 제4 스위치 소자를 포함하는 유기 발광 표시장치.

청구항 7

표시패널의 픽셀들에 스캔 신호와 발광 제어 신호 중 어느 하나를 공급하는 유기 발광 표시장치의 구동 장치에 있어서,

상기 스캔 신호를 발생하는 스캔 구동부; 및

상기 발광 제어 신호를 출력하는 EM 구동부를 구비하고,

상기 스캔 구동부와 상기 EM 구동부 중 적어도 하나는,

제1 및 제2 스위치 클럭에 응답하여 입력 신호의 제1 및 제2 펄스를 분리하여 상기 제1 펄스를 제1 픽셀에 공급한 후 상기 제2 펄스를 제2 픽셀에 공급하는 스위치 회로를 포함하고,

상기 제1 스위치 클럭은 상기 제1 펄스와 동기되고, 상기 제2 스위치 클럭이 상기 제2 펄스와 동기되는 유기 발광 표시장치의 구동 장치.

청구항 8

제 7 항에 있어서,

상기 스캔 구동부는,

A 스캔 신호를 발생하는 제1 시프트 레지스터; 및

B 스캔 신호를 발생하는 제2 시프트 레지스터를 포함하는 유기 발광 표시장치의 구동 장치.

청구항 9

제 8 항에 있어서,

상기 제1 시프트 레지스터는,

제1 스타트 펄스와 제1 클럭에 응답하여 제1 및 제2 펄스를 출력하는 제1 래치;

상기 제1 및 제2 스위치 클럭에 응답하여 상기 제1 래치로부터 입력된 제1 및 제2 펄스를 분리하여 상기 제1 펄스를 제1 A 스캔 신호로서 상기 제1 픽셀에 공급한 후, 상기 제2 펄스를 제2 A 스캔 신호로서 상기 제2 픽셀에 공급하는 제1 스위치 회로를 포함하는 유기 발광 표시장치의 구동 장치.

청구항 10

제 9 항에 있어서,

상기 EM 구동부는,

상기 제1 래치로부터 입력된 제1 및 제2 펄스를 반전시켜 래치하고 엔드 클럭의 폴링 에지에서 출력을 토글하여 상기 엔드 클럭의 폴링 에지에서 분리된 제1 및 제2 발광 제어 신호를 발생하는 인버터를 포함하고,

상기 제1 및 제2 발광 제어 신호가 상기 제1 및 제2 픽셀들에 동시에 공급되는 유기 발광 표시장치의 구동

장치.

청구항 11

제 10 항에 있어서,

상기 제2 시프트 레지스터는,

제2 스타트 펄스와 제2 클럭에 응답하여 상기 B 스캔 신호를 출력하는 제2 래치; 및

상기 제1 및 제2 스위치 클럭에 응답하여 상기 제2 래치로부터 입력된 제1 및 제2 펄스를 분리하여 상기 제1 펄스를 제1 B 스캔 신호로서 상기 제1 픽셀에 공급한 후, 상기 제2 펄스를 제2 B 스캔 신호로서 상기 제2 픽셀에 공급하는 제2 스위치 회로를 포함하는 유기 발광 표시장치의 구동 장치.

청구항 12

제 7 항에 있어서,

상기 스캔 구동부는

제1 스타트 펄스와 제1 클럭에 응답하여 제1 및 제2 펄스를 출력하는 래치; 및

상기 제1 및 제2 스위치 클럭에 응답하여 상기 래치로부터 입력된 제1 및 제2 펄스를 분리하여 상기 제1 펄스를 제1 스캔 신호로서 상기 제1 픽셀에 공급한 후, 상기 제2 펄스를 제2 스캔 신호로서 상기 제2 픽셀에 공급하는 제1 스위치 회로를 포함하는 유기 발광 표시장치의 구동 장치.

청구항 13

제 12 항에 있어서,

상기 EM 구동부는,

제2 스타트 펄스와 제2 클럭을 입력 받아 상기 클럭의 반전 신호 형태로 제1 및 제2 펄스를 출력하는 인버터; 및

상기 제1 및 제2 스위치 클럭에 응답하여 상기 인버터로부터 입력된 제1 및 제2 펄스를 분리하여 상기 제1 펄스를 제1 발광 제어 신호로서 상기 제1 픽셀에 공급한 후, 상기 제2 펄스를 제2 발광 제어 신호로서 상기 제2 픽셀에 공급하는 제1 스위치 회로를 포함하는 유기 발광 표시장치의 구동 장치.

청구항 14

제 9 항에 있어서,

상기 EM 구동부는,

상기 제1 래치로부터 입력된 제1 및 제2 펄스를 반전시켜 래치하고 엔드 클럭의 폴링 에지에서 출력을 토글하여 상기 엔드 클럭의 폴링 에지에서 분리된 제1 및 제2 발광 제어 신호를 발생하는 인버터; 및

상기 제1 및 제2 스위치 클럭에 응답하여 상기 인버터로부터 입력된 제1 및 제2 발광 제어 신호를 분리하여 상기 제1 발광 제어 신호를 상기 제1 픽셀에 공급한 후, 상기 제2 발광 제어 신호를 상기 제2 픽셀에 공급하는 제2 스위치 회로를 포함하는 유기 발광 표시장치의 구동 장치.

청구항 15

제 14 항에 있어서,

상기 제2 시프트 레지스터는,

제2 스타트 펄스와 제2 클럭에 응답하여 상기 B 스캔 신호를 출력하는 제2 래치; 및

상기 제1 및 제2 스위치 클럭에 응답하여 상기 제2 래치로부터 입력된 제1 및 제2 펄스를 분리하여 상기 제1 펄스를 제1 B 스캔 신호로서 상기 제1 픽셀에 공급한 후, 상기 제2 펄스를 제2 B 스캔 신호로서 상기 제2 픽셀에 공급하는 제3 스위치 회로를 포함하는 유기 발광 표시장치의 구동 장치.

청구항 16

제 7 항 내지 제 15 항 중 어느 한 항에 있어서,

상기 스위치 회로들 각각은,

상기 제1 스위치 클럭에 응답하여 상기 구동 회로로부터 수신된 신호의 제1 펄스를 상기 제1 출력 단자를 통해 출력하는 제1 스위치 소자;

상기 제2 스위치 클럭에 응답하여 상기 구동 회로로부터 수신된 신호의 제2 펄스를 상기 제2 출력 단자를 통해 출력하는 제2 스위치 소자;

상기 제2 스위치 클럭에 응답하여 오프 레벨 전압을 상기 제1 출력 단자를 통해 출력하는 제3 스위치 소자; 및

상기 제1 스위치 클럭에 응답하여 오프 레벨 전압을 상기 제2 출력 단자를 통해 출력하는 제4 스위치 소자를 포함하는 유기 발광 표시장치의 구동 장치.

청구항 17

제 7 항 내지 제 15 항 중 어느 한 항에 있어서,

상기 스위치 회로들 각각은,

상기 제1 스위치 클럭이 입력되는 게이트, 상기 스위치 회로의 제1 출력 단자에 연결된 소스, 및 상기 스위치 회로의 입력 단자에 연결된 드레인을 포함한 제1 스위치 소자;

상기 제2 스위치 클럭이 입력되는 게이트, 상기 스위치 회로의 제2 출력 단자에 연결된 소스, 및 상기 스위치 회로의 입력 단자에 연결된 드레인을 포함한 제2 스위치 소자;

상기 제2 스위치 클럭이 입력되는 게이트, 상기 제1 출력 단자에 연결된 드레인, 및 오프 레벨 전압이 공급되는 소스를 포함한 제3 스위치 소자; 및

상기 제1 스위치 클럭이 입력되는 게이트, 상기 제1 출력 단자에 연결된 드레인, 및 상기 오프 레벨 전압이 공급되는 소스를 포함한 제4 스위치 소자를 포함하는 유기 발광 표시장치의 구동 장치.

발명의 설명

기술 분야

[0001] 본 발명은 스캔 신호와 발광 제어 신호(EM)를 출력하는 회로를 포함한 유기 발광 표시장치와 그 구동 장치에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스 타입의 유기 발광 표시장치는 스스로 발광하는 유기 발광다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다. OLED는 애노드와 캐소드 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL) 등을 포함한다. OLED의 애노드와 캐소드에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0003] OLED 표시장치의 구동 회로는 데이터 신호를 발생하는 데이터 구동 회로와, 스캔 신호와 발광 제어 신호(이하, "EM" 신호라 함)를 발생하는 게이트 구동 회로를 포함한다. 게이트 구동 회로는 스캔 신호를 발생하는 스캔 구동부와, EM 신호를 발생하는 EM 구동부를 포함한다. 스캔 구동부는 시프트 레지스터(Shift register)를 이용하여 픽셀의 보상 시간 동안 데이터 신호에 동기되는 스캔 신호를 스캔 라인들에 순차적으로 공급한다. 스캔 신호는 픽셀의 구동 소자로 이용되는 트랜지스터의 문턱 전압 보상을 위하여 데이터 신호에 동기하여 온 레벨(On level) 신호로 발생된다. 이하에서, 온 레벨(On Level)은 트랜지스터가 턴-온(turn-on)되는 전압 레벨이다. 오프 레벨(Off Level)은 트랜지스터가 턴-오프(turn-off)되는 전압 레벨이다. EM 구동부는 도 1과 같이 시프트 레지스터와 인버터를 이용하여 EM 신호를 순차적으로 출력한다. 픽셀의 보상 시간 동안 오프 레벨

의 펄스로 발생된 다음, 픽셀의 보상 시간 후에 온 레벨을 유지하여 OLED를 발광시킨다.

[0004] EM 구동부는 도 1과 같이 EM 신호를 순차적으로 발생하는 시프트 레지스터(Shift register)와, 시프트 레지스터의 출력을 반전시키는 인버터(Inverter)를 포함하여 EM 신호를 순차적으로 시프트 하여 EM 신호 라인들에 공급한다. 시프트 레지스터는 종속적으로 접속된 래치들(Latch)(SR(n), SR(n+1))을 포함한다. n은 양의 정수이다. 시프트 레지스터는 스타트 펄스(VST)와 시프트 클럭(CLK(n), CLK(n+1))을 입력 받아 출력을 순차적으로 발생한다. 래치들(SR(n), SR(n+1))에서, GST는 스타트 펄스 입력 단자이고, Out은 출력 단자이다. 인버터는 시프트 레지스터의 출력 단자들 각각에 1:1로 연결되는 다수의 인버터들(INV(n), INV(n+1))을 포함한다.

[0005] 도 2에서, SCAN(n)과 EM(n)은 표시패널의 n 번째 라인에 배치된 제n 픽셀(PXL(n))에 인가되는 스캔 신호와 EM 신호이다. SCAN(n+1)과 EM(n+1)은 표시패널의 n+1 번째 라인에 배치된 제n+1 픽셀(PXL(n+1))에 인가되는 스캔 신호와 EM 신호이다.

[0006] 게이트 구동 회로는 GIP(Gate-driver In Panel) 공정으로 픽셀 어레이와 함께 표시패널(100) 상에 직접 배치될 수 있다. 이하, 이러한 게이트 구동 회로를 “GIP 회로”라 한다. GIP 회로에서, 스캔 구동부와 EM 구동부는 표시패널의 가장자리 비표시 영역인 베젤(Bezel)에 형성된다.

[0007] 스캔 구동부와 EM 구동부 각각에서 하나의 출력을 발생하는 신호 발생 회로의 단위 채널 폭은 픽셀(PXL(n), PXL(n+1)) 높이 내에서 설계되어야 한다. 이 때문에 GIP 회로는 베젤의 폭방향을 따라 길게 형성되어 베젤 폭을 증가시킨다. 단위 채널은 하나의 출력을 발생하는 회로를 의미하고, 도 1의 예에서 하나의 래치(SR(n))와 그 래치에 연결되는 하나의 인버터(Inv)를 포함한다. 고해상도/고집적 표시패널의 경우에 픽셀 높이가 작기 때문에 동일 회로 면적을 유지하기 위하여 GIP 회로는 높이가 감소되는 만큼 폭이 더 커져 베젤 폭 증가를 초래한다. 따라서, 현재의 GIP 회로는 회로 면적이 크기 때문에 표시패널의 네로우 베젤(Narrow bezel) 설계를 어렵게 한다.

발명의 내용

해결하려는 과제

[0008] 본 발명은 GIP 회로의 크기를 줄일 수 있는 유기 발광 표시장치와 그 구동 장치를 제공한다.

과제의 해결 수단

[0009] 본 발명의 유기 발광 표시장치는 픽셀들이 배치된 표시패널과, 상기 픽셀들에 스캔 신호와 발광 제어 신호 중 어느 하나를 공급하는 게이트 구동 회로를 포함한다.

[0010] 상기 게이트 구동 회로는 제1 및 제2 펄스를 포함한 신호를 출력하는 신호 발생 회로와, 제1 및 제2 스위치 클럭에 응답하여 상기 신호 발생 회로로부터 수신된 상기 신호의 제1 및 제2 펄스를 분리하여 상기 제1 펄스를 제1 픽셀에 공급한 후 상기 제2 펄스를 제2 픽셀에 공급하는 스위치 회로를 포함한다.

[0011] 상기 제1 스위치 클럭은 상기 제1 펄스와 동기되고, 상기 제2 스위치 클럭이 상기 제2 펄스와 동기된다.

[0012] 상기 제1 픽셀에 공급되는 제1 펄스와 상기 제2 픽셀에 공급되는 제2 펄스가 상기 스캔 신호 또는 상기 발광 제어 신호이다.

[0013] 상기 구동 회로는 제1 및 제2 펄스를 포함한 클럭에 응답하여 상기 출력 신호를 발생한다. 상기 클럭의 제1 펄스는 상기 제1 스위치 클럭에 동기되고, 상기 클럭의 제2 펄스는 상기 제2 스위치 클럭에 동기된다.

[0014] 상기 제1 펄스가 상기 스위치 회로의 제1 출력 단자를 통해 출력된 후, 상기 제2 펄스가 상기 스위치 회로의 제2 출력 단자를 통해 출력된다.

[0015] 상기 스위치 회로는 상기 제1 스위치 클럭에 응답하여 상기 구동 회로로부터 수신된 신호의 제1 펄스를 상기 제1 출력 단자를 통해 출력하는 제1 스위치 소자와, 상기 제2 스위치 클럭에 응답하여 상기 구동 회로로부터 수신된 신호의 제2 펄스를 상기 제2 출력 단자를 통해 출력하는 제2 스위치 소자와, 상기 제1 스위치 클럭에 응답하여 오프 레벨 전압을 상기 제2 출력 단자를 통해 출력하는 제3 스위치 소자와, 상기 제2 스위치 클럭에 응답하여 오프 레벨 전압을 상기 제1 출력 단자를 통해 출력하는 제4 스위치 소자를 포함한다.

[0016] 상기 유기 발광 표시장치의 구동 장치는 상기 스캔 신호를 발생하는 스캔 구동부와, 상기 발광 제어 신호를 출력하는 EM 구동부를 구비한다.

[0017] 상기 스캔 구동부와 상기 EM 구동부 중 적어도 하나는 제1 및 제2 스위치 클럭에 응답하여 입력 신호의 제1 및 제2 펄스를 분리하여 상기 제1 펄스를 제1 픽셀에 공급한 후 상기 제2 펄스를 제2 픽셀에 공급하는 스위치 회로를 포함한다.

발명의 효과

[0018] 본 발명은 GIP 회로에서 단위 채널의 출력 신호의 제1 및 제2 펄스를 스위치 회로를 이용하여 두 개로 분리함으로써 GIP 회로의 크기를 줄여 표시패널의 네로우 베젤을 구현할 수 있다.

도면의 간단한 설명

[0019] 도 1은 종래의 GIP 회로 구성을 보여 주는 도면이다.
 도 2는 도 1에 도시된 GIP 회로의 입출력 파형을 보여 주는 파형도이다.
 도 3은 본 발명의 제1 실시예에 따른 GIP 회로 구성을 보여 주는 회로도이다.
 도 4는 도 3에 도시된 GIP 회로의 입출력 파형을 보여 주는 파형도이다.
 도 5는 본 발명의 제2 실시예에 따른 GIP 회로의 입출력 파형을 보여 주는 파형도이다.
 도 6은 본 발명의 제2 실시예에 따른 GIP 회로를 보여 주는 블록도이다.
 도 7은 도 6에 도시된 GIP 회로의 일부를 상세히 보여 주는 회로도이다.
 도 8은 본 발명의 제3 실시예에 따른 GIP 회로의 입출력 파형을 보여 주는 파형도이다.
 도 9는 본 발명의 제3 실시예에 따른 GIP 회로를 보여 주는 블록도이다.
 도 10은 도 9에 도시된 GIP 회로의 일부를 상세히 보여 주는 회로도이다.
 도 11은 본 발명의 제4 실시예에 따른 GIP 회로를 보여 주는 블록도이다.
 도 12는 본 발명의 GIP 회로의 크기 감소로 인한 베젤 저감 효과를 보여 주는 도면이다.
 도 13은 본 발명의 유기 발광 표시장치를 보여 주는 블록도이다.
 도 14a 및 도 14b는 본 발명의 일 실시예에 따른 픽셀 회로와 그 동작을 보여 주는 도면들이다.
 도 15a 및 도 15b는 본 발명의 다른 실시예에 따른 픽셀 회로와 그 동작을 보여 주는 도면들이다.
 도 16a 내지 도 16d는 도 15에 도시된 픽셀 회로의 내부 보상 방법을 단계적으로 보여 주는 도면들이다.
 도 17은 스캔 구동부의 시프트 레지스터 회로에서 래치 회로의 일 예를 보여 주는 회로도이다.
 도 18a 내지 도 18h는 도 17에 도시된 래치의 동작을 보여 주는 도면들이다.
 도 19는 EM 구동부의 인버터 회로의 일 예를 보여 주는 도면이다.
 도 20a 내지 도 20d는 도 19에 도시된 인버터의 동작을 보여 주는 도면들이다.

발명을 실시하기 위한 구체적인 내용

[0020] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0021] 도 3 및 도 4는 본 발명의 제1 실시예에 따른 GIP 회로 구성을 보여 주는 도면들이다. 도 4에서 CLK1 및 CLK2는 시프트 클럭이고, SWCLK1 및 SWCLK2는 스위치 클럭이다. OUT(n/n+1)은 단위 채널(SC/EM(n/n+1))의 출력 신호이다.

[0022] 도 3 및 도 4를 참조하면, 본 발명의 유기 발광 표시장치는 픽셀들(PXL(n), PXL(n+1))이 배치된 표시패널과, 그 픽셀들(PXL(n), PXL(n+1))에 스캔 신호와 EM 신호 중 하나 이상을 공급하는 GIP 회로(30)를 포함한다.

[0023] 본 발명의 GIP 회로(30)는 스캔 신호와 발광 제어 신호 중 적어도 어느 하나를 출력하는 신호 발생 회로와, 신

호 발생 회로의 출력 신호에서 펄스들을 분리하는 스위치 회로를 포함한다.

- [0024] 신호 발생 회로의 단위 채널(SC/EM($n/n+1$))은 제1 펄스와 제2 펄스가 연속되는 신호를 하나의 출력 단자를 통해 출력한다.
- [0025] 단위 채널(SC/EM($n/n+1$))은 온 레벨의 제1 및 제2 펄스(31, 32)가 연속으로 발생하는 시프트 클럭(CLK1)을 입력 받는다. 단위 채널(SC/EM($n/n+1$))은 하나의 출력 단자를 통해 제1 및 제2 펄스를 포함한 출력 신호(OUT($n/n+1$)))를 출력한다. 제1 및 제2 펄스는 온 레벨로 발생된다. 시프트 클럭(CLK1)의 제1 펄스(31)는 제1 스위치 클럭(SWCLK1)과 동기되고, 제2 펄스(32)는 제2 스위치 클럭(SWCLK2)과 동기된다.
- [0026] 스위치 회로(SW)는 제1 내지 제4 스위치 소자들(S1~S4)을 포함한다. 스위치 회로(SW)는 제1 및 제2 스위치 클럭(SWCLK1, SWCLK2)에 응답하여 단위 채널(SC/EM($n/n+1$)))의 출력 신호(OUT($n/n+1$)))의 제1 및 제2 펄스(33, 34)를 분리하여 두 개의 펄스(SCAN/EM(n), SCAN/EM($n+1$)))를 출력한다. 스위치 회로(SW)는 제1 및 제2 펄스(33, 34)를 분리하여 제1 펄스를 제 n 픽셀(PXL(n)))에 공급한 후 제2 펄스를 제 $n+1$ 픽셀(PXL($n+1$)))에 공급한다. 제1 스위치 클럭(SWCLK1)은 제1 펄스(33)와 동기되고, 제2 스위치 클럭(SWCLK2)은 제2 펄스(34)와 동기된다. 제1 및 제2 펄스는 스캔 신호와 EM 신호 중 어느 하나일 수 있다.
- [0027] 스위치 소자들(S1~S4)은 픽셀들(PXL(n), PXL($n+1$))과 단위 채널(SC/EM($n/n+1$)))을 구성하는 트랜지스터들과 마찬가지로, TFT(Thin Film Transistor)로 구현될 수 있다. 도 3에서, 스위치 소자들(S1~S4)은 p 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 TFT로 예시되었으나 이에 한정되지 않는다. p 타입 MOSFET에서 온 레벨은 게이트 로우 전압(VGL)이고, 오프 레벨 전압은 게이트 하이 전압(VGH)이다. VGH는 VGL 보다 높은 전압이다. 이하, 스위치 소자들(S1~S4)을 TFT로 칭한다. 제1 스위치 클럭(SWCLK1)은 OUT($n/n+1$))의 제1 펄스(33)에 동기된다. 제1 TFT(S1)는 제1 스위치 클럭(SWCLK1)에 응답하여 OUT($n/n+1$))의 제1 펄스(33)를 제1 출력 단자를 통해 제 n 픽셀(PXL(n)))에 공급한다. 제1 TFT(S1)는 제1 스위치 클럭(SWCLK1)이 입력되는 게이트, 제1 출력 단자에 연결된 소스, 및 입력 단자에 연결된 드레인을 포함한다. 스위치 회로(SW)의 입력 단자에 신호 발생 회로의 단위 채널로부터 OUT($n/n+1$))이 수신된다.
- [0028] 제4 TFT(S4)는 제1 스위치 클럭(SWCLK1)에 응답하여 오프 레벨 전압(VGH)을 제2 출력 단자에 공급한다. 따라서, 제1 스위치 클럭(SWCLK1)이 발생될 때 스위치 회로(SW)의 제1 출력 단자를 통해 온 레벨 전압(VGL)의 제1 펄스가 출력되고 이와 동시에, 스위치 회로(SW)의 제2 출력 단자를 통해 오프 레벨 전압(VGH)이 출력된다. 제4 TFT(S4)는 제1 스위치 클럭(SWCLK1)이 입력되는 게이트, 제2 출력 단자에 연결된 드레인, 및 오프 레벨 전압(VGH)이 공급되는 소스를 포함한다.
- [0029] 제1 스위치 클럭(SWCLK1)에 이어서 제2 스위치 클럭(SWCLK2)이 발생한다. 제2 스위치 클럭(SWCLK2)은 OUT($n/n+1$))의 제2 펄스(34)에 동기된다.
- [0030] 제2 TFT(S2)는 제2 스위치 클럭(SWCLK2)에 응답하여 OUT($n/n+1$))의 제2 펄스(34)를 제2 출력 단자를 통해 제 $n+1$ 픽셀(PXL($n+1$)))에 공급한다. 제2 TFT(S2)는 제2 스위치 클럭(SWCLK2)이 입력되는 게이트, 제2 출력 단자에 연결된 소스, 및 OUT($n/n+1$))가 입력되는 드레인을 포함한다. 제1 및 제2 TFT(S1, S2)의 드레인들은 OUT($n/n+1$))이 입력되는 입력 단자에 연결된다.
- [0031] 제3 TFT(S3)는 제2 스위치 클럭(SWCLK2)에 응답하여 오프 레벨 전압(VGH)을 제1 출력 단자에 공급한다. 따라서, 제2 스위치 클럭(SWCLK2)이 발생될 때 스위치 회로(SW)의 제2 출력 단자를 통해 온 레벨 전압(VGL)의 제2 펄스가 출력되고 이와 동시에, 스위치 회로(SW)의 제1 출력 단자를 통해 오프 레벨 전압(VGH)이 출력된다. 제3 TFT(S3)는 제2 스위치 클럭(SWCLK2)이 입력되는 게이트, 제1 출력 단자에 연결된 드레인, 및 오프 레벨 전압(VGH)이 공급되는 소스를 포함한다. 제3 및 제4 TFT(S3, S4)의 소스들은 전원 입력 단자(VGH/VGL)에 연결된다.
- [0032] 스위치 회로(SW)의 스위치 소자들이 n 타입 MOSFET로 구현되면, 신호 발생 회로에 입력되는 시프트 클럭(CLK1, CLK2)과 스위치 클럭들(SWCLK1, SWCLK2)의 위상이 반전되고, 제3 및 제4 스위치 소자들(S3, S4)에 공급되는 오프 레벨 전압이 게이트 로우 전압(VGL)으로 변경된다.
- [0033] 본 발명의 GIP 회로는 단위 채널(SC/EM($n/n+1$)))로부터 출력되는 제1 및 제2 펄스를 스위치 회로(SW)를 이용하여 두 개로 분리하여 표시패널에서 두 라인에 배치된 픽셀들(PXL(n), PXL($n+1$)))에 공급할 수 있다. 본 발명은 도 3과 같이 GIP 회로에서 하나의 단위 채널 회로의 높이를 수직으로 이웃한 픽셀의 높이*2 만큼 높일 수 있기 때문에 GIP 회로의 폭을 줄일 수 있다. 본 발명은 GIP 회로 크기를 줄일 수 있고 단위 채널 회로의 높이를 높이는 대신 폭을 줄일 수 있다. 그 결과, 본 발명은 종래의 GIP 회로 대비 25% 이상 GIP 회로 면적을 줄일 수 있으며

로 고해상도 고해상도/고집적 표시패널에서 네로우 베젤을 구현할 수 있다.

- [0034] 본 발명의 스위치 회로(SW)는 다양한 GIP 회로에 적용될 수 있다.
- [0035] 도 5는 본 발명의 제2 실시예에 따른 GIP 회로의 입출력 파형을 보여 주는 파형도이다. 도 5에서 1H는 1 수평 기간을 의미한다. 도 6은 본 발명의 제2 실시예에 따른 GIP 회로를 보여 주는 블록도이다. 도 7은 도 6에 도시된 GIP 회로의 일부를 상세히 보여 주는 회로도이다.
- [0036] 도 5 내지 도 7을 참조하면, GIP 회로(30)는 두 개의 스캔 신호(SCAN1(n/n+1), SCAN2(n/n+1))와 하나의 EM 신호(EM(n/n+1))를 발생하여 픽셀들(PXL1~PXL4) 각각에 공급할 수 있다.
- [0037] GIP 회로(30)는 온 레벨의 A 스캔 신호(SCAN1(n/n+1))를 순차적으로 출력하는 제1 스캔 구동부(62)와, 제1 스캔 구동부(62)의 출력을 입력 받아 오프 레벨의 EM 신호(EM(n/n+1))를 출력하는 EM 구동부(66)와, 온 레벨의 B 스캔 신호(SCAN2(n/n+1))를 순차적으로 출력하는 제2 스캔 구동부(64)를 포함한다. 제1 스캔 구동부(62)는 래치들(SC1(1/2), SC1(3/4))과 스위치 회로들(SWC1(1/2), SWC1(3/4))이 종속적으로 연결된 제1 시프트 레지스터를 포함한다. 제2 스캔 구동부(64)는 래치들(SC2(1/2), SC2(3/4))과 스위치 회로들(SWC2(1/2), SWC2(3/4))이 종속적으로 연결된 제2 시프트 레지스터를 포함한다. EM 구동부(66)는 다수의 인버터들(INV(1/2), INV(3/4))을 포함한다.
- [0038] 제1 및 제2 시프트 레지스터들은 표시패널에서 픽셀 어레이(PXL1~PXL4)를 사이에 두고 분리되어 각각 좌측 베젤과 우측 베젤에 배치될 수 있다. 제1 및 제2 시프트 레지스터들의 배치는 도 6에 한정되지 않는다.
- [0039] 제1 시프트 레지스터는 스타트 펄스(G1VST)와 시프트 클럭(G1CLK1~G1CLK4)에 응답하여 A 스캔 신호(SCAN1(n/n+1))를 순차적으로 출력하는 래치들(SC1(1/2), SC1(3/4))과, 래치들(SC1(1/2), SC1(3/4)) 사이에 배치되는 스위치 회로들(SWC1(1/2), SWC1(3/4))을 포함한다. 제1 시프트 레지스터에서 이웃한 래치들 사이에 하나의 스위치 회로가 연결되도록 래치들(SC1(1/2), SC1(3/4))과 스위치 회로들(SWC1(1/2), SWC1(3/4))이 교대로 배치된다. 스위치 회로들(SWC1(1/2), SWC1(3/4)) 각각은 제1 및 제2 스위치 클럭(SWCLK1, SWCLK2)에 응답하여 하나의 래치 출력을 입력 받아 그 출력 신호의 제1 및 제2 펄스들을 시분할한다.
- [0040] 스타트 펄스(G1VST)는 제1 래치(SC1(1/2))에 입력되어 제1 시프트 레지스터의 구동 스타트 타이밍을 제어한다. 스타트 펄스(G1VST)는 도 5의 예와 같이 제3 시프트 클럭(G1CLK3)의 제2 펄스와 제4 시프트 클럭(G1CLK4)의 제1 펄스와 동기될 수 있으나 이에 한정되지 않는다. 시프트 클럭들(G1CLK1~G1CLK4)은 위상이 순차적으로 시프트된다. 시프트 클럭들(G1CLK1~G1CLK4)은 각각 제1 및 제2 펄스를 포함한다.
- [0041] 제1 시프트 레지스터의 래치들(SC1(1/2), SC1(3/4)) 각각은 시프트 클럭(G1CLK1~G1CLK4)의 제1 및 제2 펄스에 응답하여 하나의 출력 단자를 통해 제1 및 제2 펄스를 연속으로 출력한다.
- [0042] 제1 래치(SC1(1/2))는 스타트 펄스(G1VST)를 래치하고 시프트 클럭(G1CLK1, G1CLK3, G1CLK4)의 제1 및 제2 펄스에 응답하여 제1 및 제2 펄스를 연속으로 출력한다. 제1 래치(SC1(1/2))의 출력 신호는 하나의 출력 단자를 통해 EM 구동부의 제1 인버터(INV(1/2))와 제1 스위치 회로(SWC1(1/2))에 공급된다.
- [0043] 제1 인버터(INV(1/2))는 제1 래치(SC1(1/2))로부터의 제1 및 제2 펄스를 반전시켜 래치하고 엔드 클럭(EndCLK)의 폴링 에지에서 출력을 토글(toggle)하여 도 5와 같이 엔드 클럭(EndCLK)의 폴링 에지에서 분리된 제1 및 제2 EM 신호를 순차적으로 출력한다. 제1 인버터(INV(1/2))로부터 출력된 제1 및 제2 EM 신호는 제1 및 제2 픽셀들(PXL1, PXL2)에 동시에 공급된다. 제1 픽셀(PXL1)은 표시패널의 제1 라인에 배치된다. 제2 픽셀(PXL2)은 표시패널의 제2 라인에 배치된다.
- [0044] 제1 스위치 회로(SWC1(1/2))는 제1 내지 제4 TFT들(S1~S4)을 포함한다. 제1 스위치 회로(SWC1(1/2))는 제1 및 제2 스위치 클럭(SWCLK1, SWCLK2)에 응답하여 제1 래치(SC1(1/2))로부터 입력된 제1 및 제2 펄스를 분리한다. 제1 펄스는 제1 A 스캔 신호(SCAN112)로서 제1 픽셀(PXL1)에 공급된다. 제2 펄스는 제2 A 스캔 신호(SCAN12)로서 제2 픽셀(PXL2)에 공급됨과 동시에 제2 래치(SC1(3/4))의 스타트 단자에 공급된다.
- [0045] 제2 래치(SC1(3/4))는 제1 스위치 회로(SWC1(1/2))로부터 입력된 제2 펄스를 래치하고 시프트 클럭(G1CLK1, G1CLK2, G1CLK3)의 제1 및 제2 펄스에 응답하여 제1 및 제2 펄스를 연속으로 출력한다. 제2 래치(SC1(3/4))의 출력 신호는 하나의 출력 단자를 통해 제2 인버터(INV(3/4))와 제2 스위치 회로(SWC1(3/4))에 공급된다.
- [0046] 제2 인버터(INV(3/4))는 제2 래치(SC1(3/4))로부터의 제1 및 제2 펄스를 반전시켜 래치하고 엔드 클럭(EndCLK)의 폴링 에지에서 출력을 토글하여 엔드 클럭(EndCLK)의 폴링 에지에서 분리된 두 개의 제3 및 제4 EM 신호를

순차적으로 출력한다. 제2 인버터(INV(3/4))로부터 출력된 제3 및 제4 EM 신호는 제3 및 제4 픽셀들(PXL3, PXL4)에 동시에 공급된다. 제3 픽셀(PXL3)은 표시패널의 제3 라인에 배치된다. 제4 픽셀(PXL4)은 표시패널의 제4 라인에 배치된다.

- [0047] 제2 스위치 회로(SWC1(3/4))는 제1 내지 제4 TFT들(S1~S4)을 포함한다. 제2 스위치 회로(SWC1(3/4))는 제1 및 제2 스위치 클럭(SWCLK1, SWCLK2)에 응답하여 제2 래치(SC1(3/4))로부터 입력된 제1 및 제2 펄스를 분리한다. 제1 펄스는 제3 픽셀(PXL3)에 공급된다. 제4 펄스는 제4 픽셀(PXL4)에 공급됨과 동시에 도시하지 않은 제3 래치의 스타트 단자에 공급된다.
- [0048] 제2 시프트 레지스터는 스타트 펄스(G2VST)와 시프트 클럭(G2CLK1~G2CLK4)에 응답하여 B 스캔 신호(SCAN2(n/n+1))를 순차적으로 출력하는 래치들(SC2(1/2), SC2(3/4))과, 래치들(SC2(1/2), SC2(3/4)) 사이에 배치되는 스위치 회로들(SWC2(1/2), SWC2(3/4))을 포함한다. B 스캔 신호(SCAN2)의 라이징 에지(rising edge)가 소정의 초기화 구간만큼 A 스캔 신호(SCAN1)의 라이징 타이밍 보다 위상이 빠르고(도 14a 및 도 14b 참조), B 스캔 신호(SCAN2) 폴링 에지(falling edge)는 A 스캔 신호(SCAN1)의 폴링 에지에 동기될 수 있다.
- [0049] 스타트 펄스(G2VST)는 제1 래치(SC2(1/2))에 입력되어 제2 시프트 레지스터의 구동 스타트 타이밍을 제어한다. 스타트 펄스(G2VST)는 도 5의 예와 같이 제3 시프트 클럭(G2CLK3)의 제2 펄스와 제4 시프트 클럭(G2CLK4)의 제1 펄스와 동기될 수 있으나 이에 한정되지 않는다. 시프트 클럭들(G2CLK1~G2CLK4)은 위상이 순차적으로 시프트된다. 시프트 클럭들(G2CLK1~G2CLK4)은 각각 제1 및 제2 펄스를 포함한다.
- [0050] 제2 시프트 레지스터의 래치들(SC2(1/2), SC2(3/4)) 각각은 시프트 클럭(G2CLK1~G2CLK4)의 제1 및 제2 펄스에 응답하여 하나의 출력 단자를 통해 제1 및 제2 펄스를 연속으로 출력한다.
- [0051] 제1 래치(SC2(1/2))는 스타트 펄스(G2VST)를 래치하고 시프트 클럭(G2CLK1, G2CLK3, G2CLK4)의 제1 및 제2 펄스에 응답하여 제1 및 제2 펄스를 연속으로 출력한다. 제1 래치(SC2(1/2))의 출력 신호는 하나의 출력 단자를 통해 제1 스위치 회로(SWC2(1/2))에 공급된다.
- [0052] 제1 스위치 회로(SWC2(1/2))는 제1 내지 제4 TFT들(S1~S4)을 포함한다. 제1 스위치 회로(SWC2(1/2))는 제1 및 제2 스위치 클럭(SWCLK1, SWCLK2)에 응답하여 제1 래치(SC2(1/2))로부터 입력된 제1 및 제2 펄스를 분리한다. 제1 펄스는 제1 B 스캔 신호(SCAN21)로서 제1 픽셀(PXL1)에 공급된다. 제2 펄스는 제1 B 스캔 신호(SCAN22)로서 제2 픽셀(PXL2)에 공급됨과 동시에 제2 래치(SC1(3/4))의 스타트 단자에 공급된다.
- [0053] 제2 래치(SC2(3/4))는 제1 스위치 회로(SWC2(1/2))로부터 입력된 제2 펄스를 래치하고 시프트 클럭(G1CLK1, G1CLK2, G1CLK3)의 제1 및 제2 펄스에 응답하여 제1 및 제2 펄스를 연속으로 출력한다. 제2 래치(SC2(3/4))의 출력 신호는 하나의 출력 단자를 통해 제2 스위치 회로(SWC2(3/4))에 공급된다.
- [0054] 제2 스위치 회로(SWC2(3/4))는 제1 내지 제4 TFT들(S1~S4)을 포함한다. 제2 스위치 회로(SWC2(3/4))는 제1 및 제2 스위치 클럭(SWCLK1, SWCLK2)에 응답하여 제2 래치(SC2(3/4))로부터 입력된 제1 및 제2 펄스를 분리한다. 제1 펄스는 제3 픽셀(PXL3)에 공급된다. 제4 펄스는 제4 픽셀(PXL4)에 공급됨과 동시에 도시하지 않은 제3 래치의 스타트 단자에 공급된다.
- [0055] 도 8은 본 발명의 제3 실시예에 따른 GIP 회로의 입출력 과형을 보여 주는 과형도이다. 도 8에서 1H는 1 수평 기간을 의미한다. 도 9는 본 발명의 제3 실시예에 따른 GIP 회로를 보여 주는 블록도이다. 도 10은 도 9에 도시된 GIP 회로의 일부를 상세히 보여 주는 회로도이다.
- [0056] 도 8 내지 도 10을 참조하면, GIP 회로(30)는 하나의 스캔 신호(SCAN(n/n+1))와 하나의 EM 신호(EM(n/n+1))를 발생하여 픽셀들(PXL1~PXL4) 각각에 공급할 수 있다.
- [0057] GIP 회로(30)는 온 레벨의 스캔 신호(SCAN(n/n+1))를 순차적으로 출력하는 스캔 구동부(92)와, 오프 레벨의 EM 신호(EM(n/n+1))를 순차적으로 출력하는 EM 구동부(96)를 포함한다. 스캔 구동부는 래치들(SC(1/2), SC(3/4))과 스위치 회로들(SWC(1/2), SWC(3/4))이 종속적으로 연결된 제1 시프트 레지스터를 포함한다. EM 구동부는 인버터들(INV(1/2), INV(3/4))과 스위치 회로들(SWE(1/2), SWE(3/4))이 종속적으로 연결된 제2 시프트 레지스터를 포함한다.
- [0058] 제1 및 제2 시프트 레지스터들은 표시패널에서 픽셀 어레이(PXL1~PXL4)를 사이에 두고 분리되어 각각 좌측 베젤과 우측 베젤에 배치될 수 있다. 제1 및 제2 시프트 레지스터들의 배치는 도 9에 한정되지 않는다.
- [0059] 제1 시프트 레지스터는 스타트 펄스(GVST)와 시프트 클럭(GCLK1~GCLK4)에 응답하여 스캔 신호(SCAN(n/n+1))를

순차적으로 출력하는 래치들(SC(1/2), SC(3/4)))과, 래치들(SC(1/2), SC(3/4))) 사이에 배치되는 스위치 회로들(SWC(1/2), SWC(3/4))을 포함한다. 제1 시프트 레지스터에서 이웃한 래치들 사이에 하나의 스위치 회로가 연결되도록 래치들(SC(1/2), SC(3/4)))과 스위치 회로들(SWC(1/2), SWC(3/4))이 교대로 배치된다. 스위치 회로들(SWC(1/2), SWC(3/4)) 각각은 제1 및 제2 스위치 클럭(SWCLK1, SWCLK2)에 응답하여 하나의 래치 출력을 입력 받아 그 출력 신호의 제1 및 제2 펄스들을 시분할한다.

- [0060] 스타트 펄스(GVST)는 제1 래치(SC(1/2))에 입력되어 제1 시프트 레지스터의 구동 스타트 타이밍을 제어한다. 스타트 펄스(GVST)는 도 8의 예와 같이 제3 시프트 클럭(GCLK3)의 제2 펄스와 제4 시프트 클럭(GCLK4)의 제1 펄스와 동기될 수 있으나 이에 한정되지 않는다. 시프트 클럭들(GCLK1~GCLK4)은 위상이 순차적으로 시프트된다. 시프트 클럭들(GCLK1~GCLK4)은 각각 제1 및 제2 펄스를 포함한다.
- [0061] 제1 시프트 레지스터의 래치들(SC(1/2), SC(3/4)) 각각은 시프트 클럭(GCLK1~GCLK4)의 제1 및 제2 펄스에 응답하여 하나의 출력 단자를 통해 제1 및 제2 펄스를 연속으로 출력한다.
- [0062] 제1 래치(SC(1/2))는 스타트 펄스(GVST)를 래치하고 시프트 클럭(GCLK1, G1CLK3, G1CLK4)의 제1 및 제2 펄스에 응답하여 제1 및 제2 펄스를 연속으로 출력한다. 제1 래치(SC(1/2))의 출력 신호는 하나의 출력 단자를 통해 제1 스위치 회로(SWC(1/2))에 공급된다.
- [0063] 제1 스위치 회로(SWC(1/2))는 제1 내지 제4 TFT들(S1~S4)을 포함한다. 제1 스위치 회로(SWC(1/2))는 제1 및 제2 스위치 클럭(SWCLK1, SWCLK2)에 응답하여 제1 래치(SC(1/2))로부터 입력된 제1 및 제2 펄스를 분리한다. 제1 펄스는 제1 픽셀(PXL1)에 공급된다. 제2 펄스는 제2 픽셀(PXL2)에 공급됨과 동시에 제2 래치(SC(3/4))의 스타트 단자에 공급된다.
- [0064] 제2 래치(SC(3/4))는 제1 스위치 회로(SWC1(1/2))로부터 입력된 제2 펄스를 래치하고 시프트 클럭(GCLK1, GCLK2, GCLK3)의 제1 및 제2 펄스에 응답하여 제1 및 제2 펄스를 연속으로 출력한다. 제2 래치(SC(3/4))의 출력 신호는 하나의 출력 단자를 통해 제2 스위치 회로(SWC(3/4))에 공급된다.
- [0065] 제2 스위치 회로(SWC(3/4))는 제1 내지 제4 TFT들(S1~S4)을 포함한다. 제2 스위치 회로(SWC(3/4))는 제1 및 제2 스위치 클럭(SWCLK1, SWCLK2)에 응답하여 제2 래치(SC(3/4))로부터 입력된 제1 및 제2 펄스를 분리한다. 제1 펄스는 제3 픽셀(PXL3)에 공급된다. 제4 펄스는 제4 픽셀(PXL4)에 공급됨과 동시에 도시하지 않은 제3 래치의 스타트 단자에 공급된다.
- [0066] 제2 시프트 레지스터는 스타트 펄스(EVST)와 시프트 클럭(ECLK1~ECLK4)에 응답하여 EM 신호(EM(n/n+1))를 순차적으로 출력하는 인버터들(INV(1/2), INV(3/4)))과, 인버터들(INV(1/2) 사이에 배치되는 스위치 회로들(SWE(1/2), SWE(3/4))을 포함한다. 제2 시프트 레지스터에서 이웃한 인버터들 사이에 하나의 스위치 회로가 연결되도록 인버터들(INV(1/2), INV(3/4)))과 스위치 회로들(SWE(1/2), SWE(3/4))이 교대로 배치된다. 스위치 회로들(SWE(1/2), SWE(3/4)) 각각은 제1 및 제2 스위치 클럭(SWCLK1, SWCLK2)에 응답하여 하나의 인버터 출력을 입력 받아 그 출력 신호의 제1 및 제2 펄스들을 시분할한다.
- [0067] 제1 인버터(INV(1/2))는 스타트 펄스(EVST)와 시프트 클럭(ECLK1~ECLK4)을 입력 받아 시프트 클럭(ECLK1~ECLK4)의 반전 신호 형태로 오프 레벨의 제1 및 제2 펄스를 순차적으로 출력한다. 제1 인버터(INV(1/2))로부터 출력된 제1 및 제2 펄스는 제1 스위치 회로(SWE(1/2))에 공급된다.
- [0068] 제1 스위치 회로(SWE(1/2))는 제1 내지 제4 TFT들(S1~S4)을 포함한다. 제1 스위치 회로(SWC2(1/2))는 제1 및 제2 스위치 클럭(SWCLK1, SWCLK2)에 응답하여 제1 인버터(INV(1/2))로부터 입력된 제1 및 제2 펄스를 분리한다. 제1 펄스는 제1 EM 신호(EM1)로서 제1 픽셀(PXL1)에 공급된다. 제2 펄스는 제2 EM 신호(EM2)로서 제2 픽셀(PXL2)에 공급된다.
- [0069] 제2 인버터(INV(3/4))는 제2 스위치 회로(SWE(1/2))로부터 제2 펄스와 시프트 클럭(ECLK1~ECLK4)을 입력 받아 시프트 클럭(ECLK1~ECLK4)의 반전 신호 형태로 오프 레벨의 제1 및 제2 펄스를 순차적으로 출력한다. 제2 인버터(INV(3/4))로부터 출력된 제1 및 제2 펄스는 제2 스위치 회로(SWE(3/4))에 공급된다.
- [0070] 제2 스위치 회로(SWE(3/4))는 제1 내지 제4 TFT들(S1~S4)을 포함한다. 제2 스위치 회로(SWC(3/4))는 제1 및 제2 스위치 클럭(SWCLK1, SWCLK2)에 응답하여 제2 인버터(INV(3/4))로부터 입력된 제3 및 제4 펄스를 분리한다. 제1 펄스는 제3 EM 신호로서 제3 픽셀(PXL3)에 공급된다. 제2 펄스는 제4 EM 신호로서 제4 픽셀(PXL4)에 공급된다.

- [0071] 도 11은 본 발명의 제4 실시예에 따른 GIP 회로를 보여 주는 블록도이다.
- [0072] 도 11을 참조하면, GIP 회로(30)는 A 및 B 스캔 신호들과, 하나의 EM 신호를 발생하여 픽셀들(PXL1~PXL4) 각각에 공급할 수 있다.
- [0073] GIP 회로(30)는 온 레벨의 A 스캔 신호를 순차적으로 출력하는 제1 스캔 구동부(112)와, 제1 스캔 구동부(112)의 출력을 입력 받아 오프 레벨의 EM 신호를 출력하는 EM 구동부(116)와, 온 레벨의 B 스캔 신호를 순차적으로 출력하는 제2 스캔 구동부(114)를 포함한다. 제1 스캔 구동부(112)는 래치들(SC1(1/2), SC1(3/4))과 스위치 회로들(SWC1(1/2), SWC1(3/4))이 종속적으로 연결된 제1 시프트 레지스터를 포함한다. 제2 스캔 구동부(114)는 래치들(SC2(1/2), SC2(3/4))과 스위치 회로들(SWC2(1/2), SWC2(3/4))이 종속적으로 연결된 제2 시프트 레지스터를 포함한다.
- [0074] 제1 및 제2 시프트 레지스터들은 표시패널에서 픽셀 어레이(PXL1~PXL4)를 사이에 두고 분리되어 각각 좌측 베젤과 우측 베젤에 배치될 수 있다. 제1 및 제2 시프트 레지스터들의 배치는 도 11에 한정되지 않는다.
- [0075] 제1 시프트 레지스터는 스타트 펄스(G1VST)와 시프트 클럭(G1CLK1~G1CLK4)에 응답하여 A 스캔 신호를 순차적으로 출력하는 래치들(SC1(1/2), SC1(3/4))과, 래치들(SC1(1/2), SC1(3/4)) 사이에 배치되는 스위치 회로들(SWC1(1/2), SWC1(3/4))을 포함한다. 제1 시프트 레지스터에서 이웃한 래치들 사이에 하나의 스위치 회로가 연결되도록 래치들(SC1(1/2), SC1(3/4))과 스위치 회로들(SWC1(1/2), SWC1(3/4))이 교대로 배치된다. 스위치 회로들(SWC1(1/2), SWC1(3/4)) 각각은 제1 및 제2 스위치 클럭(SWCLK1, SWCLK2)에 응답하여 하나의 래치 출력을 입력 받아 그 출력 신호의 제1 및 제2 펄스들을 시분할한다.
- [0076] 제1 시프트 레지스터의 래치들(SC1(1/2), SC1(3/4)) 각각은 시프트 클럭(G1CLK1~G1CLK4)의 제1 및 제2 펄스에 응답하여 하나의 출력 단자를 통해 제1 및 제2 펄스를 연속으로 출력한다. 제1 래치(SC1(1/2))는 스타트 펄스(G1VST)를 래치하고 시프트 클럭(G1CLK1, G1CLK3, G1CLK4)의 제1 및 제2 펄스에 응답하여 제1 및 제2 펄스를 연속으로 출력한다. 제1 래치(SC1(1/2))의 출력 신호는 하나의 출력 단자를 통해 EM 구동부의 제1 인버터(INV(1/2))와 제1 스위치 회로(SWC1(1/2))에 공급된다.
- [0077] 제1 스위치 회로(SWC1(1/2))는 제1 내지 제4 TFT들(S1~S4)을 포함한다. 제1 스위치 회로(SWC1(1/2))는 제1 및 제2 스위치 클럭(SWCLK1, SWCLK2)에 응답하여 제1 래치(SC1(1/2))로부터 입력된 제1 및 제2 펄스를 분리한다. 제1 펄스는 제1 픽셀(PXL1)에 공급된다. 제2 펄스는 제2 픽셀(PXL2)에 공급됨과 동시에 제2 래치(SC1(3/4))의 스타트 단자에 공급된다.
- [0078] 제2 래치(SC1(3/4))는 제1 스위치 회로(SWC1(1/2))로부터 입력된 제2 펄스를 래치하고 시프트 클럭(G1CLK1, G1CLK2, G1CLK3)의 제1 및 제2 펄스에 응답하여 제1 및 제2 펄스를 연속으로 출력한다. 제2 래치(SC1(3/4))의 출력 신호는 하나의 출력 단자를 통해 EM 구동부의 제2 인버터(INV(3/4))와 제2 스위치 회로(SWC1(3/4))에 공급된다.
- [0079] 제2 스위치 회로(SWC1(3/4))는 제1 내지 제4 TFT들(S1~S4)을 포함한다. 제2 스위치 회로(SWC1(3/4))는 제1 및 제2 스위치 클럭(SWCLK1, SWCLK2)에 응답하여 제2 래치(SC1(3/4))로부터 입력된 제1 및 제2 펄스를 분리한다. 제1 펄스는 제3 픽셀(PXL3)에 공급된다. 제2 펄스는 제4 픽셀(PXL4)에 공급됨과 동시에 도시하지 않은 제3 래치의 스타트 단자에 공급된다.
- [0080] EM 구동부(116)는 종속적으로 연결된 인버터들(INV(1/2), INV(3/4))과 스위치 회로들(SWE(1/2), SWE(3/4))을 포함한다. 이웃한 인버터들(INV(1/2), INV(3/4)) 사이에 하나의 스위치 회로(SWE(1/2), SWE(3/4))가 배치된다.
- [0081] 제1 인버터(INV(1/2))는 제1 래치(SC1(1/2))로부터의 제1 및 제2 펄스를 반전시켜 래치하고 엔드 클럭(EndCLK)의 폴링 에지에서 출력을 토글하여 도 5와 같이 엔드 클럭(EndCLK)의 폴링 에지에서 분리된 제1 및 제2 EM 신호를 순차적으로 출력한다. 제1 인버터(INV(1/2))로부터 출력된 제1 및 제2 EM 신호는 제1 스위치 회로(SWE(1/2))에 공급된다.
- [0082] 제1 스위치 회로(SWE(1/2))는 제1 내지 제4 TFT들(S1~S4)을 포함한다. 제1 스위치 회로(SWE(1/2))는 제1 및 제2 스위치 클럭(SWCLK1, SWCLK2)에 응답하여 제1 인버터(INV(1/2))로부터 입력된 제1 및 제2 EM 신호를 분리한다. 제1 EM 신호는 제1 픽셀(PXL1)에 공급된다. 제2 EM 신호는 제2 픽셀(PXL2)에 공급된다.
- [0083] 제2 인버터(INV(3/4))는 제2 래치(SC1(3/4))로부터의 제1 및 제2 펄스를 반전시켜 래치하고 엔드 클럭(EndCLK)의 폴링 에지에서 출력을 토글하여 도 5와 같이 엔드 클럭(EndCLK)의 폴링 에지에서 분리된 제3 및 제4 EM 신호를 순차적으로 출력한다. 제2 인버터(INV(3/4))로부터 출력된 제3 및 제4 EM 신호는 제2 스위치 회로

(SWE(3/4))에 공급된다.

- [0084] 제2 스위치 회로(SWE(3/4))는 제1 내지 제4 TFT들(S1~S4)을 포함한다. 제2 스위치 회로(SWE(1/2))는 제1 및 제2 스위치 클럭(SWCLK1, SWCLK2)에 응답하여 제2 인버터(INV(3/4))로부터 입력된 제3 및 제4 EM 신호를 분리한다. 제3 EM 신호는 제3 픽셀(PXL3)에 공급된다. 제4 EM 신호는 제4 픽셀(PXL4)에 공급된다.
- [0085] 제2 시프트 레지스터는 스타트 펄스(G2VST)와 시프트 클럭(G2CLK1~G2CLK4)에 응답하여 B 스캔 신호를 순차적으로 출력하는 래치들(SC2(1/2), SC2(3/4))과, 래치들(SC2(1/2), SC2(3/4)) 사이에 배치되는 스위치 회로들(SWC2(1/2), SWC2(3/4))을 포함한다.
- [0086] 제2 시프트 레지스터의 래치들(SC2(1/2), SC2(3/4)) 각각은 시프트 클럭(G2CLK1~G2CLK4)의 제1 및 제2 펄스에 응답하여 하나의 출력 단자를 통해 제1 및 제2 펄스를 연속으로 출력한다. 제1 래치(SC2(1/2))는 스타트 펄스(G2VST)를 래치하고 시프트 클럭(G2CLK1, G2CLK3, G2CLK4)의 제1 및 제2 펄스에 응답하여 제1 및 제2 펄스를 연속으로 출력한다. 제1 래치(SC2(1/2))의 출력 신호는 하나의 출력 단자를 통해 제1 스위치 회로(SWC2(1/2))에 공급된다.
- [0087] 제1 스위치 회로(SWC2(1/2))는 제1 내지 제4 TFT들(S1~S4)을 포함한다. 제1 스위치 회로(SWC2(1/2))는 제1 및 제2 스위치 클럭(SWCLK1, SWCLK2)에 응답하여 제1 래치(SC2(1/2))로부터 입력된 제1 및 제2 펄스를 분리한다. 제1 펄스는 제1 픽셀(PXL1)에 공급된다. 제2 펄스는 제2 픽셀(PXL2)에 공급됨과 동시에 제2 래치(SC1(3/4))의 스타트 단자에 공급된다.
- [0088] 제2 래치(SC2(3/4))는 제1 스위치 회로(SWC2(1/2))로부터 입력된 제2 펄스를 래치하고 시프트 클럭(G1CLK1, G1CLK2, G1CLK3)의 제1 및 제2 펄스에 응답하여 제1 및 제2 펄스를 연속으로 출력한다. 제2 래치(SC2(3/4))의 출력 신호는 하나의 출력 단자를 통해 제2 스위치 회로(SWC2(3/4))에 공급된다.
- [0089] 제2 스위치 회로(SWC2(3/4))는 제1 내지 제4 TFT들(S1~S4)을 포함한다. 제2 스위치 회로(SWC2(3/4))는 제1 및 제2 스위치 클럭(SWCLK1, SWCLK2)에 응답하여 제2 래치(SC2(3/4))로부터 입력된 제1 및 제2 펄스를 분리한다. 제1 펄스는 제3 픽셀(PXL3)에 공급된다. 제4 펄스는 제4 픽셀(PXL4)에 공급됨과 동시에 도시하지 않은 제3 래치의 스타트 단자에 공급된다.
- [0090] 전술한 바와 같이, 본 발명은 GIP와 픽셀 어레이 사이에 배치된 스위치 회로를 이용하여 GIP 회로의 단위 채널에서 연속으로 출력되는 제1 및 제2 펄스를 분리한다. 따라서, 본 발명은 GIP 회로의 단위 채널의 출력 신호를 표시패널의 복수 라인들에 배치된 픽셀들로 시분할 분배함으로써 도 12 (B)와 같이 GIP 회로의 크기를 줄여 표시패널의 베젤(BZ)을 줄일 수 있다. 본 발명은 스위치 회로를 이용하여 종래(도 25 (A)) 대비 25% 이상 베젤 면적을 줄일 수 있다.
- [0091] 도 13은 본 발명의 유기 발광 표시장치를 보여 주는 블록도이다.
- [0092] 도 13을 참조하면, 본 발명의 실시예에 따른 유기 발광 표시장치는 표시패널(100)과 그 구동 회로를 포함한다. 표시패널 구동 회로는 데이터 구동부(102)와 GIP 회로(GIP1, GIP2)(104, 106)를 포함한다. GIP 회로(104, 106)는 표시패널(100)의 베젤(BZ)에 배치될 수 있다. 제1 및 제2 GIP 회로들(104, 104) 각각은 스캔 구동부와 EM 구동부 중 적어도 하나를 포함한다. 스캔 구동부와 EM 구동부 중 적어도 하나는 전술한 스위치 회로를 포함한다.
- [0093] 표시패널(100)은 입력 영상이 표시되는 픽셀 어레이(Pixel array, AA)와, 픽셀 어레이(AA) 밖의 베젤 영역(BZ)을 포함한다. 픽셀 어레이(AA)는 다수의 데이터 라인들(12), 다수의 스캔 라인들(14), 및 다수의 EM 라인들(16)을 포함한다. 스캔 라인들(14)과 EM 라인들(16)은 데이터 라인들(12)과 직교된다. 픽셀 어레이(AA)의 픽셀들(10)은 매트릭스 형태로 배치된다.
- [0094] 표시패널(100)은 VDD를 픽셀들(10)에 공급하는 VDD 라인, 기저 전압(VSS)을 공급하는 VSS 전극을 더 포함한다. 또한, 표시패널은 기준 전압(또는 초기화 전압)을 픽셀들에 공급하는 기전전압 라인을 더 포함할 수 있다.
- [0095] 픽셀들 각각은 컬러 구현을 위하여 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀로 나뉘어진다. 픽셀들은 백색 서브 픽셀을 더 포함할 수 있다. 서브 픽셀들은 도 14 내지 도 16과 같은 픽셀 회로로 구현될 수 있으나 이에 한정되지 않는다.
- [0096] 데이터 구동부(102)는 타이밍 컨트롤러(110)로부터 수신된 입력 영상의 데이터(DATA)를 타이밍 컨트롤러(110)의 제어 하에 감마 보상 전압으로 변환하여 데이터 신호를 발생하고, 그 데이터 신호를 데이터 라인들(12)로 출력

한다. 데이터 전압은 데이터 라인들(12)을 통해 픽셀들(10)에 공급된다.

- [0097] 제1 GIP 회로(104)를 스캔 구동부로 가정하고 제2 GIP 회로(106)를 EM 구동부로 가정한다. 스캔 구동부(104)는 타이밍 콘트롤러(110)의 제어 하에 데이터 신호에 동기되는 스캔 신호를 스캔 라인들(12)에 순차적으로 공급한다. EM 구동부(106)는 타이밍 콘트롤러(110)의 제어 하에 EM 신호를 EM 라인들(16)에 순차적으로 공급한다.
- [0098] 타이밍 콘트롤러(110)는 데이터 구동부(102), 스캔 구동부(104) 및 EM 구동부(106)의 동작 타이밍을 제어하여 그 구동부들(102, 104, 106)의 동작 타이밍을 동기시킨다. 타이밍 콘트롤러(110)는 도시하지 않은 호스트 시스템으로부터 입력 영상의 디지털 비디오 데이터와, 그와 동기되는 타이밍 신호를 수신한다. 타이밍 신호는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 메인 클럭 신호(CLK) 및 데이터 인에이블신호(DE) 등을 포함한다. 호스트 시스템은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system), 가상 현실(Virtual Reality. VR) 기기 중 어느 하나일 수 있다.
- [0099] 타이밍 콘트롤러(110)는 호스트 시스템으로부터 수신된 타이밍 신호를 바탕으로 데이터 구동부(102)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어 신호, 스캔 구동부(104)의 동작 타이밍을 제어하기 위한 스캔 타이밍 제어 신호, 그리고 EM 구동부(106)의 동작 타이밍을 제어하기 위한 EM 타이밍 제어신호를 발생한다. 도 5와 도 8는 스캔 타이밍 제어 신호와 EM 타이밍 제어신호의 일 예를 보여 준다. 스캔 타이밍 제어신호와 EM 타이밍 제어 신호 각각은 스타트 펄스(Start pulse), 시프트 클럭(Shift clock), 스위치 클럭(SWCLK1, SWCLK2) 등을 포함한다. 스타트 펄스는 스캔 구동부(104)와 EM 구동부(106)의 시프트 레지스터들 각각에서 첫 번째 출력이 발생되게 하는 스타트 타이밍을 정의한다. 시프트 레지스터는 스타트 펄스가 입력될 때 구동되기 시작하여 첫 번째 클럭 타이밍에 첫 번째 출력 신호를 발생한다. 시프트 클럭은 시프트 레지스터로부터 출력되는 출력 신호의 시프트 타이밍을 정의한다.
- [0100] 도 14a 및 도 14b는 본 발명의 일 실시예에 따른 픽셀 회로와 그 동작을 보여 주는 도면들이다.
- [0101] 도 14a 및 도 14b를 참조하면, 본 발명의 픽셀들 각각은 OLED, 구동 TFT(Thin Film Transistor)(DT), 제1 내지 제5 스위치 TFT(T001, T002, T03~T05), 스토리지 커패시터(Cst)를 포함한다. TFT들(TD, T001, T002, T03~T05)은 p 타입 MOSFET로 예시되었으나 이에 한정되지 않는다. 예를 들어, TFT들(TD, T001, T002, T03~T05)은 n 타입 MOSFET로 구현될 수도 있다. 이 경우, 도 14b에 도시된 스캔 신호(SCAN1, SCAN2)와 EM 신호의 위상이 반전된다. TFT들(TD, T001, T002, T03~T05)은 비정질 실리콘(a-Si) TFT, 폴리 실리콘 TFT, 산화물 반도체 TFT 중 어느 하나 또는 그 조합으로 구현될 수 있다.
- [0102] OLED의 애노드는 제4 스위치 TFT(T04)를 통해 구동 TFT(DT)에 연결된다. OLED의 캐소드는 VSS 전극에 연결되어 기저 전압(VSS)을 공급받는다. 기저 전압은 부극성의 저전위 직류 전압일 수 있다.
- [0103] 구동 TFT(DT)는 게이트-소스 간 전압에 따라 OLED에 흐르는 전류(Ioled)를 조절하는 구동 소자이다. 구동 TFT(DT)는 B 노드를 통해 제1 스위치 TFT(T001)로부터 데이터 전압이 공급되는 게이트, VDD 라인에 공급되어 VDD를 공급 받는 소스, 및 제4 스위치 TFT(T04)에 연결된 드레인을 포함한다. 스토리지 커패시터(Cst)는 A 노드와 B 노드 사이에 연결된다.
- [0104] 제1 스위치 TFT(T001)는 스캔 기간 동안 제1 스캔 라인(14)으로부터의 A 스캔 신호(SCAN1)에 응답하여 턴-온(turn-on)되어 데이터 신호를 구동 TFT(DT)의 게이트에 공급하고, 발광 구간(Te) 동안 오프 상태를 유지한다. 제1 스위치 TFT(T001)는 제1 스캔 라인(14)에 연결된 게이트, 데이터 라인(12)에 연결된 소스, 및 A 노드에 연결된 소스를 포함한다. 스캔 기간은 대략 1 수평 기간이다.
- [0105] 제2 스위치 TFT(T002)는 스캔 기간 동안 제2 스캔 라인으로부터의 B 스캔 신호(SCAN2)에 응답하여 턴-온되어 구동 TFT(DT)의 드레인(D)과 게이트(G)를 단락(short circuit)시켜 구동 TFT(DT)를 다이오드로 동작시킨다. 제2 스위치 TFT(T002)의 게이트(G)는 제2 스캔 라인(14)에 연결된 게이트, B 노드를 통해 구동 TFT(DT)의 게이트(G)에 연결된 소스 및 구동 TFT(DT)의 드레인(D)에 연결된 드레인을 포함한다. 제2 스위치(TFT(T002))는 1 프레임 기간에서 1 수평기간의 스캔 기간을 제외한 나머지 기간을 오프 상태로 유지하므로 누설 전류 문제가 있다. 이러한 누설 전류를 줄이기 위하여 제2 스위치 TFT(T002)는 두 개의 TFT들을 조합한 듀얼 게이트(dual gate)로 구현될 수 있다.
- [0106] 제3 스위치 TFT(T03)는 EM 신호(EM)의 온 레벨 전압에 따라 턴-온되어 기준 전압(Vref)으로 A 노드를 초기화한다. 기준 전압(Vref)은 VSS와의 전압차가 OLED의 문턱 전압 보다 낮은 전압 예를 들어, 대략 1V~2V 사이의 전압으로 설정될 수 있다. 제3 스위치 TFT(T03)는 EM 라인(16)에 연결된 게이트, 기준 전압(Vref)이 공급되는 소

스, 및 A 노드에 연결된 드레인을 포함한다.

- [0107] 제4 스위치 TFT(T04)는 EM 라인(16)으로부터의 EM 신호(EM)에 응답하여 OLED에 흐르는 전류를 스위칭하는 스위치 소자이다. 제4 스위치 TFT(M4)는 스캔 기간 동안 오프 레벨의 펄스로 발생하고 발광 구간(Te) 동안 온 레벨로 유지되는 EM 신호(EM)에 응답하여 온/오프되어 OLED의 전류 패스를 스위칭한다. 제4 스위치 TFT(T04)는 EM 라인(16)에 연결된 게이트, 구동 TFT(DT)에 연결된 소스, 및 OLED의 애노드에 연결된 드레인을 포함한다.
- [0108] 제5 스위치 TFT(T05)는 B 스캔 신호(SCAN2)의 온 레벨 펄스에 따라 턴-온되어 기준 전압(Vref)을 OLED의 애노드에 공급하여 OLED를 초기화한다. 제5 스위치 TFT(T05)는 제2 스캔 라인(14)에 연결된 게이트, 기준 전압(Vref)이 공급되는 소스, 및 OLED의 애노드에 연결된 드레인을 포함한다.
- [0109] 유기 발광 표시장치의 1 프레임 기간은 스캔 기간과, 스캐닝 기간 이후 픽셀이 발광하는 발광 구간(Te)으로 나뉘어진다. 스캔 기간은 대략 1 수평 기간에 불과하므로 1 프레임 기간의 대부분이 발광 구간이다. 본 발명은 스캔 기간 동안, 공지된 내부 보상 방법으로 OLED의 전류 편차를 보상하기 위하여 구동 TFT(Thin Film Transistor)의 문턱 전압을 샘플링하고, 그 문턱 전압 만큼 데이터 전압(DATA)을 보상할 수 있다. 이를 위하여, 스캔 기간은 도 14b와 같이 초기화 구간(Ti), 샘플링 & 프로그램(Sampling & Program) 구간(Ts), 홀드(hold) 구간(Th), 및 발광(Emission) 구간(Te)으로 나뉘어진다. 픽셀 회로는 내부 보상 방법으로 구동되어 스캔 기간 동안 픽셀들을 초기화하고 구동 TFT(DT)의 문턱 전압 샘플링, 그리고 데이터 전압에서 문턱 전압을 보상하여 OLED를 구동하고 발광 구간(Te) 동안 OLED를 발광시킨다.
- [0110] 픽셀 회로는 도 14a에 한정되지 않는다는 것에 주의하여야 한다. 픽셀 회로는 도 15a와 같이 변형되어 제1, 제2 및 제5 스위치 TFT들이 동일한 스캔 신호로 온/오프될 수 있다. 또한, 픽셀 회로는 내부 보상을 위하여 스위치 소자와 커패시터가 더 추가될 수 있고, 외부 보상을 위하여 센싱 경로가 더 추가될 수 있다. 센싱 경로는 하나 이상의 스위치 소자, 샘플 & 홀더(Sample & holder), ADC(Analog-Digital Converter) 등을 포함하여 픽셀의 구동 TFT 혹은 OLED의 문턱 전압을 센싱하고, 그 센싱값을 디지털 데이터로 변환하여 타이밍 콘트롤러(110)로 전송한다.
- [0111] 도 15a 및 도 15b는 본 발명의 다른 실시예에 따른 픽셀 회로와 그 동작을 보여 주는 도면들이다.
- [0112] 도 15a 및 도 15b를 참조하면, 본 발명의 픽셀들 각각은 OLED, 구동 TFT(DT), 제1 내지 제5 스위치 TFT(T01~T05), 스토리지 커패시터(Cst)를 포함한다. 이 픽셀 회로는 도 14a에 도시된 픽셀 회로 대비 제1, 제2 및 제5 스위치 TFT들(T01, T02, T05)이 동일한 스캔 신호로 구동된다는 점에서 차이가 있고 그 이외의 픽셀 구조나 구동 방법이 실질적으로 동일하다. 이 픽셀 회로의 구조에 대하여 제1, 제2 및 제5 스위치 TFT(T01, T02, T05)에 대하여 설명하고 다른 소자들에 대하여는 상세한 설명을 생략한다.
- [0113] 제1 스위치 TFT(T01)는 스캔 기간 동안 스캔 라인으로부터의 스캔 신호(SCAN)에 응답하여 턴-온(turn-on)되어 데이터 신호를 구동 TFT(DT)의 게이트에 공급하고, 발광 구간(Te) 동안 오프 상태를 유지한다. 제1 스위치 TFT(T001)는 스캔 라인(14)에 연결된 게이트, 데이터 라인(12)에 연결된 소스, 및 A 노드에 연결된 소스를 포함한다.
- [0114] 제2 스위치 TFT(T002)는 스캔 기간 동안 스캔 신호(SCAN)에 응답하여 턴-온되어 구동 TFT(DT)의 드레인(D)과 게이트(G)를 단락시켜 구동 TFT(DT)를 다이오드로 동작시킨다. 제2 스위치 TFT(T002)의 게이트(G)는 스캔 라인(14)에 연결된 게이트, B 노드를 통해 구동 TFT(DT)의 게이트(G)에 연결된 소스 및 구동 TFT(DT)의 드레인(D)에 연결된 드레인을 포함한다.
- [0115] 제5 스위치 TFT(T05)는 스캔 신호(SCAN)의 온 레벨 펄스에 따라 턴-온되어 기준 전압(Vref)을 OLED의 애노드에 공급하여 OLED를 초기화한다. 제5 스위치 TFT(T05)는 스캔 라인에 연결된 게이트, 기준 전압(Vref)이 공급되는 소스, 및 OLED의 애노드에 연결된 드레인을 포함한다.
- [0116] 유기 발광 표시장치의 1 프레임 기간은 스캔 기간과, 스캐닝 기간 이후 픽셀이 발광하는 발광 구간(Te)으로 나뉘어진다. 스캔 기간은 대략 1 수평 기간에 불과하므로 1 프레임 기간의 대부분이 발광 구간이다. 본 발명은 스캔 기간 동안, 공지된 내부 보상 방법으로 OLED의 전류 편차를 보상하기 위하여 구동 TFT(Thin Film Transistor)의 문턱 전압을 샘플링하고, 그 문턱 전압 만큼 데이터 전압(DATA)을 보상할 수 있다. 이를 위하여, 스캔 기간은 도 15b와 같이 초기화 구간(Ti), 샘플링 & 프로그램(Sampling & Program) 구간(Ts), 홀드(hold) 구간(Th), 및 발광(Emission) 구간(Te)으로 나뉘어진다. 픽셀 회로는 내부 보상 방법으로 구동되어 스캔 기간 동안 픽셀들을 초기화하고 구동 TFT(DT)의 문턱 전압 샘플링, 그리고 데이터 전압에서 문턱 전압을 보상하여 OLED를 구동하고 발광 구간(Te) 동안 OLED를 발광시킨다. 이에 대하여 도 16a 내지 도 16d를 결부하여

상세히 설명하기로 한다. 도 14a에 도시된 픽셀 회로는 필요한 스캔 신호의 개수에서 차이가 있으나 도 16a 내지 도 16d의 내부 보상 방법과 같은 방법으로 구동된다.

[0117] 도 16a 내지 도 16d는 도 15에 도시된 픽셀 회로의 내부 보상 방법을 단계적으로 보여 주는 도면들이다.

[0118] 도 15b 및 도 16a를 참조하면, 초기화 구간(Ti)에 스캔 신호(SCAN)는 온 레벨 펄스(-6V)로 발생되고 EM 신호는 온 레벨 전압(-6V)을 유지한다. 이 때 모든 스위치 TFT들(T01~T05)이 턴-온되어 A 노드, B 노드 및 OLED의 애노드가 Vref = 1.5V로 초기화된다. 구동 TFT(DT)에는 VDD=8.5V가 공급되고 초기화 구간(Ti)에 오프 상태를 유지한다. 구동 TFT(DT)의 소스 전압(Vs)은 VDD와 같다.

[0119] 도 15b 및 도 16b를 참조하면, 샘플링 & 프로그램 구간(Ts)에 스캔 신호(SCAN)는 온 레벨 펄스(-6V)를 유지하고, EM 신호는 오프 레벨(12V) 펄스로 반전된다. 따라서, 샘플링 & 프로그램 구간(Ts) 동안 제1, 제2 및 제5 스위치 TFT들(T01, T02, T05)은 온 상태를 유지하고, 제3 및 제4 스위치 TFT(T03, T04)는 턴-오프된다. 데이터 구동부(102)로부터 출력된 데이터 신호의 전압(이하, “데이터 전압”이라 함)이 샘플링 & 프로그램 구간(Ts) 동안 제1 스위치 TFT(T01)를 통해 A 노드에 공급된다. 샘플링 & 프로그램 구간(Ts) 동안, A 노드, B 노드의 전압은 표 1과 같이 변하고, 구동 TFT(DT)의 소스 전압(Vs)은 VDD와 같다. 제2 스위치 TFT(T02)는 턴-온되어 구동 TFT(DT)는 게이트(G)와 드레인(D)이 단락되어 다이오드로 동작한다. 구동 TFT(DT)의 게이트 전압(Vg)과 드레인 전압(Vd)은 B 노드 전압과 같다.

[0120] EM 신호의 오프 레벨 반전 후 구동 TFT(DT)의 드레인 전압(Vd)이 Vs(=VDD)로 인해 상승하지만 p 타입 MOSFET 동작조건 $V_{gs} < V_{th}$ 으로 인하여 $V_g = V_s + V_{th}$ 까지 상승한다. V_{th} 는 구동 TFT(DT)의 문턱 전압이다. $V_s = VDD$ 이기 때문에 결국 $V_g = VDD + V_{th}$ 이며 이 전압이 스토리지 커패시터(Cst)에 저장된다.

표 1

	Initial (Ti)	Sampling & program (Ts)	Hold(Th)	Emission (Te)
A	Vref	Vdata	Vdata	$\Delta V : V_{data} - V_{ref}$
B	Vref	$VDD + V_{th}$	$VDD + V_{th}$	$VDD + V_{th} + (V_{data} - V_{ref})$
Vs	VDD	VDD	VDD	VDD

[0122] 도 15b 및 도 16c를 참조하면, 홀드 구간(Th)에 스캔 신호(SCAN)는 오프 레벨 전압(12V)로 반전되고 EM 신호는 오프 레벨(12V)을 유지한다. 따라서, 홀드 구간(Th) 동안 모든 스위치 TFT들(T01~T05)이 오프 상태를 유지하여 A 노드, B 노드가 플로팅(floating)되어 전압을 유지한다.

[0123] 도 15b 및 도 16d를 참조하면, 발광 구간(Te)에 스캔 신호(SCAN)는 오프 레벨 전압(12V)을 유지하고, EM 신호는 온 레벨 전압(-6V)로 반전된다. 따라서, 발광 구간(Ti) 동안 제1, 제2 및 제5 스위치 TFT들(T01, T02, T05)이 오프 상태를 유지하는 반면, 제3 및 제4 스위치 TFT들(T03, T04)이 턴-온된다. 발광 기간 동안, A 노드 전압은 데이터 전압(Vdata)에서 기준 전압(Vref)으로 변한다. B 노드 전압 즉, 구동 TFT의 게이트 전압(Vg)은 $VDD + V_{th} + (V_{data} - V_{ref})$ 으로 변한다.

[0124] 발광 기간 동안 OLED의 전류(I_{OLED})는 수학식 1과 같다. 데이터 전압(Vdata)과 기준 전압(Vref) 간의 차에 따라 OLED의 전류(I_{OLED})가 결정된다.

수학식 1

$$I_{OLED} = K(V_{gs} - V_{th})^2 = K(VDD + V_{th} + (V_{data} - V_{ref}) - VDD - V_{th})^2 = K \times (V_{data} - V_{ref})^2$$

[0125]

[0126] 여기서, K는 구동 TFT(DT)의 이동도(μ), 기생 용량(C_{ox}), 채널비(W/L)로 정해지는 상수값이다. V_{gs} 는 구동 TFT(DT)의 게이트-소스 전압이다.

[0127] 도 17은 스캔 구동부의 시프트 레지스터 회로에서 하나의 래치를 보여 주는 회로도이다. 도 18a 내지 도 18i는 도 17에 도시된 래치의 동작을 보여 주는 도면들이다.

[0128] 도 17 내지 도 18i를 참조하면, 시프트 레지스터는 종속적으로 접속된 래치들(또는 stage)을 포함한다. 이 시프

트 레지스터는 스타트 펄스(VST)와 시프트 클럭(CLK1~CLK4)을 입력 받아 출력 신호(VOUT)를 발생하고, 그 출력 신호EM 신호(EM)를 시프트 클럭(CLK)의 타이밍에 맞추어 시프트한다. 설명의 편의상 시프트 클럭(CLK1~CLK4)과 출력 신호(VOUT)는 기존과 같은 단일 펄스로 발생하는 신호로 가정한다. 본 발명은 시프트 클럭(CLK1~CLK4)과 출력 신호(VOUT)를 전술한 바와 같이 제1 및 제2 펄스를 포함하는 신호로 발생한다.

- [0129] 스타트 펄스(VST)와 시프트 클럭(CLK1~CLK4)은 온 레벨의 펄스로 발생된다. 스타트 펄스(VST)는 제4 클럭(CLK4)과 동기된다. 시프트 클럭(CLK1~CLK4)은 클럭들 간의 위상이 순차적으로 시프트된다. 예컨대, 제2 클럭(CLK2)은 제1 클럭(CLK1)에 이어서 발생되고, 제3 클럭(CLK3)은 제2 클럭(CLK2)에 이어서 발생된다. 온 레벨은 $VDD=-6V$ 이고, 오프 레벨은 $VSS=12V$ 이다.
- [0130] 제1 TFT(T1)는 VST 단자를 통해 입력되는 스타트 펄스(VST) 또는 이전 단 래치의 출력(또는 carry 신호)에 응답하여 턴-온(turn-on)된다. 제2 TFT(T2)는 제1 클럭 단자를 통해 입력되는 클럭(CLK4)에 응답하여 턴-온된다. 제1 및 제2 TFT(T1, T2)이 동시에 턴-온될 때 $VDD=-6V$ 로 Q 노드(Q)가 충전된다. 제1 내지 제4 TBV TFT들(TBV1, TBV2, TBV3, TBV4)는 VDD가 입력되는 한 온 상태를 유지한다. 제1 TFT(T1)의 게이트는 VST 단자에 연결된다. 제1 TFT(T1)의 드레인은 VDD 단자에 연결되고, 제1 TFT(T1)의 소스는 제2 TFT(T2)의 드레인에 연결된다. 제2 TFT(T2)의 게이트는 제1 클럭 단자에 연결되고, 제2 TFT(T2)의 소스는 제2 TBV TFT(TBV2)의 드레인에 연결된다. TBV TFT들(TBV1, TBV2, TBV3, TBV4)의 게이트는 VDD 단자에 연결된다. 제1 TBV TFT(TBV1)의 드레인은 Q 노드에 연결되고, 제1 TBV TFT(TBV1)의 소스는 리셋 TFT(TQRST)의 드레인에 연결된다. 제2 TBV TFT(TBV2)의 소스는 Q 노드에 연결되고, 제2 TBV TFT(TBV2)의 드레인은 제2 TFT(T2)의 소스에 연결된다. 제3 TBV TFT(TBV3)의 드레인은 Q 노드에 연결되고, 제3 TBV TFT(TBV3)의 소스는 제3 TFT(T3)의 드레인에 연결된다. 제4 TBV TFT(TBV4)의 드레인은 Q 노드에 연결되고, 제4 TBV TFT(TBV4)의 소스는 제8 TFT(T8)의 게이트에 연결된다.
- [0131] 리셋 TFT(TQRST)은 리셋 신호(QRST)에 응답하여 Q 노드의 전압을 $VSS=12V$ 로 리셋한다. 리셋 TFT(TQRST)의 게이트는 리셋 단자에 연결된다. 리셋 TFT(TQRST)의 드레인은 제1 TBV TFT(TBV1)의 소스에 연결되고, 리셋 TFT(TQRST)의 소스는 VSS 단자에 연결된다.
- [0132] 제3 TFT(T3)는 QB 노드(QB)의 전압에 따라 온/오프된다. 제3 TFT(T3)의 게이트는 QB 노드(QB)에 연결된다. 제3 TFT(T3)의 드레인은 제3 TBV TFT(TBV3)의 소스에 연결되고, 제3 TFT(T3)의 소스는 VSS 단자에 연결된다. 제3 TFT(T3)는 듀얼 게이트 구조의 TFT로 구현될 수 있다.
- [0133] 제4 TFT(T4)는 제2 클럭 단자를 통해 입력되는 클럭(CLK3)에 응답하여 턴-온되어 Q 노드(Q)를 VDD 단자에 연결한다. 제4 TFT(T4)의 게이트는 제2 클럭 단자에 연결된다. 제4 TFT(T4)의 드레인은 Q 노드(Q)에 연결되고, 제4 TFT(T4)의 소스는 VDD 단자에 연결된다. 제4 TFT(T4)는 듀얼 게이트 구조의 TFT로 구현될 수 있다.
- [0134] 제5 TFT(T5)는 VST 단자를 통해 입력되는 스타트 펄스(VST)에 응답하여 턴-온되어 QB 노드(QB)를 VSS 단자에 연결한다. 제5 TFT(T5)의 게이트는 VST 단자에 연결된다. 제5 TFT(T5)의 드레인은 QB 노드(QB)에 연결되고, 제5 TFT(T5)의 소스는 VSS 단자에 연결된다. 제5 TFT(T5)는 듀얼 게이트 구조의 TFT로 구현될 수 있다.
- [0135] 제6 TFT(T6)는 Q 노드 전압이 프리 차징된 상태에서 제3 클럭 단자를 통해 클럭(CLK1)이 입력될 때 턴-온되어 출력 신호를 라이징시키는 풀-업(Pull-up)트랜지스터이다. 제6 TFT(T6)의 게이트는 Q 노드(Q)에 연결된다. 제6 TFT(T6)의 소스는 출력 단자에 연결되고, 제6 TFT(T6)의 드레인은 제3 클럭 단자에 연결된다.
- [0136] 제7 TFT(T7)는 QB 노드 전압에 따라 턴-온되어 출력 단자의 전압을 VSS 전위로 방전시키는 풀-다운(Pull-down)트랜지스터이다. 제7 TFT(T7)의 게이트는 QB 노드(QB)에 연결된다. 제7 TFT(T7)의 드레인은 출력 단자에 연결되고, 제7 TFT(T7)의 소스는 VSS 단자에 연결된다. 커패시터(CB)는 Q 노드(Q)와 출력 단자 사이에 연결된다.
- [0137] 제8 TFT(T8)는 Q 노드 전압에 따라 턴-온되어 QB 노드(QB)를 VSS 단자에 연결한다. 제8 TFT(T8)의 게이트는 제4 TBV4 TFT(TBV4)를 통해 Q 노드에 연결된다. 제8 TFT(T8)의 드레인은 QB 노드(QB)에 연결되고, 제8 TFT(T8)의 소스는 VSS 단자에 연결된다. 제8 TFT(T8)는 듀얼 게이트 구조의 TFT로 구현될 수 있다.
- [0138] 이하에서, 래치의 동작을 단계적으로 설명하기로 한다.
- [0139] 도 18a 및 도 18b를 참조하면, 제1 구간(①)에서 VST, CLK4는 온 레벨 펄스로 발생된다. 따라서, 제1 구간(①)에서 제1, 제2 및 제5 TFT(T1, T2, T5)는 턴-온된다. 제1 및 제2 TFT(T1, T2)가 턴-온된 결과, Q 노드(Q)가 VDD 단자에 연결되어 Q 노드(Q)에 VDD가 공급되어 이 전압($VDD=-6V$)가 커패시터(CB)에 충전된다.
- [0140] 도 18c 및 도 18d를 참조하면, 제2 구간(②) 동안 제6 및 제8 TFT(T6, T8)은 Q 노드 전압($-6V$)에 따라 턴-온된

다. 그 결과, CLK1의 온 레벨 전압 -6V가 출력 단자에 공급되어 출력 단자의 전압(VOUT)이 오프 레벨로 반전되고, QB 노드(QB)는 오프 레벨 전압 즉, VSS=12V로 충전된다.

- [0141] 도 18e 및 도 18f를 참조하면, 제3 구간(③) 동안 CLK1이 오프 레벨 전압으로 반전된다. 제3 구간(③) 동안, Q 노드와 제3 클럭 단자 사이의 커플링(Coupling)으로 인한 부트스트래핑(bootstrapping)으로 Q 노드(Q)의 전압이 상승한다. 이와 동시에 제6 TFT(T6)가 턴-온되어 출력 전압이 오프 레벨로 변한다.
- [0142] 도 18g 및 도 18h를 참조하면, 제4 구간(④) 동안 CLK3이 온 레벨 펄스로 발생되어 제4 TFT(T4)가 턴-온되고 이로 인하여, 제3 및 제7 TFT들(T3, T7)도 턴-온된다. 제4 구간(④) 동안, Q 노드(Q)의 전압이 VSS 전위로 상승하여 오프 레벨로 반전하고, 출력 단자의 전압(VOUT)이 VSS 레벨까지 상승하여 오프 레벨을 유지한다.
- [0143] 도 19는 EM 구동부의 인버터 회로의 일 예를 보여 주는 도면이다. 도 20a 내지 도 20d는 도 19에 도시된 인버터의 동작을 보여 주는 도면들이다.
- [0144] 도 19를 참조하면, 인버터는 다수의 TFT들(T11~T16)과 커패시터(ECB)를 포함한다.
- [0145] 제15 TFT(T15)는 클럭 단자를 통해 입력되는 EndCLK 에 응답하여 턴-온되어 Q 노드(Q)를 VDD 단자에 연결한다. 제15 TFT(T15)의 게이트는 클럭 단자에 연결된다. 제15 TFT(T15)의 드레인도 VDD 단자에 연결되고, 제15 TFT(T15)의 소스는 Q 노드(Q)에 연결된다.
- [0146] 제16 TFT(T16)는 입력 단자에 연결된 QB 노드(QB)의 전압에 따라 Q 노드(Q)를 VSS 단자에 연결한다. QB 노드(QB)는 입력 단자를 통해 입력 신호(SRO)를 수신한다. 제16 TFT(T16)의 게이트는 QB 노드(QB)에 연결된다. 제16 TFT(T16)의 드레인도 Q 노드(Q)에 연결되고, 제16 TFT(T16)의 소스는 VSS 단자에 연결된다. 제16 TFT(T16)는 듀얼 게이트 구조의 TFT로 구현될 수 있다.
- [0147] 제14 TFT(T14)는 출력 단자의 전압에 따라 턴-온되어 Q 노드(Q)를 VDD 단자에 연결한다. 제14 TFT(T14)의 게이트는 출력 단자에 연결된다. 제14 TFT(T14)의 드레인도 VDD 단자에 연결되고, 제14 TFT(T14)의 소스는 Q 노드(Q)에 연결된다.
- [0148] 제13 TFT(T13)는 출력 단자의 전압에 따라 턴-온되어 제12a TFT(T12a)의 소스와 제12b TFT(T12b)의 드레인 사이의 노드를 VDD 단자에 연결한다. 제13 TFT(T13)의 게이트는 출력 단자에 연결된다. 제13 TFT(T13)의 드레인도 VDD 단자에 연결되고, 제13 TFT(T13)의 소스는 제12a TFT(T12a)의 소스와 제12b TFT(T12b)의 드레인 사이의 노드에 연결된다.
- [0149] 제12a 및 제12b TFT(T12a, T12b)는 QB 노드 전압에 따라 턴-온되어 출력 단자의 전압을 VSS 전위로 방전시키는 듀얼 게이트 구조의 풀-다운 트랜지스터이다. 제12a 및 제12b TFT(T12a, T12b)의 게이트는 QB 노드(QB)에 연결된다. 제12a TFT(T12a)의 드레인도 출력 단자에 연결되고, 제12a TFT(T12a)의 소스는 제12b TFT(T12b)의 드레인과 제13 TFT(T13)의 소스에 연결된다. 제12b TFT(T12b)의 드레인도 제12a TFT(T12a)의 소스에 연결되고, 제12a TFT(T12a)의 소스는 VSS 단자에 연결된다.
- [0150] 제11 TFT(T11)는 Q 노드 전압에 따라 턴-온되어 출력 단자를 VDD 단자에 연결하는 풀-업 트랜지스터이다. 제11 TFT(T11)의 게이트는 Q 노드(Q)에 연결된다. 제11 TFT(T11)의 소스는 출력 단자에 연결되고, 제11 TFT(T11)의 드레인도 VDD 단자에 연결된다.
- [0151] 이하에서, 인버터의 동작을 도 20a 내지 도 20d를 결부하여 설명한다.
- [0152] 도 20a 및 도 20b를 참조하면, 제1 구간(①)에서 입력 신호(SRO)가 온 레벨 전압(-6V)으로 반전된다. 따라서, 제16, 제12a 및 제12b TFT들(T16, T12a, T12b)이 턴-온된다. 제16 TFT(T16)가 턴-온되기 때문에 Q 노드(Q)의 전압이 VSS=6V로 상승한다. 따라서, Q 노드에 연결된 제11, 제13, 제14 및 제15 TFT들(T11, T13, T14, T15)은 제1 구간(①) 동안 오프 상태이다.
- [0153] 도 20c 및 도 20d를 참조하면, 제2 구간(②)에서 입력 신호(SRO)가 오프 레벨(12V)로 반전된다. 따라서, 제2 구간(②) 동안 QB 노드(QB)에 연결된 제16, 제12a 및 제12b TFT들(T16, T12a, T12b)이 턴-오프된다.
- [0154] 제2 구간(②)에 EndCLK은 온 레벨 펄스로 발생된다. EndCLK으로 인하여 제15 TFT(T15)가 턴-온되기 때문에 Q 노드(Q)의 전압이 VDD=-6V로 변하고, 그 결과 Q 노드에 연결된 제11, 제13, 제14 및 제15 TFT들(T11, T13, T14, T15)가 턴-온된다. 제11 TFT(T11)를 통해 VDD 단자와 출력 단자가 연결되기 때문에, 제2 구간(②)에 출력 단자의 전압(VOUT)이 VDD=-6V로 반전된다.

[0155] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

[0156] 30 : 게이트 구동 회로(GIP 회로) 스캔 구동부 : 62, 64, 92, 112, 114

EP 구동부 : 66, 96, 116 100 : 표시패널

110 : 타이밍 컨트롤러 102 : 데이터 구동부

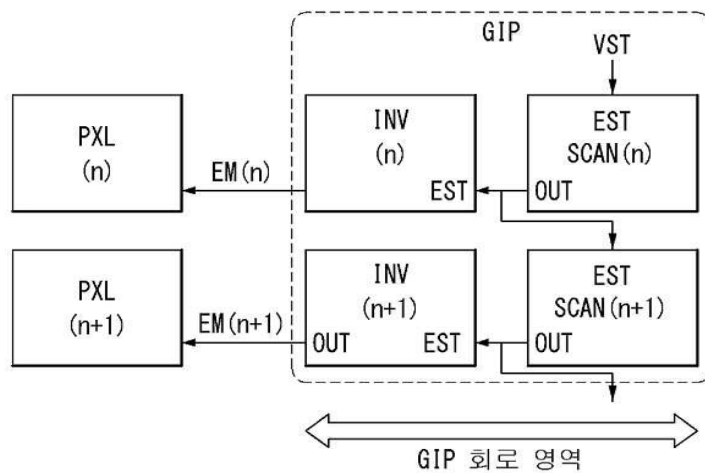
104, 106 : GIP 회로(게이트 구동회로) PXL : 픽셀

INV : EM 구동부의 인버터 SW, SWC, SWE : 스위치 회로

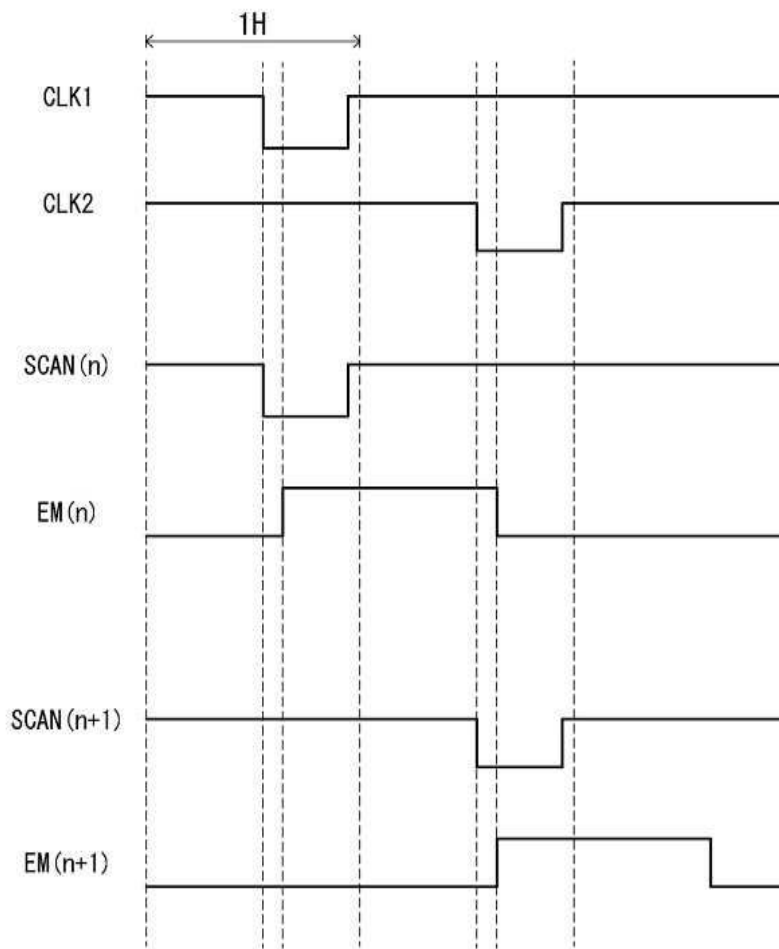
SC, SC1, SC2 : 시프트 레지스터의 래치

도면

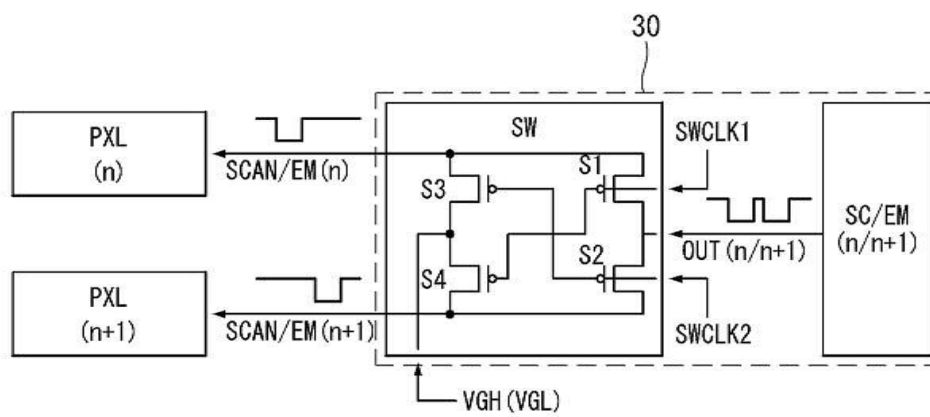
도면1



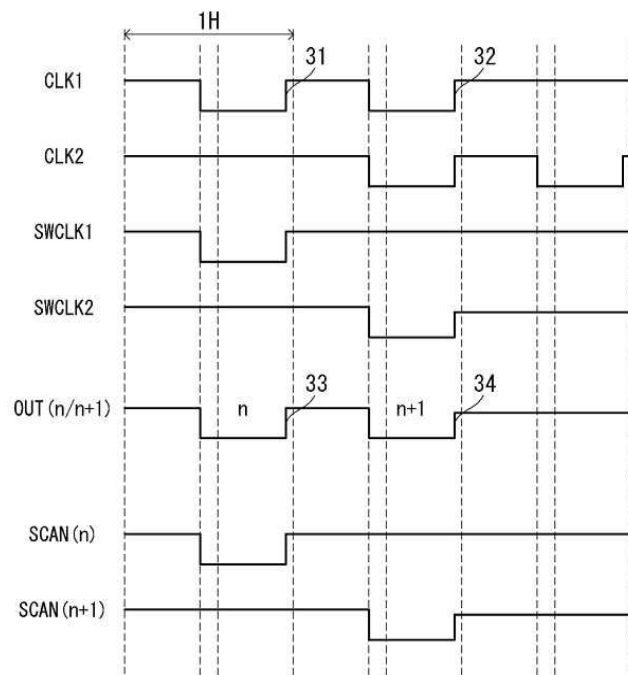
도면2



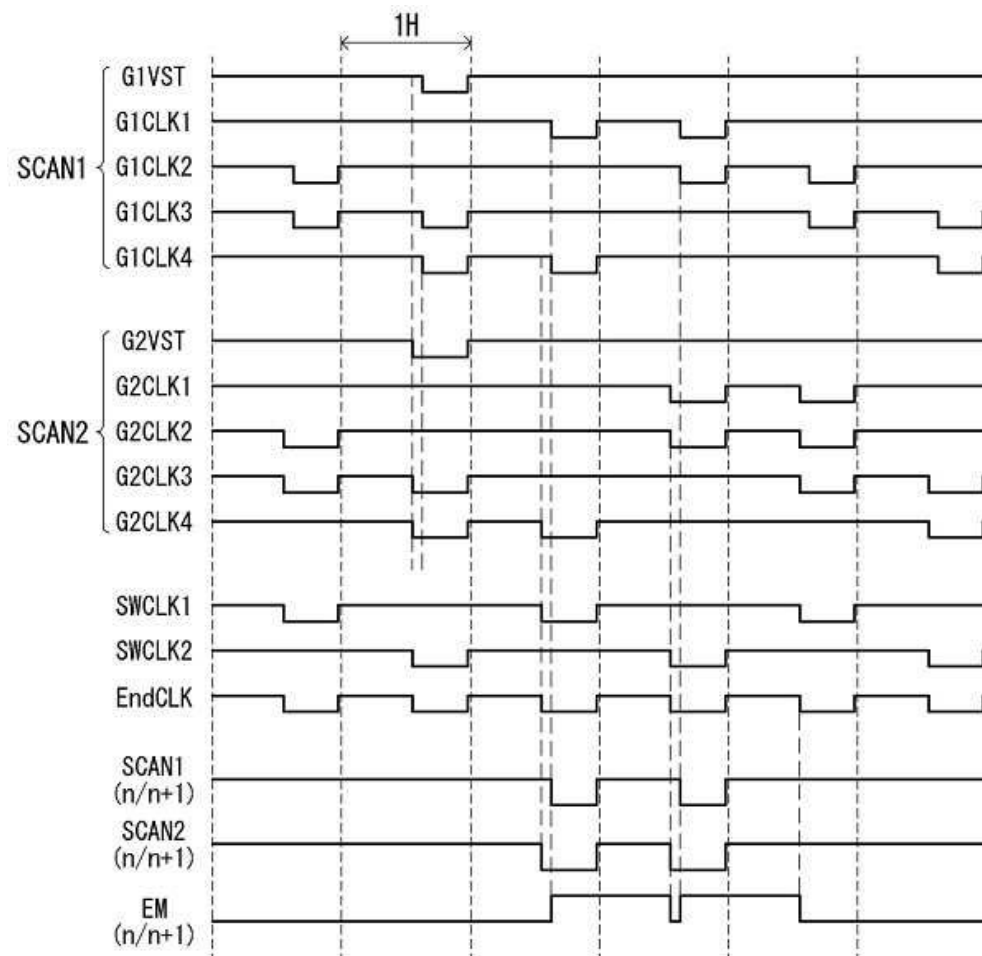
도면3



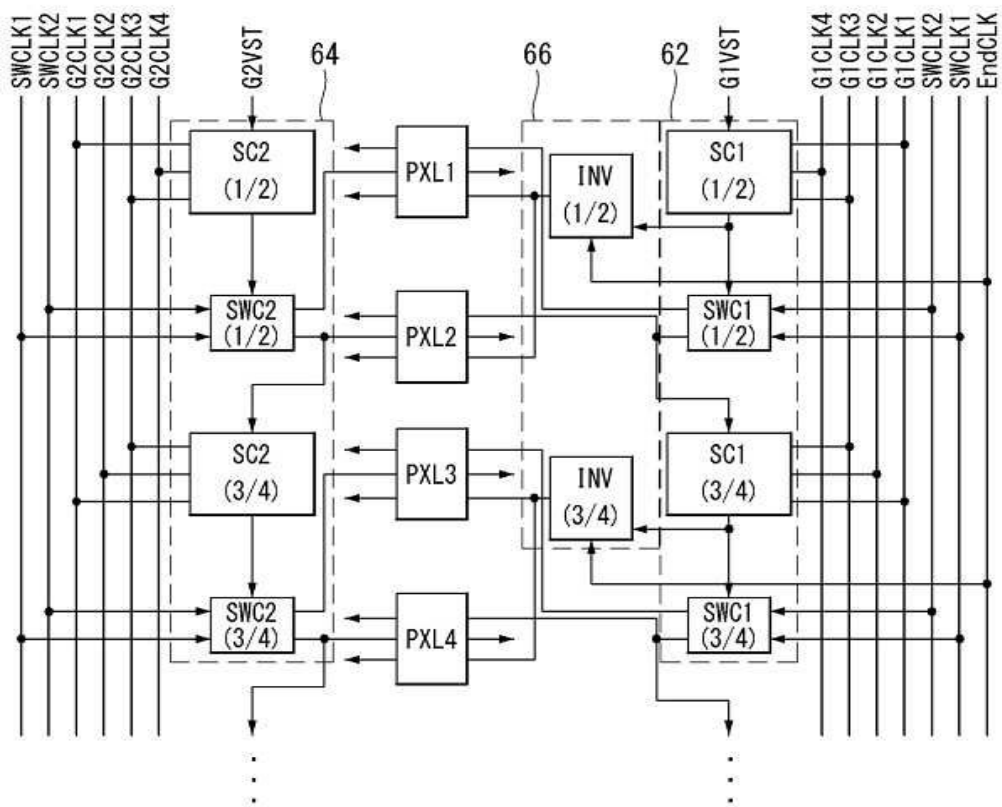
도면4



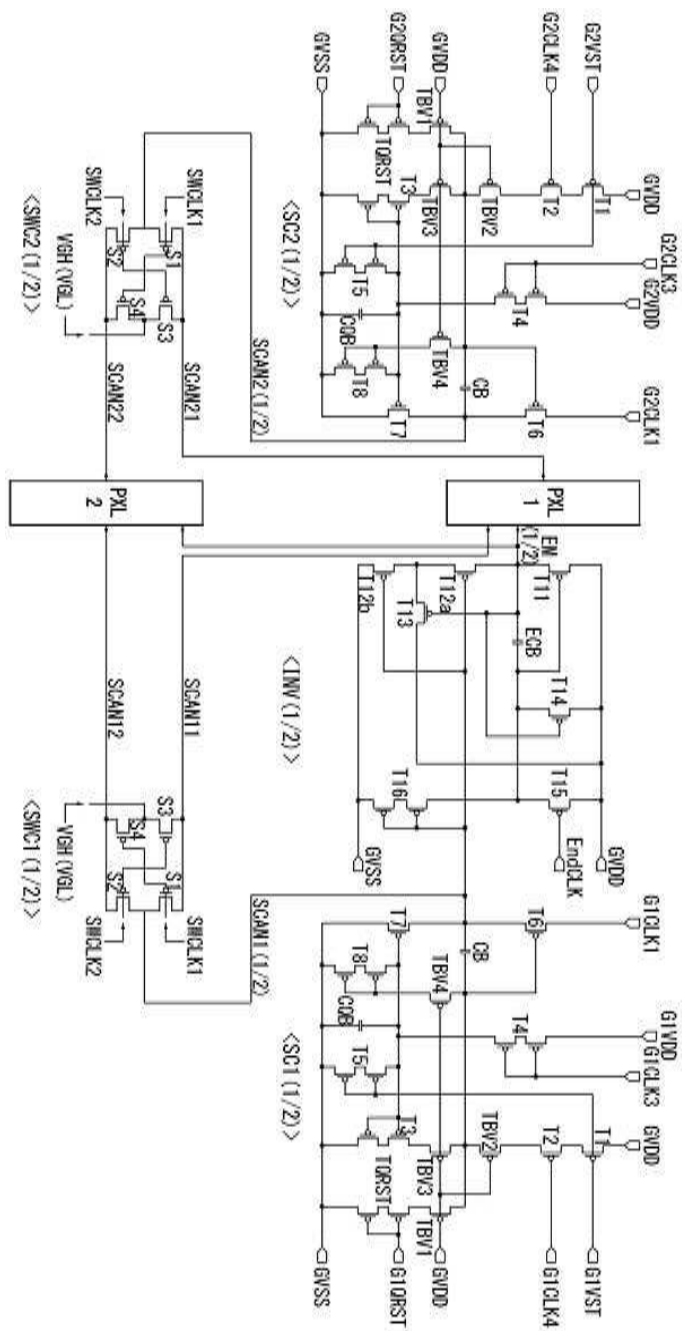
도면5



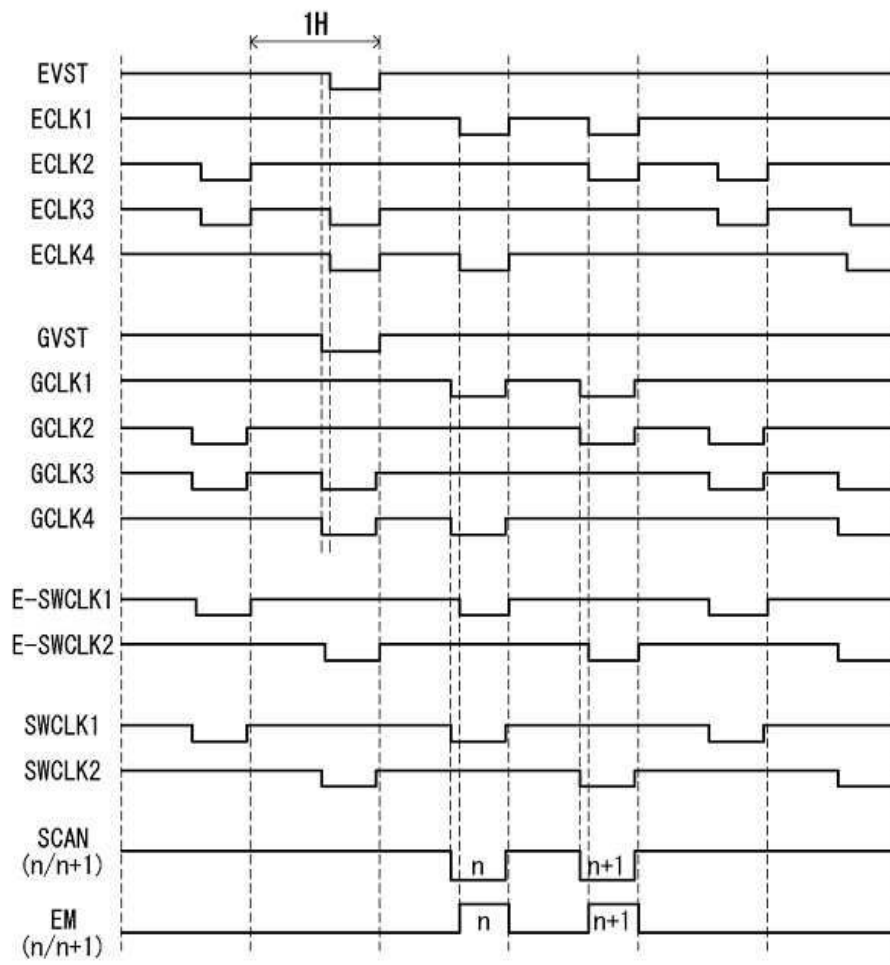
도면6



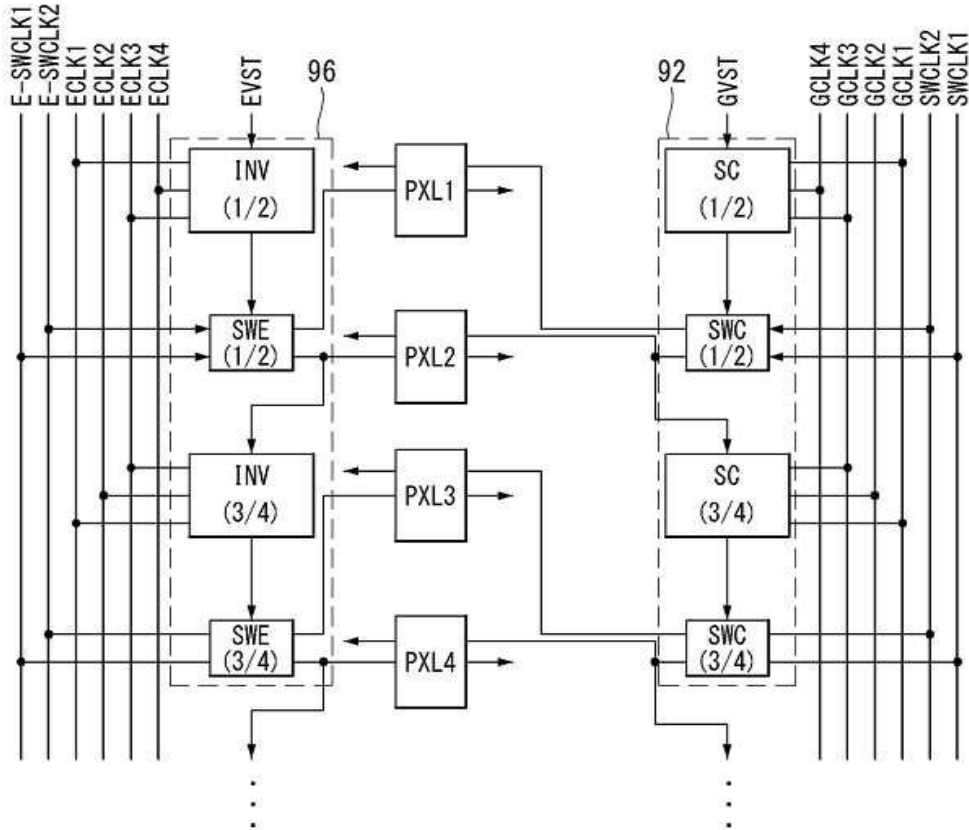
도면7



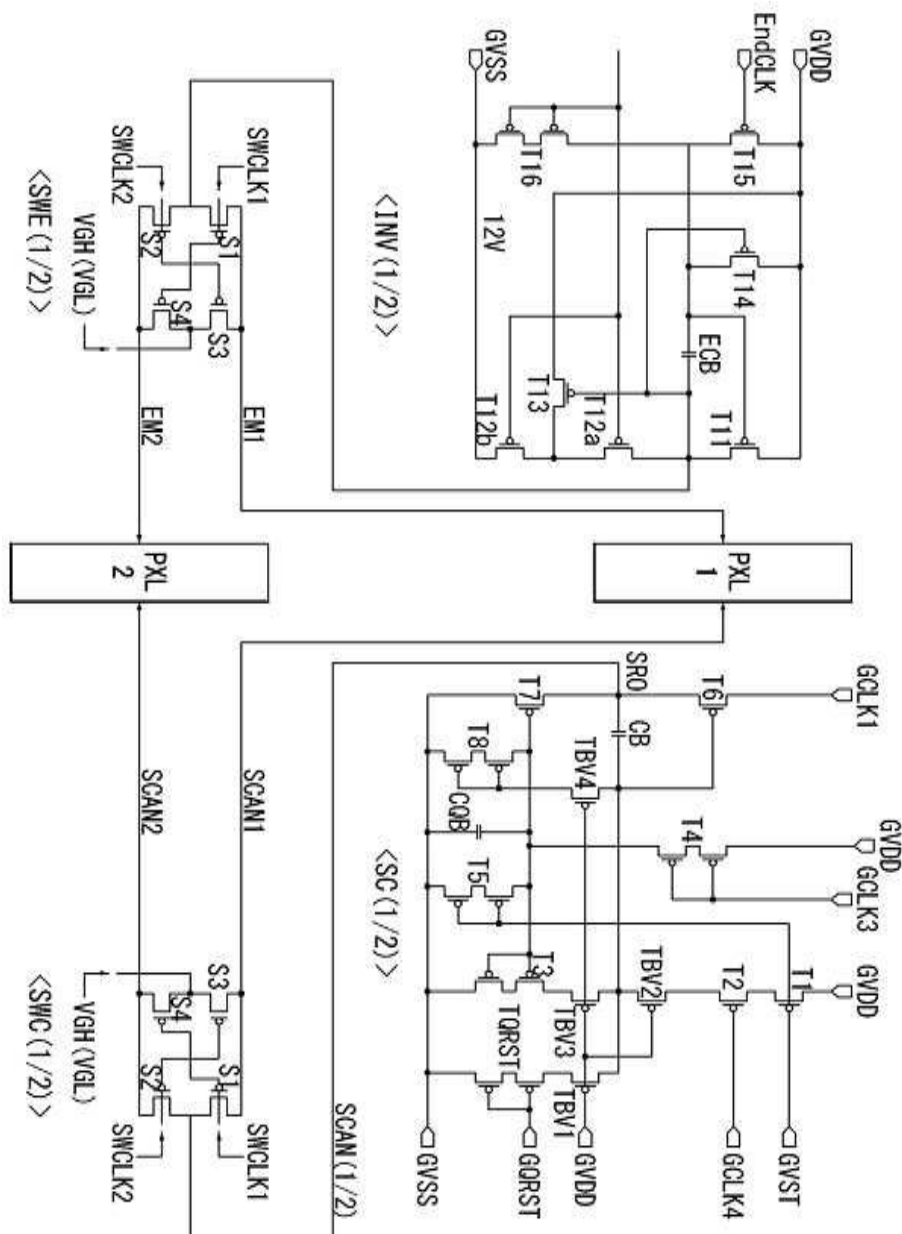
도면8



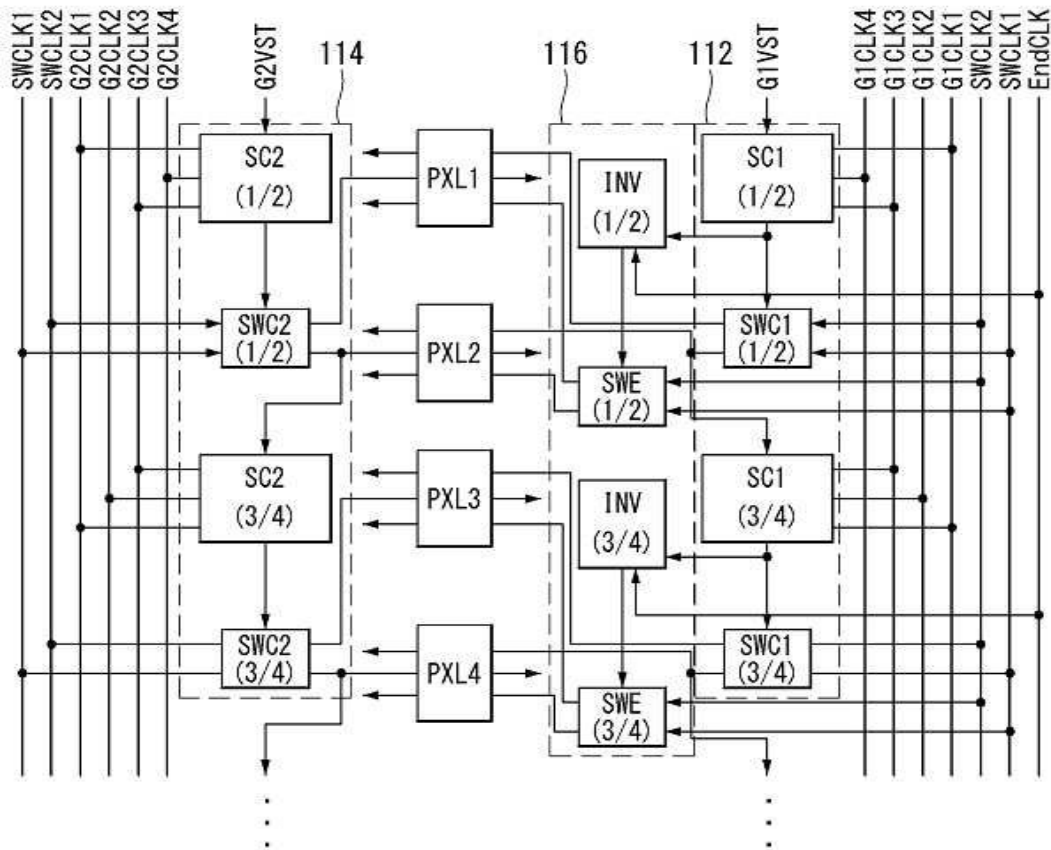
도면9



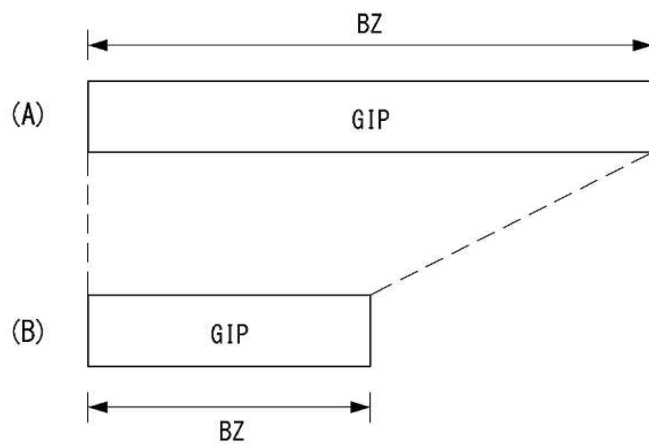
도면10



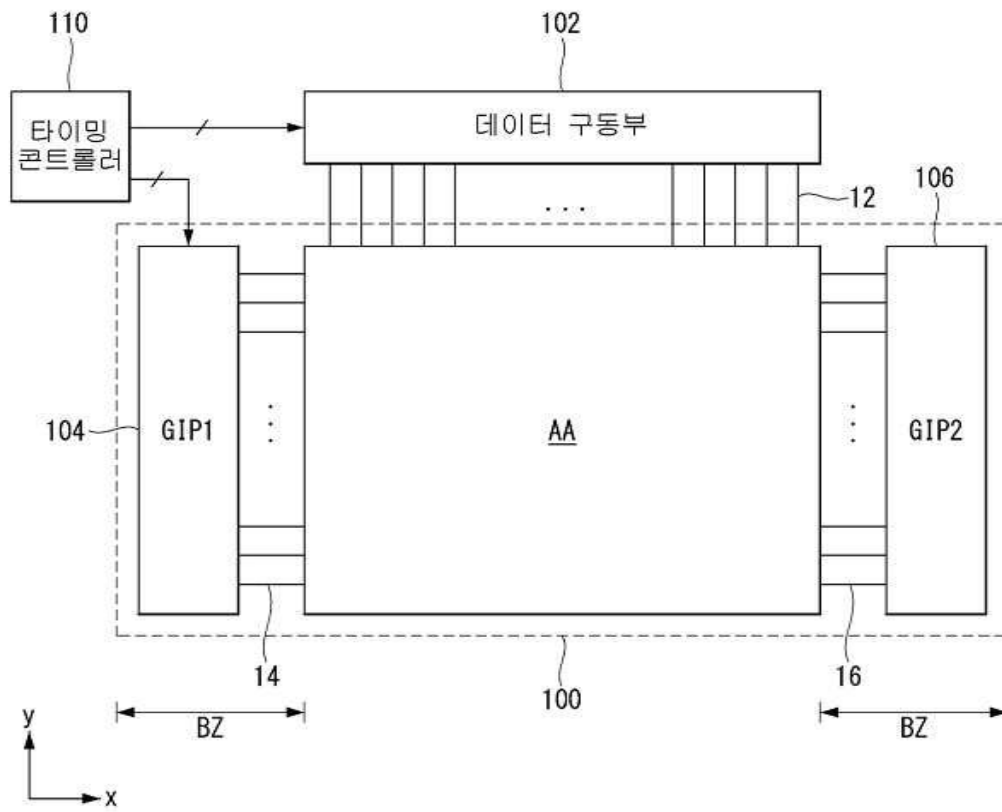
도면11



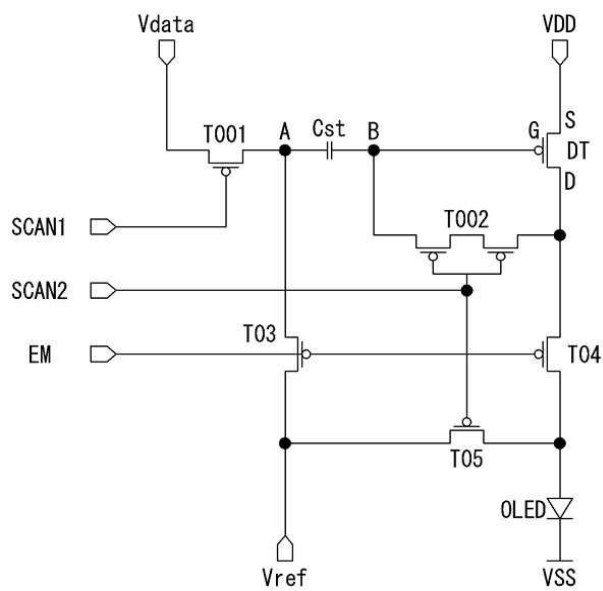
도면12



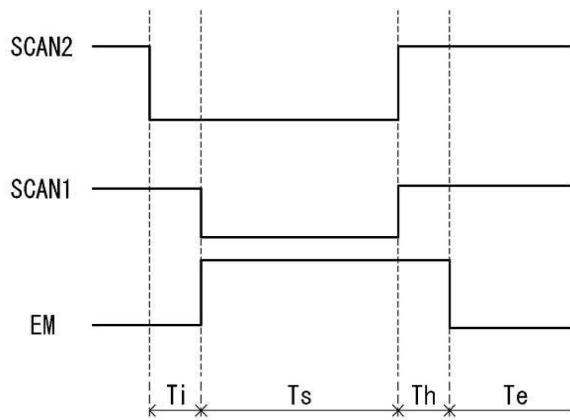
도면13



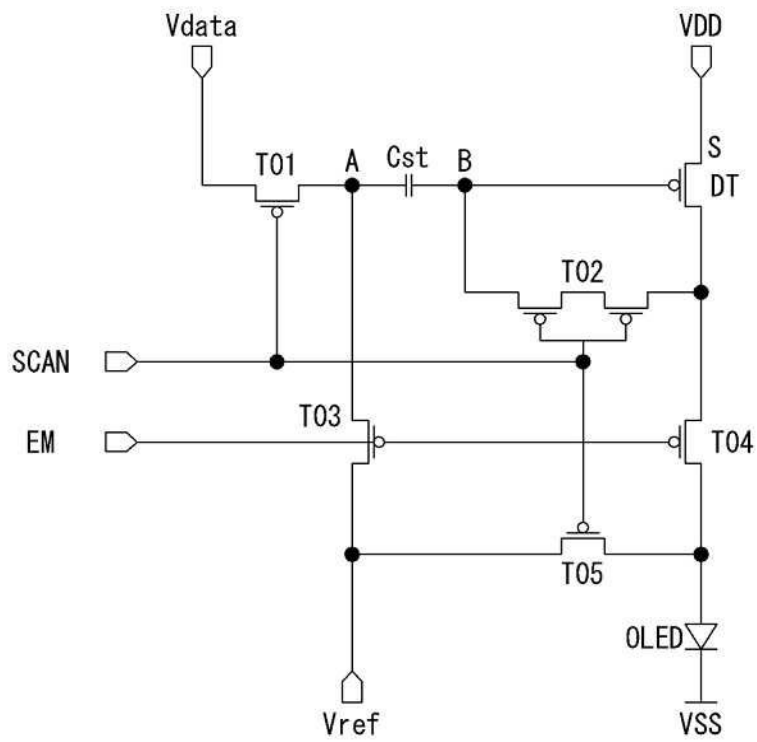
도면14a



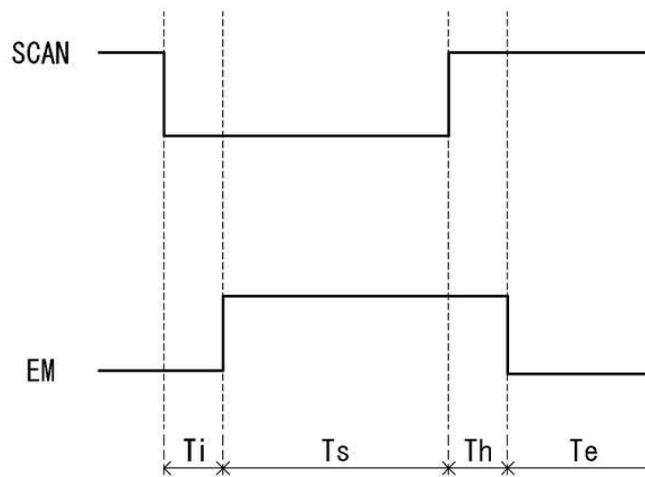
도면14b



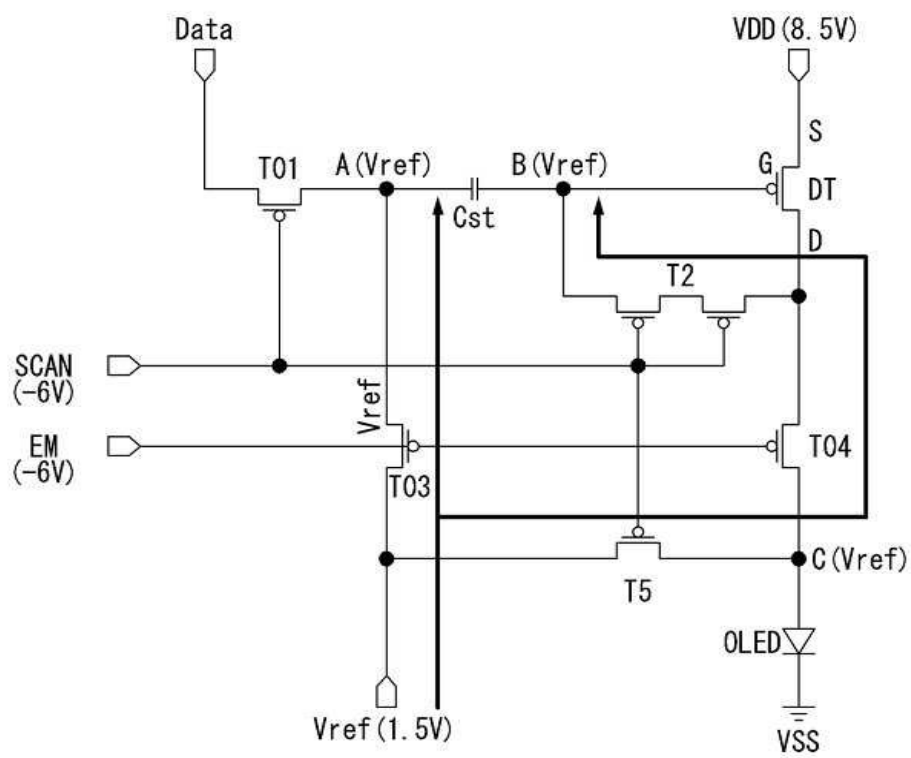
도면15a



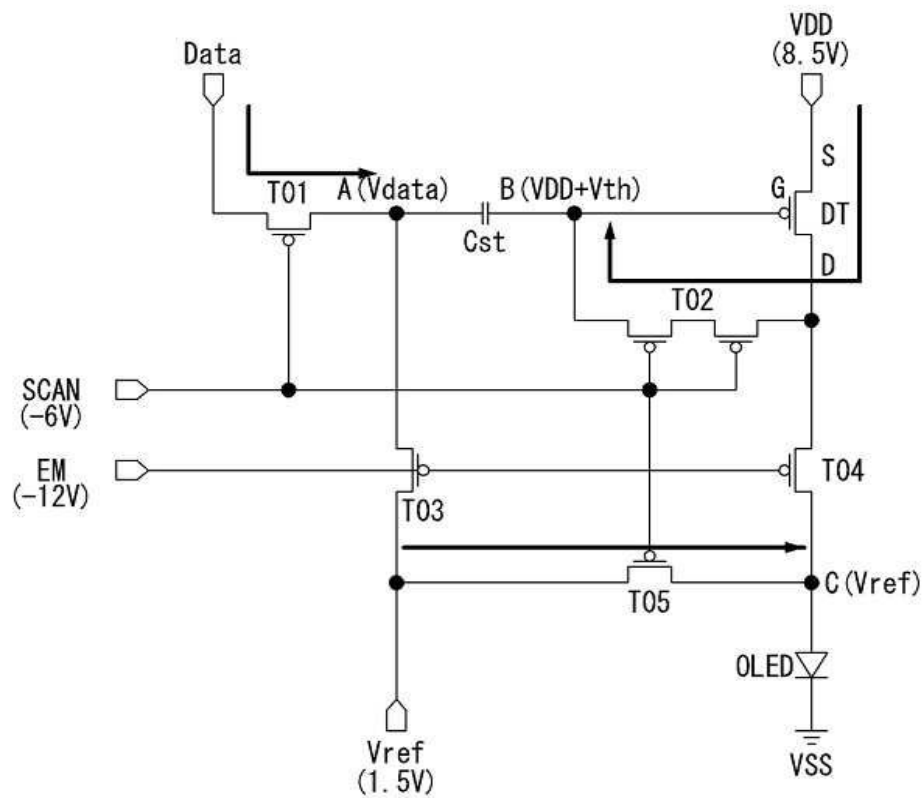
도면15b



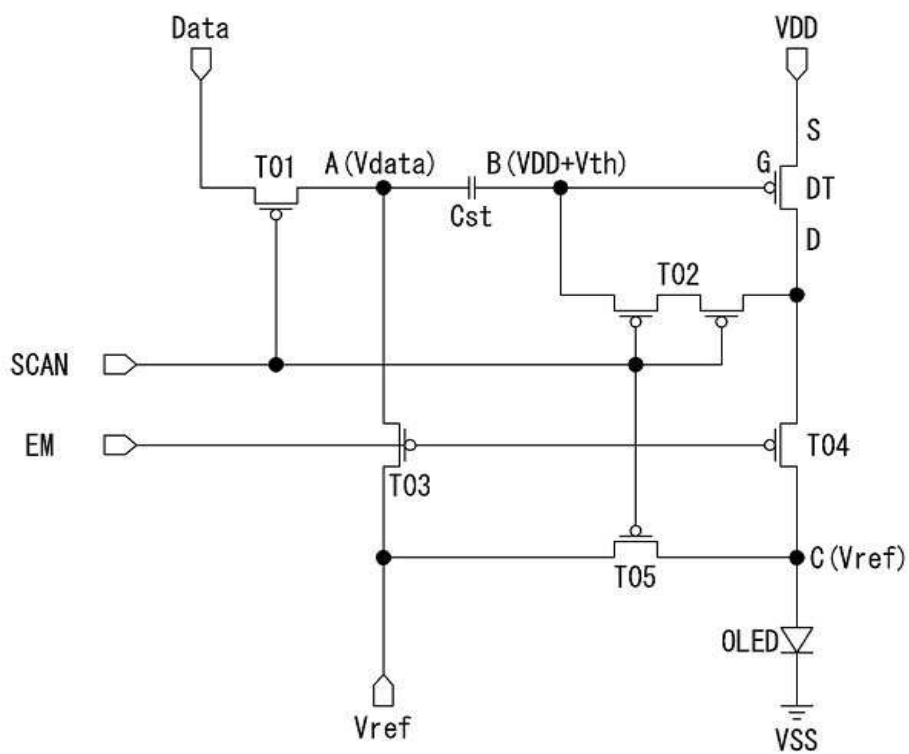
도면16a



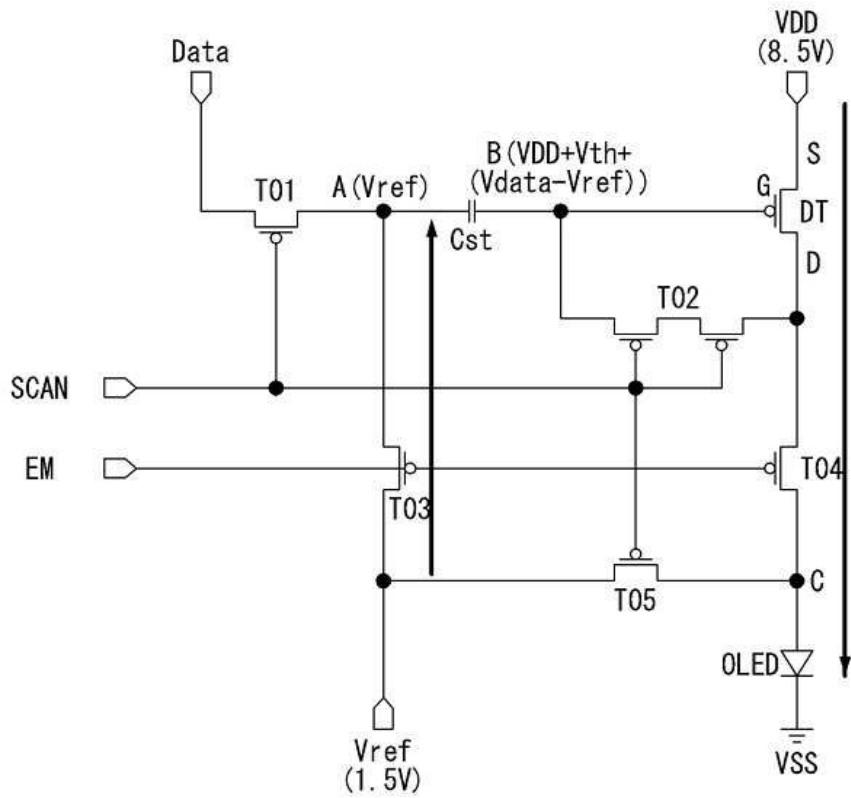
도면16b



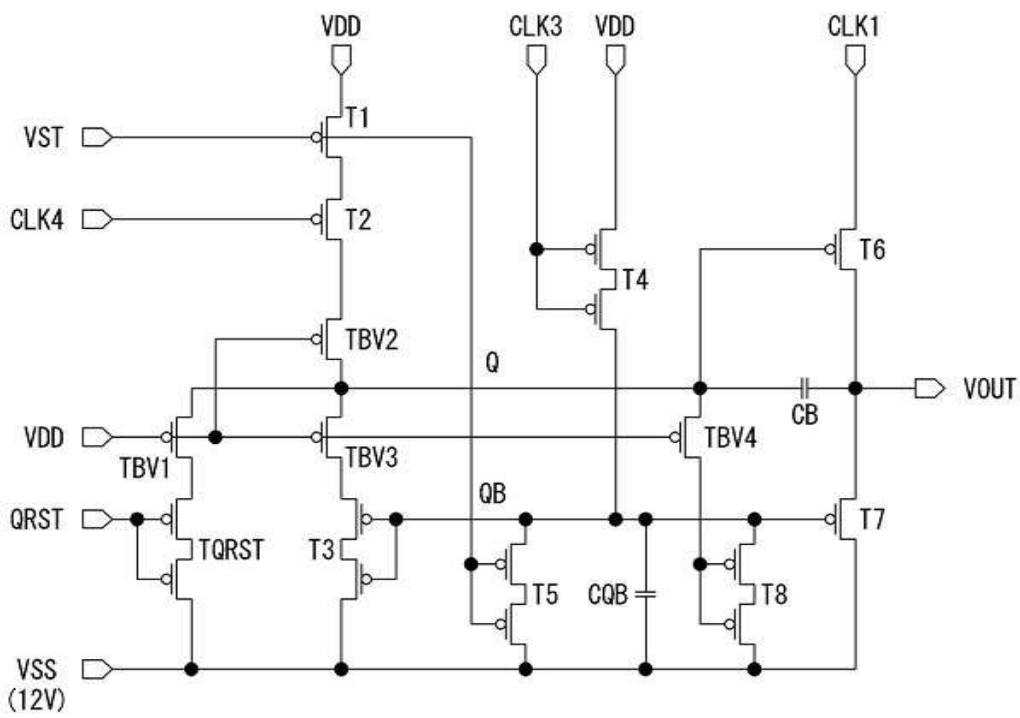
도면16c



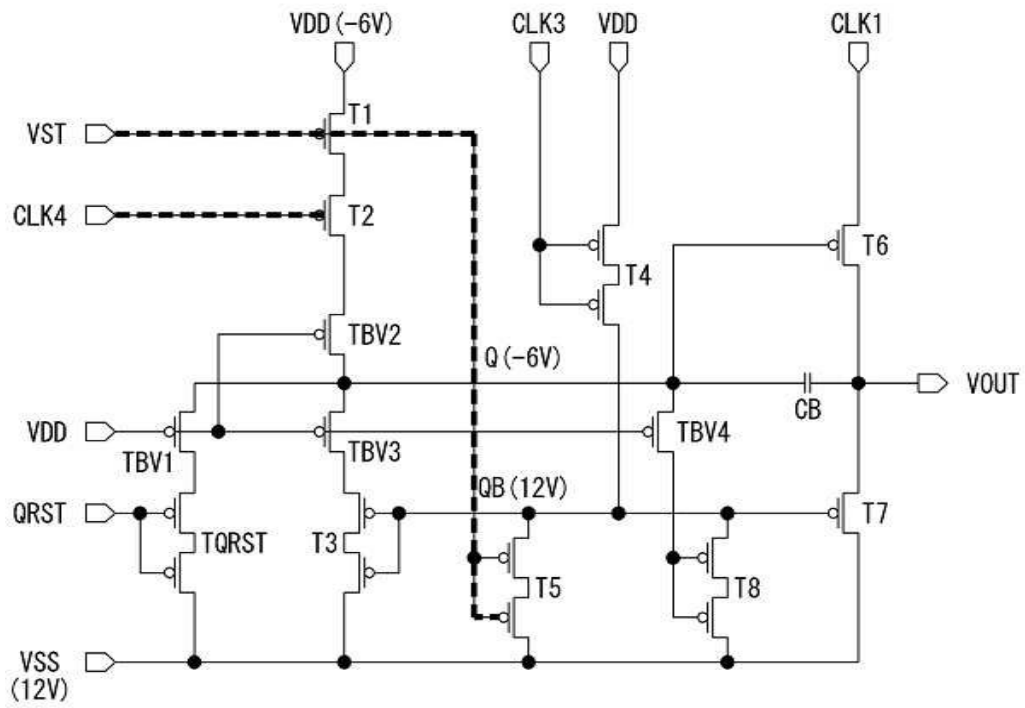
도면16d



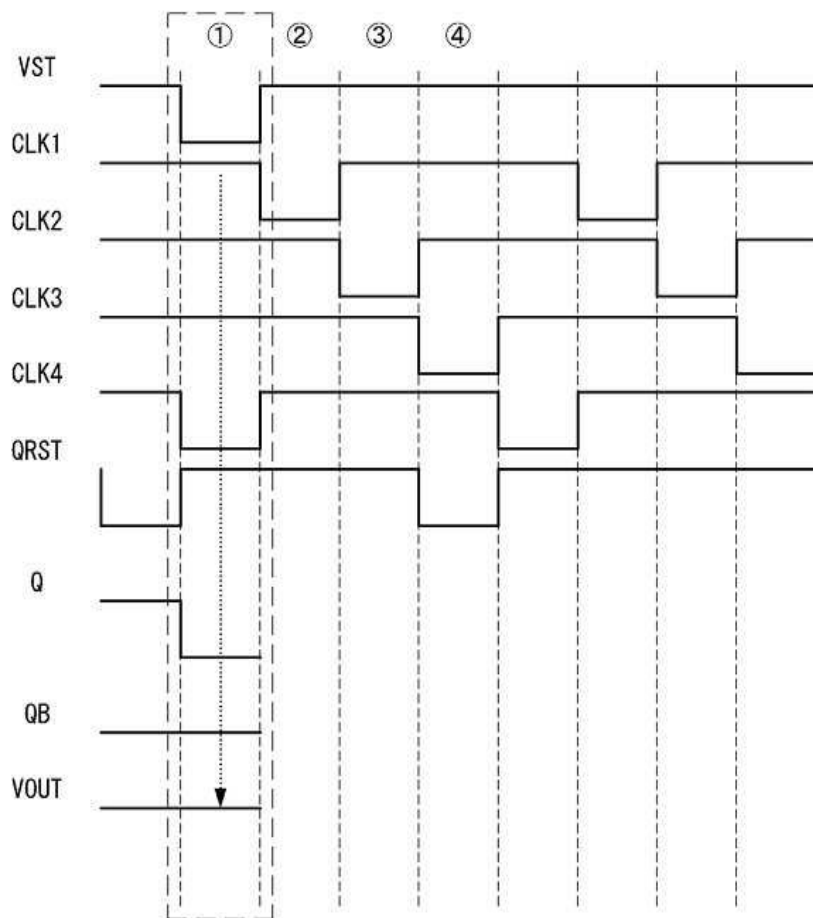
도면17



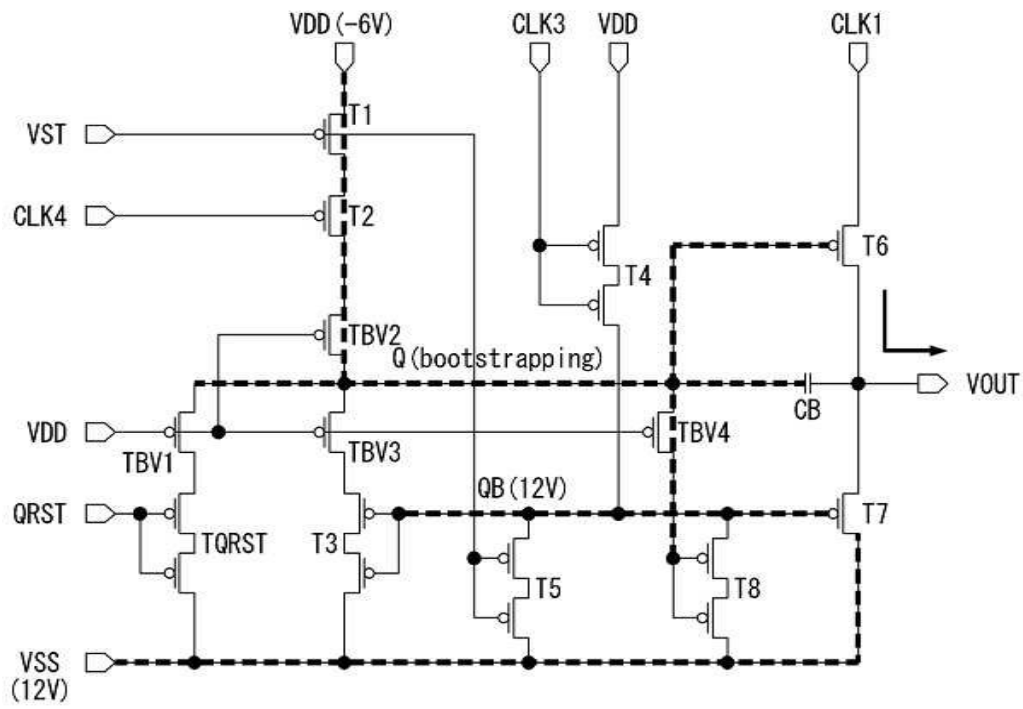
도면18a



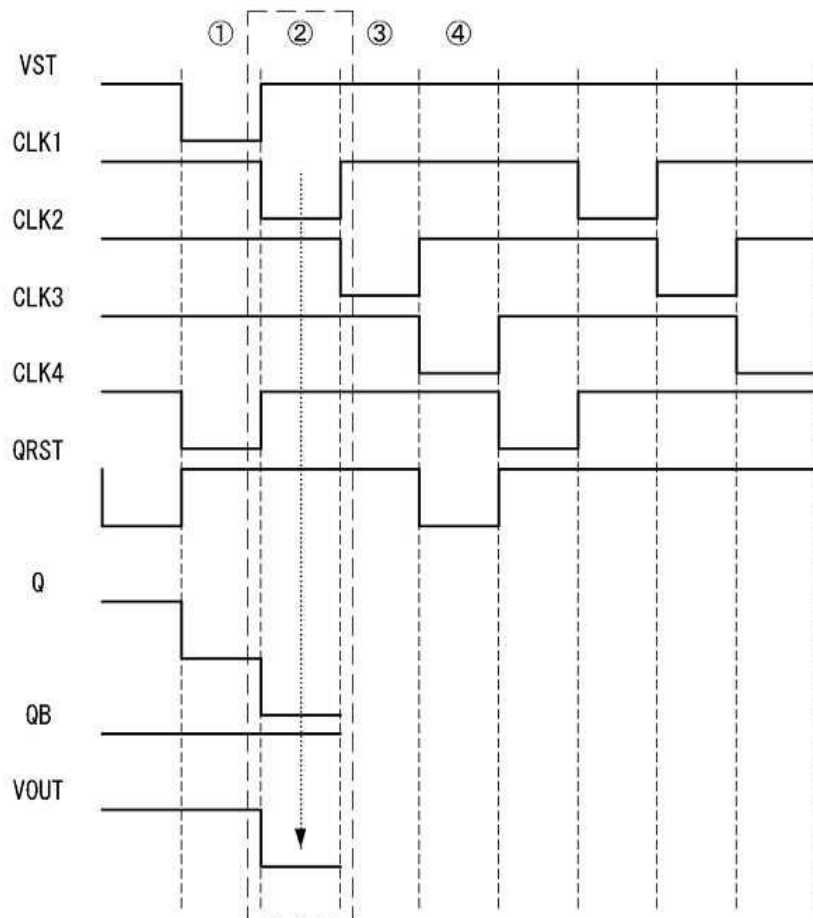
도면18b



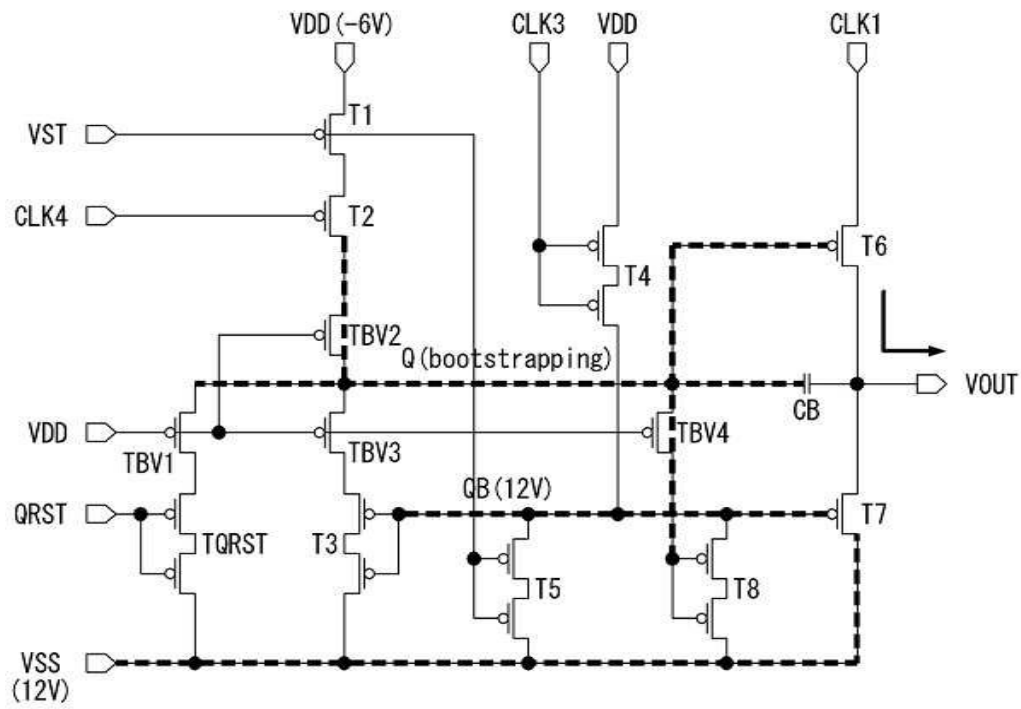
도면18c



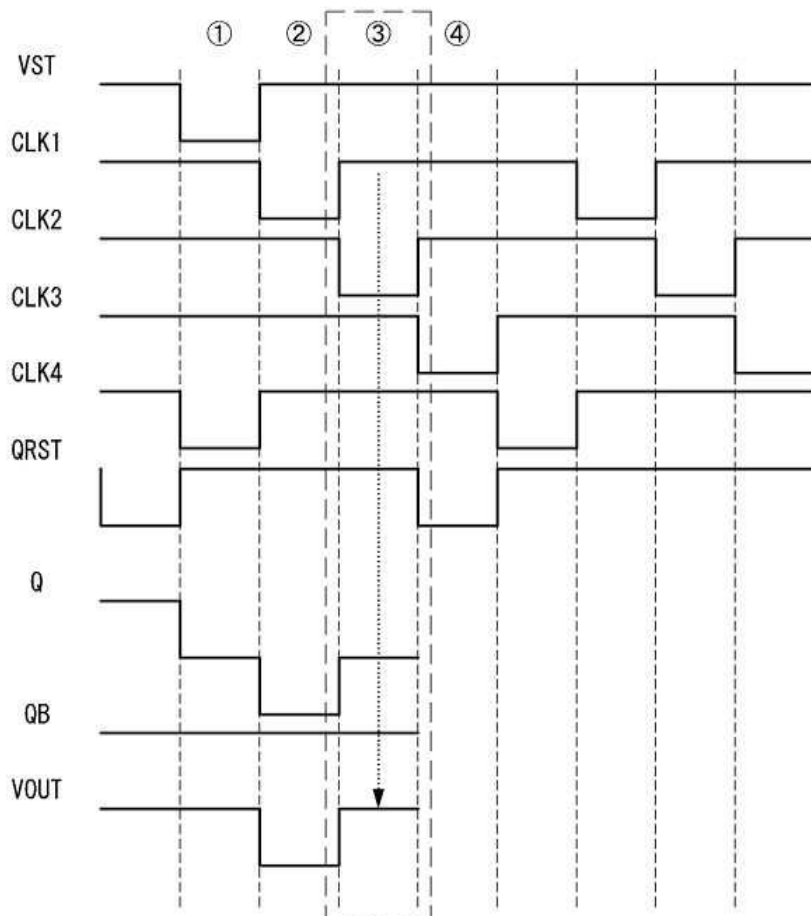
도면18d



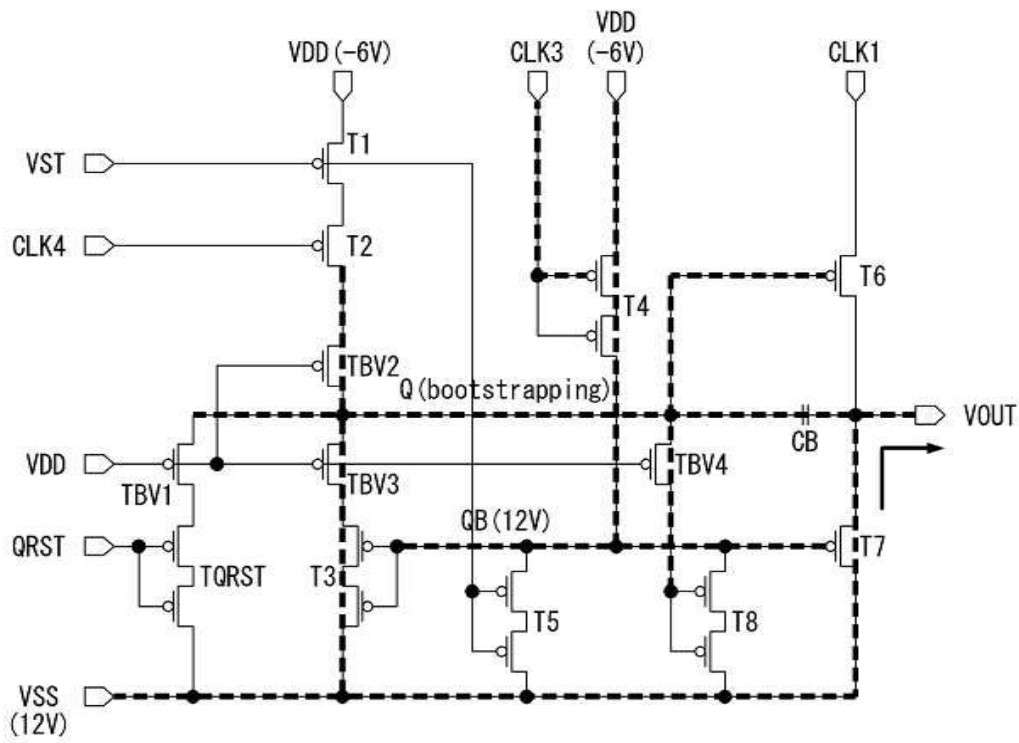
도면18e



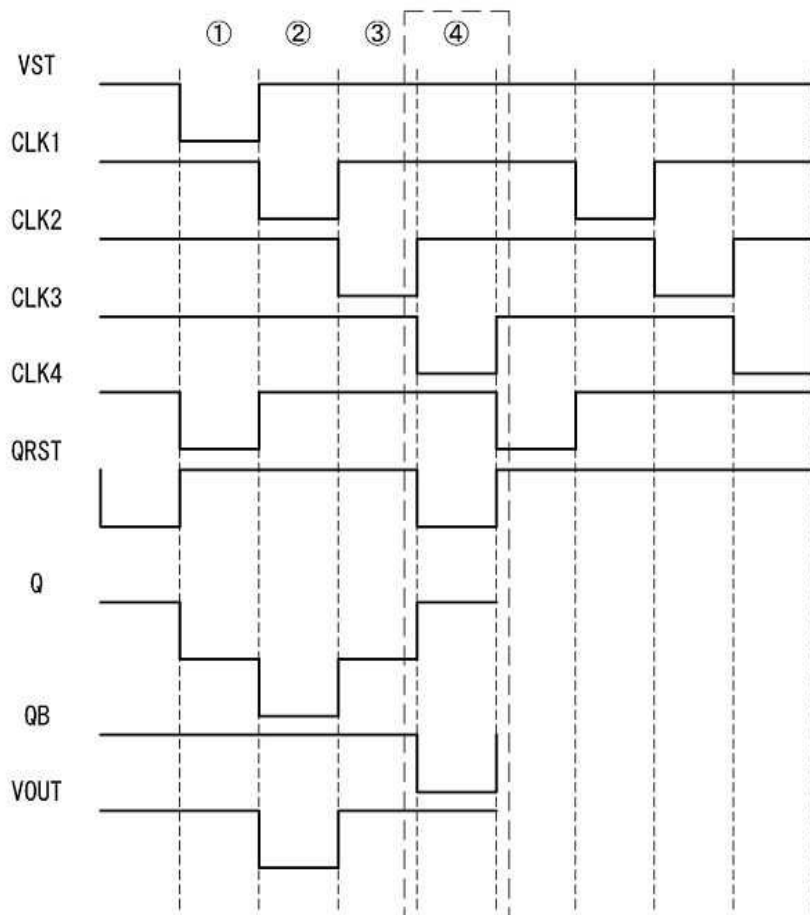
도면18f



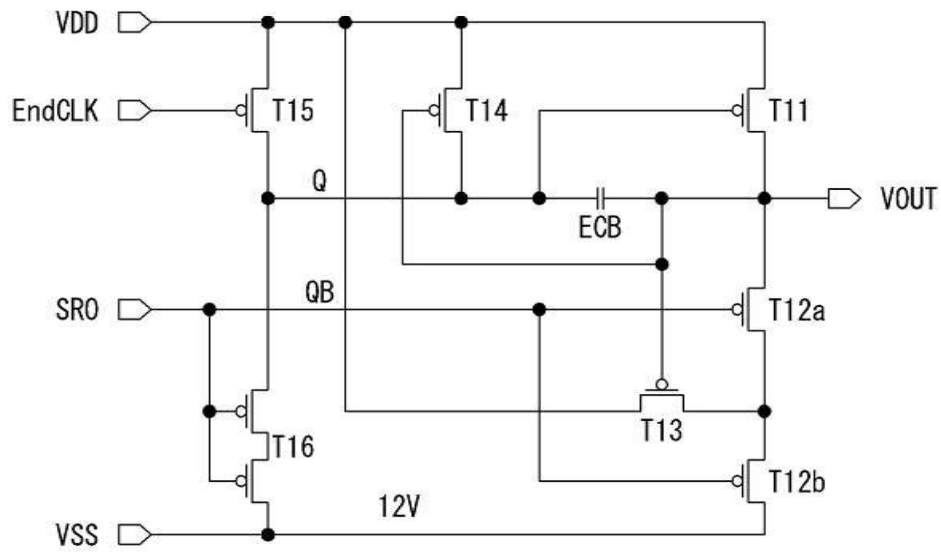
도면18g



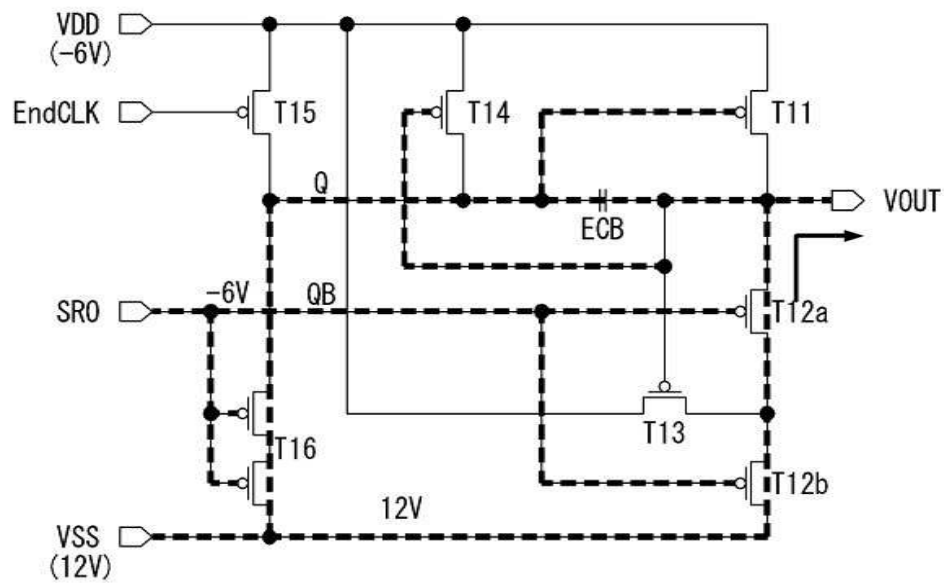
도면18h



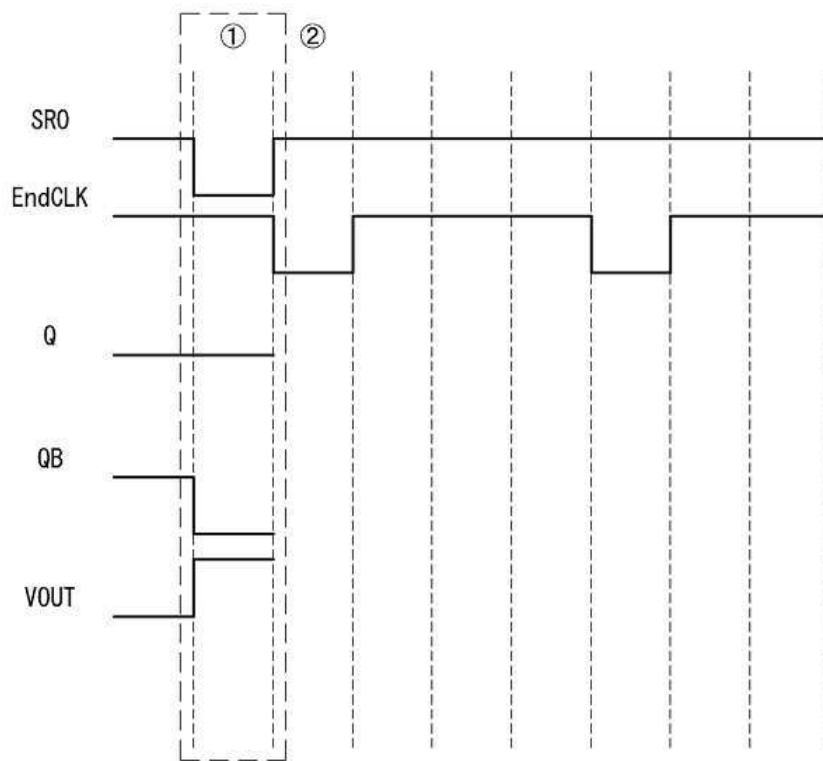
도면19



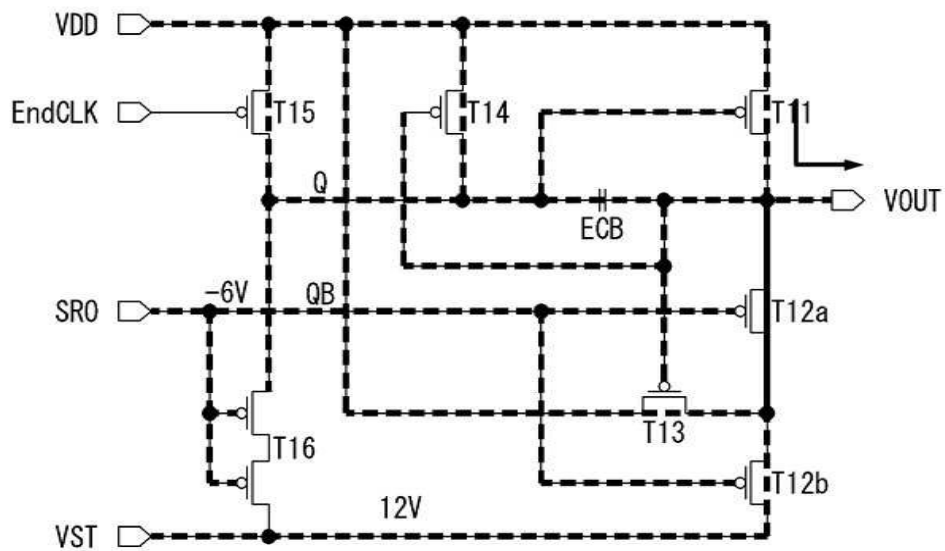
도면20a



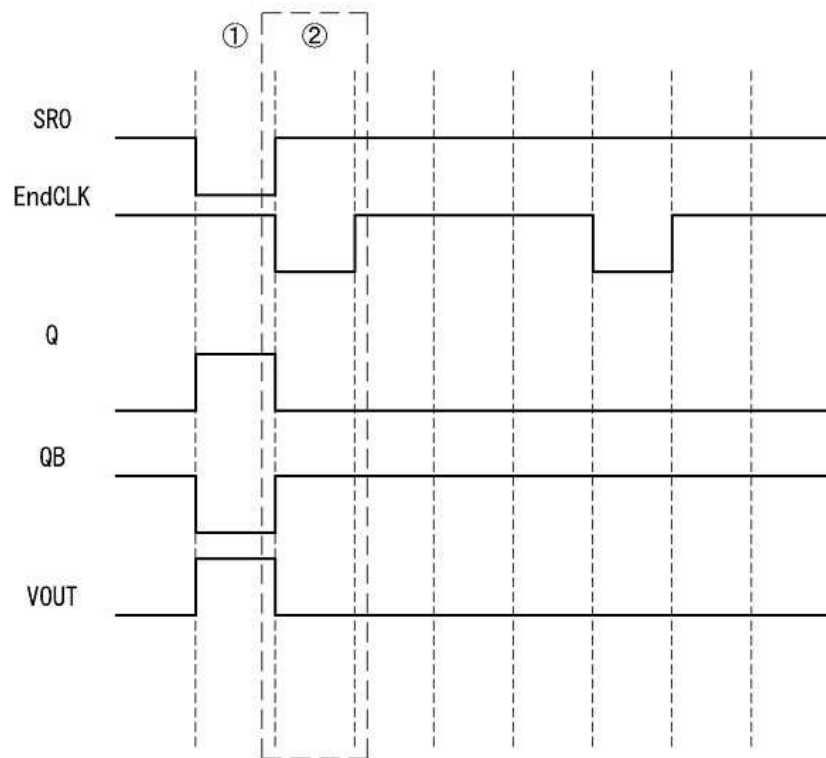
도면20b



도면20c



도면20d



专利名称(译)	标题：OLED显示装置及其驱动装置		
公开(公告)号	KR1020170081078A	公开(公告)日	2017-07-11
申请号	KR1020150191811	申请日	2015-12-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE CHOONG HOON 이충훈 PARK SUNG JIN 박성진		
发明人	이충훈 박성진		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3266 G09G3/3241 G09G2310/0286 G09G2230/00 G09G2300/0842		
外部链接	Espacenet		

摘要(译)

本发明涉及有机发光显示装置和驱动装置，并包括提供像素中的扫描信号和发光控制信号中的任何一个的栅极驱动电路。切换电路分离信号产生电路的第一和第二脉冲，输出其中栅极驱动电路包括第一和第二脉冲的信号以及响应于第一和第二开关时钟从信号产生电路接收的信号并提供次脉冲包括在向第二像素供电之后到第一像素的第一脉冲。第一开关时钟与第一脉冲同步，第二开关时钟与第二脉冲同步。由于本发明使用开关电路根据两个分离，所以可以减小GIP电路的尺寸。

