



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0012756

(43) 공개일자 2017년02월03일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01)

(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 27/3225 (2013.01)

(21) 출원번호 10-2015-0104477

(22) 출원일자 2015년07월23일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

정영배

충청남도 천안시 서북구 불당11로 82, 603동 205호 (불당동, 대원칸타빌아파트)

김현태

충청남도 천안시 서북구 봉서산로 85, 107동 120
4호 (불당동, 호반리젠시빌아파트)

(74) 대리인

팬코리아특허법인

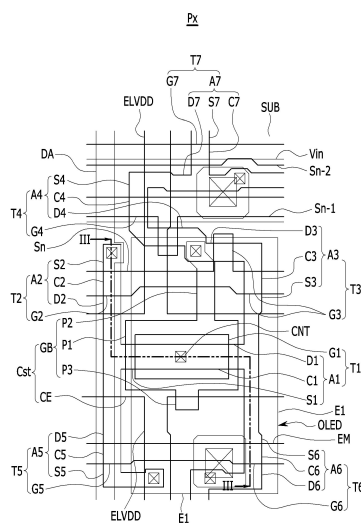
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

유기 발광 표시 장치는 기판, 상기 기판 상에 위치하며, 게이트 전극을 포함하는 일 박막 트랜지스터, 상기 일 박막 트랜지스터와 연결된 타 박막 트랜지스터, 상기 게이트 전극 상에 위치하여 상기 게이트 전극과 상기 타 박막 트랜지스터 사이를 연결하며, 컨택홀을 통해 상기 게이트 전극과 직접 연결된 게이트 브릿지, 상기 게이트 브릿지 상에 위치하며, 상기 게이트 브릿지와 함께 커패시터를 형성하는 커패시터 전극, 및 상기 일 박막 트랜지스터와 연결된 유기 발광 소자를 포함한다.

대표도 - 도2



(52) CPC특허분류

H01L 27/3246 (2013.01)

H01L 27/3265 (2013.01)

H01L 2227/32 (2013.01)

명세서

청구범위

청구항 1

기관;

상기 기관 상에 위치하며, 게이트 전극을 포함하는 일 박막 트랜지스터;

상기 일 박막 트랜지스터와 연결된 타 박막 트랜지스터;

상기 게이트 전극 상에 위치하여 상기 게이트 전극과 상기 타 박막 트랜지스터 사이를 연결하며, 컨택홀을 통해 상기 게이트 전극과 직접 연결된 게이트 브릿지;

상기 게이트 브릿지 상에 위치하며, 상기 게이트 브릿지와 함께 커패시터를 형성하는 커패시터 전극; 및

상기 일 박막 트랜지스터와 연결된 유기 발광 소자

를 포함하는 유기 발광 표시 장치.

청구항 2

제1항에서,

상기 일 박막 트랜지스터와 연결된 구동 전원 라인을 더 포함하며,

상기 구동 전원 라인은 상기 커패시터 전극과 일체로 형성된 유기 발광 표시 장치.

청구항 3

기관;

상기 기관 상에 위치하며, 제1 게이트 전극을 포함하는 제1 박막 트랜지스터;

상기 제1 박막 트랜지스터와 연결된 제2 박막 트랜지스터;

상기 제2 박막 트랜지스터와 연결된 데이터 라인;

상기 제1 박막 트랜지스터와 연결된 제3 박막 트랜지스터;

상기 제1 게이트 전극 상에 위치하여 상기 제3 박막 트랜지스터와 상기 제1 게이트 전극 사이를 연결하며, 컨택홀을 통해 상기 제1 게이트 전극과 직접 연결된 게이트 브릿지;

상기 게이트 브릿지 상에 위치하며, 상기 게이트 브릿지와 중첩되어 상기 게이트 브릿지와 함께 커패시터를 형성하는 커패시터 전극; 및

상기 제1 박막 트랜지스터와 연결된 유기 발광 소자

를 포함하는 유기 발광 표시 장치.

청구항 4

제3항에서,

상기 게이트 브릿지는 상기 제1 게이트 전극 전체를 커버하는 유기 발광 표시 장치.

청구항 5

제3항에서,

상기 제1 박막 트랜지스터와 연결된 구동 전원 라인을 더 포함하며,

상기 커패시터 전극은 상기 구동 전원 라인과 일체로 형성된 유기 발광 표시 장치.

청구항 6

제5항에서,

상기 데이터 라인 및 상기 커패시터 전극 각각은 상기 기판 상에서 서로 다른 층에 위치하는 유기 발광 표시 장치.

청구항 7

기관;

상기 기관 상에 위치하는 제1 액티브 패턴 및 상기 제1 액티브 패턴 상에 위치하는 제1 게이트 전극을 포함하는 제1 박막 트랜지스터;

상기 제1 액티브 패턴의 일 단부와 연결된 제2 액티브 패턴 및 상기 제2 액티브 패턴 상에 위치하는 제2 게이트 전극을 포함하는 제2 박막 트랜지스터;

상기 제2 액티브 패턴 상에 위치하며, 상기 제2 액티브 패턴과 연결된 데이터 라인;

상기 제1 액티브 패턴의 타 단부와 연결된 제3 액티브 패턴 및 상기 제3 액티브 패턴 상에 위치하는 제3 게이트 전극을 포함하는 제3 박막 트랜지스터;

상기 제1 게이트 전극 상에 위치하여 상기 제3 액티브 패턴과 상기 제1 게이트 전극 사이를 연결하며, 컨택홀을 통해 상기 제1 게이트 전극과 직접 연결된 게이트 브릿지;

상기 데이터 라인과 이웃하며, 상기 제1 액티브 패턴과 연결된 구동 전원 라인;

상기 구동 전원 라인과 연결되어 상기 게이트 브릿지 상에 위치하며, 상기 게이트 브릿지와 중첩되어 상기 게이트 브릿지와 함께 커패시터를 형성하는 커패시터 전극; 및

상기 제1 액티브 패턴과 연결된 유기 발광 소자

를 포함하는 유기 발광 표시 장치.

청구항 8

제7항에서,

상기 게이트 브릿지는 상기 제1 게이트 전극 전체를 커버하는 유기 발광 표시 장치.

청구항 9

제7항에서,

상기 게이트 브릿지는,

상기 커패시터 전극과 완전히 중첩하는 중첩부;

상기 중첩부로부터 상기 제3 액티브 패턴까지 연장된 연장부; 및

상기 중첩부로부터 돌출되어 일부 이상이 상기 커패시터 전극과 비중첩하는 돌출부를 포함하는 유기 발광 표시 장치.

청구항 10

제9항에서,

상기 중첩부는 상기 컨택홀을 통해 상기 제1 게이트 전극과 직접 연결된 유기 발광 표시 장치.

청구항 11

제7항에서,

상기 데이터 라인은 상기 기관 상에서 일 방향으로 연장되며,

상기 커패시터 전극은 상기 기판 상에서 상기 데이터 라인과 교차하는 타 방향으로 연장되는 유기 발광 표시 장치.

청구항 12

제11항에서,

상기 데이터 라인 및 상기 커패시터 전극 각각은 상기 기판 상에서 서로 다른 층에 위치하는 유기 발광 표시 장치.

청구항 13

제12항에서,

상기 데이터 라인은 상기 커패시터 전극 상에 위치하는 유기 발광 표시 장치.

청구항 14

제12항에서,

상기 커패시터 전극은 상기 데이터 라인 상에 위치하는 유기 발광 표시 장치.

청구항 15

제7항에서,

상기 커패시터 전극은 상기 구동 전원 라인과 일체로 형성된 유기 발광 표시 장치.

청구항 16

제15항에서,

상기 커패시터 전극 및 상기 구동 전원 라인 각각은 상기 기판 상에서 서로 다른 방향으로 연장된 유기 발광 표시 장치.

청구항 17

제7항에서,

상기 게이트 브릿지 및 상기 커패시터 전극 각각은 메탈(metal)로 형성되는 유기 발광 표시 장치.

청구항 18

제7항에서,

상기 제2 액티브 패턴 상에 위치하여 상기 제2 액티브 패턴 및 상기 제3 액티브 패턴 각각을 가로지르며, 상기 제2 게이트 전극 및 상기 제3 게이트 전극과 연결된 제1 스캔 라인;

상기 제3 액티브 패턴과 연결되고 상기 게이트 브릿지를 통해 상기 제1 게이트 전극과 연결된 제4 액티브 패턴 및 상기 제4 액티브 패턴 상에 위치하는 제4 게이트 전극을 포함하는 제4 박막 트랜지스터;

상기 제4 액티브 패턴 상에 위치하여 상기 제4 액티브 패턴을 가로지르며, 상기 제4 게이트 전극과 연결된 제2 스캔 라인; 및

상기 제4 액티브 패턴과 연결된 초기화 전원 라인

을 더 포함하는 유기 발광 표시 장치.

청구항 19

제18항에서,

상기 제1 액티브 패턴과 상기 구동 전원 라인 사이를 연결하는 제5 액티브 패턴 및 상기 제5 액티브 패턴 상에 위치하는 제5 게이트 전극을 포함하는 제5 박막 트랜지스터;

상기 제1 액티브 패턴과 상기 유기 발광 소자 사이를 연결하는 제6 액티브 패턴 및 상기 제6 액티브 패턴 상에 위치하는 제6 게이트 전극을 포함하는 제6 박막 트랜지스터; 및

상기 제5 액티브 패턴 및 상기 제6 액티브 패턴 각각의 상에 위치하여 상기 제5 액티브 패턴 및 상기 제6 액티브 패턴 각각을 가로지르며, 상기 제5 게이트 전극 및 상기 제6 게이트 전극 각각과 연결된 발광 제어 라인을 더 포함하는 유기 발광 표시 장치.

청구항 20

제19항에서,

상기 제4 액티브 패턴과 연결된 제7 액티브 패턴 및 상기 제7 액티브 패턴 상에 위치하는 제7 게이트 전극을 포함하는 제7 박막 트랜지스터; 및

상기 제7 액티브 패턴 상에 위치하여 상기 제7 액티브 패턴을 가로지르며, 상기 제7 게이트 전극과 연결된 제3 스캔 라인을 더 포함하는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 일반적으로, 평판 표시 장치의 대표적인 예로서, 유기 발광 표시 장치(organic light emitting diode display), 액정 표시 장치(liquid crystal display device) 및 플라즈마 디스플레이 패널(plasma display panel) 등이 있다.

[0003] 이 중, 유기 발광 표시 장치는 기판 상에 형성된 복수의 박막 트랜지스터들, 커패시터 및 이들에 연결된 유기 발광 소자를 포함한다.

[0004] 최근, 유기 발광 표시 장치는 인치당 픽셀수(pixel per inch, ppi)가 증가된 고해상도의 유기 발광 표시 장치로 제조되고 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 일 실시예는, 인치당 픽셀수(pixel per inch, ppi)가 증가된 고해상도의 유기 발광 표시 장치로 제조되더라도, 커패시터가 형성하는 커패시턴스(capacitance)가 향상된 유기 발광 표시 장치를 제공하고자 한다.

과제의 해결 수단

[0006] 상술한 기술적 과제를 달성하기 위한 본 발명의 일 측면은 기판, 상기 기판 상에 위치하며, 게이트 전극을 포함하는 일 박막 트랜지스터, 상기 일 박막 트랜지스터와 연결된 타 박막 트랜지스터, 상기 게이트 전극 상에 위치하여 상기 게이트 전극과 상기 타 박막 트랜지스터 사이를 연결하며, 콘택홀을 통해 상기 게이트 전극과 직접 연결된 게이트 브릿지, 상기 게이트 브릿지 상에 위치하며, 상기 게이트 브릿지와 함께 커패시터를 형성하는 커패시터 전극, 및 상기 일 박막 트랜지스터와 연결된 유기 발광 소자를 포함하는 유기 발광 표시 장치를 제공한다.

[0007] 상기 일 박막 트랜지스터와 연결된 구동 전원 라인을 더 포함하며, 상기 구동 전원 라인은 상기 커패시터 전극과 일체로 형성될 수 있다.

[0008] 또한, 본 발명의 다른 측면은 기판, 상기 기판 상에 위치하며, 제1 게이트 전극을 포함하는 제1 박막 트랜지스터, 상기 제1 박막 트랜지스터와 연결된 제2 박막 트랜지스터, 상기 제2 박막 트랜지스터와 연결된 데이터 라인, 상기 제1 박막 트랜지스터와 연결된 제3 박막 트랜지스터, 상기 제1 게이트 전극 상에 위치하여 상기 제3

박막 트랜지스터와 상기 제1 게이트 전극 사이를 연결하며, 콘택홀을 통해 상기 제1 게이트 전극과 직접 연결된 게이트 브릿지, 상기 게이트 브릿지 상에 위치하며, 상기 게이트 브릿지와 중첩되어 상기 게이트 브릿지와 함께 커패시터를 형성하는 커패시터 전극, 및 상기 제1 박막 트랜지스터와 연결된 유기 발광 소자를 포함하는 유기 발광 표시 장치를 제공한다.

- [0009] 상기 게이트 브릿지는 상기 제1 게이트 전극 전체를 커버할 수 있다.
- [0010] 상기 제1 박막 트랜지스터와 연결된 구동 전원 라인을 더 포함하며, 상기 커패시터 전극은 상기 구동 전원 라인과 일체로 형성될 수 있다.
- [0011] 상기 데이터 라인 및 상기 커패시터 전극 각각은 상기 기판 상에서 서로 다른 층에 위치할 수 있다.
- [0012] 또한, 본 발명의 다른 측면은 기판, 상기 기판 상에 위치하는 제1 액티브 패턴 및 상기 제1 액티브 패턴 상에 위치하는 제1 게이트 전극을 포함하는 제1 박막 트랜지스터, 상기 제1 액티브 패턴의 일 단부와 연결된 제2 액티브 패턴 및 상기 제2 액티브 패턴 상에 위치하는 제2 게이트 전극을 포함하는 제2 박막 트랜지스터, 상기 제2 액티브 패턴 상에 위치하며, 상기 제2 액티브 패턴과 연결된 데이터 라인, 상기 제1 액티브 패턴의 타 단부와 연결된 제3 액티브 패턴 및 상기 제3 액티브 패턴 상에 위치하는 제3 게이트 전극을 포함하는 제3 박막 트랜지스터, 상기 제1 게이트 전극 상에 위치하여 상기 제3 액티브 패턴과 상기 제1 게이트 전극 사이를 연결하며, 콘택홀을 통해 상기 제1 게이트 전극과 직접 연결된 게이트 브릿지, 상기 데이터 라인과 이웃하며, 상기 제1 액티브 패턴과 연결된 구동 전원 라인, 상기 구동 전원 라인과 연결되어 상기 게이트 브릿지 상에 위치하며, 상기 게이트 브릿지와 중첩되어 상기 게이트 브릿지와 함께 커패시터를 형성하는 커패시터 전극, 및 상기 제1 액티브 패턴과 연결된 유기 발광 소자를 포함하는 유기 발광 표시 장치를 제공한다.
- [0013] 상기 게이트 브릿지는 상기 제1 게이트 전극 전체를 커버할 수 있다.
- [0014] 상기 게이트 브릿지는, 상기 커패시터 전극과 완전히 중첩하는 중첩부, 상기 중첩부로부터 상기 제3 액티브 패턴까지 연장된 연장부, 및 상기 중첩부로부터 돌출되어 일부 이상이 상기 커패시터 전극과 비중첩하는 돌출부를 포함할 수 있다.
- [0015] 상기 중첩부는 상기 콘택홀을 통해 상기 제1 게이트 전극과 직접 연결될 수 있다.
- [0016] 상기 데이터 라인은 상기 기판 상에서 일 방향으로 연장되며, 상기 커패시터 전극은 상기 기판 상에서 상기 데이터 라인과 교차하는 타 방향으로 연장될 수 있다.
- [0017] 상기 데이터 라인 및 상기 커패시터 전극 각각은 상기 기판 상에서 서로 다른 층에 위치할 수 있다.
- [0018] 상기 데이터 라인은 상기 커패시터 전극 상에 위치할 수 있다.
- [0019] 상기 커패시터 전극은 상기 데이터 라인 상에 위치할 수 있다.
- [0020] 상기 커패시터 전극은 상기 구동 전원 라인과 일체로 형성될 수 있다.
- [0021] 상기 커패시터 전극 및 상기 구동 전원 라인 각각은 상기 기판 상에서 서로 다른 방향으로 연장될 수 있다.
- [0022] 상기 게이트 브릿지 및 상기 커패시터 전극 각각은 메탈(metal)로 형성될 수 있다.
- [0023] 상기 제2 액티브 패턴 상에 위치하여 상기 제2 액티브 패턴 및 상기 제3 액티브 패턴 각각을 가로지르며, 상기 제2 게이트 전극 및 상기 제3 게이트 전극과 연결된 제1 스캔 라인, 상기 제3 액티브 패턴과 연결되고 상기 게이트 브릿지를 통해 상기 제1 게이트 전극과 연결된 제4 액티브 패턴 및 상기 제4 액티브 패턴 상에 위치하는 제4 게이트 전극을 포함하는 제4 박막 트랜지스터, 상기 제4 액티브 패턴 상에 위치하여 상기 제4 액티브 패턴을 가로지르며, 상기 제4 게이트 전극과 연결된 제2 스캔 라인, 및 상기 제4 액티브 패턴과 연결된 초기화 전원 라인을 더 포함할 수 있다.
- [0024] 상기 제1 액티브 패턴과 상기 구동 전원 라인 사이를 연결하는 제5 액티브 패턴 및 상기 제5 액티브 패턴 상에 위치하는 제5 게이트 전극을 포함하는 제5 박막 트랜지스터, 상기 제1 액티브 패턴과 상기 유기 발광 소자 사이를 연결하는 제6 액티브 패턴 및 상기 제6 액티브 패턴 상에 위치하는 제6 게이트 전극을 포함하는 제6 박막 트랜지스터, 및 상기 제5 액티브 패턴 및 상기 제6 액티브 패턴 각각의 상에 위치하여 상기 제5 액티브 패턴 및 상기 제6 액티브 패턴 각각을 가로지르며, 상기 제5 게이트 전극 및 상기 제6 게이트 전극 각각과 연결된 발광 제어 라인을 더 포함할 수 있다.
- [0025] 상기 제4 액티브 패턴과 연결된 제7 액티브 패턴 및 상기 제7 액티브 패턴 상에 위치하는 제7 게이트 전극을 포

합하는 제7 박막 트랜지스터, 및 상기 제7 액티브 패턴 상에 위치하여 상기 제7 액티브 패턴을 가로지르며, 상기 제7 게이트 전극과 연결된 제3 스캔 라인을 더 포함할 수 있다.

발명의 효과

[0026] 상술한 본 발명의 과제 해결 수단의 일부 실시예 중 하나에 의하면, 인치당 픽셀수(pixel per inch, ppi)가 증가된 고해상도의 유기 발광 표시 장치로 제조되더라도, 커패시터가 형성하는 커패시턴스(capacitance)가 향상된 유기 발광 표시 장치가 제공된다.

도면의 간단한 설명

[0027] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 일 픽셀을 나타낸 회로도이다.

도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 일 픽셀을 나타낸 배치도이다.

도 3은 도 2의 III-III를 따른 단면도이다.

도 4는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 일 픽셀을 나타낸 배치도이다.

도 5는 도 4의 V-V를 따른 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0028] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.

[0029] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.

[0030] 또한, 여러 실시예들에 있어서, 동일한 구성을 가지는 구성요소에 대해서는 동일한 부호를 사용하여 대표적으로 일 실시예에서 설명하고, 다른 실시예에서는 일 실시예와 다른 구성에 대해서만 설명하기로 한다.

[0031] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.

[0032] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "상에" 있다고 할 때, 이는 다른 부분 "바로 상에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

[0033] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서 전체에서, "~상에"라 함은 대상 부분의 위 또는 아래에 위치함을 의미하는 것이며, 반드시 중력 방향을 기준으로 상 측에 위치하는 것을 의미하는 것은 아니다.

[0034] 이하, 도 1 내지 도 3을 참조하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 설명한다.

[0035] 이하, 도 1을 참조하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 픽셀의 회로를 설명한다. 여기서, 픽셀은 이미지를 표시하는 최소 단위를 의미할 수 있다.

[0036] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 일 픽셀을 나타낸 회로도이다.

[0037] 도 1에 도시된 바와 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 픽셀(Px)은 복수의 박막 트랜지스터(T1, T2, T3, T4, T5, T6, T7), 복수의 박막 트랜지스터(T1, T2, T3, T4, T5, T6, T7)에 선택적으로 연결되는 복수의 배선(Sn, Sn-1, Sn-2, EM, Vin, DA, ELVDD), 커패시터(Cst), 유기 발광 소자(OLED)를 포함한다.

[0038] 복수의 박막 트랜지스터(T1, T2, T3, T4, T5, T6, T7)는 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7)를 포함한다.

- [0039] 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)은 제3 박막 트랜지스터(T3)의 제3 드레인 전극(D3) 및 제4 박막 트랜지스터(T4)의 제4 드레인 전극(D4) 각각에 연결되어 있고, 제1 소스 전극(S1)은 제2 박막 트랜지스터(T2)의 제2 드레인 전극(D2) 및 제5 박막 트랜지스터(T5)의 제5 드레인 전극(D5)에 연결되어 있고, 제1 드레인 전극(D1)은 제3 박막 트랜지스터(T3)의 제3 소스 전극(S3) 및 제6 박막 트랜지스터(T6)의 제6 소스 전극(S6) 각각에 연결되어 있다.
- [0040] 제2 박막 트랜지스터(T2)의 제2 게이트 전극(G2)은 제1 스캔 라인(Sn)과 연결되어 있고, 제2 소스 전극(S2)은 데이터 라인(DA)과 연결되어 있으며, 제2 드레인 전극(D2)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결되어 있다.
- [0041] 제3 박막 트랜지스터(T3)의 제3 게이트 전극(G3)은 제1 스캔 라인(Sn)과 연결되어 있고, 제3 소스 전극(S3)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결되어 있으며, 제3 드레인 전극(D3)은 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다.
- [0042] 제4 박막 트랜지스터(T4)의 제4 게이트 전극(G4)은 제2 스캔 라인(Sn-1)과 연결되어 있고, 제4 소스 전극(S4)은 초기화 전원 라인(Vin)과 연결되어 있으며, 제4 드레인 전극(D4)은 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다.
- [0043] 제5 박막 트랜지스터(T5)의 제5 게이트 전극(G5)은 발광 제어 라인(EM)과 연결되어 있고, 제5 소스 전극(S5)은 구동 전원 라인(ELVDD)과 연결되어 있으며, 제5 드레인 전극(D5)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결되어 있다.
- [0044] 제6 박막 트랜지스터(T6)의 제6 게이트 전극(G6)은 발광 제어 라인(EM)과 연결되어 있으며, 제6 소스 전극(S6)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결되어 있다.
- [0045] 제7 박막 트랜지스터(T7)의 제7 게이트 전극(G7)은 제3 스캔 라인(Sn-2)과 연결되어 있고, 제7 소스 전극(S7)은 유기 발광 소자(OLED)와 연결되어 있으며, 제7 드레인 전극(D7)은 제4 박막 트랜지스터(T4)의 제4 소스 전극(S4)과 연결되어 있다.
- [0046] 복수의 배선들은 제2 박막 트랜지스터(T2) 및 제3 박막 트랜지스터(T3) 각각의 제2 게이트 전극(G2) 및 제3 게이트 전극(G3) 각각에 제1 스캔 신호를 전달하는 제1 스캔 라인(Sn), 제4 박막 트랜지스터(T4)의 제4 게이트 전극(G4)에 제2 스캔 신호를 전달하는 제2 스캔 라인(Sn-1), 제7 박막 트랜지스터(T7)의 제7 게이트 전극(G7)에 제3 스캔 신호를 전달하는 제3 스캔 라인(Sn-2), 제5 박막 트랜지스터(T5) 및 제6 박막 트랜지스터(T6) 각각의 제5 게이트 전극(G5) 및 제6 게이트 전극(G6) 각각에 발광 제어 신호를 전달하는 발광 제어 라인(EM), 제2 박막 트랜지스터(T2)의 제2 소스 전극(S2)에 데이터 신호를 전달하는 데이터 라인(DA), 커패시터(Cst)의 일 전극 및 제5 박막 트랜지스터(T5)의 제5 소스 전극(S5) 각각에 구동 신호를 공급하는 구동 전원 라인(ELVDD), 제4 박막 트랜지스터(T4)의 제4 소스 전극(S4)에 초기화 신호를 공급하는 초기화 전원 라인(Vin)을 포함한다. 여기서, 데이터 라인(DA), 구동 전원 라인(ELVDD)은 데이터 배선으로 형성될 수 있다.
- [0047] 커패시터(Cst)는 구동 전원 라인(ELVDD)과 연결된 일 전극과 제1 게이트 전극(G1) 및 제3 박막 트랜지스터(T3)의 제3 드레인 전극(D3) 각각과 연결된 타 전극을 포함한다.
- [0048] 유기 발광 소자(OLED)는 제1 전극, 제1 전극 상에 위치하는 제2 전극, 제1 전극과 제2 전극 사이에 위치하는 유기 발광층을 포함한다. 유기 발광 소자(OLED)의 제1 전극은 제7 박막 트랜지스터(T7)의 제7 소스 전극(S7) 및 제6 박막 트랜지스터(T6)의 제6 드레인 전극(D6) 각각과 연결되어 있으며, 제2 전극은 공통 신호가 전달되는 공통 전원(ELVSS)과 연결된다.
- [0049] 이러한 픽셀 회로의 구동의 일례로서, 우선, 제3 스캔 라인(Sn-2)에 제3 스캔 신호가 전달되어 제7 박막 트랜지스터(T7)가 턴 온(turn on)되면, 유기 발광 소자(OLED)의 제1 전극에 흐르는 잔류 전류가 제7 박막 트랜지스터(T7)를 통해 제4 박막 트랜지스터(T4)로 빠져나감으로써, 유기 발광 소자(OLED)의 제1 전극에 흐르는 잔류 전류에 의한 유기 발광 소자(OLED)의 의도치 않은 발광이 억제된다.
- [0050] 다음, 제2 스캔 라인(Sn-1)에 제2 스캔 신호가 전달되고, 초기화 전원 라인(Vin)에 초기화 신호가 전달되면, 제4 박막 트랜지스터(T4)가 턴 온되어 초기화 신호에 의한 초기화 전압이 제4 박막 트랜지스터(T4)를 통해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1) 및 커패시터(Cst)의 타 전극에 공급되며, 이로 인해 제1 게이트 전극(G1) 및 커패시터(Cst)가 초기화된다. 이때, 제1 게이트 전극(G1)이 초기화되면서 제1 박막 트랜지스터(T1)가 턴 온된다.

- [0051] 다음, 제1 스캔 라인(Sn)에 제1 스캔 신호가 전달되고, 데이터 라인(DA)에 데이터 신호가 전달되면, 제2 박막 트랜지스터(T2) 및 제3 박막 트랜지스터(T3) 각각이 턴 온되어 데이터 신호에 의한 데이터 전압(Vd)이 제2 박막 트랜지스터(T2), 제1 박막 트랜지스터(T1), 제3 박막 트랜지스터(T3)를 통해 제1 게이트 전극(G1)에 공급된다. 이때, 제1 게이트 전극(G1)에 공급되는 전압은 최초 데이터 라인(DA)으로부터 공급된 데이터 전압(Vd)으로부터 제1 박막 트랜지스터(T1)의 문턱 전압(Threshold voltage, Vth)만큼 감소한 보상 전압(Vd+Vth, Vth는 (-)의 값)이 공급된다. 제1 게이트 전극(G1)에 공급되는 보상 전압(Vd+Vth)은 제1 게이트 전극(G1)에 연결된 커패시터(Cst)의 타 전극에도 공급된다.
- [0052] 다음, 커패시터(Cst)의 일 전극에는 구동 전원 라인(ELVDD)으로부터 구동 신호에 의한 구동 전압(Ve1)이 공급되고, 타 전극에는 상술한 보상 전압(Vd+Vth)이 공급됨으로써, 커패시터(Cst)에는 양 전극에 각각에 인가되는 전압 차에 대응하는 전하가 저장되어 일정 시간 동안 제1 박막 트랜지스터(T1)가 턴 온된다.
- [0053] 다음, 발광 제어 라인(EM)에 발광 제어 신호가 인가되면, 제5 박막 트랜지스터(T5) 및 제6 박막 트랜지스터(T6) 각각이 턴 온되어 구동 전원 라인(ELVDD)으로부터 구동 신호에 의한 구동 전압(Ve1)이 제5 박막 트랜지스터(T5)를 통해 제1 박막 트랜지스터(T1)로 공급된다.
- [0054] 그러면, 구동 전압(Ve1)이 커패시터(Cst)에 의해 턴 온되어 있는 제1 박막 트랜지스터(T1)를 통과하면서, 커패시터(Cst)에 의해 제1 게이트 전극(G1)에 공급되는 전압과 구동 전압(Ve1) 간의 전압차에 대응하는 구동 전류(Id)가 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)을 흐르게 되고, 이 구동 전류(Id)가 제6 박막 트랜지스터(T6)를 통해 유기 발광 소자(OLED)로 공급되어 유기 발광 소자(OLED) 일정 시간 동안 발광된다.
- [0055] 한편, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 픽셀 회로는 제1 박막 트랜지스터(T1) 내지 제7 박막 트랜지스터(T7), 커패시터(Cst), 제1 스캔 라인(Sn) 내지 제3 스캔 라인(Sn-2), 데이터 라인(DA), 구동 전원 라인(ELVDD), 초기화 전원 라인(Vin)으로 구성되었으나, 이에 한정되지 않고 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 픽셀 회로는 2개 이상인 복수의 박막 트랜지스터, 하나 이상의 커패시터, 하나 이상의 스캔 라인 및 하나 이상의 구동 전원 라인을 포함하는 배선들로 구성될 수 있다.
- [0056] 이하, 도 2 및 도 3을 참조하여 상술한 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 픽셀의 배치를 설명한다. 이하에서 설명하는 서로 다른 층에 위치하는 구성들 사이에는 절연층들이 위치하며, 이 절연층들은 실리콘 질화물 또는 실리콘 산화물 등의 무기 절연층 또는 유기 절연층일 수 있다. 또한, 이 절연층들은 단층 또는 복층으로 형성될 수 있다.
- [0057] 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 일 픽셀을 나타낸 배치도이다. 도 3은 도 2의 III-III을 따른 단면도이다.
- [0058] 도 2 및 도 3에 도시된 바와 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 일 픽셀(Px)에 대응하여 위치할 수 있는 기판(SUB), 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7), 제1 스캔 라인(Sn), 제2 스캔 라인(Sn-1), 제3 스캔 라인(Sn-2), 발광 제어 라인(EM), 게이트 브릿지(GB), 구동 전원 라인(ELVDD), 커패시터 전극(CE), 데이터 라인(DA), 초기화 전원 라인(Vin), 유기 발광 소자(OLED)를 포함한다. 여기서, 제1 박막 트랜지스터(T1)는 일 박막 트랜지스터일 수 있으며, 제3 박막 트랜지스터(T3)는 타 박막 트랜지스터일 수 있다.
- [0059] 도 2에서, 제2 스캔 라인(Sn-1) 및 제3 스캔 라인(Sn-2)은 서로 이격된 각각의 스캔 라인으로 도시하였으나, 이에 한정되지 않고 제2 스캔 라인(Sn-1) 및 제3 스캔 라인(Sn-2)은 동일한 라인으로 형성될 수 있다.
- [0060] 기판(SUB)은 유리, 석영, 세라믹, 사파이어, 플라스틱, 금속 등으로 형성될 수 있으며, 플렉서블(flexible)하거나, 스트레처블(stretchable)하거나, 롤러블(rollable)하거나, 폴더블(foldable)할 수 있다. 기판(SUB)이 플렉서블하거나, 스트레처블하거나, 롤러블하거나, 폴더블함으로써, 전체적인 유기 발광 표시 장치가 플렉서블하거나, 스트레처블하거나, 롤러블하거나, 폴더블할 수 있다.
- [0061] 제1 박막 트랜지스터(T1)는 기판(SUB) 상에 위치하며, 제1 액티브 패턴(A1) 및 제1 게이트 전극(G1)을 포함한다.
- [0062] 제1 액티브 패턴(A1)은 제1 소스 전극(S1), 제1 채널 영역(C1), 제1 드레인 전극(D1)을 포함한다. 제1 소스 전극(S1)은 제2 박막 트랜지스터(T2)의 제2 드레인 전극(D2) 및 제5 박막 트랜지스터(T5)의 제5 드레인 전극(D5) 각각과 연결되어 있으며, 제1 드레인 전극(D1)은 제3 박막 트랜지스터(T3)의 제3 소스 전극(S3) 및 제6 박막 트

랜지스터(T6)의 제6 소스 전극(S6) 각각과 연결되어 있다. 제1 게이트 전극(G1)과 중첩하는 제1 액티브 패턴(A1)의 채널 영역인 제1 채널 영역(C1)은 직선 연장된 형태를 가지고 있다. 한편, 본 발명의 다른 실시예에서 제1 액티브 패턴의 채널 영역인 제1 채널 영역은 한번 이상 굴곡되어 연장된 형태를 가질 수 있다.

[0063] 제1 액티브 패턴(A1)은 폴리 실리콘 또는 산화물 반도체로 이루어질 수 있다. 산화물 반도체는 티타늄(Ti), 하프늄(Hf), 지르코늄(Zr), 알루미늄(Al), 탄탈륨(Ta), 게르마늄(Ge), 아연(Zn), 갈륨(Ga), 주석(Sn) 또는 인듐(In)을 기본으로 하는 산화물, 이들의 복합 산화물인 산화아연(ZnO), 인듐-갈륨-아연 산화물(InGaZnO₄), 인듐-아연 산화물(Zn-In-O), 아연-주석 산화물(Zn-Sn-O) 인듐-갈륨 산화물 (In-Ga-O), 인듐-주석 산화물(In-Sn-O), 인듐-지르코늄 산화물(In-Zr-O), 인듐-지르코늄-아연 산화물(In-Zr-Zn-O), 인듐-지르코늄-주석 산화물(In-Zr-Sn-O), 인듐-지르코늄-갈륨 산화물(In-Zr-Ga-O), 인듐-알루미늄 산화물(In-Al-O), 인듐-아연-알루미늄 산화물 (In-Zn-Al-O), 인듐-주석-알루미늄 산화물(In-Sn-Al-O), 인듐-알루미늄-갈륨 산화물(In-Al-Ga-O), 인듐-탄탈륨 산화물(In-Ta-O), 인듐-탄탈륨-아연 산화물(In-Ta-Zn-O), 인듐-탄탈륨-주석 산화물(In-Ta-Sn-O), 인듐-탄탈륨-갈륨 산화물(In-Ta-Ga-O), 인듐-게르마늄 산화물(In-Ge-O), 인듐-게르마늄-아연 산화물(In-Ge-Zn-O), 인듐-게르마늄-주석 산화물(In-Ge-Sn-O), 인듐-게르마늄-갈륨 산화물(In-Ge-Ga-O), 티타늄-인듐-아연 산화물(Ti-In-Zn-O), 하프늄-인듐-아연 산화물(Hf-In-Zn-O) 중 어느 하나를 포함할 수 있다. 제1 액티브 패턴(A1)이 산화물 반도체로 이루어지는 경우에는 고온 등의 외부 환경에 취약한 산화물 반도체를 보호하기 위해 별도의 보호층이 추가될 수 있다.

[0064] 제1 액티브 패턴(A1)의 제1 채널 영역(C1)은 N형 불순물 또는 P형 불순물로 채널 영역 도핑될 수 있으며, 제1 소스 전극(S1) 및 제1 드레인 전극(D1) 각각은 제1 채널 영역(C1)을 사이에 두고 이격되어 제1 채널 영역(C1)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다.

[0065] 제1 게이트 전극(G1)은 제1 액티브 패턴(A1)의 제1 채널 영역(C1) 상에 위치하고 있으며, 섬(island) 형태를 가지고 있다. 제1 게이트 전극(G1)은 콘택홀(contact hole)(CNT)을 통하는 게이트 브릿지(GB)와 직접 연결되어 있다. 제1 게이트 전극(G1)은 게이트 브릿지(GB)에 의해 제4 박막 트랜지스터(T4)의 제4 드레인 전극(D4) 및 제3 박막 트랜지스터(T3)의 제3 드레인 전극(D3)과 연결되어 있다. 제1 게이트 전극(G1)은 게이트 브릿지(GB)와 중첩하고 있으며, 게이트 브릿지(GB)에 의해 완전히 커버되어 있다.

[0066] 제2 박막 트랜지스터(T2)는 기판(SUB) 상에 위치하며, 제2 액티브 패턴(A2) 및 제2 게이트 전극(G2)을 포함한다. 제2 액티브 패턴(A2)은 제2 소스 전극(S2), 제2 채널 영역(C2), 제2 드레인 전극(D2)을 포함한다. 제2 소스 전극(S2)은 콘택홀을 통해 데이터 라인(DA)과 연결되어 있으며, 제2 드레인 전극(D2)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결되어 있다. 제2 게이트 전극(G2)과 중첩하는 제2 액티브 패턴(A2)의 채널 영역인 제2 채널 영역(C2)은 제2 소스 전극(S2)과 제2 드레인 전극(D2) 사이에 위치하고 있다.

[0067] 제2 액티브 패턴(A2)의 제2 채널 영역(C2)은 N형 불순물 또는 P형 불순물로 채널 영역 도핑될 수 있으며, 제2 소스 전극(S2) 및 제2 드레인 전극(D2) 각각은 제2 채널 영역(C2)을 사이에 두고 이격되어 제2 채널 영역(C1)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제2 액티브 패턴(A2)은 제1 액티브 패턴(A1)과 동일한 층에 위치하여 제1 액티브 패턴(A1)과 연결되어 있다. 제2 액티브 패턴(A2)은 제1 액티브 패턴(A1)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1)과 일체로 형성되어 있다.

[0068] 제2 게이트 전극(G2)은 제2 액티브 패턴(A2)의 제2 채널 영역(C2) 상에 위치하고 있으며, 제1 스캔 라인(Sn)과 일체로 형성되어 있다.

[0069] 제3 박막 트랜지스터(T3)는 기판(SUB) 상에 위치하며, 제3 액티브 패턴(A3) 및 제3 게이트 전극(G3)을 포함한다.

[0070] 제3 액티브 패턴(A3)은 제3 소스 전극(S3), 제3 채널 영역(C3), 제3 드레인 전극(D3)을 포함한다. 제3 소스 전극(S3)은 제1 드레인 전극(D1)과 연결되어 있으며, 제3 드레인 전극(D3)은 콘택홀을 통하는 게이트 브릿지(GB)에 의해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다. 제3 게이트 전극(G3)과 중첩하는 제3 액티브 패턴(A3)의 채널 영역인 제3 채널 영역(C3)은 제3 소스 전극(S3)과 제3 드레인 전극(D3) 사이에 위치하고 있다. 즉, 제3 액티브 패턴(A3)은 제1 액티브 패턴(A1)과 제1 게이트 전극(G1) 사이를 연결하고 있다.

[0071] 제3 액티브 패턴(A3)의 제3 채널 영역(C3)은 N형 불순물 또는 P형 불순물로 채널 영역 도핑될 수 있으며, 제3 소스 전극(S3) 및 제3 드레인 전극(D3) 각각은 제3 채널 영역(C3)을 사이에 두고 이격되어 제3 채널 영역(C3)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제3 액티브 패턴(A3)은 제1 액티브 패턴(A1) 및 제2 액티브 패턴(A2)과 동일한 층에 위치하며, 제1 액티브 패턴(A1) 및 제2 액티브 패턴(A2)과 동일한

재료로 형성되며, 제1 액티브 패턴(A1) 및 제2 액티브 패턴(A2)과 일체로 형성되어 있다.

- [0072] 제3 게이트 전극(G3)은 제3 액티브 패턴(A3)의 제3 채널 영역(C3) 상에 위치하고 있으며, 제1 스캔 라인(Sn)과 일체로 형성되어 있다. 제3 게이트 전극(G3)은 듀얼 게이트(dual gate) 전극으로서 형성되어 있으나, 이에 한정되지는 않는다.
- [0073] 제4 박막 트랜지스터(T4)는 기판(SUB) 상에 위치하며, 제4 액티브 패턴(A4) 및 제4 게이트 전극(G4)을 포함한다.
- [0074] 제4 액티브 패턴(A4)은 제4 소스 전극(S4), 제4 채널 영역(C4), 제4 드레인 전극(D4)을 포함한다. 제4 소스 전극(S4)은 컨택홀을 통해 초기화 전원 라인(Vin)과 연결되어 있으며, 제4 드레인 전극(D4)은 컨택홀을 통하는 게이트 브릿지(GB)에 의해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다. 제4 게이트 전극(G4)과 중첩하는 제4 액티브 패턴(A4)의 채널 영역인 제4 채널 영역(C4)은 제4 소스 전극(S4)과 제4 드레인 전극(D4) 사이에 위치하고 있다. 즉, 제4 액티브 패턴(A4)은 초기화 전원 라인(Vin)과 제1 게이트 전극(G1) 사이를 연결하는 동시에, 제3 액티브 패턴(A3) 및 제1 게이트 전극(G1) 각각과 연결되어 있다.
- [0075] 제4 액티브 패턴(A4)의 제4 채널 영역(C4)은 N형 불순물 또는 P형 불순물로 채널 영역 도핑될 수 있으며, 제4 소스 전극(S4) 및 제4 드레인 전극(D4) 각각은 제4 채널 영역(C4)을 사이에 두고 이격되어 제4 채널 영역(C4)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제4 액티브 패턴(A4)은 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3)과 동일한 층에 위치하며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3)과 일체로 형성되어 있다.
- [0076] 제4 게이트 전극(G4)은 제4 액티브 패턴(A4)의 제4 채널 영역(C4) 상에 위치하고 있으며, 제2 스캔 라인(Sn-1)과 일체로 형성되어 있다. 제4 게이트 전극(G4)은 듀얼 게이트(dual gate) 전극으로서 형성되어 있으나, 이에 한정되지는 않는다.
- [0077] 제5 박막 트랜지스터(T5)는 기판(SUB) 상에 위치하며, 제5 액티브 패턴(A5) 및 제5 게이트 전극(G5)을 포함한다.
- [0078] 제5 액티브 패턴(A5)은 제5 소스 전극(S5), 제5 채널 영역(C5), 제5 드레인 전극(D5)을 포함한다. 제5 소스 전극(S5)은 컨택홀을 통해 구동 전원 라인(ELVDD)과 연결되어 있으며, 제5 드레인 전극(D5)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결되어 있다. 제5 게이트 전극(G5)과 중첩하는 제5 액티브 패턴(A5)의 채널 영역인 제5 채널 영역(C5)은 제5 소스 전극(S5)과 제5 드레인 전극(D5) 사이에 위치하고 있다. 즉, 제5 액티브 패턴(A5)은 구동 전원 라인(ELVDD)과 제1 액티브 패턴(A1) 사이를 연결하고 있다.
- [0079] 제5 액티브 패턴(A5)의 제5 채널 영역(C5)은 N형 불순물 또는 P형 불순물로 채널 영역 도핑될 수 있으며, 제5 소스 전극(S5) 및 제5 드레인 전극(D5) 각각은 제5 채널 영역(C5)을 사이에 두고 이격되어 제5 채널 영역(C5)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제5 액티브 패턴(A5)은 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4)과 동일한 층에 위치하며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4)과 일체로 형성되어 있다.
- [0080] 제5 게이트 전극(G5)은 제5 액티브 패턴(A5)의 제5 채널 영역(C5) 상에 위치하고 있으며, 발광 제어 라인(EM)과 일체로 형성되어 있다.
- [0081] 제6 박막 트랜지스터(T6)는 기판(SUB) 상에 위치하며, 제6 액티브 패턴(A6) 및 제6 게이트 전극(G6)을 포함한다.
- [0082] 제6 액티브 패턴(A6)은 제6 소스 전극(S6), 제6 채널 영역(C6), 제6 드레인 전극(D6)을 포함한다. 제6 소스 전극(S6)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결되어 있으며, 제6 드레인 전극(D6)은 컨택홀을 통해 유기 발광 소자(OLED)의 제1 전극(E1)과 연결되어 있다. 제6 게이트 전극(G6)과 중첩하는 제6 액티브 패턴(A6)의 채널 영역인 제6 채널 영역(C6)은 제6 소스 전극(S6)과 제6 드레인 전극(D6) 사이에 위치하고 있다. 즉, 제6 액티브 패턴(A6)은 제1 액티브 패턴(A1)과 유기 발광 소자(OLED)의 제1 전극(E1) 사이를 연결하고 있다.
- [0083] 제6 액티브 패턴(A6)의 제6 채널 영역(C6)은 N형 불순물 또는 P형 불순물로 채널 영역 도핑될 수 있으며, 제6 소스 전극(S6) 및 제6 드레인 전극(D6) 각각은 제6 채널 영역(C6)을 사이에 두고 이격되어 제6 채널 영역(C6)에

도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제6 액티브 패턴(A6)은 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5)과 동일한 층에 위치하며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5)과 일체로 형성되어 있다.

[0084] 제6 게이트 전극(G6)은 제6 액티브 패턴(A6)의 제6 채널 영역(C6) 상에 위치하고 있으며, 발광 제어 라인(EM)과 일체로 형성되어 있다.

[0085] 제7 박막 트랜지스터(T7)는 기판(SUB) 상에 위치하며, 제7 액티브 패턴(A7) 및 제7 게이트 전극(G7)을 포함한다.

[0086] 제7 액티브 패턴(A7)은 제7 소스 전극(S7), 제7 채널 영역(C7), 제7 드레인 전극(D7)을 포함한다. 제7 소스 전극(S7)은 도 3에 도시되지 않은 다른 픽셀(도 2에 도시된 픽셀의 상측에 위치하는 픽셀일 수 있다)의 유기 발광 소자의 제1 전극과 연결되어 있으며, 제7 드레인 전극(D7)은 제4 박막 트랜지스터(T4)의 제4 소스 전극(S4)과 연결되어 있다. 제7 게이트 전극(G7)과 중첩하는 제7 액티브 패턴(A7)의 채널 영역인 제7 채널 영역(C7)은 제7 소스 전극(S7)과 제7 드레인 전극(D7) 사이에 위치하고 있다. 즉, 제7 액티브 패턴(A7)은 유기 발광 소자의 제1 전극과 제4 액티브 패턴(A4) 사이를 연결하고 있다.

[0087] 제7 액티브 패턴(A7)의 제7 채널 영역(C7)은 N형 불순물 또는 P형 불순물로 채널 영역 도핑될 수 있으며, 제7 소스 전극(S7) 및 제7 드레인 전극(D7) 각각은 제7 채널 영역(C7)을 사이에 두고 이격되어 제7 채널 영역(C7)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제7 액티브 패턴(A7)은 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5), 제6 액티브 패턴(A6)과 동일한 층에 위치하며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5), 제6 액티브 패턴(A6)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5), 제6 액티브 패턴(A6)과 일체로 형성되어 있다.

[0088] 제7 게이트 전극(G7)은 제7 액티브 패턴(A7)의 제7 채널 영역(C7) 상에 위치하고 있으며, 제3 스캔 라인(Sn-2)과 일체로 형성되어 있다.

[0089] 상술한, 제1 액티브 패턴(A1)과 제1 게이트 전극(G1) 사이로부터 제7 액티브 패턴(A7)과 제7 게이트 전극(G7) 사이까지 절연층(IL)이 위치하고 있으며, 이 절연층(IL)은 실리콘 질화물 또는 실리콘 산화물 등의 무기 절연층 또는 유기 절연층일 수 있다. 또한, 이 절연층들은 단층 또는 복층으로 형성될 수 있다.

[0090] 제1 스캔 라인(Sn)은 절연층(IL)을 사이에 두고 제2 액티브 패턴(A2) 및 제3 액티브 패턴(A3) 상에 위치하여 제2 액티브 패턴(A2) 및 제3 액티브 패턴(A3)을 가로지르는 방향으로 연장되어 있으며, 제2 게이트 전극(G2) 및 제3 게이트 전극(G3)과 일체로 형성되어 제2 게이트 전극(G2) 및 제3 게이트 전극(G3)과 연결되어 있다.

[0091] 제2 스캔 라인(Sn-1)은 제1 스캔 라인(Sn)과 이격되어 절연층(IL)을 사이에 두고 제4 액티브 패턴(A4) 상에 위치하며, 제4 액티브 패턴(A4)을 가로지르는 방향으로 연장되어 있으며, 제4 게이트 전극(G4)과 일체로 형성되어 제4 게이트 전극(G4)과 연결되어 있다.

[0092] 제3 스캔 라인(Sn-2)은 제2 스캔 라인(Sn-1)과 이격되어 절연층(IL)을 사이에 두고 제7 액티브 패턴(A7) 상에 위치하며, 제7 액티브 패턴(A7)을 가로지르는 방향으로 연장되어 있으며, 제7 게이트 전극(G7)과 일체로 형성되어 제7 게이트 전극(G7)과 연결되어 있다.

[0093] 발광 제어 라인(EM)은 제1 스캔 라인(Sn)과 이격되어 절연층(IL)을 사이에 두고 제5 액티브 패턴(A5) 및 제6 액티브 패턴(A6) 상에 위치하며, 제5 액티브 패턴(A5) 및 제6 액티브 패턴(A6)을 가로지르는 방향으로 연장되어 있으며, 제5 게이트 전극(G5) 및 제6 게이트 전극(G6)과 일체로 형성되어 제5 게이트 전극(G5) 및 제6 게이트 전극(G6)과 연결되어 있다.

[0094] 상술한, 발광 제어 라인(EM), 제3 스캔 라인(Sn-2), 제2 스캔 라인(Sn-1), 제1 스캔 라인(Sn), 제1 게이트 전극(G1), 제2 게이트 전극(G2), 제3 게이트 전극(G3), 제4 게이트 전극(G4), 제5 게이트 전극(G5), 제6 게이트 전극(G6), 제7 게이트 전극(G7)은 동일한 층에 위치하며, 동일한 재료로 형성되어 있다. 한편, 본 발명의 다른 실시예에서, 발광 제어 라인(EM), 제3 스캔 라인(Sn-2), 제2 스캔 라인(Sn-1), 제1 스캔 라인(Sn), 제1 게이트 전극(G1), 제2 게이트 전극(G2), 제3 게이트 전극(G3), 제4 게이트 전극(G4), 제5 게이트 전극(G5), 제6 게이트

전극(G6), 제7 게이트 전극(G7) 각각은 선택적으로 서로 다른 층에 위치하여 서로 다른 재료로 형성될 수 있다.

[0095] 게이트 브릿지(GB)는 절연층(IL)을 사이에 두고 제1 게이트 전극(G1) 상에 위치하고 있으며, 절연층(IL)에 형성된 콘택홀(CNT)을 통해 제1 게이트 전극(G1)과 직접 연결되어 있다. 게이트 브릿지(GB)는 콘택홀을 통해 제3 액티브 패턴(A3)의 제3 드레인 전극(D3) 및 제4 액티브 패턴(A4)의 제4 드레인 전극(D4) 각각과 연결되어 콘택홀(CNT)을 통해 제1 게이트 전극(G1)과 연결되어 있다. 즉, 게이트 브릿지(GB)는 제3 박막 트랜지스터(T3)의 제3 액티브 패턴(A3)과 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1) 사이를 연결하고 있다. 게이트 브릿지(GB)는 제1 게이트 전극(G1) 전체를 커버하고 있다. 게이트 브릿지(GB)는 제1 게이트 전극(G1)과 제3 액티브 패턴(A3) 사이를 연결하는 동시에, 게이트 브릿지(GB) 상에 위치하는 커패시터 전극(CE)과 커패시터(Cst)를 형성한다. 즉, 게이트 브릿지(GB)는 커패시터(Cst)의 일 전극으로서 형성되어 있다. 게이트 브릿지(GB)는 메탈(metal)을 포함할 수 있으며, 커패시터 전극(CE)과 동일하거나 또는 다른 메탈을 포함할 수 있다.

[0096] 게이트 브릿지(GB)는 서로 일체로 형성된 중첩부(P1), 연장부(P2), 돌출부(P3)를 포함한다.

[0097] 중첩부(P1)는 제1 게이트 전극(G1) 상에서 위치하여 제1 게이트 전극(G1) 전체를 커버하고 있으며, 게이트 브릿지(GB) 상에 위치하는 커패시터 전극(CE)과 완전히 중첩하고 있다. 즉, 중첩부(P1)는 제1 게이트 전극(G1)과 커패시터 전극(CE) 사이에 위치하고 있으며, 이로 인해 게이트 브릿지(GB)는 제1 게이트 전극(G1)과 커패시터 전극(CE) 사이에 위치하고 있다. 중첩부(P1)는 콘택홀(CNT)을 통해 제1 게이트 전극(G1)과 직접 연결되어 있다.

[0098] 연장부(P2)는 중첩부(P1)로부터 제3 액티브 패턴(A3)까지 연장되어 있으며, 콘택홀을 통해 제3 액티브 패턴(A3)의 제3 드레인 전극(D3)과 연결되어 있다.

[0099] 돌출부(P3)는 중첩부(P1)로부터 돌출되어 일부 이상이 커패시터 전극(CE)과 비중첩하고 있다.

[0100] 이와 같이, 커패시터(Cst)를 형성하는 일 전극인 게이트 브릿지(GB)가 연장부(P2) 및 돌출부(P3)를 포함함으로써, 게이트 브릿지(GB)와 함께 커패시터(Cst)를 형성하는 커패시터 전극(CE)이 공정 오차에 의해 도 2에서 상측 방향 또는 하측 방향으로 이동되더라도 커패시터 전극(CE)이 이동된 거리에 대응하는 면적이 연장부(P2) 또는 돌출부(P3)에 의해 보상됨으로써, 공정 오차에 의해 커패시터(Cst)의 커패시턴스가 변경되는 것이 억제된다.

[0101] 구동 전원 라인(ELVDD)은 기판(SUB) 상에서 데이터 라인(DA)과 다른 층에 위치하고 있으며, 데이터 라인(DA)과 이웃하고 있다. 구체적으로, 구동 전원 라인(ELVDD)은 데이터 라인(DA) 아래에 위치하고 있다. 구동 전원 라인(ELVDD)은 절연층(IL)을 사이에 두고 제1 스캔 라인(Sn)을 가로지르고 있다. 구동 전원 라인(ELVDD)은 제1 스캔 라인(Sn)을 가로지르는 일 방향으로 연장되어 있으며, 커패시터 전극(CE)과 연결되어 제1 액티브 패턴(A1)과 연결된 제5 액티브 패턴(A5)의 제5 소스 전극(S5)과 연결되어 있다. 구동 전원 라인(ELVDD)은 커패시터 전극(CE)과 일체로 형성되어 있으며, 커패시터 전극(CE)은 구동 전원 라인(ELVDD)이 확장된 형태로 형성되어 있다. 구동 전원 라인(ELVDD)은 제1 스캔 라인(Sn), 제2 스캔 라인(Sn-1), 제3 스캔 라인(Sn-2), 발광 제어 라인(EM)을 가로지르는 일 방향으로 연장되어 있다.

[0102] 커패시터 전극(CE)은 절연층(IL)을 사이에 두고 게이트 브릿지(GB) 상에 위치하고 있으며, 게이트 브릿지(GB)와 중첩되어 게이트 브릿지(GB)와 함께 커패시터(Cst)를 형성한다. 커패시터 전극(CE)은 커패시터(Cst)의 타 전극으로서 형성된다. 커패시터 전극(CE)은 게이트 브릿지(GB)와 서로 다른 층에 위치하며, 게이트 브릿지(GB)와 다르거나 또는 동일한 메탈로 형성되어 있다. 커패시터 전극(CE)은 구동 전원 라인(ELVDD)과 일체로 형성되어 있으며, 구동 전원 라인(ELVDD)이 연장된 방향인 일 방향과 교차하는 타 방향으로 연장되어 있다. 커패시터 전극(CE)은 구동 전원 라인(ELVDD)과 일체로 형성됨으로써, 구동 전원 라인(ELVDD)과 동일한 층에 위치하나, 데이터 라인(DA)과는 서로 다른 층에 위치하고 있다. 커패시터 전극(CE)이 타 방향으로 연장되고 구동 전원 라인(ELVDD)이 일 방향으로 연장됨으로써, 커패시터 전극(CE) 및 구동 전원 라인(ELVDD) 각각은 일체로 형성되어 기판(SUB) 상에서 서로 다른 방향으로 연장되어 있다.

[0103] 데이터 라인(DA)은 절연층(IL)을 사이에 두고 커패시터 전극(CE) 상에 위치하며, 제1 스캔 라인(Sn)을 가로지르는 일 방향으로 연장되어 있다. 데이터 라인(DA)은 콘택홀을 통해 제2 액티브 패턴(A2)의 제2 소스 전극(S2)과 연결되어 있다. 데이터 라인(DA)은 기판(SUB) 상에서 제1 스캔 라인(Sn), 제2 스캔 라인(Sn-1), 제3 스캔 라인(Sn-2), 발광 제어 라인(EM), 커패시터 전극(CE)을 가로지르는 일 방향으로 연장되어 있다. 데이터 라인(DA)은 기판(SUB) 상에서 구동 전원 라인(ELVDD), 커패시터 전극(CE), 게이트 브릿지(GB) 각각과 서로 다른 층에 위치하고 있다.

[0104] 초기화 전원 라인(Vin)은 콘택홀을 통해 제4 액티브 패턴(A4)의 제4 소스 전극(S4)과 연결되어 있다. 초기화

전원 라인(Vin)은 유기 발광 소자(OLED)의 제1 전극(E1)과 동일한 층에 위치하여 동일한 재료로 형성되어 있다. 한편, 본 발명의 다른 실시예에서 초기화 전원 라인(Vin)은 제1 전극(E1)과 다른 층에 위치하여 다른 재료로 형성될 수 있다.

[0105] 유기 발광 소자(OLED)는 제1 전극(E1), 유기 발광층(OL), 제2 전극(E2)을 포함한다. 제1 전극(E1)은 컨택홀을 통해 제6 박막 트랜지스터(T6)의 제6 드레인 전극(D6)과 연결되어 있다. 유기 발광층(OL)은 제1 전극(E1)과 제2 전극(E2) 사이에 위치하고 있다. 제2 전극(E2)은 유기 발광층(OL) 상에 위치하고 있다. 제1 전극(E1) 및 제2 전극(E2) 중 하나 이상의 전극은 광 투과성 전극, 광 반사성 전극, 광 반투과성 전극 중 어느 하나 이상일 수 있으며, 유기 발광층(OL)으로부터 발광된 빛은 제1 전극(E1) 및 제2 전극(E2) 어느 하나 이상의 전극 방향으로 방출될 수 있다.

[0106] 유기 발광 소자(OLED) 상에는 유기 발광 소자(OLED)를 덮는 캡핑층(capping layer)이 위치할 수 있으며, 이 캡핑층을 사이에 두고 유기 발광 소자(OLED) 상에는 박막 봉지층(thin film encapsulation)이 위치하거나, 또는 봉지 기판이 위치할 수 있다.

[0107] 이상과 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 제1 게이트 전극(G1)과 커패시터 전극(CE)이 커패시터(Cst)를 형성하는 것이 아니라, 제1 게이트 전극(G1) 상에 위치하는 게이트 브릿지(GB)와 커패시터 전극(CE)이 커패시터(Cst)를 형성함으로써, 설정된 평면적에서 제1 게이트 전극(G1)의 면적 또는 위치와 상관없이 커패시턴스를 형성하는 커패시터(Cst)의 면적을 설정할 수 있다. 이로 인해, 인치당 픽셀수(pixel per inch, ppi)가 증가된 고해상도의 유기 발광 표시 장치를 제조하더라도, 커패시터(Cst)의 면적을 제1 게이트 전극(G1)의 면적 또는 위치와 상관없이 설정할 수 있기 때문에, 커패시터(Cst)가 형성하는 커패시턴스(capacitance)를 향상시킬 수 있다.

[0108] 또한, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 제1 게이트 전극(G1)과 커패시터 전극(CE)이 커패시터(Cst)를 형성하는 것이 아니라, 제1 게이트 전극(G1) 상에 위치하는 게이트 브릿지(GB)와 커패시터 전극(CE)이 커패시터(Cst)를 형성함으로써, 게이트 브릿지(GB)를 제1 게이트 전극(G1)과 연결하기 위해 제1 게이트 전극(G1)과 커패시터를 형성하는 커패시터 전극(CE)에 개구부를 형성할 필요가 없기 때문에, 커패시터 전극(CE)에 형성되는 개구부에 의해 전체적인 커패시터(Cst)의 커패시턴스가 저하되는 것이 방지된다.

[0109] 또한, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 커패시터(Cst)를 형성하는 일 전극인 게이트 브릿지(GB)가 연장부(P2) 및 돌출부(P3)를 포함함으로써, 게이트 브릿지(GB)와 함께 커패시터(Cst)를 형성하는 타 전극인 커패시터 전극(CE)이 공정 오차에 의해 의도치 않은 방향으로 이동되더라도 커패시터 전극(CE)이 이동된 거리에 대응하는 면적이 연장부(P2) 또는 돌출부(P3)에 의해 보상됨으로써, 공정 오차에 의해 커패시터(Cst)가 형성하는 커패시턴스가 변경되는 것이 억제된다.

[0110] 즉, 인치당 픽셀수(pixel per inch, ppi)가 증가된 고해상도의 유기 발광 표시 장치로 제조되더라도, 커패시터(Cst)가 형성하는 커패시턴스(capacitance)가 향상된 유기 발광 표시 장치가 제공된다.

[0111] 이하, 도 4 및 도 5를 참조하여 본 발명의 다른 실시예에 따른 유기 발광 표시 장치를 설명한다. 이하에서는 상술한 본 발명의 일 실시예에 따른 유기 발광 표시 장치와 다른 구성에 대해서 설명한다.

[0112] 도 4는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 일 픽셀을 나타낸 배치도이다. 도 5는 도 4의 V-V를 따른 단면도이다.

[0113] 도 4 및 도 5에 도시된 바와 같이, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치는 일 픽셀(Px)에 대응하여 위치할 수 있는 기판(SUB), 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7), 제1 스캔 라인(Sn), 제2 스캔 라인(Sn-1), 제3 스캔 라인(Sn-2), 발광 제어 라인(EM), 게이트 브릿지(GB), 구동 전원 라인(ELVDD), 커패시터 전극(CE), 데이터 라인(DA), 초기화 전원 라인(Vin), 유기 발광 소자(OLED)를 포함한다.

[0114] 구동 전원 라인(ELVDD)은 기판(SUB) 상에서 데이터 라인(DA)과 다른 층에 위치하고 있으며, 데이터 라인(DA)과 이웃하고 있다. 구체적으로, 구동 전원 라인(ELVDD)은 절연층(IL)을 사이에 두고 데이터 라인(DA) 상에 위치하고 있다.

[0115] 커패시터 전극(CE)은 복층의 절연층(IL)을 사이에 두고 게이트 브릿지(GB) 상에 위치하고 있으며, 게이트 브릿지(GB)와 중첩되어 게이트 브릿지(GB)와 함께 커패시터(Cst)를 형성한다. 커패시터 전극(CE)은 커패시터(Cst)

의 타 전극으로서 형성된다. 커패시터 전극(CE)은 게이트 브릿지(GB)와 서로 다른 층에 위치하며, 게이트 브릿지(GB)와 다르거나 또는 동일한 메탈로 형성되어 있다. 커패시터 전극(CE)은 구동 전원 라인(ELVDD)과 일체로 형성되어 있으며, 구동 전원 라인(ELVDD)이 연장된 방향인 일 방향과 교차하는 타 방향으로 연장되어 있다. 커패시터 전극(CE)은 구동 전원 라인(ELVDD)과 일체로 형성됨으로써, 구동 전원 라인(ELVDD)과 동일한 층에 위치하나, 데이터 라인(DA)과는 서로 다른 층에 위치하고 있다. 커패시터 전극(CE)은 절연층(IL)을 사이에 두고 데이터 라인(DA) 상에 위치하고 있다. 커패시터 전극(CE)이 타 방향으로 연장되고 구동 전원 라인(ELVDD)이 일 방향으로 연장됨으로써, 커패시터 전극(CE) 및 구동 전원 라인(ELVDD) 각각은 일체로 형성되어 기판(SUB) 상에서 서로 다른 방향으로 연장되어 있다.

[0116] 데이터 라인(DA)은 절연층(IL)을 사이에 두고 커패시터 전극(CE) 아래에 위치하며, 제1 스캔 라인(Sn)을 가로지르는 일 방향으로 연장되어 있다. 데이터 라인(DA)은 콘택홀을 통해 제2 액티브 패턴(A2)의 제2 소스 전극(S2)과 연결되어 있다. 데이터 라인(DA)은 기판(SUB) 상에서 제1 스캔 라인(Sn), 제2 스캔 라인(Sn-1), 제3 스캔 라인(Sn-2), 발광 제어 라인(EM), 커패시터 전극(CE)을 가로지르는 일 방향으로 연장되어 있다. 데이터 라인(DA)은 기판(SUB) 상에서 구동 전원 라인(ELVDD), 커패시터 전극(CE), 게이트 브릿지(GB) 각각과 서로 다른 층에 위치하고 있다.

[0117] 이상과 같이, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치는 제1 게이트 전극(G1)과 커패시터 전극(CE)이 커패시터(Cst)를 형성하는 것이 아니라, 제1 게이트 전극(G1) 상에 위치하는 게이트 브릿지(GB)와 커패시터 전극(CE)이 커패시터(Cst)를 형성함으로써, 설정된 평면적에서 제1 게이트 전극(G1)의 면적 또는 위치와 상관없이 커패시턴스를 형성하는 커패시터(Cst)의 면적을 설정할 수 있다. 이로 인해, 인치당 픽셀수(pixel per inch, ppi)가 증가된 고해상도의 유기 발광 표시 장치를 제조하더라도, 커패시터(Cst)의 면적을 제1 게이트 전극(G1)의 면적 또는 위치와 상관없이 설정할 수 있기 때문에, 커패시터(Cst)가 형성하는 커패시턴스(capacitance)를 향상시킬 수 있다.

[0118] 또한, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치는 제1 게이트 전극(G1)과 커패시터 전극(CE)이 커패시터(Cst)를 형성하는 것이 아니라, 제1 게이트 전극(G1) 상에 위치하는 게이트 브릿지(GB)와 커패시터 전극(CE)이 커패시터(Cst)를 형성함으로써, 게이트 브릿지(GB)를 제1 게이트 전극(G1)과 연결하기 위해 제1 게이트 전극(G1)과 커패시터를 형성하는 커패시터 전극(CE)에 개구부를 형성할 필요가 없기 때문에, 커패시터 전극(CE)에 형성되는 개구부에 의해 전체적인 커패시터(Cst)의 커패시턴스가 저하되는 것이 방지된다.

[0119] 즉, 인치당 픽셀수(pixel per inch, ppi)가 증가된 고해상도의 유기 발광 표시 장치로 제조되더라도, 커패시터(Cst)가 형성하는 커패시턴스(capacitance)가 향상된 유기 발광 표시 장치가 제공된다.

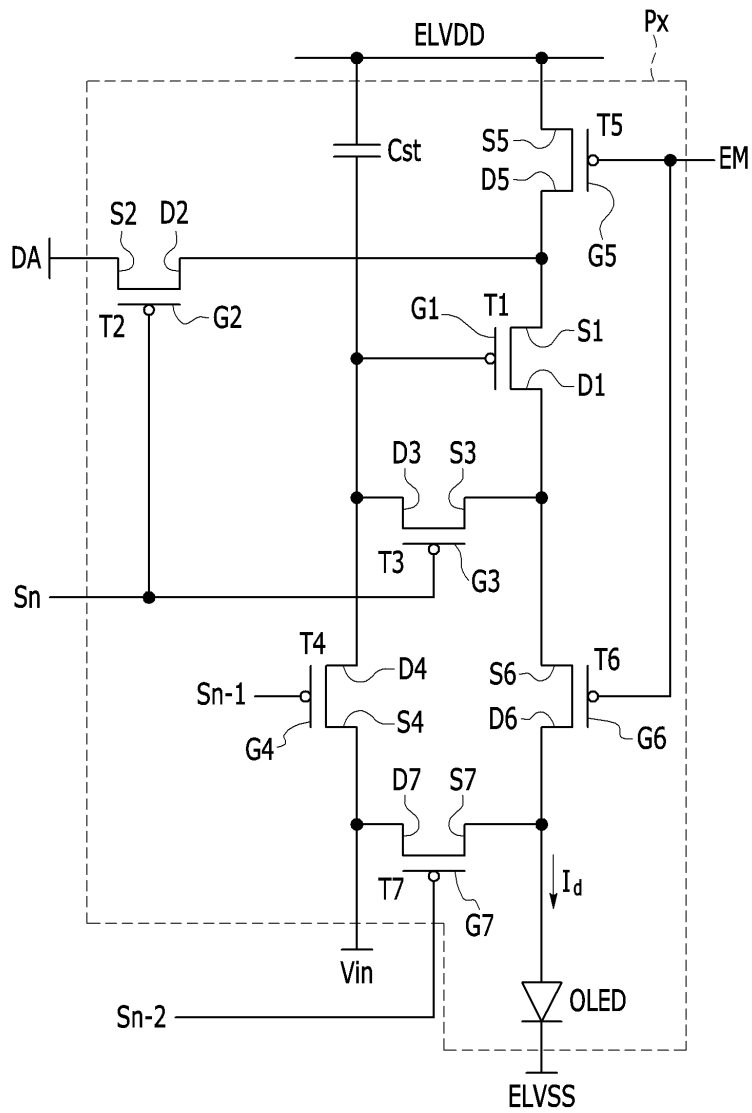
[0120] 본 발명을 앞서 기재한 바에 따라 여러 실시예를 통해 설명하였지만, 본 발명은 이에 한정되지 않으며 다음에 기재하는 특허청구범위의 개념과 범위를 벗어나지 않는 한, 다양한 수정 및 변형이 가능하다는 것을 본 발명이 속하는 기술 분야에 종사하는 자들은 쉽게 이해할 것이다.

부호의 설명

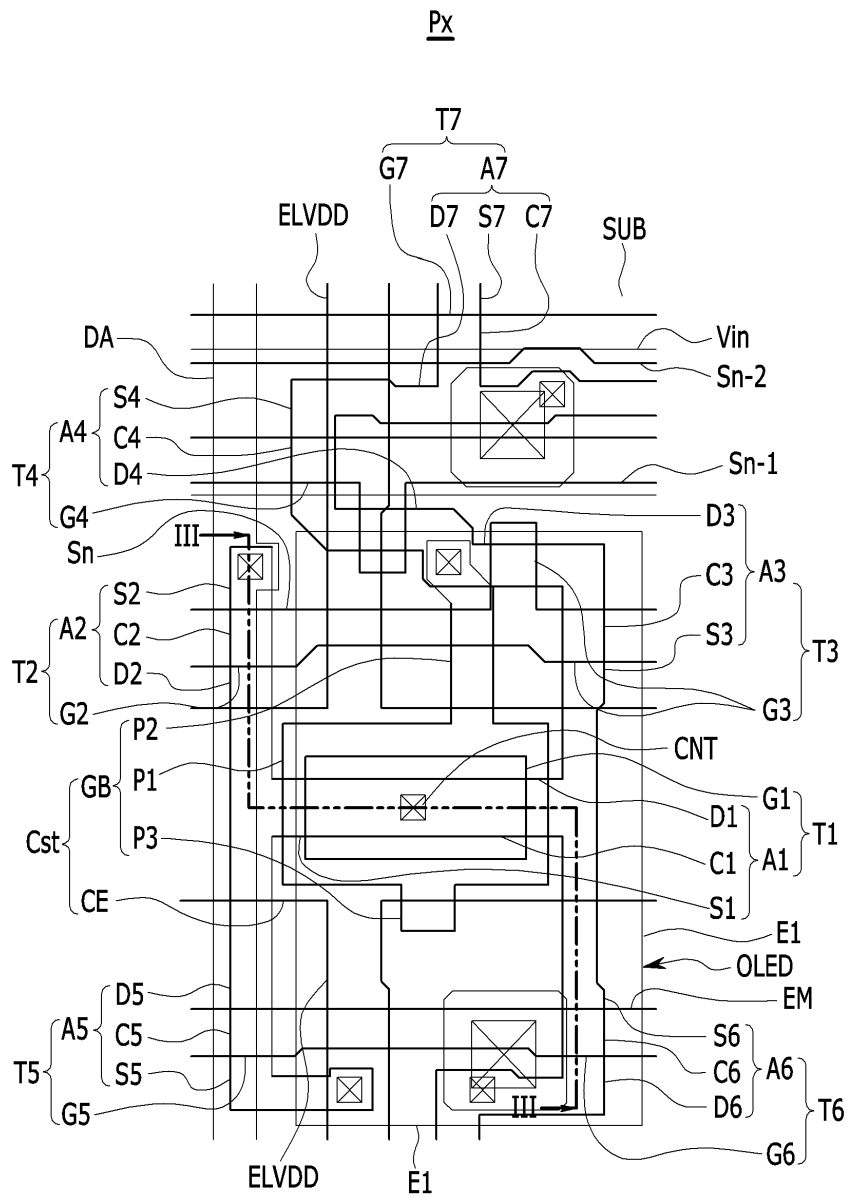
[0121] 기판(SUB), 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 데이터 라인(DA), 제3 박막 트랜지스터(T3), 게이트 브릿지(GB), 구동 전원 라인(ELVDD), 커패시터 전극(CE)

도면

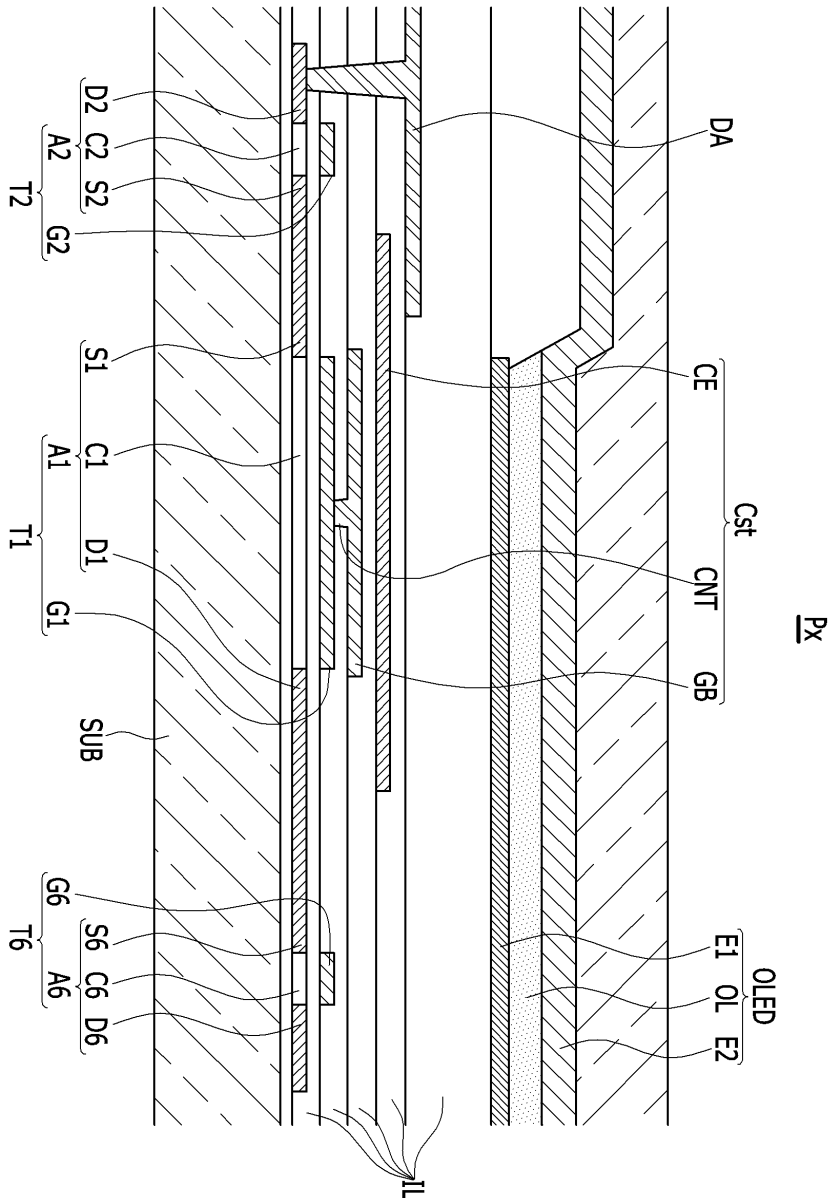
도면1



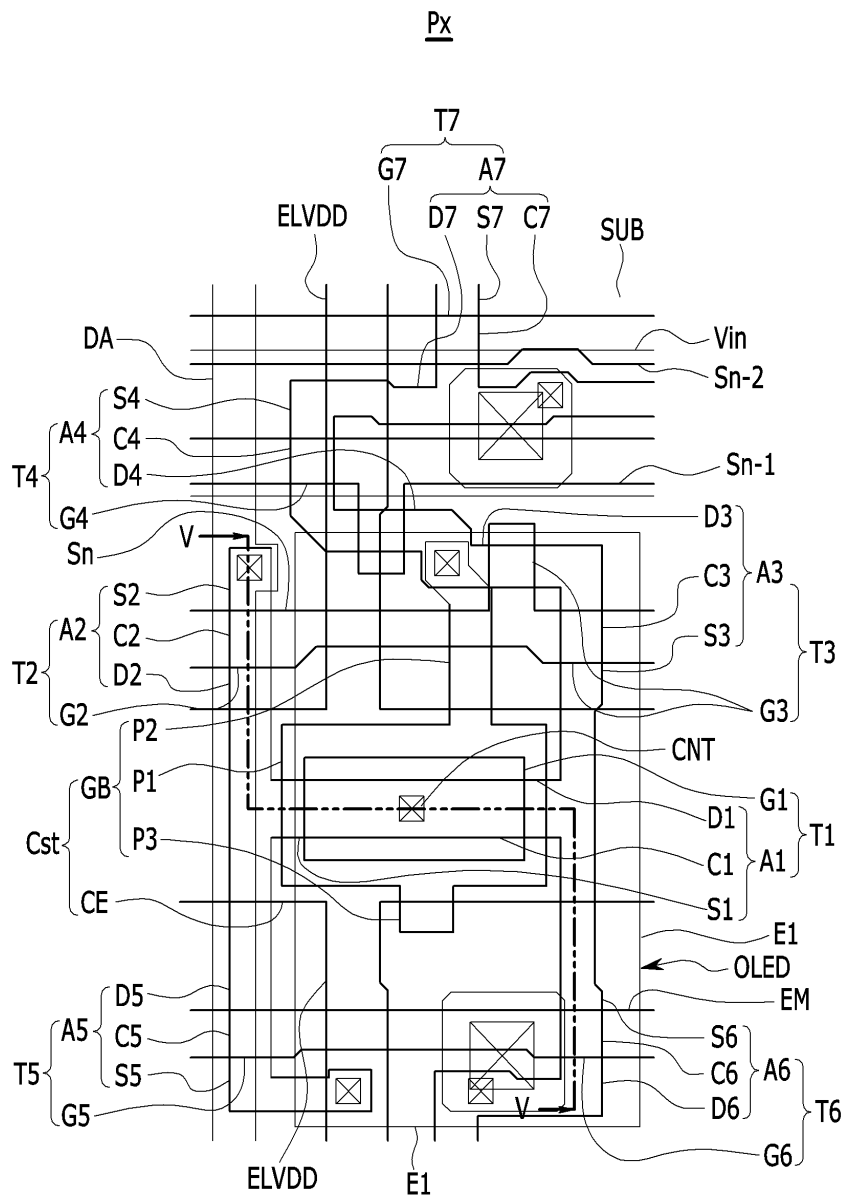
도면2



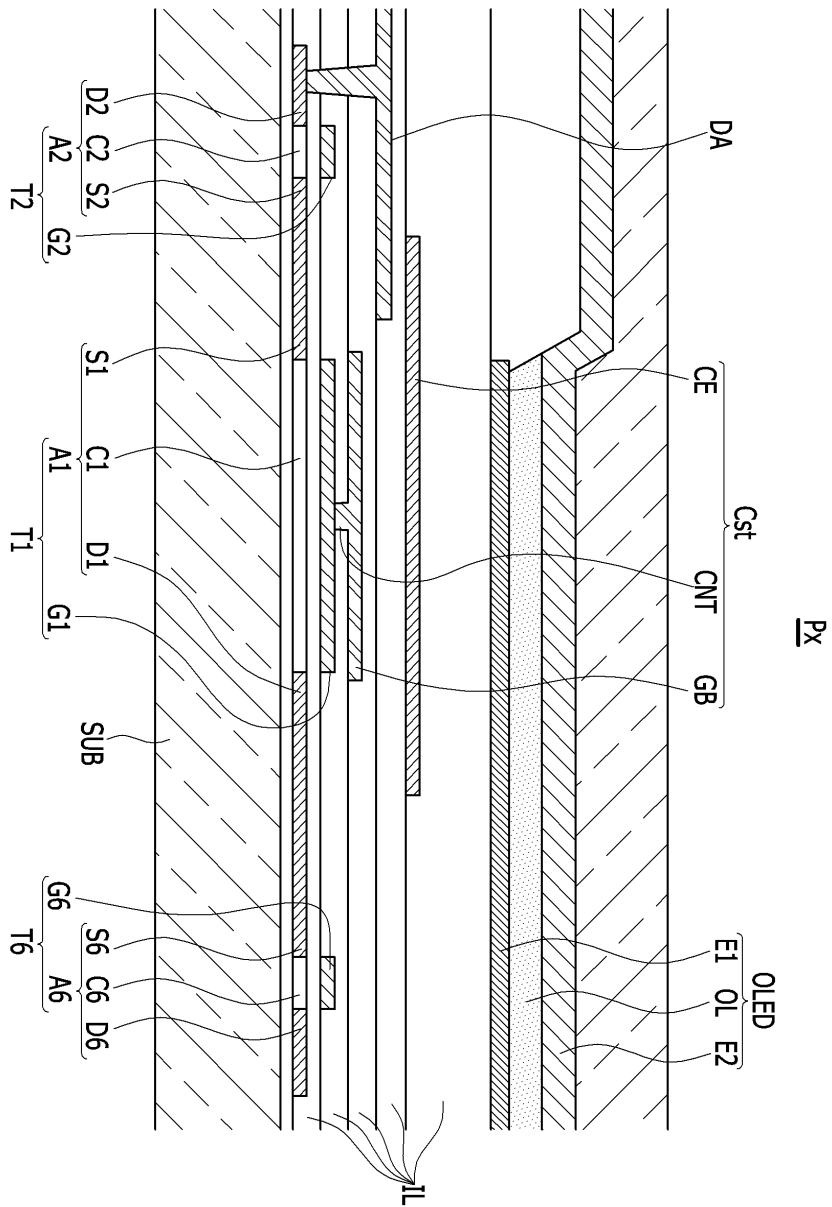
도면3



도면4



도면5



专利名称(译)	相关技术的描述		
公开(公告)号	KR1020170012756A	公开(公告)日	2017-02-03
申请号	KR1020150104477	申请日	2015-07-23
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	JUNG YOUNG BAE 정영배 KIM HYUN TAE 김현태		
发明人	정영배 김현태		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3262 H01L27/3265 H01L27/3225 H01L27/3246 H01L2227/32 H01L27/1222 H01L27/1255 H01L27/3276 H01L29/78675 H01L29/7869		
外部链接	Espacenet		

摘要(译)

该摘要目前正在准备中。更新的KPA将于2017年5月10日之后提供。*本标题 (54) 和代表图显示为申请人提交的.COPYRIGHT KIPO 2017

