(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0080912
(43) 공개일자 2012년07월18일

(51) 국제특허분류(Int. Cl.)
G09G 3/30 (2006.01)
(21) 출원번호 10-2011-0002382
(22) 출원일자 2011년01월10일
심사청구일자 없음

(71) 출원인
삼성모바일디스플레이주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
강기녕
경기도 용인시 기흥구 삼성2로 95 (농서동)
김나영
경기도 용인시 기흥구 삼성2로 95 (농서동)
(뒷면에 계속)
(74) 대리인
팬코리아특허법인

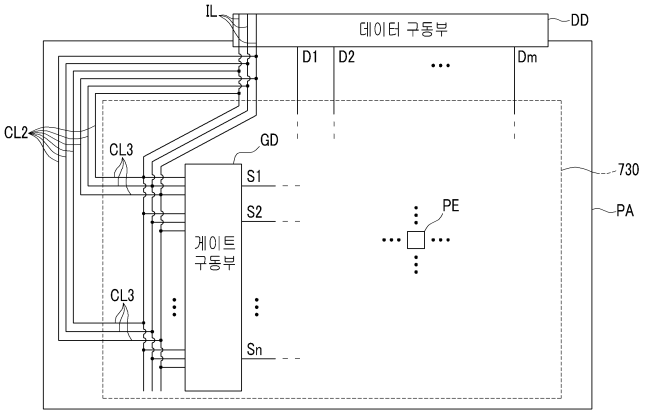
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 **유기 발광 표시 장치**

(57) 요 약

유기 발광 표시 장치는 패널, 상기 패널에 형성되는 데이터 라인과 접속되는 데이터 구동부와, 상기 데이터 라인과 절연 교차하여 상기 패널에 형성되는 게이트 라인들과 접속되는 게이트 구동부, 외부로부터 클럭 신호를 공급받는 입력 라인, 상기 입력 라인과 전기적으로 연결되어 상기 클럭 신호를 상기 게이트 구동부로 공급하는 제1 연결 라인, 상기 입력 라인과 전기적으로 연결되는 제2 연결 라인, 및 상기 제2 연결 라인으로부터 연장되어 상기 제2 연결 라인과 상기 제1 연결 라인 사이를 전기적으로 연결하는 제3 연결 라인을 포함한다.

대 표 도 - 도2



(72) 발명자

이왕조

경기도 용인시 기흥구 삼성2로 95 (농서동)

최인호

경기도 용인시 기흥구 삼성2로 95 (농서동)

박용성

경기도 용인시 기흥구 삼성2로 95 (농서동)

특허청구의 범위

청구항 1

패널;

상기 패널에 형성되는 데이터 라인과 접속되는 데이터 구동부와;

상기 데이터 라인과 절연 교차하여 상기 패널에 형성되는 게이트 라인들과 접속되는 게이트 구동부;

외부로부터 클럭 신호를 공급받는 입력 라인;

상기 입력 라인과 전기적으로 연결되어 상기 클럭 신호를 상기 게이트 구동부로 공급하는 제1 연결 라인;

상기 입력 라인과 전기적으로 연결되는 제2 연결 라인; 및

상기 제2 연결 라인으로부터 연장되어 상기 제2 연결 라인과 상기 제1 연결 라인 사이를 전기적으로 연결하는 제3 연결 라인

을 포함하는 유기 발광 표시 장치.

청구항 2

제1항에서,

상기 제1 기판 상에 위치하는 제1 전극;

상기 제1 전극 상에 위치하는 유기 발광층; 및

상기 유기 발광층 상에 위치하는 제2 전극

을 더 포함하며,

상기 제1 연결 라인은 상기 제2 전극과 중첩되는 유기 발광 표시 장치.

청구항 3

제2항에서,

상기 제2 연결 라인은 상기 제2 전극과 중첩되지 않는 유기 발광 표시 장치.

청구항 4

제2항에서,

상기 게이트 라인은 게이트 투명층 및 상기 게이트 투명층 상에 형성된 게이트 금속층을 포함하는 이중층으로 형성되며,

상기 제1 전극은 상기 게이트 투명층과 동일한 층에 동일한 재료로 형성되는 유기 발광 표시 장치.

청구항 5

제1항에서,

상기 제1 연결 라인은 상기 데이터 라인과 동일한 층에 동일한 재료로 형성되는 유기 발광 표시 장치.

청구항 6

제1항에서,

상기 제2 연결 라인은 상기 게이트 라인과 동일한 층에 동일한 재료로 형성되는 유기 발광 표시 장치.

청구항 7

제6항에서,

상기 제3 연결 라인은 상기 제2 연결 라인과 동일한 층에 동일한 재료로 형성되는 유기 발광 표시 장치.

청구항 8

제1항 내지 제7항 중 어느 한 항에서,

상기 데이터 라인은 상기 게이트 라인 상에 위치하며,

상기 게이트 라인과 상기 데이터 라인 사이에 위치하는 제1 절연층; 및

상기 데이터 라인 상에 위치하며, 유기 재료를 포함하는 제2 절연층

을 더 포함하며,

상기 제2 연결 라인은 상기 제2 절연층과 중첩되지 않는 유기 발광 표시 장치.

명 세 서

기 술 분 야

[0001] 본 발명은 유기 발광 표시 장치에 관한 것으로서, 보다 상세하게는 게이트 구동부를 포함하는 유기 발광 표시 장치에 관한 것이다.

배 경 기 술

[0002] 표시 장치는 이미지를 표시하는 장치로서, 최근 유기 발광 표시 장치(organic light emitting diode display)가 주목 받고 있다.

[0003] 유기 발광 표시 장치는 자체 발광 특성을 가지며, 액정 표시 장치(liquid crystal display device)와 달리 별도의 광원을 필요로 하지 않으므로 두께와 무게를 줄일 수 있다. 또한, 유기 발광 표시 장치는 낮은 소비 전력, 높은 휘도 및 높은 반응 속도 등의 고품위 특성을 나타낸다.

[0004] 도 1은 종래의 유기 발광 표시 장치를 나타낸 도면이다.

[0005] 도 1에 도시된 바와 같이, 종래의 유기 발광 표시 장치는 패널(1), 데이터 구동부(3), 게이트 구동부(4) 및 화소(PE)을 구비한다.

[0006] 화소(PE)는 게이트 라인(S1 내지 Sn) 및 데이터 라인(D1 내지 Dm)의 교차부에 형성된다. 또한, 도시하지는 않았지만, 데이터 라인(D1 내지 Dm)과 대향하여 구동 전원 라인이 형성될 수 있다. 이와 같은 화소(PE)는 게이트 신호가 공급될 때 선택되어 데이터 신호에 대응하는 전압을 충전하고, 충전된 전압에 대응하여 소정 휘도의 빛을 발광한다.

[0007] 데이터 구동부(3)는 게이트 구동부(4)로부터 게이트 신호가 공급될 때 데이터 라인(D1 내지 Dm)로 데이터신호를 공급한다.

[0008] 게이트 구동부(4)는 게이트 라인(S1 내지 Sn)으로 게이트 신호를 순차적으로 공급한다. 여기서, 게이트 구동부(4)는 화소(PE)가 형성될 때 패널(1)에 실장되도록 형성된다. 이를 위하여, 게이트 구동부(4)는 입력 라인(5), 입력 라인(5)과 게이트 구동부(4)의 사이에 위치되는 연결 라인(6)을 구비한다.

[0009] 입력 라인(5)은 도시되지 않은 인쇄회로기판으로부터 클럭 신호를 공급받는다. 연결 라인(6)은 입력 라인(5) 각각과 전기적으로 접속되며, 데이터 라인(D1 내지 Dm)과 나란한 방향으로 형성되어 게이트 구동부(4) 각각에 포함된 스테이지(미도시)로 클럭 신호를 공급한다.

[0010] 여기서, 패널(1)에 형성된 연결 라인(6)은 캐소드 전극(2)과 중첩되게 위치된다. 캐소드 전극(2)과 연결 라인(6)이 중첩되는 경우 연결 라인(6)과 캐소드 전극(2)이 캐패시터를 형성하고, 이에 따라 클럭 신호의 딜레이가 발생한다. 이와 같은 문제점을 극복하기 위하여 종래에는 패널(1)과 접속되도록 복수의 FPC(Flexible Printed Circuit)를 소정 간격으로 설치하고, 이 FPC를 이용하여 연결 라인(6)으로 클럭 신호를 추가로 공급하였다. 하지만, 종래와 같이 FPC를 사용하여 클럭 신호를 추가로 공급하는 경우 제조 비용이 상승됨과 동시에 제조 수율이 저하되는 문제점이 있었다.

발명의 내용

해결하려는 과제

[0011] 본 발명의 일 실시예는 상술한 문제점을 해결하기 위한 것으로서, 클럭 신호의 딜레이를 최소화하면서, 제조 비용이 절감됨과 동시에 제조 수율이 향상된 유기 발광 표시 장치를 제공하고자 한다.

과제의 해결 수단

[0012] 상술한 기술적 과제를 달성하기 위한 본 발명의 일 측면은 패널, 상기 패널에 형성되는 데이터 라인과 접속되는 데이터 구동부와, 상기 데이터 라인과 절연 교차하여 상기 패널에 형성되는 게이트 라인들과 접속되는 게이트 구동부, 외부로부터 클럭 신호를 공급받는 입력 라인, 상기 입력 라인과 전기적으로 연결되어 상기 클럭 신호를 상기 게이트 구동부로 공급하는 제1 연결 라인, 상기 입력 라인과 전기적으로 연결되는 제2 연결 라인, 및 상기 제2 연결 라인으로부터 연장되어 상기 제2 연결 라인과 상기 제1 연결 라인 사이를 전기적으로 연결하는 제3 연결 라인을 포함하는 유기 발광 표시 장치를 제공한다.

[0013] 상기 제1 기판 상에 위치하는 제1 전극, 상기 제1 전극 상에 위치하는 유기 발광층, 및 상기 유기 발광층 상에 위치하는 제2 전극을 더 포함하며, 상기 제1 연결 라인은 상기 제2 전극과 중첩될 수 있다.

[0014] 상기 제2 연결 라인은 상기 제2 전극과 중첩되지 않을 수 있다.

[0015] 상기 게이트 라인은 게이트 투명층 및 상기 게이트 투명층 상에 형성된 게이트 금속층을 포함하는 이중층으로 형성되며, 상기 제1 전극은 상기 게이트 투명층과 동일한 층에 동일한 재료로 형성될 수 있다.

[0016] 상기 제1 연결 라인은 상기 데이터 라인과 동일한 층에 동일한 재료로 형성될 수 있다.

[0017] 상기 제2 연결 라인은 상기 게이트 라인과 동일한 층에 동일한 재료로 형성될 수 있다.

[0018] 상기 제3 연결 라인은 상기 제2 연결 라인과 동일한 층에 동일한 재료로 형성될 수 있다.

[0019] 상기 데이터 라인은 상기 게이트 라인 상에 위치하며, 상기 게이트 라인과 상기 데이터 라인 사이에 위치하는 제1 절연층, 및 상기 데이터 라인 상에 위치하며, 유기 재료를 포함하는 제2 절연층을 더 포함하며, 상기 제2 연결 라인은 상기 제2 절연층과 중첩되지 않을 수 있다.

발명의 효과

[0020] 상술한 본 발명의 과제 해결 수단의 일부 실시예 중 하나에 의하면, 클럭 신호의 딜레이를 최소화하면서, 제조 비용이 절감됨과 동시에 제조 수율이 향상된 유기 발광 표시 장치가 제공된다.

도면의 간단한 설명

[0021] 도 1은 종래의 유기 발광 표시 장치를 나타낸 도면이다.

도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 나타낸 도면이다.

도 3은 도 2에 도시된 유기 발광 표시 장치가 갖는 일 화소를 나타낸 배치도이다.

도 4는 도 3에 도시된 박막 트랜지스터, 캐패시터, 및 유기 발광 소자를 중심으로 확대 도시한 부분 단면도이다.

도 5는 도 2에 도시된 제1 연결 라인, 제2 연결 라인 및 제3 연결 라인을 중심으로 확대 도시한 부분 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0022] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

[0023] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.

[0024] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.

[0025] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "상에" 있다고 할 때, 이는 다른 부분 "바로 상에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

[0026] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서 전체에서, "~상에"라 함은 대상 부분의 위 또는 아래에 위치함을 의미하는 것이며, 반드시 중력 방향을 기준으로 상 측에 위치하는 것을 의미하는 것은 아니다.

[0027] 이하, 도 2 내지 도 5를 참조하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 설명한다.

[0028] 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 나타낸 도면이다.

[0029] 도 2에 도시된 바와 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 패널(PA), 데이터 구동부(DD), 게이트 구동부(GD) 및 화소(PE)를 포함한다. 여기서, 화소(PE)는 화상을 표시하는 최소 단위를 말하며, 유기 발광 표시 장치는 복수의 화소(PE)를 통해 이미지(image)를 표시한다.

[0030] 화소(PE)는 게이트 라인(S1 내지 Sn) 및 데이터 라인(D1 내지 Dm)의 교차부에 각각 형성된다. 또한, 도 2에는 도시하지는 않았지만, 데이터 라인(D1 내지 Dm)과 대향하여 구동 전원 라인이 형성될 수 있다. 이와 같은 화소(PE)는 게이트 신호가 공급될 때 선택되어 데이터 신호에 대응하는 전압을 충전하고, 충전된 전압에 대응하여 소정 휘도의 빛을 발광한다. 화소(PE)의 자세한 배치에 대해서는 후술한다.

[0031] 데이터 구동부(DD)는 게이트 구동부(GD)로부터 게이트 신호가 공급될 때 데이터 라인(D1 내지 Dm)으로 데이터 신호를 공급한다. 여기서, 데이터 구동부(DD)는 도시되지 않은 복수의 데이터 집적 회로로 구성된다. 데이터 집적 회로 각각은 j(j는 자연수)개의 데이터 신호가 공급될 수 있도록 j개의 채널을 구비할 수 있다.

[0032] 게이트 구동부(GD)는 게이트 라인(S1 내지 Sn)으로 게이트 신호를 순차적으로 공급한다. 여기서, 게이트 구동부(GD)는 화소(PE)가 형성될 때 패널(PA)에 실장될 수 있다. 패널(PA)에 실장된 게이트 구동부(GD)는 외부로부터 공급되는 클럭 신호을 공급받는다. 이를 위하여, 패널(PA)에는 입력 라인(IL), 제1 연결 라인(CL1), 제2 연결 라인(CL2) 및 제3 연결 라인(CL3)이 형성된다.

[0033] 입력 라인(IL)은 데이터 구동부(DD) 내에 포함된 데이터 집적 회로의 채널을 통하여 도시되지 않은 인쇄회로기판으로부터 클럭 신호을 공급받는다. 상세히 설명하면, j개의 채널로 이루어진 데이터 집적 회로 중 일부 채널은 사용되지 않는다. 입력 라인(IL)은 사용되지 않은 일부 채널을 경유하여 인쇄회로기판으로부터 클럭 신호를 공급 받는다.

[0034] 제1 연결 라인(CL1)은 게이트 구동부(GD)와 나란하게 형성되며, 입력 라인(IL)과 전기적으로 접속된다. 이와 같은 제1 연결 라인(CL1)은 입력 라인(IL)으로부터의 클럭 신호를 게이트 구동부(GD)로 공급한다. 상세히 설명하면, 게이트 구동부(GD)는 게이트 라인(S1 내지 Sn)과 각각 접속되는 n개의 스테이지를 구비할 수 있다. 제1 연결 라인(CL1)은 상기 스테이지에서 게이트 신호가 생성될 수 있도록 스테이지 각각으로 클럭 신호를 공급한다.

[0035] 한편, 제1 연결 라인(CL1)은 게이트 구동부(GD)를 이루는 스테이지와 전기적으로 접속되기 때문에 게이트 구동부(GD)와 인접되게 형성된다. 이 경우, 게이트 구동부(GD)와 인접되게 위치된 제1 연결 라인(CL1)은 후술할 캐소드 전극인 제2 전극(730)과 중첩된다.

[0036] 제2 연결 라인(CL2)은 게이트 구동부(GD)와 나란하게 형성되며, 입력 라인(IL)과 전기적으로 접속된다. 이와 같은 제2 연결 라인(CL2)은 제2 연결 라인(CL2)으로부터 연장되어 제2 연결 라인(CL2)과 제1 연결 라인(CL1) 사이를 전기적으로 연결하는 제3 연결 라인(CL3)을 경유하여 제1 연결 라인(CL1)과 전기적으로 접속된다. 즉, 제2 연결 라인(CL2)과 제3 연결 라인(CL3)은 일체로 형성된다. 실제로, 제3 연결 라인(CL3)은 특정 클럭 신호를 공급받는 제2 연결 라인(CL2)과 상기 특정 클럭 신호를 공급받는 제1 연결 라인(CL1)을 2개 이상의 노드에서 전기적으로 접속시킬 수 있다. 제1 연결 라인(CL1)과 제2 연결 라인(CL2) 사이의 노드를 증가시키는 방법으로서는 증가시키고자 하는 노드의 개수에 대응하여 제2 연결 라인(CL2)과 제3 연결 라인(CL3)의 개수를 늘리면 가능하다. 이와 같이 동일한 클럭 신호를 공급받는 제2 연결 라인(CL2) 및 제1 연결 라인(CL1)이 전기적으로 접속되는 경우 제1 연결 라인(CL1)의 저항이 낮아져 클럭 신호의 딜레이를 최소화할 수 있다.

[0037] 특히, 본원 발명의 제2 연결 라인(CL2)은 캐소드 전극인 제2 전극(730)과 중첩되지 않는다. 이 경우, 제2 연

결 라인(CL2)은 캐소드 전극인 제2 전극(730)과 캐패시터(capacitor)를 형성하지 않고, 이에 따라 클럭 신호의 딜레이가 발생되지 않는다. 따라서, 제2 연결 라인(CL2)을 경유하여 다수의 노드에서 클럭 신호를 공급받는 제1 연결 라인(CL1)에서도 클럭 신호의 딜레이가 최소화된다.

[0038] 상술한 제1 연결 라인(CL1), 제2 연결 라인(CL2) 및 제3 연결 라인(CL3)의 자세한 적층 상태에 대해서는 후술한다.

[0039] 이하, 도 3을 참조하여 화소(PE)의 배치에 대하여 자세히 설명한다.

[0040] 도 3은 도 2에 도시된 유기 발광 표시 장치가 갖는 일 화소를 나타낸 배치도이다.

[0041] 도 3에 도시된 바와 같이, 하나의 화소(PE)마다 유기 발광 소자(organic light emitting diode)(70), 두 개의 박막 트랜지스터(thin film transistor, TFT)들(10, 20), 그리고 하나의 캐패시터(90)가 배치된 2Tr-1Cap 구조를 갖는 유기 발광 표시 장치이다. 하지만, 본 발명의 일 실시예가 이에 한정되는 것은 아니다. 따라서, 표시 장치(101)는 하나의 화소(PE)마다 셋 이상의 박막 트랜지스터와 둘 이상의 캐패시터가 배치된 구조를 갖는 유기 발광 표시 장치일 수도 있다. 또한, 표시 장치(101)는 별도의 배선이 더 형성되어 다양한 구조를 갖도록 형성될 수도 있다. 이와 같이, 추가로 형성되는 박막 트랜지스터 및 캐패시터 중 하나 이상은 보상 회로의 구성이 될 수 있다. 보상 회로는 각 화소(PE)마다 형성된 유기 발광 소자(70)의 균일성을 향상시켜 화질(畵質)에 편차가 생기는 것을 억제한다. 일반적으로 보상 회로는 2개 내지 8개의 박막 트랜지스터를 포함할 수 있다.

[0042] 유기 발광 소자(70)는 정공 주입 전극으로서 기능하는 애노드(anode) 전극인 제1 전극과, 전자 주입 전극으로서 기능하는 캐소드(cathode) 전극인 제2 전극, 그리고 제1 전극과 제2 전극 사이에 배치된 유기 발광층을 포함한다.

[0043] 구체적으로, 본 발명의 일 실시예에서, 유기 발광 표시 장치는 하나의 화소(PE)마다 각각 형성된 제1 박막 트랜지스터(10)와 제2 박막 트랜지스터(20)를 포함한다. 제1 박막 트랜지스터(10) 및 제2 박막 트랜지스터(20)는 각각 게이트 전극(153, 156), 반도체층(133, 136), 소스 전극(184, 187), 및 드레인 전극(185, 188)을 포함한다.

[0044] 또한, 패널(PA) 상에 게이트 라인(Sn), 데이터 라인(Dm), 및 공통 전원 라인(Un)이 형성된다. 하나의 화소(PE)는 게이트 라인(Sn), 데이터 라인(Dm), 및 공통 전원 라인(Un)에 의해 정의될 수 있다. 하지만, 화소(PE)가 이에 한정되는 것은 아니다. 또한, 패널(PA) 상에 캐패시터 라인이 추가로 형성될 수도 있다.

[0045] 데이터 라인(Dm)에는 제1 박막 트랜지스터(10)의 소스 전극(184)이 연결되고, 게이트 라인(Sn)에는 제1 박막 트랜지스터(10)의 게이트 전극(153)이 연결된다. 그리고 제1 박막 트랜지스터(10)의 드레인 전극(185)과 캐패시터(90) 사이에 노드가 형성되어 제1 박막 트랜지스터(10)의 드레인 전극(185)은 캐패시터(90)의 제1 캐패시터 전극(139)과 연결된다. 또한, 제1 박막 트랜지스터(10)의 드레인 전극(185)은 제2 박막 트랜지스터(20)의 게이트 전극(156)이 연결된다. 그리고 제2 박막 트랜지스터(20)의 소스 전극(187)에는 공통 전원 라인(Un)이 연결되며, 드레인 전극(188)에는 유기 발광 소자(70)의 애노드 전극인 제1 전극이 연결된다.

[0046] 제1 박막 트랜지스터(10)는 발광시키고자 하는 화소(PE)을 선택하는 스위칭 소자로 사용된다. 제1 박막 트랜지스터(10)가 순간적으로 턴 온되면 캐패시터(90)는 축전되고, 이때 축전되는 전하량은 데이터 라인(Dm)으로부터 인가되는 전압의 전상에 비례한다. 그리고 제1 박막 트랜지스터(10)가 턴 오프된 상태에서 제2 박막 트랜지스터(20)의 게이트 전위는 캐패시터(90)에 축전된 전위를 따라서 상승한다. 그리고 제2 박막 트랜지스터(20)는 게이트 전위가 문턱 전압을 넘으면 턴온된다. 그러면 공통 전원 라인(Un)에 인가되던 전압이 제2 박막 트랜지스터(20)를 통하여 유기 발광 소자(70)에 인가되고, 유기발광 소자(70)는 발광된다.

[0047] 이와 같은 화소(PE)의 구성은 전술한 바에 한정되지 않고 해당 기술 분야의 종사자가 용이하게 변형 실시할 수 있는 범위 내에서 다양하게 변형 가능하다.

[0048] 이하, 도 4을 참조하여 본 발명의 일 실시예에 따른 박막 트랜지스터(10, 20), 유기 발광 소자(70), 및 캐패시터(90)의 구조를 적층 순서에 따라 상세히 설명한다.

[0049] 도 4는 도 3에 도시된 박막 트랜지스터, 캐패시터, 및 유기 발광 소자를 중심으로 확대 도시한 부분 단면도이다.

[0050] 패널(PA)은 상호 대향하는 제1 기판(110) 및 제2 기판(210)을 포함한다. 제1 기판(110) 및 제2 기판(210) 중 하나 이상은 유리, 석영, 세라믹, 및 플라스틱 등으로 이루어진 투명한 절연성 기판으로 형성된다. 그러나

본 발명의 일 실시예가 이에 한정되는 것은 아니며, 제1 기판(110) 및 제2 기판(210)이 스테인리스 강 등으로 이루어진 금속성 기판으로 형성될 수도 있다. 또한, 제1 기판(110) 및 제2 기판(210)이 플라스틱 등으로 만들어질 경우 패널(PA)은 플렉서블(flexible)한 패널로 형성될 수도 있다.

[0051] 제1 기판(110) 상에는 버퍼층(120)이 형성된다. 버퍼층(110)은 화학적 기상 증착(chemical vapor deposition)법 또는 물리적 기상 증착(physical vapor deposition)법을 이용하여 산화규소막 및 질화규소막 등과 같은 절연막들을 하나 이상 포함하는 단층 또는 복층 구조로 형성된다.

[0052] 버퍼층(120)은 제1 기판(110)에서 발생하는 수분 또는 불순물의 확산 및 침투를 방지하고, 표면을 평탄화하며, 반도체층을 형성하기 위한 결정화 공정에서 열의 전달 속도를 조절하여 결정화가 잘 이루어질 수 있도록 돕는 역할을 한다.

[0053] 버퍼층(120)은 제1 기판(110)의 종류 및 공정 조건에 따라 생략될 수도 있다.

[0054] 버퍼층(120) 상에는 반도체층(133, 136) 및 제1 캐패시터 전극(139)이 형성된다. 반도체층(133, 136) 및 제1 캐패시터 전극(139)은 버퍼층(120) 상에 비정질 규소막을 형성하고 이를 결정화하여 다결정 규소막을 형성한 후 패터닝하여 형성된다. 하지만, 본 발명의 일 실시예가 이에 한정되는 것은 아니다. 경우에 따라, 제1 캐패시터 전극(139)은 반도체층(133, 136)과 다른 소재로 형성될 수도 있다.

[0055] 반도체층(133, 136) 및 제1 캐패시터 전극(139) 상에는 게이트 절연막(140)이 형성된다. 구체적으로, 게이트 절연막(140)은 버퍼층(120) 상에서 반도체층(133, 136) 및 제1 캐패시터 전극(139)을 덮도록 형성된다. 게이트 절연막(140)은 테트라에톡시실란(tetra ethyl ortho silicate, TEOS), 질화규소(SiNx), 및 산화규소(SiO_2) 등과 같이 해당 기술 분야의 종사자에게 공지된 다양한 절연 물질 중 하나 이상을 포함하여 형성될 수 있다.

[0056] 게이트 절연막(140) 상에는 게이트 라인(S1 내지 Sn)과 동일한 층에 동일한 재료로 형성되는 게이트 전극(153, 156) 및 제1 전극(710)이 형성된다. 게이트 전극(153, 156)은 반도체층(133, 136)의 채널 영역(1333, 1366)과 중첩되도록 반도체층(133, 136) 상에 형성된다. 반도체층(133, 136)은 불순물이 도핑되지 않은 채널 영역(1333, 1366)과, 채널 영역(1333, 1366)의 양측에 각각 배치되어 불순물이 도핑된 소스 영역(1334, 1367) 및 드레인 영역(1335, 1368)으로 구분된다. 게이트 전극(153, 156)은 불순물을 도핑하여 소스 영역(1334, 1367) 및 드레인 영역(1335, 1368)을 형성하는 과정에서 채널 영역(1333, 1366)에 불순물이 도핑되는 것을 차단하는 역할을 한다. 또한, 반도체층(133, 136)의 소스 영역(1333, 1366) 및 드레인 영역에 불순물을 도핑하는 과정에서 제1 캐패시터 전극(139)에도 불순물이 함께 도핑될 수 있다.

[0057] 또한, 게이트 전극(153, 156)은 게이트 투명층과 게이트 투명층 상에 형성된 게이트 금속층을 포함하는 이중층으로 형성된다. 게이트 금속층은 몰리브덴(Mo), 크롬(Cr), 알루미늄(Al), 은(Ag), 티타늄(Ti), 탄탈(Ta), 및 텅스텐(W) 등과 같이 해당 기술 분야의 종사자에게 공지된 다양한 금속 물질 중 하나 이상을 포함하여 형성된다. 게이트 투명층은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ZITO (Zinc Indium Tin Oxide), GITO(Gallium Indium Tin Oxide), In2O3(Indium Oxide), ZnO(Zinc Oxide), GIZO(Gallium Indium Zinc Oxide), GZO(Gallium Zinc Oxide), FTO(Fluorine Tin Oxide), 및 AZO(Aluminum-Doped Zinc Oxide) 등과 같은 투명 도전층들 중 하나 이상을 포함한다.

[0058] 제1 전극(710)은 게이트 전극(153,156)의 게이트 투명층과 동일한 소재로 동일한 층에 형성된다.

[0059] 게이트 전극(153, 156) 상에는 무기 절연층(160)이 형성된다. 무기 절연층(160)은 질화규소막 및 산화규소막 중 하나 이상을 포함한다. 즉, 무기 절연층(160)은 질화규소막 또는 산화규소막으로 형성된 단층으로 형성되거나, 질화규소막과 산화규소막이 적층된 복층으로 형성될 수 있다. 또한, 무기 절연층(160)은 수소를 함유할 수 있다. 특히, 질화규소막이 공정 조건 상 용이하게 수소를 함유할 수 있다. 무기 절연층(160)은 절연 기능 이외에 반도체층(133, 136)을 어닐링(annealing)하는 과정에서 반도체층(133, 136)에 수소를 공급하여 어닐링이 원활하게 진행될 수 있도록 돕는 역할도 할 수 있다.

[0060] 하지만, 본 발명의 일 실시예가 이에 한정되는 것은 아니다. 따라서, 무기 절연층(160)은 생략될 수도 있다. 즉, 후술할 제1 절연층(170)이 게이트 전극(153, 156) 상에 바로 형성될 수도 있다.

[0061] 또한, 무기 절연층(160)은 제1 전극(710) 상에는 형성되지 않는다. 즉, 무기 절연층(160)은 제1 전극(710)을 드러내도록 형성된다.

[0062] 무기 절연층(160) 상에는 제1 절연층(170)이 형성된다. 제1 절연층(170)은 무기 절연층(160)보다 상대적으로 두꺼운 두께로 형성하기 용이하다. 따라서, 제1 절연층(170)은 안정적인 층간 절연을 확보할 수 있도록 충분

히 두꺼운 두께로 형성될 수 있다. 일례로, 제1 절연층(170)은 3㎛(마이크로미터) 내외의 두께를 갖도록 형성될 수 있다.

[0063] 또한, 제1 절연층(170)은, 무기 절연층(160)과 마찬가지로, 제1 전극(710) 상에는 형성되지 않는다. 즉, 제1 절연층(170)도 제1 전극(710)을 드러내도록 형성된다.

[0064] 제1 절연층(170) 상에는 데이터 라인(D1 내지 Dm)과 동일한 층에 동일한 재료로 형성되는 복수의 도전 배선들(184, 185, 187, 188, 189)이 형성된다. 복수의 도전 배선들은 소스 전극(184, 187), 드레인 전극(185, 188), 및 제2 캐패시터 전극(189)을 포함한다. 그리고 복수의 도전 배선들은 데이터 라인(Dm)(도 2에 도시) 및 공통 전원 라인(183)(도 3에 도시)을 더 포함할 수 있다.

[0065] 또한, 복수의 도전 배선들(184, 185, 187, 188, 189)은 게이트 전극(153, 156)과 마찬가지로, 해당 기술 분야의 종사자에게 공지된 다양한 금속 물질 중 하나 이상을 포함하여 만들어질 수 있다.

[0066] 소스 전극(184, 187) 및 드레인 전극(185, 188)은 무기 절연층(160) 및 제1 절연층(170)에 형성된 접촉구를 통해 반도체층(133, 136)의 소스 영역(1334, 1367) 및 드레인 영역(1335, 1368)과 접촉된다.

[0067] 또한, 제2 캐패시터 전극(189)이 소스 전극(184, 187) 및 드레인 전극(185, 188)과 동일한 위치에 형성되었으나, 본 발명의 일 실시예가 이에 한정되는 것은 아니다. 따라서, 제2 캐패시터 전극(189)은 게이트 전극(153, 156)과 동일한 층에 형성될 수도 있다.

[0068] 복수의 도전 배선들(184, 185, 187, 188, 189) 상에는 제2 절연층(190)이 형성된다. 즉, 제2 절연층(190)은 데이터 라인(D1 내지 Dm) 상에 위치한다. 제2 절연층(190)은 제1 전극(710)의 일부를 드러내는 화소 개구부(195)를 포함한다. 제2 절연층(190)은 해당 기술 분야의 종사자에게 공지된 다양한 유기 재료로 형성될 수 있다. 예를 들어, 제2 절연층(190)은 감광성 유기층으로 패터닝된 후, 열경화 또는 광경화되어 형성될 수 있다.

[0069] 유기 발광층(720)은 제1 전극(710) 상에 형성되고, 제2 전극(730)은 유기 발광층(720) 상에 형성된다. 제1 전극(710), 유기 발광층(720), 및 제2 전극(730)은 유기 발광 소자(70)가 된다. 그리고, 제1 전극(710), 유기 발광층(720), 및 제2 전극(730)이 차례로 적층되는 제2 절연층(190)의 화소 개구부(195)는 실제 유기 발광 소자(70)의 발광 영역이 된다.

[0070] 이하, 도 5을 참조하여 상술한 제1 연결 라인(CL1), 제2 연결 라인(CL2) 및 제3 연결 라인(CL3)의 적층 상태에 대해서 자세히 설명한다.

[0071] 도 5는 도 2에 도시된 제1 연결 라인, 제2 연결 라인 및 제3 연결 라인을 중심으로 확대 도시한 부분 단면도이다.

[0072] 제1 연결 라인(CL1)은 제1 기판(110) 상에 형성되며, 소스 전극(184) 및 드레인 전극(185)과 동일한 층에 동일한 재료로 형성되어 있다. 즉, 제1 연결 라인(CL1)은 데이터 라인(D1 내지 Dm)과 동일한 층에 동일한 재료로 형성되어 있다. 제1 연결 라인(CL1)은 제1 절연층(170)에 형성된 접촉구를 통해 게이트 구동부(GD)를 구성하는 게이트 구동부 배선(GDW) 및 제3 연결 라인(CL3)과 접속된다. 제1 연결 라인(CL1)은 캐소드 전극인 제2 전극(730)과 중첩되어 있다.

[0073] 제2 연결 라인(CL2)은 제1 기판(110)에 형성되며, 게이트 전극(153)과 동일한 층에 동일한 재료로 형성되어 있다. 즉, 제2 연결 라인(CL2)은 게이트 라인(S1 내지 Sn)과 동일한 층에 동일한 재료로 형성되어 있다. 제2 연결 라인(CL2)은 캐소드 전극인 제2 전극(730)과 패널(PA)의 외측 방향으로 이격되어 있으며, 제2 전극(730)과 중첩되지 않는다. 제2 연결 라인(CL2)과 대응하여 제1 절연층(170)이 위치하나, 제2 절연층(190)은 위치하지 않는다. 즉, 제2 절연층(190)은 제2 연결 라인(CL2) 상에는 위치하지 않는다. 제2 절연층(190)이 제2 연결 라인(CL2) 상에 위치하지 않는 이유는, 제2 절연층(190)은 유기 재료로 형성된 층으로서, 제2 절연층(190)이 제2 연결 라인(CL2) 상에 위치할 경우, 제1 기판(110)과 제2 기판(210)을 합착 밀봉하는 실런트(sealant)(S)와 제2 절연층(190) 간의 실링이 완전하지 않게 이루어질뿐더러, 실런트(S) 아래에 위치하는 제2 절연층(190)을 통해 외부로부터 유기 발광 소자(70)로 수분이 침투될 우려가 있기 때문이다.

[0074] 제3 연결 라인(CL3)은 게이트 전극(153)과 동일한 층에 동일한 재료로 형성되어 있다. 즉, 제3 연결 라인(CL3)은 제2 연결 라인(CL2)과 동일한 층에 동일한 재료로 형성되어 있다. 이는 제3 연결 라인(CL3)이 게이트 라인(S1 내지 Sn)과 동일한 층에 동일한 재료로 형성되어 있음을 의미한다.

[0075] 제3 연결 라인(CL3)은 제2 연결 라인(CL2)과 일체로 형성되어 제2 연결 라인(CL2)으로부터 연장되어 제1 절연

층(170)에 형성된 접촉구를 통해 제1 연결 라인(CL1)과 연결되어 있다.

[0076] 이상과 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 제1 기판(110)에 형성되어 외부로부터 클럭 신호를 게이트 구동부(GD)로 공급하는 제1 연결 라인(CL1)이 캐소드 전극인 제2 전극(730)과 중첩되어 있으나, 제1 기판(110)에 형성되어 일체인 제3 연결 라인(CL3)을 통해 클럭 신호를 다시 제1 연결 라인(CL1)으로 공급하는 제2 연결 라인(CL2)이 제2 전극(730)과 중첩되지 않기 때문에, 제2 연결 라인(CL2)을 경유하여 다수의 노드에서 클럭 신호를 공급받는 제1 연결 라인(CL1)에서도 클럭 신호의 딜레이가 최소화된다.

[0077] 또한, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 제1 연결 라인(CL1)에서 클럭 신호의 딜레이를 최소화하기 위한 배선이 제1 기판(110)에 형성됨으로써, 제1 연결 라인(CL1)에 추가적인 클럭 신호를 공급하기 위한 FPC(flexible printed circuit)가 필요치 않다. 이는 유기 발광 표시 장치의 제조 비용이 절감되는 요인 및 제조 수율이 향상되는 요인으로서 작용된다.

[0078] 또한, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 제2 연결 라인(CL2)이 제1 연결 라인(CL1)과는 다른 층에 위치하는 배선으로 형성됨으로써, 제2 연결 라인(CL2)이 제1 기판(110) 상에서 노출되지 않는다. 이로 인해, 제2 연결 라인(CL2)과 제1 연결 라인(CL1)이 서로 원치 않게 단락되는 것이 방지되는 동시에, 제조 과정에서 제2 연결 라인(CL2)이 산화되는 것이 방지된다.

[0079] 또한, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 제2 연결 라인(CL2), 제3 연결 라인(CL3) 및 게이트 라인(S1 내지 Sn)을 포함하는 게이트 배선들이 일체로 형성되고, 제1 연결 라인(CL1) 및 데이터 라인(D1 내지 Dm)을 포함하는 데이터 배선들이 일체로 형성됨으로써, 제1 연결 라인(CL1), 제2 연결 라인(CL2) 및 제3 연결 라인(CL3)을 형성하기 위해 추가적인 공정을 수행할 필요가 없다. 이는 유기 발광 표시 장치의 클럭 신호의 딜레이를 최소화하면서, 유기 발광 표시 장치의 제조 비용이 절감되는 동시에, 제조 수율이 향상되는 요인으로서 작용된다.

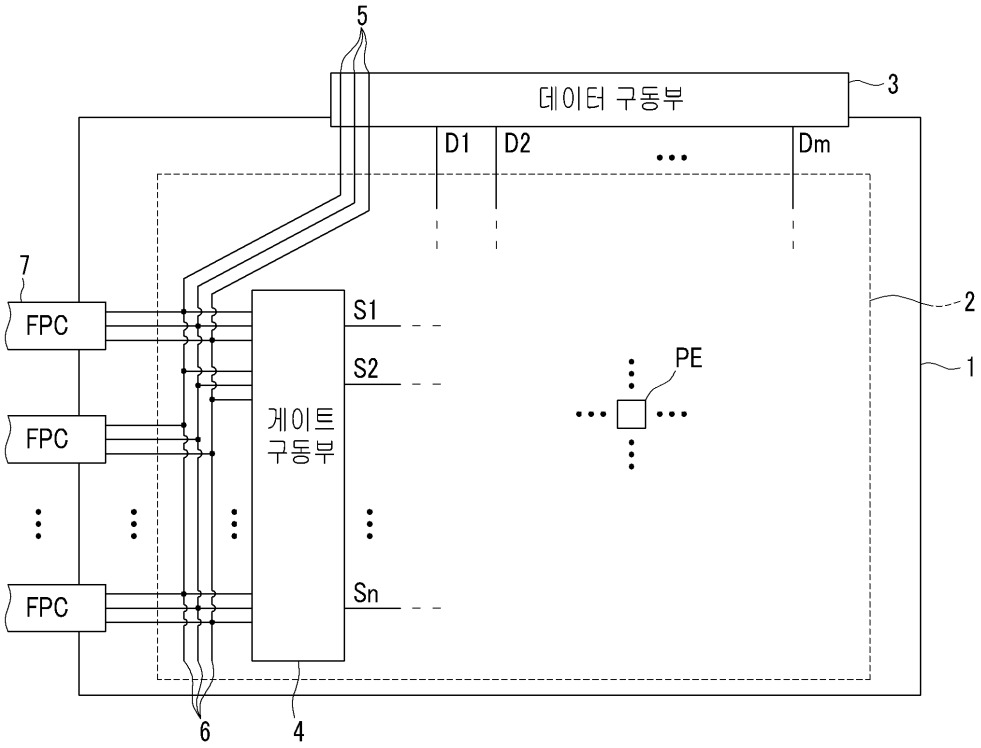
[0080] 본 발명을 앞서 기재한 바에 따라 바람직한 실시예를 통해 설명하였지만, 본 발명은 이에 한정되지 않으며 다음에 기재하는 특허청구범위의 개념과 범위를 벗어나지 않는 한, 다양한 수정 및 변형이 가능하다는 것을 본 발명이 속하는 기술 분야에 종사하는 자은 쉽게 이해할 것이다.

부호의 설명

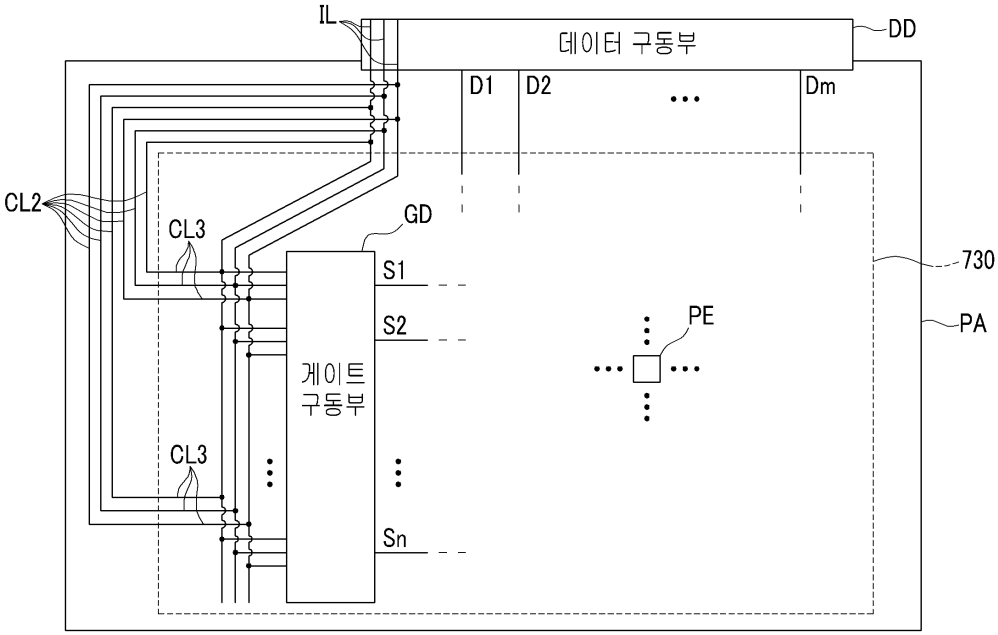
[0081] 패널(PA), 데이터 구동부(DD), 게이트 구동부(GD), 입력 라인(IL), 제1 연결 라인(CL1), 제2 연결 라인(CL2), 제3 연결 라인(CL3)

도면

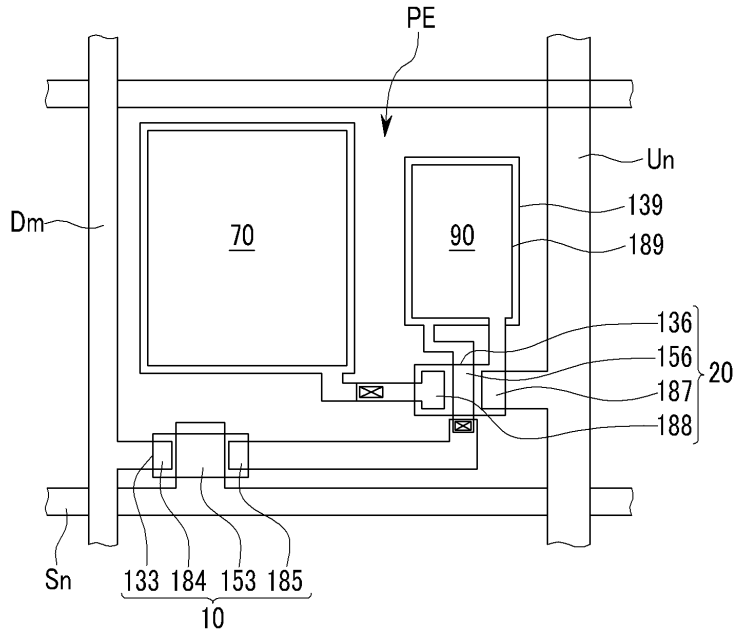
도면1


5
데이터 구동부
3
D1
D2
Dm
7
FPC
FPC
FPC
S1
S2
Sn
게이트
구동부
PE
2
1
6
4

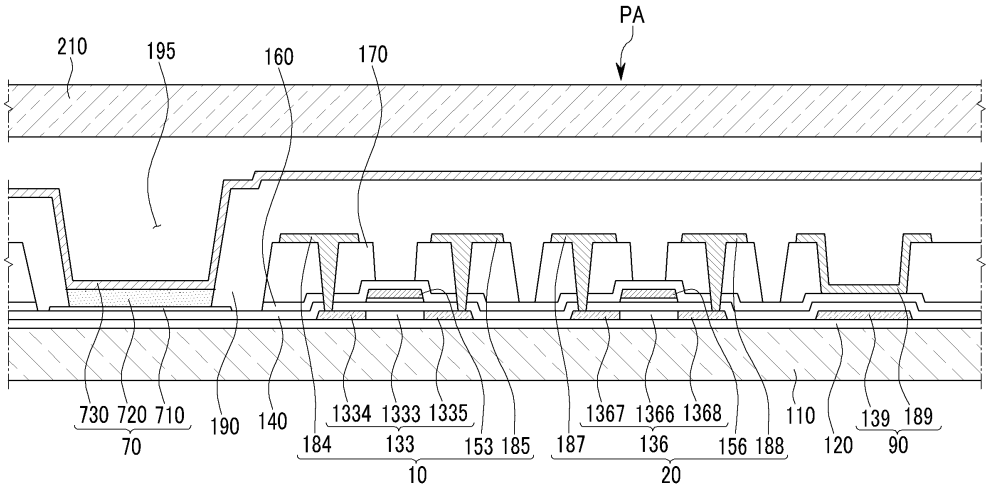
도면2


IL
데이터 구동부
DD
D1
D2
Dm
CL2
CL3
CL3
GD
S1
S2
Sn
게이트
구동부
PE
730
PA

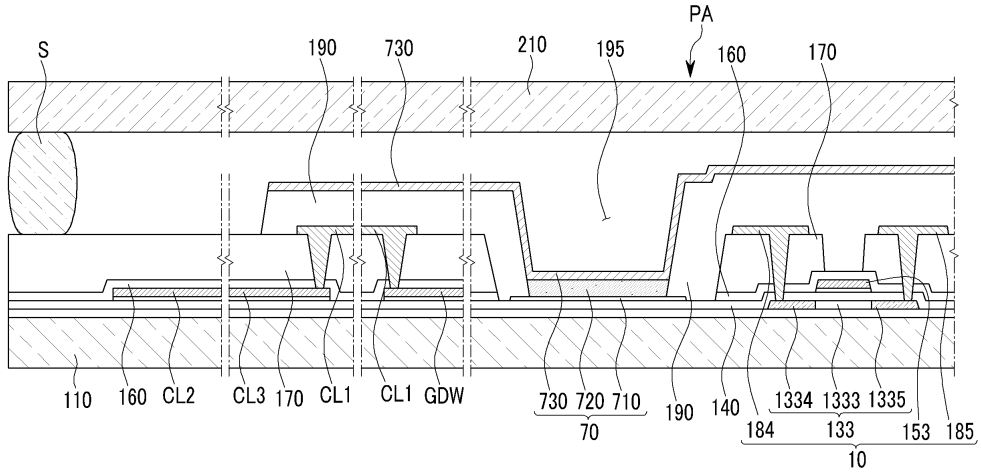
도면3


PE
Un
Dm
70
90
139
189
136
156
187
188
20
Sn
133 184 153 185
10

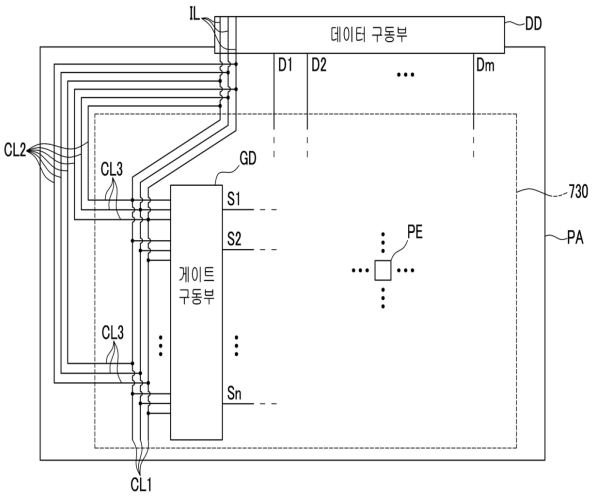
도면4


PA
210
195
160
170
730 720 710
70
190
140
1334 1333 1335
184
133
153 185
10
1367 1366 1368
187
136
156 188
20
110
120
139 189
90

도면5


PA
S
190
730
210
195
160
170
110
160
CL2
CL3
170
CL1
CL1
GDW
730
720
710
70
190
140
1334
1333
1335
184
133
153
185
10

专利名称(译)	有机发光显示器		
公开(公告)号	KR1020120080912A	公开(公告)日	2012-07-18
申请号	KR1020110002382	申请日	2011-01-10
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KANG KI NYENG 강기녕 KIM NA YOUNG 김나영 LEE WANG JO 이왕조 CHOI IN HO 최인호 PARK YONG SUNG 박용성		
发明人	강기녕 김나영 이왕조 최인호 박용성		
IPC分类号	G09G3/30 G09G3/3225 G09G3/3266 H01L27/32		
CPC分类号	G09G3/32 G09G3/3225 G09G3/3266 H01L27/3276 H01L27/3279		
其他公开文献	KR101854825B1		
外部链接	Espacenet		

摘要(译)

OLED显示器包括面板，连接到形成在面板上的数据线的数据驱动器，连接到形成在面板上以与数据线交叉的栅极线的栅极驱动器，从外部接收时钟信号的输入，第一连接线电连接到输入线并将时钟信号提供给栅极驱动器，第二连接线电连接到输入线，以及第二连接线，从第二连接线延伸，并且第三连接线用于电连接连接线和第一连接线。