



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년07월13일
(11) 등록번호 10-1878380
(24) 등록일자 2018년07월09일

(51) 국제특허분류(Int. Cl.)
G09G 3/3266 (2016.01) G11C 19/28 (2006.01)
(52) CPC특허분류
G09G 3/3266 (2013.01)
G11C 19/28 (2013.01)
(21) 출원번호 10-2016-7020703
(22) 출원일자(국제) 2014년12월29일
심사청구일자 2016년07월28일
(85) 번역문제출일자 2016년07월28일
(65) 공개번호 10-2016-0104044
(43) 공개일자 2016년09월02일
(86) 국제출원번호 PCT/CN2014/095370
(87) 국제공개번호 WO 2015/101261
국제공개일자 2015년07월09일
(30) 우선권주장
201310744988.8 2013년12월30일 중국(CN)
201410464972.6 2014년09월12일 중국(CN)
(56) 선행기술조사문헌
EP1965371 A2
EP1763003 A2
JP2008077034 A

(73) 특허권자
쿤산 뉴 플랫폼 패널 디스플레이 테크놀로지 센터
씨오., 엘티디.
중국 지양수 215300 쿤산, 디벨롭먼트 존, 포토일렉트릭 인더스트리얼 파크, 푸 춘 리버 로드, 넘버 320
쿤산 고-비전녹스 옵토-일렉트로닉스 씨오., 엘티디.
중국 지양수 215300 쿤산, 디벨롭먼트 존, 룡텡 로드, 넘버 1, 빌딩 4
(72) 발명자
양, 난
중국 지양수 215300, 쿤산, 뉴 앤드 하이-테크 인더스트리얼 디벨롭먼트 존, 첸펑 로드 넘버188
휘, 쓰밍
중국 지양수 215300, 쿤산, 뉴 앤드 하이-테크 인더스트리얼 디벨롭먼트 존, 첸펑 로드 넘버188
(뒷면에 계속)
(74) 대리인
김영철, 김 순 영

전체 청구항 수 : 총 10 항

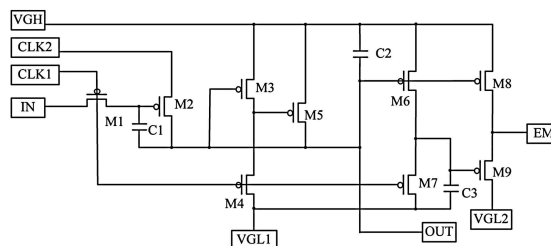
심사관 : 이승민

(54) 발명의 명칭 스캐닝 구동 회로와 유기 발광 디스플레이

(57) 요약

스캐닝 구동 회로가 제공된다. 종래의 스캐닝 구동 회로에 비해 더 적은 클록 신호 및 트랜지스터가 이용된다. 이것은 회로의 안정성을 대폭 향상시키고, 설계 및 제조 비용을 감소시킬 수 있다. 상기 스캐닝 구동 회로에 기초한 유기 발광 디스플레이 또한 개시된다.

대표도 - 도2



(52) CPC특허분류

G09G 2310/0262 (2013.01)

G09G 2310/0286 (2013.01)

(72) 발명자

장, 텡텡

중국 지양수 215300, 쿤산, 뉴 앤드 하이-테크 인
더스트리얼 디벨롭먼트 존, 첸펑 로드 넘버188

장, 샤오빠오

중국 지양수 215300, 쿤산, 뉴 앤드 하이-테크 인
더스트리얼 디벨롭먼트 존, 첸펑 로드 넘버188

나가이, 하지메

중국 지양수 215300, 쿤산, 뉴 앤드 하이-테크 인
더스트리얼 디벨롭먼트 존, 첸펑 로드 넘버188

후양, 씨우치

중국 지양수 215300, 쿤산, 뉴 앤드 하이-테크 인
더스트리얼 디벨롭먼트 존, 첸펑 로드 넘버188

명세서

청구범위

청구항 1

다수의 제1 캐스케이드(cascade) 구조를 포함하고 선택 신호를 순차적으로 출력하는 제1 스캐닝 드라이버와, 다수의 제2 캐스케이드 구조를 포함하고 송신 신호를 순차적으로 출력하는 제2 스캐닝 드라이버를 포함하고,

상기 제1 캐스케이드 구조 및 상기 제2 캐스케이드 구조 중의 각각의 캐스케이드 구조는,

바로 이전의 캐스케이드 구조의 스캐닝 신호 입력단 또는 스캐닝 신호 출력단과 서로 연결되는 입력단, 제1 클록(clock)단과 연결되는 게이트단 및 출력단을 포함하는 제1 트랜지스터;

상기 제1 트랜지스터의 출력단과 연결되는 게이트단, 제2 클록단과 연결되는 입력단 및 상기 스캐닝 신호 출력단과 연결되는 출력단을 포함하는 제2 트랜지스터;

제1 레벨단과 연결되는 입력단, 상기 스캐닝 신호 출력단과 연결되는 게이트단 및 출력단을 포함하는 제3 트랜지스터;

상기 제3 트랜지스터의 출력단과 연결되는 입력단, 상기 제1 클록단과 연결되는 게이트단 및 제2 레벨단과 연결되는 출력단을 포함하는 제4 트랜지스터;

상기 제1 레벨단과 연결되는 입력단, 상기 제3 트랜지스터의 출력단과 연결되는 게이트단 및 상기 스캐닝 신호 출력단과 연결되는 출력단을 포함하는 제5 트랜지스터;

상기 제1 레벨단과 연결되는 입력단, 상기 스캐닝 신호 출력단과 연결되는 게이트단 및 출력단을 포함하는 제6 트랜지스터;

상기 제6 트랜지스터의 출력단과 연결되는 입력단, 상기 제1 클록단과 연결되는 게이트단 및 상기 제2 레벨단과 연결되는 출력단을 포함하는 제7 트랜지스터;

상기 제1 레벨단과 연결되는 입력단, 상기 스캐닝 신호 출력단과 연결되는 게이트단 및 구동 신호 출력단과 연결되는 출력단을 포함하는 제8 트랜지스터;

상기 구동 신호 출력단과 연결되는 입력단, 상기 제6 트랜지스터의 출력단과 연결되는 게이트단 및 제3 레벨단과 연결되는 출력단을 포함하는 제9 트랜지스터; 및

상기 제2 트랜지스터의 게이트단과 출력단 사이에 연결되는 제1 커패시터를 포함하는 것을 특징으로 하는 스캐닝 구동 회로.

청구항 2

제1항에 있어서,

상기 제1 캐스케이드 구조와 상기 제2 캐스케이드 구조 중의 각각의 캐스케이드 구조의 제1 클록단에 의해 수신된 신호와 제2 클록단에 의해 수신된 신호의 주파수가 일치하고, 상기 제1 클록단에 의해 수신된 신호가 고 레벨(high level)일 경우 상기 제2 클록단에 의해 수신된 신호는 저 레벨(low level)이며, 상기 제1 클록단에 의해 수신된 신호가 저 레벨일 경우 상기 제2 클록단에 의해 수신된 신호는 고 레벨인 것을 특징으로 하는 스캐닝 구동 회로.

청구항 3

제2항에 있어서,

상기 제1 트랜지스터, 상기 제2 트랜지스터, 상기 제3 트랜지스터, 상기 제4 트랜지스터, 상기 제5 트랜지스터,

상기 제6 트랜지스터, 상기 제7 트랜지스터, 상기 제8 트랜지스터 및 상기 제9 트랜지스터는 박막 전계효과 트랜지스터(Thin Film Field Effect Transistors)인 것을 특징으로 하는 스캐닝 구동 회로.

청구항 4

제1항에 있어서,

상기 제1 레벨단과 상기 제6 트랜지스터의 게이트단 사이에는 제2 커패시터가 연결되어 있는 것을 특징으로 하는 스캐닝 구동 회로.

청구항 5

제1항 내지 제4항 중의 어느 한 항에 있어서,

상기 구동 신호 출력단과 상기 제9 트랜지스터의 게이트단 사이에는 제3 커패시터가 연결되어 있는 것을 특징으로 하는 스캐닝 구동 회로.

청구항 6

제1항 내지 제4항 중의 어느 한 항에 있어서,

상기 제2 레벨단과 상기 제9 트랜지스터의 게이트단 사이에는 제3 커패시터가 연결되어 있는 것을 특징으로 하는 스캐닝 구동 회로.

청구항 7

제6항에 있어서,

상기 제3 레벨단과 상기 제2 레벨단은 동일한 레벨단인 것을 특징으로 하는 스캐닝 구동 회로.

청구항 8

제6항에 있어서,

상기 제3 레벨단으로부터 입력된 전압 값은 상기 제2 레벨단으로부터 입력된 전압 값보다 작은 것을 특징으로 하는 스캐닝 구동 회로.

청구항 9

제6항에 있어서,

상기 제1 레벨단에서 입력된 전압은 고 레벨이고, 상기 제2 레벨단과 제3 레벨단에서 입력 전압은 저 레벨인 것을 특징으로 하는 스캐닝 구동 회로.

청구항 10

픽셀 회로, 데이터 드라이버와 타이밍 컨트롤러(timing controller)를 포함하는 유기 발광 디스플레이에 있어서,

제1항에 따른 스캐닝 구동 회로를 더 포함하고, 상기 타이밍 컨트롤러는 상기 스캐닝 구동 회로의 제1 클록단, 제2 클록단, 스캐닝 신호 입력단, 제1 레벨단, 제2 레벨단 및 제3 레벨단에 타이밍 신호와 고 레벨 및 저 레벨

신호를 제공하고, 상기 스캐닝 구동 회로의 구동 신호 출력단이 상기 픽셀 회로의 구동 신호 입력단에 연결되어, 상기 픽셀 회로가 동작하도록 구동시키기 위한 구동 신호를 출력하는 것을 특징으로 하는 유기 발광 디스플레이.

발명의 설명

기술 분야

[0001] 본 발명은 스캐닝 구동 회로 분야에 관한 것으로, 특히 스캐닝 구동 유기 발광 소자 픽셀 회로에 응용되는 스캐닝 구동 회로 및 유기 발광 디스플레이에 관한 것이다.

배경 기술

[0002] 유기 발광 디스플레이는 발광 소자로서 유기 발광 다이오드(OLED)가 장착된 디스플레이이다. 현재 유행하고 있는 플랫-패널(flat-panel) 디스플레이 기술인 박막 트랜지스터 액정 디스플레이(TFT-LCD)와 비교하면, 유기 발광 디스플레이는 높은 콘트라스트(contrast), 넓은 시각, 낮은 전력 소비, 체적이 더욱 얇은 등의 장점을 가진다. LCD를 이어 차세대 태블릿 디스플레이 기술로 자리매김 할 수 있는 바, 현재 태블릿 디스플레이 기술에서 가장 주목 받고 있는 기술 중의 하나이다.

[0003] 전통적인 유기 발광 디스플레이는 데이터 버스에 데이터 신호를 제공하는 데이터 드라이버, 순차적으로 그 중의 하나의 스캐닝 라인에 스캐닝 신호를 제공하는 제1 스캐닝 드라이버, 순차적으로 다른 스캐닝 라인에 스캐닝 신호를 제공하는 제2 스캐닝 드라이버, 제1 스캐닝 드라이버와 제2 스캐닝 드라이버에 타이밍 신호(timing signal)와 고 레벨 및 저 레벨 신호를 제공하는 타이밍 컨트롤러(timing controller) 및 다수의 픽셀의 디스플레이 유닛을 포함한다. 제1 스캐닝 드라이버와 제2 스캐닝 드라이버의 기능은 디스플레이 패널에 제공되는 구동 신호를 순차적으로 생성하고 디스플레이 패널 중의 픽셀 밝기를 제어하는 것이다.

[0004] 그러나, 전통적인 제1 스캐닝 드라이버와 제2 스캐닝 드라이버의 각각의 캐스케이드(cascade) 구조가 비교적 많은 입력 클럭 신호(적어도 3개임)를 포함하고 대량의 트랜지스터(10개보다 많음)를 포함하였기에, 이로 인해 발생하는 문제의 위험도도 상응하게 증가되고, 생산 및 설계의 단가와 위험이 모두 비교적 높아진다. 따라서, 제품의 신뢰성을 확보하기 어렵다.

발명의 내용

해결하려는 과제

과제의 해결 수단

[0005] 이에 기반하여, 클럭 신호와 트랜지스터 수량을 감소시킬 수 있는 스캐닝 구동 회로를 제공할 필요가 있다. 이 밖에, 유기 발광 디스플레이도 더 제공한다.

[0006] 본 실시의 일 양상에 따르면, 스캐닝 구동 회로는, 다수의 제1 캐스케이드(cascade) 구조를 포함하고 선택 신호를 순차적으로 출력하는 제1 스캐닝 드라이버와, 다수의 제2 캐스케이드 구조를 포함하고 송신 신호를 순차적으로 출력하는 제2 스캐닝 드라이버를 포함하고, 상기 제1 캐스케이드 구조 및 상기 제2 캐스케이드 구조 중의 각각의 캐스케이드 구조는, 바로 이전의 캐스케이드 구조의 스캐닝 신호 입력단 또는 스캐닝 신호 출력단과 서로 연결되는 입력단, 제1 클럭(clock)단과 연결되는 게이트단 및 출력단을 포함하는 제1 트랜지스터; 제1 트랜지스터의 출력단과 연결되는 게이트단, 제2 클럭단과 연결되는 입력단 및 스캐닝 신호 출력단과 연결되는 출력단을 포함하는 제2 트랜지스터; 제1 레벨단과 연결되는 입력단, 스캐닝 신호 출력단과 연결되는 게이트단 및 출력단을 포함하는 제3 트랜지스터; 제3 트랜지스터의 출력단과 연결되는 입력단, 제1 클럭단과 연결되는 게이트단 및 제2 레벨단과 연결되는 출력단을 포함하는 제4 트랜지스터; 제1 레벨단과 연결되는 입력단, 제3 트랜지스터의 출력단과 연결되는 게이트단 및 스캐닝 신호 출력단과 연결되는 출력단과 연결되는 제5 트랜지스터; 제1 레벨단과 연결되는 입력단, 스캐닝 신호 출력단과 연결되는 게이트단 및 출력단을 포함하는 제6 트랜지스터; 제6 트랜지스터의 출력단과 연결되는 입력단, 제1 클럭단과 연결되는 게이트단 및 제2 레벨단과 연결되는 출력단을 포함하는 제7 트랜지스터; 제1 레벨단과 연결되는 입력단, 스캐닝 신호 출력단과 연결되는 게이트단 및 구동 신호 출력단과 연결되는 출력단을 포함하는 제8 트랜지스터; 구동 신호 출력단과 연결되는 입력단, 제6 트랜지스터의

출력단과 연결되는 게이트단 및 제3 레벨단과 연결되는 출력단을 포함하는 제9 트랜지스터; 및 제2 트랜지스터의 게이트단과 출력단 사이에 연결되는 제1 커패시터를 포함한다.

- [0007] 여기서 하나의 실시예에 있어서, 상기 제1 캐스캐이드 구조와 상기 제2 캐스캐이드 구조 중의 각각의 캐스캐이드 구조의 제1 클록단에 의해 수신된 신호와 제2 클록단에 의해 수신된 신호의 주파수가 일치하고, 제1 클록단에 의해 수신된 신호가 고 레벨(high level)일 경우 제2 클록단에 의해 수신된 신호는 저 레벨(low level)이며, 제1 클록단에 의해 수신된 신호가 저 레벨일 경우 제2 클록단에 의해 수신된 신호는 고 레벨이다.
- [0008] 여기서 하나의 실시예에 있어서, 상기 제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터, 제4 트랜지스터, 제5 트랜지스터, 제6 트랜지스터, 제7 트랜지스터, 제8 트랜지스터 및 제9 트랜지스터는 박막 전계효과 트랜지스터(Thin Film Field Effect Transistors)이다.
- [0009] 여기서 하나의 실시예에 있어서, 상기 제1 레벨단과 상기 제6 트랜지스터의 게이트단 사이에는 제2 커패시터가 연결되어 있다.
- [0010] 여기서 하나의 실시예에 있어서, 상기 제2 레벨단과 상기 제9 트랜지스터의 게이트단 사이에는 제3 커패시터가 연결되어 있다.
- [0011] 여기서 하나의 실시예에 있어서, 상기 구동 신호 출력단과 상기 제9 트랜지스터의 게이트단 사이에는 제3 커패시터가 연결되어 있다.
- [0012] 여기서 하나의 실시예에 있어서, 상기 제3 레벨단과 상기 제2 레벨단은 동일한 레벨단이다.
- [0013] 여기서 하나의 실시예에 있어서, 상기 제3 레벨단에서 입력된 전압 값은 상기 제2 레벨단에서 입력된 전압 값보다 작다.
- [0014] 여기서 하나의 실시예에 있어서, 상기 제1 레벨단에서 입력된 전압은 고 레벨이고, 상기 제2 레벨단과 제3 레벨단에서 입력된 전압은 저 레벨이다.
- [0015] 상기 스캐닝 구동 회로는 2개의 클록 신호와 9개의 트랜지스터만 사용하였고, 이는 전통적인 스캐닝 구동 회로에 비해 적으며, 회로의 신뢰성을 대폭 향상시킬 수 있고, 아울러 설계 단가와 생산 단가도 감소시켰다.
- [0016] 유기 발광 디스플레이는, 픽셀 회로, 데이터 드라이버와 타이밍 컨트롤러(timing controller)를 포함하고, 상기 스캐닝 구동 회로를 더 포함하며, 상기 타이밍 컨트롤러는 상기 스캐닝 구동 회로의 제1 클록단, 제2 클록단, 스캐닝 신호 입력단, 제1 레벨단, 제2 레벨단과 제3 레벨단에 타이밍 신호와 고 레벨 및 저 레벨 신호를 제공하고, 상기 스캐닝 구동 회로의 구동 신호 출력단이 상기 픽셀 회로의 구동 신호 입력단에 연결되어, 상기 픽셀 회로가 동작하도록 구동시키기 위한 구동 신호를 출력한다.
- [0017] 상기 스캐닝 구동 회로를 응용한 유기 발광 디스플레이는 비교적 적은 트랜지스터를 사용하였기에, 제품의 신뢰성을 대폭 향상시킬 수 있으며, 아울러 제품 설계 단가와 생산 단가도 감소시킨다.

도면의 간단한 설명

- [0018] 도 1은 본 발명의 제1 실시예에 따른 스캐닝 구동 회로의 제1 스캐닝 드라이버의 모듈 모식도이다.
- 도 2는 도 1에 도시된 제1 스캐닝 드라이버의 캐스캐이드 구조의 회로 모식도이다.
- 도 3은 도 1에 도시된 제1 스캐닝 드라이버의 신호 중 일부의 타이밍 모식도이다.
- 도 4는 본 발명의 제2 실시예에 따른 스캐닝 구동 회로의 제1 스캐닝 드라이버의 캐스캐이드 구조의 회로 모식도이다.
- 도 5는 본 발명의 제3 실시예에 따른 스캐닝 구동 회로의 제1 스캐닝 드라이버의 캐스캐이드 구조의 회로 모식도이다.
- 도 6은 본 발명의 일 실시예에 따른 유기 발광 디스플레이 회로 모듈 모식도이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 아래에서는 도면과 결부하여 본 발명의 구체적인 실시 형태에 대해 상세하게 설명한다. 이해를 돕기 위해, 이하 설명에서 단자 번호를 이용하여 대응하는 신호를 나타낸다.

- [0020] 실시예 1
- [0021] 도 1과 도 2를 참조하면, 본 실시예는 스캐닝 구동 회로를 제공한다. 상기 스캐닝 구동 회로는 선택 신호를 순차적으로 출력하는 제1 스캐닝 드라이버와 송신 신호를 순차적으로 출력하는 제2 스캐닝 드라이버를 포함한다. 제1 스캐닝 드라이버는 다수의 제1 캐스캐이드 구조를 포함하고, 제2 스캐닝 드라이버는 다수의 제2 캐스캐이드 구조를 포함한다. 제1 캐스캐이드 구조 및 제2 캐스캐이드 구조 중의 각각의 캐스캐이드 구조는 하기와 같은 구조를 포함할 수 있다. 상기 실시예에서, 제1 캐스캐이드 구조와 제2 캐스캐이드 구조 중의 각각의 캐스캐이드 구조는 모두 제1 트랜지스터(M1), 제2 트랜지스터(M2), 제3 트랜지스터(M3), 제4 트랜지스터(M4), 제5 트랜지스터(M5), 제6 트랜지스터(M6), 제7 트랜지스터(M7), 제8 트랜지스터(M8), 제9 트랜지스터(M9), 제1 커패시터(C1), 제2 커패시터(C2), 제3 커패시터(C3), 스캐닝 신호 입력단(IN), 스캐닝 신호 출력단(OUT), 제1 클록단(CKL1), 제2 클록단(CLK2), 제1 레벨단(VGH), 제2 레벨단(VGL1), 제3 레벨단(VGL2) 및 구동 신호 출력단(EM)을 포함한다.
- [0022] 제1 트랜지스터(M1)는 바로 이전의 캐스캐이드 구조의 스캐닝 신호 입력단(IN) 또는 스캐닝 신호 출력단(OUT)과 서로 연결되는 입력단, 제1 클록단(CKL1)과 연결되는 게이트단 및 출력단을 포함한다. 제2 트랜지스터(M2)는 제1 트랜지스터(M1)의 출력단과 연결되는 게이트단, 제2 클록단(CLK2)과 연결되는 입력단 및 스캐닝 신호 출력단(OUT)과 연결되는 출력단을 포함한다. 제3 트랜지스터(M3)은 제1 레벨단(VGH)과 연결되는 입력단, 스캐닝 신호 출력단(OUT)과 연결되는 게이트단 및 출력단을 포함한다. 제4 트랜지스터(M4)는 제3 트랜지스터(M3)의 출력단과 연결되는 입력단, 제1 클록단(CKL1)과 연결되는 게이트단 및 제2 레벨단(VGL1)과 연결되는 출력단을 포함한다. 제5 트랜지스터(M5)는 제1 레벨단(VGH)과 연결되는 입력단, 제3 트랜지스터(M3)의 출력단과 연결되는 게이트단 및 스캐닝 신호 출력단(OUT)과 연결되는 출력단을 포함한다. 제6 트랜지스터(M6)는 제1 레벨단(VGH)과 연결되는 입력단, 스캐닝 신호 출력단(OUT)과 연결되는 게이트단 및 출력단을 포함한다. 제7 트랜지스터(M7)는 제6 트랜지스터(M6)의 출력단과 연결되는 입력단, 제1 클록단(CKL1)과 연결되는 게이트단 및 제2 레벨단(VGL1)과 연결되는 출력단을 포함한다. 제8 트랜지스터(M8)는 제1 레벨단(VGH)과 연결되는 입력단, 스캐닝 신호 출력단(OUT)과 연결되는 게이트단 및 구동 신호 출력단(EM)과 연결되는 출력단을 포함한다. 제9 트랜지스터(M9)는 구동 신호 출력단(EM)과 연결되는 입력단, 제6 트랜지스터(M6)의 출력단과 연결되는 게이트단 및 제3 레벨단(VGL2)과 연결되는 출력단을 포함한다.
- [0023] 제1 트랜지스터(M1)의 게이트, 제4 트랜지스터(M4)의 게이트 및 제7 트랜지스터(M7)의 게이트는 단락(short circuit)되고, 제1 트랜지스터(M1)의 제2 극, 제2 트랜지스터(M2)의 게이트와 제1 커패시터(C1)의 제1 단이 단락되며, 제2 트랜지스터(M2)의 제2 극, 제3 트랜지스터(M3)의 게이트, 제5 트랜지스터(M5)의 제2 극, 제6 트랜지스터(M6)의 게이트, 제8 트랜지스터(M8)의 게이트, 제1 커패시터(C1)의 제2 단 및 제2 커패시터(C2)의 제2 단이 단락되고, 제3 트랜지스터(M3)의 제1 극, 제5 트랜지스터(M5)의 제1 극, 제6 트랜지스터(M6)의 제1 극, 제8 트랜지스터(M8)의 제1 극 및 제2 커패시터(C2)의 제1 단이 단락되며, 제3 트랜지스터(M3)의 제2 극은 제4 트랜지스터(M4)의 제1 극 및 제5 트랜지스터(M5)의 게이트와 단락되고, 제4 트랜지스터(M4)의 제2 극, 제7 트랜지스터(M7)의 제2 극과 제3 커패시터(C3)의 제2 단이 단락되며, 제6 트랜지스터(M4)의 제2 극, 제7 트랜지스터(M7)의 제1 극, 제3 커패시터(C3)의 제1 단과 제9 트랜지스터(M9)의 게이트가 단락되고, 제8 트랜지스터(M8)의 제2 극과 제9 트랜지스터(M9)의 제1 극이 단락된다.
- [0024] 제1 트랜지스터(M1)의 제1 극은 스캐닝 신호 입력단(IN)과 연결되고, 제2 트랜지스터(M2)의 제2 극은 스캐닝 신호 출력단(OUT)과 연결되며, 제1 트랜지스터(M1)의 게이트는 제1 클록단(CLK1)과 연결되고, 제2 트랜지스터(M2)의 제1 극은 제2 클록단(CLK2)과 연결되며, 제3 트랜지스터(M3)의 제1 극은 제1 레벨단(VGH)과 연결되고, 제4 트랜지스터(M4)의 제2 극은 제2 레벨단(VGL1)과 연결되며, 제9 트랜지스터(M9)의 제2 극은 제2 저 레벨 신호 입력단(VGL2)과 연결되고, 제8 트랜지스터(M8)의 제2 극은 구동 신호 출력단(EM)과 연결된다.
- [0025] 고 레벨 신호는 제1 레벨단(VGH)에서 입력되고(제1 레벨단(VGH)의 입력 전압이 정압(positive)인 것을 의미한다), 제1 클록 신호는 제1 클록단(CLK1)으로부터 입력되며, 제2 클록 신호는 제2 클록단(CLK2)으로부터 입력되고, 스캐닝 신호는 스캐닝 신호 입력단(IN)으로부터 입력되며, 제1 저 레벨 신호는 제2 레벨단(VGL1)으로부터 입력되고(제2 레벨단(VGL1)의 입력 전압이 부압(negative)인 것을 의미한다), 제2 저 레벨 신호는 제2 저 레벨 신호 입력단(VGL2)으로부터 입력되며(제2 저 레벨 신호 입력단(VGL2)의 입력 전압이 부압(negative)인 것으로 이해할 수 있음), 구동 신호는 구동 신호 출력단(EM)으로부터 출력되고, 출력 스캐닝 신호는 스캐닝 신호 출력단(OUT)으로부터 출력된다.
- [0026] 제1 트랜지스터(M1), 제2 트랜지스터(M2), 제3 트랜지스터(M3), 제4 트랜지스터(M4), 제5 트랜지스터(M5), 제6

트랜지스터(M6), 제7 트랜지스터(M7), 제8 트랜지스터(M8), 제9 트랜지스터(M9)는 전계효과 트랜지스터로서, 바람직하게는 P채널형 전계효과 트랜지스터이다. 더욱 구체적으로는 박막 전계효과 트랜지스터(TFT)이고, 바람직하게는 P채널형 박막 전계효과 트랜지스터이다.

- [0027] 상기 스캐닝 구동 회로의 제1 스캐닝 드라이버와 제2 스캐닝 드라이버의 캐스캐이드 구조 각각은 9개의 트랜지스터를 포함하고, 2개의 클록 신호만을 필요로 하기 때문에, 상기 스캐닝 구동 회로에 사용되는 트랜지스터의 수량이 비교적 적을 수 있다. 따라서, 제품의 신뢰성을 대폭 향상시킬 수 있으며, 아울러 제품 설계 단가와 생산 단가도 감소시킨다. 나아가, 제6 트랜지스터(M6), 제7 트랜지스터(M7), 제8 트랜지스터(M8), 제9 트랜지스터(M9)의 존재는 상기 스캐닝 구동 회로의 구동 신호 출력단(EM)의 출력이 더욱 정확하고 신빙성을 갖도록 할 수 있다.
- [0028] 설명해야 할 것은, 스캐닝 신호 출력단(OUT)에 부하 커패시터가 연결되어 있으면, 제2 커패시터(C2)와 제3 커패시터(C3)는 여기서 생략될 수도 있다. 상기 실시예에서 제1 레벨단(VGH), 제2 레벨단(VGL1), 제3 레벨단(VGL2)의 전류를 감소시키기 위해서, 제2 커패시터(C2)와 제3 커패시터(C3)가 제공된다.
- [0029] 아래에서 제1 스캐닝 드라이버를 예로 들어 다수의 캐스캐이드 구조의 연결 관계를 구체적으로 소개한다.
- [0030] 제1 스캐닝 드라이버는 N레벨의 캐스캐이드 구조를 포함하고, 제1 레벨 캐스캐이드 구조의 스캐닝 신호 출력단은 제2 레벨 캐스캐이드 구조의 스캐닝 신호 입력단에 연결되며, 제2 레벨 캐스캐이드 구조의 스캐닝 신호 출력단은 제3 레벨 캐스캐이드 구조의 스캐닝 신호 입력단에 연결되고..., 제N-1레벨 캐스캐이드 구조의 스캐닝 신호 출력단은 제N레벨 캐스캐이드 구조의 스캐닝 신호 입력단에 연결된다.
- [0031] 홀수레벨의 캐스캐이드 구조의 제1 클록단은 짝수레벨의 캐스캐이드 구조의 제2 클록단과 단락되고, 홀수레벨의 캐스캐이드 구조의 제2 클록단은 짝수레벨의 캐스캐이드 구조의 제1 클록단과 단락된다.
- [0032] 제1 클록 신호(CLK1)는 제1 레벨 캐스캐이드 구조의 제1 클록단으로 입력되고, 제2 클록 신호(CLK2)는 제1 레벨 캐스캐이드 구조의 제2 클록단으로 입력된다.
- [0033] 각 레벨의 캐스캐이드 구조의 구동 신호 출력단은, 픽셀 회로를 구동하기 위하여 구동 신호(EM.1, EM.2, EM.3, ...EM.N)를 다수의 유기 발광 디스플레이의 픽셀 회로에 각각 출력한다.
- [0034] 아래에서는 도면과 결부하여 스캐닝 주기(T)에서의 회로의 동작 원리를 설명한다. 도 1, 도 2 및 도 3을 참조하면, 제1 레벨단(VGH)으로부터 입력된 전압은 고 레벨이고, 제2 레벨단(VGL1)과 제3 레벨단(VGL2)으로부터 입력된 전압은 저 레벨이다. 제1 캐스캐이드 구조와 제2 캐스캐이드 구조의 각 캐스캐이드 구조의 제1 클록단(CLK1)에 의해 수신된 신호와 제2 클록단(CLK2)에 의해 수신된 신호의 주파수는 동일하다. 제1 클록단(CLK1)에 의해 수신된 신호가 고 레벨일 경우 제2 클록단(CLK2)에 의해 수신된 신호는 저 레벨이며, 제1 클록단(CLK1)에 의해 수신된 신호가 저 레벨일 경우 제2 클록단(CLK2)에 의해 수신된 신호는 고 레벨이다. 이는 제1 캐스캐이드 구조와 제2 캐스캐이드 구조 중의 각각의 캐스캐이드 구조의 제1 클록단(CLK1)과 제2 클록단(CLK2)에 의해 수신된 신호의 위상이 반대라는 것을 의미한다. 이해의 편의를 위해, 단자 번호를 인용하여 상기 신호를 표시하는 바, 즉 스캐닝 신호는 IN이고, 출력된 스캐닝 신호는 OUT이며, 제1 클록 신호는 CLK1이고, 제2 클록 신호는 CLK2이며, 구동 신호는 EM이다. 참조 번호를 이용함으로써 상이한 소자를 구분하는 바, 예를 들면 제1 트랜지스터(M1)는 트랜지스터M1이고, 제1 커패시터(C1)는 커패시터C1이다.
- [0035] 첫 번째 클록 주기(t1) 내에서: 제1 클록단(CLK1)에 의해 수신된 클록 신호(즉 CLK1임)는 저 레벨이고, 트랜지스터M1, 트랜지스터M4, 트랜지스터M7이 모두 도통(ON)되면, IN은 저 레벨(커패시터C1 충전)이고, 제2 클록단 단(CLK2)에 의해 수신된 클록 신호(즉 CLK2임)는 고 레벨이며, 이로써 트랜지스터M2가 도통(ON)되고, 출력 스캐닝 신호 OUT이 고 레벨이 된다. 트랜지스터M7가 도통(ON)되어 트랜지스터(M9)의 게이트도 저 레벨이며, M9가 도통(ON)되어 EM은 저 레벨이 된다.
- [0036] 두 번째 클록 주기(t2) 내에서: CLK1은 고 레벨이고, 트랜지스터M1, 트랜지스터M4, 트랜지스터M7이 불통(OFF)이 되고, 커패시터C1는 방전하고, CLK2는 저 레벨이다. 커패시터(C1)의 커플링 작용으로 인해, 트랜지스터M2의 게이트는 계속하여 더욱 낮은 저 레벨이며, M2를 도통(ON)시키고, M3을 도통(ON)시키며, 아울러 M5가 불통(OFF)이며, 이로써 OUT는 저 레벨이다. M2가 도통(ON)되어 트랜지스터M6와 트랜지스터M8이 모두 도통(ON)되고, 트랜지스터M9가 불통(OFF)이고, 따라서 EM이 고 레벨이 된다.
- [0037] 세 번째 클록 주기(t3) 내에서: CLK1은 저 레벨이고, CLK2는 고 레벨이다. 트랜지스터M1, 트랜지스터M4, 트랜지스터M7가 모두 도통(ON)되면, IN은 고 레벨이고, M2는 불통(OFF)이다. M4가 도통(ON)되어 M5를 도통(ON)시키고

(커패시터C2 충전), OUT은 고 레벨이다. 트랜지스터M7가 도통(ON)됨으로써 트랜지스터M9의 게이트도 저 레벨(커패시터C3 충전)이고, M9가 도통(ON)되어, EM이 저 레벨이 된다.

[0038] 네 번째 클록 주기(t4)내에서: CLK1은 고 레벨이고, CLK2는 저 레벨이며, IN은 고 레벨이다. 트랜지스터M1, 트랜지스터M2, 트랜지스터M4, 트랜지스터M7은 불통(OFF)이 됨으로써 M3, M5이 모두 불통(OFF)이고, 커패시터C2는 방전함으로써 OUT이 고 레벨이 된다. 커패시터C3가 방전함으로써 M9이 도통(ON)되고, EM은 저 레벨이 된다.

[0039] 따라서, OUT은 나머지 스캐닝 주기 시간 내에서 모두 고 레벨이고, EM은 나머지 스캐닝 주기 시간 내에서 모두 저 레벨인 바, 구동 신호EM의 출력, 및 스캐닝 신호IN의 하나의 클록 신호의 푸시(push)를 실현한다(즉, OUT은 IN보다 하나의 신호 주기만큼 뒤로 쉬프트된다).

[0040] OUT은 IN보다 하나의 신호 주기만큼 뒤로 쉬프트된다. 추가적으로, CLK1과 CLK2는 짝수와 홀수가 교차되는 방식에 따라 각 레벨의 캐스케이드 구조를 연결시키고, CLK1과 CLK2는 고 레벨과 저 레벨이 마침 교차되는 바, 즉 CLK1, CLK2 및 OUT의 동기화된 쉬프트가 실현된다. 따라서, 각 레벨의 캐스케이드 구조는 모두 필요한 구동 신호(EM.1, EM.2, EM.3, ...EM.N)를 출력할 수 있다.

[0041] 상기 스캐닝 구동 회로는 전통적인 스캐닝 구동 회로에 비해 적은, 2개의 클록 신호와 9개의 트랜지스터만 사용하였다. 이는 회로의 신뢰성을 대폭 향상시킬 수 있고, 아울러 설계 단가와 생산 단가도 감소시킨다.

[0042] 실시예 2

[0043] 도 4를 참조하면, 본 실시예에서, 제1 저 레벨 신호(VGL1)와 제2 저 레벨 신호(VGL2)는 동일한 저 레벨 신호이다. 즉, 제2 저 레벨 신호 입력단(VGL2)은 제2 레벨단(VGL1)에 연결되고, 제9 트랜지스터(M9)의 제2 극이 제2 레벨단(VGL1)에 직접 연결되는 것과 동일하고, 이 경우 제1 저 레벨 신호(VGL1)와 제2 저 레벨 신호(VGL2)에 의해 입력된 전압 값은 동일하다. 회로 작동 과정에서, 제7 트랜지스터(M7)가 도통(ON)되면, 동시에 제9 트랜지스터(M9)의 게이트는 저 레벨 $v_{gl1}+V_{th}$ (v_{gl1} 은 제1 저 레벨 신호의 전압 값이고, V_{th} 는 P채널형 박막 전계효과 트랜지스터의 임계값 전압 절대치임)이므로, 제9 트랜지스터(M9)가 도통(ON)되고, 이 때 제9 트랜지스터(M9)의 소스 전극도 저 레벨(v_{gl1})이다. 이는, 제9 트랜지스터(M9)의 게이트 전극과 드레인이 단락되는 것과, 제9 트랜지스터(M9)가 다이오드 연결을 형성하는 것과 동일하다. 제9 트랜지스터(M9)의 소스 출력 전압은 $v_{gl1}+V_{th}$ 인데, 이렇게 되면 구동 신호가 요구되는 v_{gl1} 보다 V_{th} 만큼 더 높게 된다. 결과적으로, 구동 신호 출력단(EM)에 의해 출력된 구동 신호가 v_{gl1} 이 되게 하기 위해, 기타 실시예에서, 구동 과정에서 제2 저 레벨 신호의 전압 값(v_{gl2})은 제1 저 레벨 신호의 전압 값(v_{gl1})보다 작고, 바람직하게는 제2 저 레벨 신호의 전압 값(v_{gl2})은 제1 저 레벨 신호의 전압 값(v_{gl1})보다 V_{th} 작다.

[0044] 설명해야 할 것은, 스캐닝 신호 출력단(OUT)에 부하 커패시터가 연결되어 있으면, 제2 커패시터(C2)는 생략될 수 있지만, 제3 커패시터(C3)는 생략하지 못한다. 제3 커패시터(C3)의 기능은 제9 트랜지스터(M9)의 게이트 전압을 안정시키는 것이다.

[0045] 스캐닝 신호(IN)는, 상기 스캐닝 신호(IN)의 하나의 스캐닝 주기(T)에서의 첫 번째 클록 주기(t)에서 저 레벨 신호이고, 나머지 시간에서는 고 레벨 신호이다; 상기 스캐닝 신호(IN)가 저 레벨 신호일 경우, 제1 클록 신호(CLK1)도 저 레벨 신호이다. 제1 클록 신호(CLK1)와 제2 클록 신호(CLK2)의 주파수는 일치한다. 제1 클록 신호(CLK1)가 고 레벨일 경우 제2 클록 신호(CLK2)는 저 레벨이고, 제1 클록 신호(CLK1)가 저 레벨일 경우 제2 클록 신호(CLK2)는 고 레벨이다. 스캐닝 신호(IN)는 하나의 스캐닝 주기(T)의 첫 번째 클록 주기(t)에서 제1 클록 신호(CLK1)와 저 레벨로 동기화된다.

[0046] 실시예 3

[0047] 본 실시예에서, 단지 제3 커패시터(C3)의 연결 방식을 개선시키는 것만으로 출력 신호(EM)의 신속한 고 레벨 전환을 향상시킬 수 있다. 구체적으로 제3 커패시터(C3)를 구동 신호 출력단(EM)과 제9 트랜지스터(M9)의 게이트 단 사이에 연결되게 개선시키는 바, 도 5를 참조하기 바란다.

[0048] 설명해야 할 것은, 스캐닝 신호 출력단(OUT)에 부하 커패시터가 연결되어 있으면, 제2 커패시터(C2)는 생략할 수 있지만, 제3 커패시터(C3)는 생략하지 못한다. 제3 커패시터(C3)는 양의 피드백(positive feedback) 효과를 가진다.

[0049] 회로 작동 과정에서, 첫 번째 클록 주기(t1)에서 두 번째 클록 주기(t2)로 넘어갈(flipping) 경우, 제3 커패시터(C3)의 양단 전압 점프(voltage jump)와 양의 피드백 효과를 이용하여, 출력 신호(EM)는 저 레벨에서 고 레벨로 신속하게 변화했다. 두 번째 클록 주기(t2)에서 세 번째 클록 주기(t3)로 점프될 경우, 제3 커패시터(C3)의

양단 전압 점프와 양의 피드백 작용을 이용하여, 출력 신호(EM)는 고 레벨에서 저 레벨로 신속하게 변화였다. 본 실시예에서 제3 커패시터(C3)를 사용하여 양의 피드백의 작용을 일으킴으로써, 고 레벨 및 저 레벨의 출력이 더욱 신속하고 안정되게 한다. 따라서, 구동 회로의 부하 능력과 고 레벨-저 레벨 전환 능력을 향상시켜 고 레벨과 저 레벨의 출력단이 전원 레벨에 더욱 근접하게 출력한다.

[0050] 도 6을 참조하면, 본 발명은 유기 발광 디스플레이를 제공하는 바, 상기 실시예 1 또는 실시예 2 또는 실시예 3의 스캐닝 구동 회로와 유기 발광 디스플레이의 다수의 픽셀 회로(112)를 포함한다. 여기서, 스캐닝 구동 회로는 제1 스캐닝 드라이버(110)와 제2 스캐닝 드라이버(116)를 포함한다. 제1 스캐닝 드라이버(110) 중의 각 레벨의 캐스캐이드 구조의 구동 신호 출력단(EM.1, EM.2, EM.3, ...EM.N)은 유기 발광 디스플레이 소자의 픽셀 회로(112)의 구동 신호 입력단과 각각 연결되어, 구동 신호(EM.1, EM.2, EM.3, ...EM.N)를 각각 출력하여 유기 발광 디스플레이의 픽셀 회로(112)를 구동시킨다.

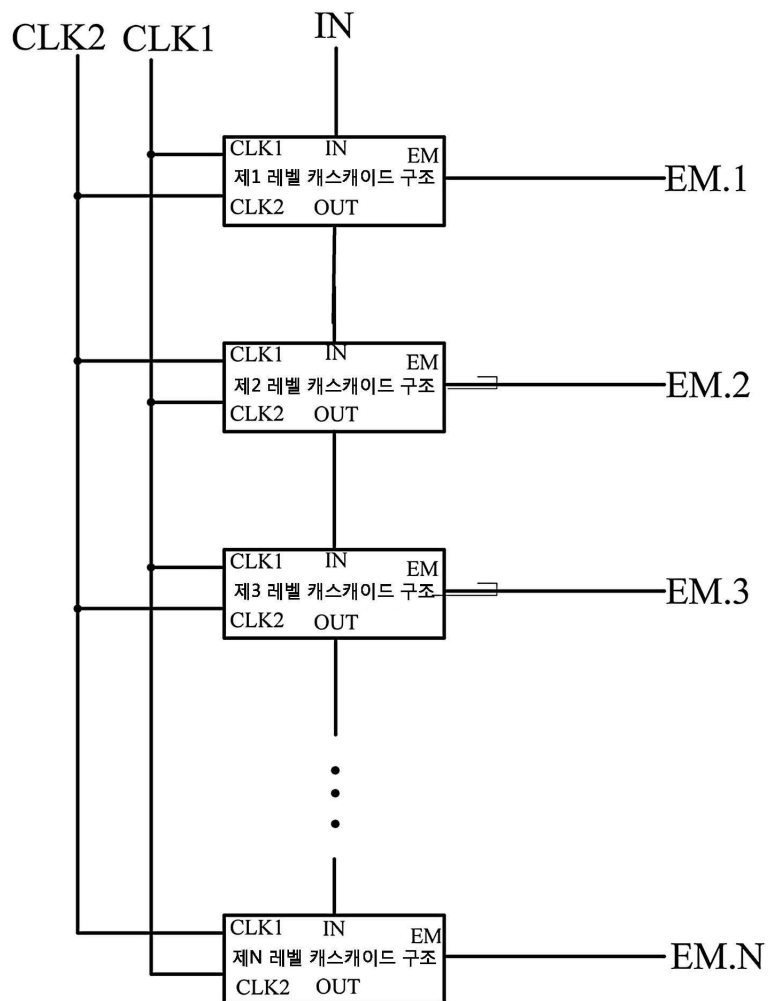
[0051] 상기 유기 발광 디스플레이는 데이터 드라이버(114) 및 타이밍 컨트롤러(118)를 더 포함한다. 데이터 드라이버(114)는 각각 유기 발광 디스플레이의 픽셀 회로(112)에 데이터 신호를 제공하도록 구성되고, 제2 스캐닝 드라이버(116)는 유기 발광 디스플레이의 픽셀 회로(112)에 스캐닝 신호를 제공하도록 구성되며, 타이밍 컨트롤러(118)는 제1 스캐닝 드라이버(110)와 제2 스캐닝 드라이버(116)의 제1 클록단, 제2 클록단, 스캐닝 신호 입력단, 제1 레벨단, 제2 레벨단 및 제3 레벨단에 타이밍 신호와 고 레벨 및 저 레벨 신호를 제공하도록 구성되며, ELVDD는 모든 유기 발광 디스플레이의 픽셀 회로(112)에 전원 신호를 제공하도록 구성된다.

[0052] 상기 스캐닝 구동 회로를 이용한 유기 발광 디스플레이는, 제품의 신뢰성을 대폭 향상시킬 수 있고, 아울러 제품 설계 단가와 생산 단가도 감소시킨다.

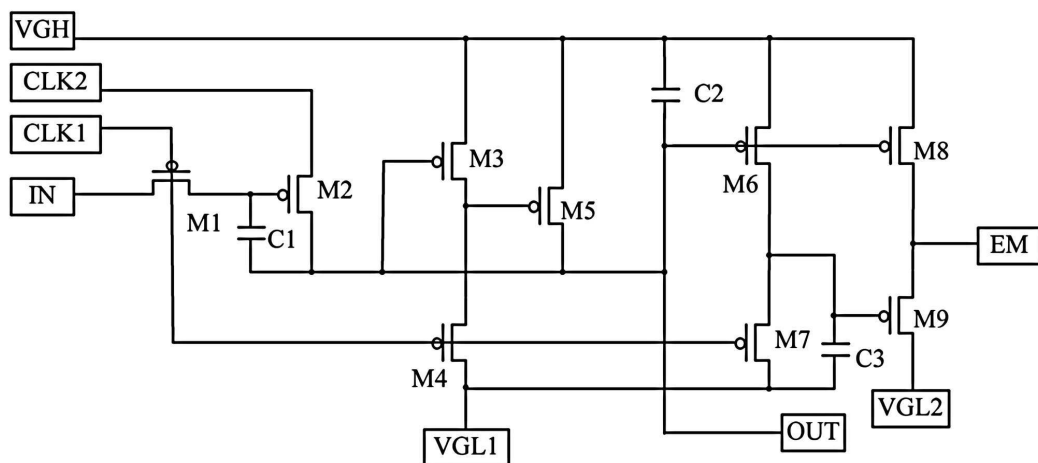
[0053] 이상 상기 실시예는 단지 본 발명의 몇 가지 실시 형태를 설명하기 위한 것으로, 서술이 비교적 구체적이고 상세하지만, 이로 인해 본 발명의 특허범위를 제한한다고 이해할 수 없다. 본 발명의 사상을 벗어나지 않는 전제하에서, 본 기술분야의 통상의 기술자는 소정의 변화와 개선도 진행할 수 있는 바, 이는 모두 본 발명의 보호범위에 속해야 함을 지적하는 바이다. 따라서, 본 발명 특허의 보호범위는 첨부된 특허청구범위를 기준으로 해야 한다.

도면

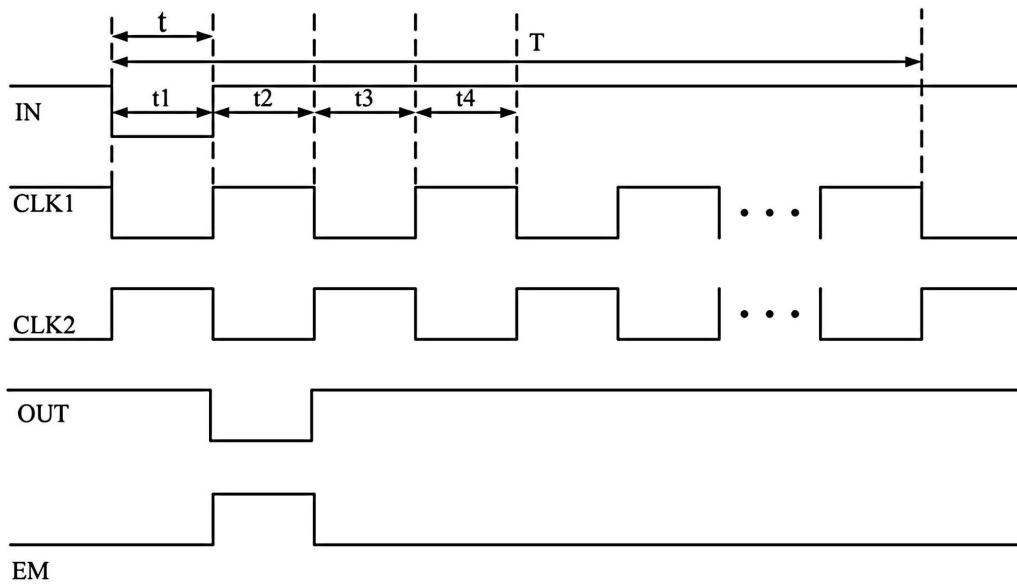
도면1



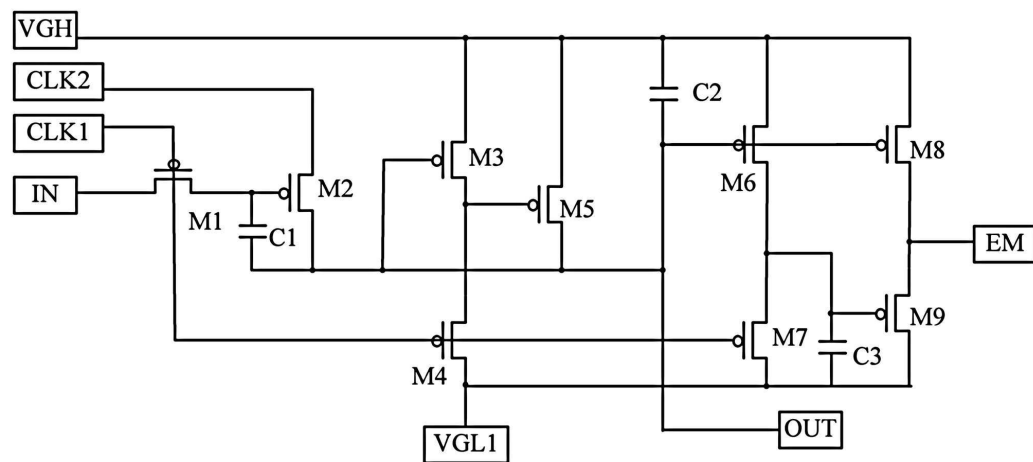
도면2



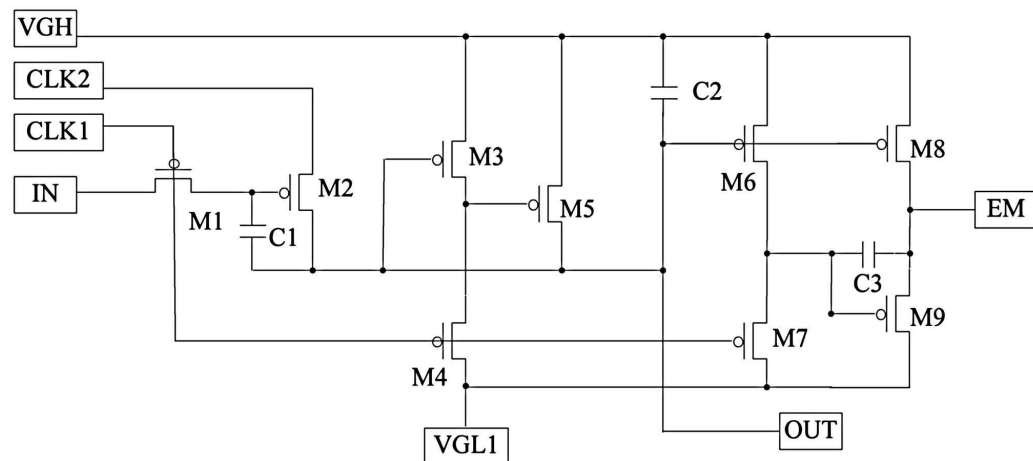
도면3



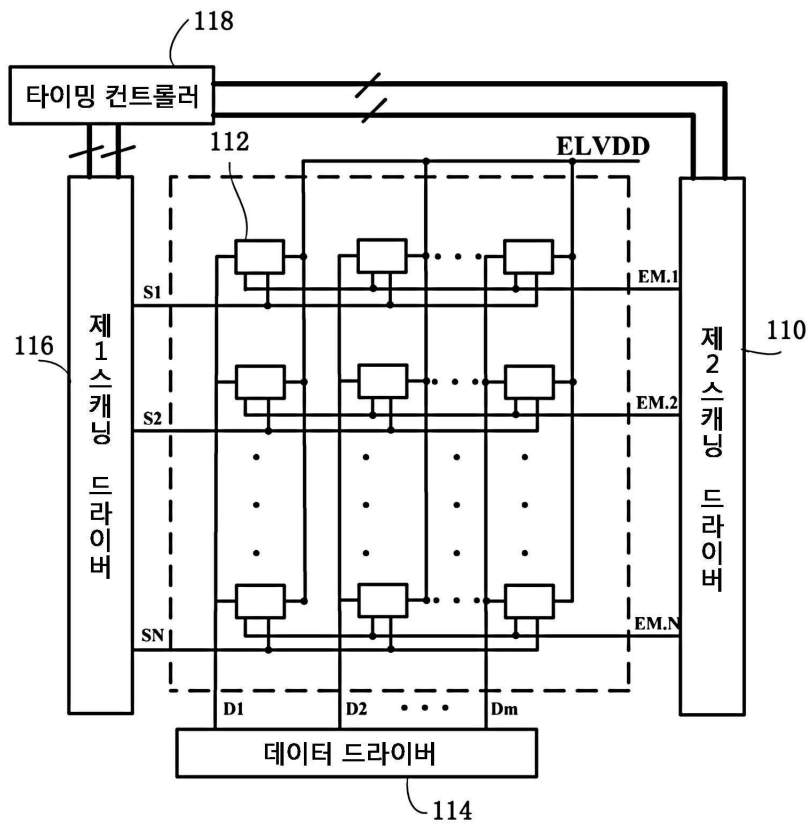
도면4



도면5



도면6



专利名称(译)	扫描驱动电路和有机发光显示器		
公开(公告)号	KR101878380B1	公开(公告)日	2018-07-13
申请号	KR1020167020703	申请日	2014-12-29
[标]申请(专利权)人(译)	昆山工研院新型平板显示技术中心有限公司 昆山国显光电有限公司		
申请(专利权)人(译)	昆山新型平板显示技术中心ssioh，萨尔瓦多孵化园. 诺克斯光电昆山高清ssioh，萨尔瓦多孵化园.		
当前申请(专利权)人(译)	昆山新型平板显示技术中心ssioh，萨尔瓦多孵化园. 诺克斯光电昆山高清ssioh，萨尔瓦多孵化园.		
[标]发明人	YANG NAN 양난 HU SIMING 휘쓰밍 ZHANG TINGTING 장팅팅 ZHANG XIAOBAO 장샤오빠오 NAGAI HAJIME 나가이하지메 HUANG XIUQI 후앙씨우치		
发明人	양,난 휘,쓰밍 장,팅팅 장,샤오빠오 나가이,하지메 후앙,씨우치		
IPC分类号	G09G3/3266 G11C19/28		
CPC分类号	G09G3/3266 G11C19/28 G09G2310/0262 G09G2310/0286 G09G2300/0861 G09G2310/08		
代理人(译)	金永澈		
优先权	201310744988.8 2013-12-30 CN 201410464972.6 2014-09-12 CN		
其他公开文献	KR1020160104044A		
外部链接	Espacenet		

摘要(译)

提供扫描驱动电路。与传统的扫描驱动电路相比，使用更少的时钟信号和晶体管。这极大地提高了电路的稳定性并且可以降低设计和制造成本。还公开了一种基于扫描驱动电路的有机发光显示器。 专利号10-1878380

