

(11) 공개번호 10-2020-0048797
(43) 공개일자 2020년05월08일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *G09G 3/3233* (2016.01)
H01L 51/52 (2006.01)

(52) CPC특허분류
H01L 27/3272 (2013.01)
G09G 3/3233 (2013.01)

(21) 출원번호 10-2018-0131279

(22) 출원일자 2018년10월30일
 심사청구일자 없음

(71) 출원인
 엘지디스플레이 주식회사
 서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
 정동훈
 경기도 파주시 월롱면 엘지로 245
 김도형
 경기도 파주시 월롱면 엘지로 245
 (뒷면에 계속)

(74) 대리인
 특허법인인벤스크

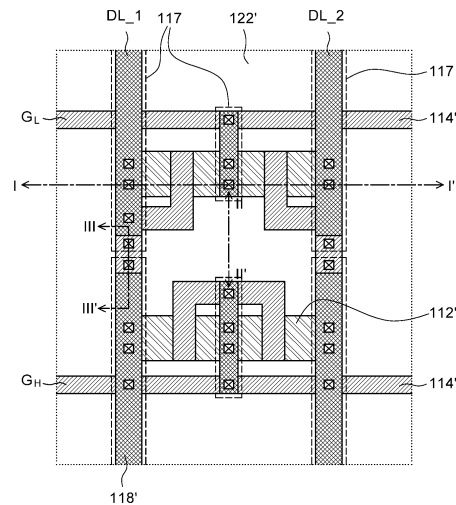
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 전계발광 표시장치

(57) 요약

본 명세서에서는 표시장치를 개시한다. 상기 표시장치는, 표시 영역을 구비한 제1 부분, 상기 제1 부분의 일 측면에 위치한 제2 부분 및 상기 제1 부분과 상기 제2 부분 사이의 구부러진 제3 부분을 갖는 베이스 층; 상기 제2 부분에 위치하고, 상기 표시 영역의 픽셀에 데이터 전압을 전달하는 다수 개의 데이터 라인과 연결된 정전기 방지 회로; 상기 데이터 라인과 상기 정전기 방지 회로에 구비된 전식 예방 구조물을 포함한다.

대표도 - 도5a



(52) CPC특허분류

H01L 27/3276 (2013.01)

H01L 51/52 (2013.01)

(72) 발명자

이충훈

경기도 과주시 월롱면 엘지로 245

전효영

경기도 과주시 월롱면 엘지로 245

정상훈

경기도 과주시 월롱면 엘지로 245

명세서

청구범위

청구항 1

표시 영역을 구비한 제1 부분, 상기 제1 부분의 일 측면에 위치한 제2 부분 및 상기 제1 부분과 상기 제2 부분 사이의 구부러진 제3 부분을 갖는 베이스 층;

상기 제2 부분에 위치하고, 상기 표시 영역의 픽셀에 데이터 전압을 전달하는 다수 개의 데이터 라인과 연결된 정전기 방지 회로;

상기 데이터 라인과 상기 정전기 방지 회로에 구비된 전식 예방 구조물을 포함하는 표시장치.

청구항 2

제1 항에 있어서,

상기 전식 예방 구조물은, 상기 다수 개의 데이터 라인 중 일부의 데이터 라인과 상기 정전기 방지 회로 사이에서 수분을 매개로 발생한 전기화학작용을 차단하는, 표시장치

청구항 3

제1 항에 있어서,

상기 전식 예방 구조물은, 상기 다수 개의 데이터 라인 각각을 덮는 유기 절연 층 및 상기 유기 절연 층 상부를 덮는 금속 층을 포함하는 표시장치.

청구항 4

제3 항에 있어서,

상기 유기 절연 층은, 상기 표시 영역의 평탄화 층과 동일한 물질인 표시장치.

청구항 5

제3 항에 있어서,

상기 금속 층은, 상기 표시 영역의 픽셀 회로에 포함된 유기발광 다이오드의 애노드 전극과 동일한 물질인 표시장치.

청구항 6

제3 항에 있어서,

상기 유기 절연 층 및 상기 금속 층은, 상기 정전기 방지 회로 상의 일부 영역에도 마련된 표시장치.

청구항 7

제6 항에 있어서,

상기 정전기 방지 회로의 일부 영역은 다수 개의 데이터 라인 중 인접한 두 개의 데이터 라인 사이에 있는, 표시장치.

청구항 8

제6 항에 있어서,

상기 유기 절연 층 및 상기 금속 층은, 상기 정전기 방지 회로 상의 일부 영역에 배치된 금속을 덮는 표시장치.

청구항 9

제8 항에 있어서,

상기 정전기 방지 회로 상의 일부 영역에 배치된 금속은 박막 트랜지스터의 소스 및 드레인 전극인, 표시장치.

청구항 10

제1 항에 있어서,

상기 다수 개의 데이터 라인은, 상기 제2 부분을 거쳐 상기 제1 부분의 표시 영역으로 연장된 표시장치.

청구항 11

제1 항에 있어서,

상기 정전기 방지 회로는, 상기 다수 개의 데이터 라인 중 하나의 데이터 라인 및 게이트 로우 전압을 전달하는 게이트 로우 라인에 연결된 제1 트랜지스터; 및 상기 다수 개의 데이터 라인 중 하나의 데이터 라인 및 게이트 하이 전압을 전달하는 게이트 하이 라인에 연결된 제2 트랜지스터를 포함하는 표시장치.

청구항 12

제11 항에 있어서,

상기 제1 트랜지스터의 소스 전극 및 드레인 전극, 상기 제2 트랜지스터의 소스 전극 및 드레인 전극, 상기 데이터 라인은 모두 동일한 물질인 표시장치.

청구항 13

제12 항에 있어서,

상기 제1 트랜지스터의 소스 전극 및 드레인 전극, 상기 제2 트랜지스터의 소스 전극 및 드레인 전극, 상기 데이터 라인은 각각 분리된 유기 절연 층으로 덮이고, 상기 각각 분리된 유기 절연 층은 금속 층으로 덮인, 표시장치.

청구항 14

제11 항에 있어서,

상기 제1 트랜지스터와 연결된 데이터 라인 및 상기 제2 트랜지스터와 연결된 데이터 라인은 동일 층에 있으며, 다른 층에 있는 금속을 통해 점핑 구조로 연결된, 표시장치.

청구항 15

제14 항에 있어서,

상기 다른 층에 있는 금속은, 상기 제1 트랜지스터 또는 상기 제2 트랜지스터의 게이트 전극과 동일한 물질인, 표시장치.

발명의 설명

기술 분야

[0001] 본 명세서는 전계발광 표시장치에 관한 것이다.

배경 기술

[0002] 영상표시장치는 정보 통신 시대의 핵심 기술로 더 얇고 더 가볍고 휴대가 가능하면서도 고성능의 방향으로 발전하고 있다. 이에 자체 발광 소자의 발광량을 전기적으로 제어하여 영상을 표시하는 전계발광 표시장치 등이 각광받고 있다.

[0003] 전계발광 표시장치는 전극 사이의 얇은 발광층을 이용한 자발광 소자를 채용한 표시장치로, 별도 광원없이 동작할 수 있어 박막화가 가능하다는 장점이 있다. 일반적인 전계발광 표시장치는 어레이 기판에 화소 구동 회로와 발광 소자가 형성된 구조를 갖고, 발광 소자에서 방출된 빛이 상부 또는 하부로 보내지면서 화상을 표시하게 된

다.

[0004] 전계발광 표시장치는, 사용되는 발광 소자의 재료에 따라 유기발광 표시장치, 무기발광 표시장치 등으로 구분될 수 있다. 상기 유기발광 표시장치를 비롯한 여러 표시장치들은, 투습이 발생하면 신뢰성 등의 성능이 저하될 수 있으므로, 다양한 방식으로 수분의 침투 및/또는 전파를 차단하도록 설계된다. 특히 최근에는 표시장치의 외곽 부로 침투하는 수분 및/또는 그로 인한 불량을 막기 위한 다양한 구조가 연구, 적용되고 있다.

발명의 내용

해결하려는 과제

[0005] 본 명세서는 전계발광 표시장치의 투습 및 부식 방지 구조를 제안하는 것을 목적으로 한다. 특히, 본 명세서의 실시예들은 표시장치의 외곽에서 발생하는 수분 침투 및 그로 인한 불량 발생을 억제할 수 있는 구조를 제시한다. 본 명세서의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0006] 본 명세서의 일 실시예에 따라 표시장치가 제공된다. 상기 표시장치는, 표시 영역을 구비한 제1 부분, 상기 제1 부분의 일 측면에 위치한 제2 부분 및 상기 제1 부분과 상기 제2 부분 사이의 구부러진 제3 부분을 갖는 베이스층; 상기 제2 부분에 위치하고, 상기 표시 영역의 픽셀에 데이터 전압을 전달하는 다수 개의 데이터 라인과 연결된 정전기 방지 회로; 상기 데이터 라인과 상기 정전기 방지 회로에 구비된 전식 예방 구조물을 포함한다.

[0007] 상기 전식 예방 구조물은, 상기 다수 개의 데이터 라인 중 일부의 데이터 라인과 상기 정전기 방지 회로 사이에서 수분을 매개로 발생한 전기화학작용을 차단할 수 있다.

[0008] 상기 전식 예방 구조물은, 상기 다수 개의 데이터 라인 각각을 덮는 유기 절연 층 및 상기 유기 절연 층 상부를 덮는 금속 층을 포함할 수 있다. 상기 유기 절연 층은, 상기 표시 영역의 평탄화 층과 동일한 물질일 수 있고, 상기 금속 층은, 상기 표시 영역의 픽셀 회로에 포함된 유기발광 다이오드의 애노드 전극과 동일한 물질일 수 있다.

[0009] 상기 유기 절연 층 및 상기 금속 층은, 상기 정전기 방지 회로 상의 일부 영역에도 마련될 수 있다. 이때 상기 정전기 방지 회로의 일부 영역은 다수 개의 데이터 라인 중 인접한 두 개의 데이터 라인 사이에 있을 수 있으며, 상기 유기 절연 층 및 상기 금속 층은, 상기 정전기 방지 회로 상의 일부 영역에 배치된 금속을 덮는다.

[0010] 상기 다수 개의 데이터 라인은, 상기 제2 부분을 거쳐 상기 제1 부분의 표시 영역으로 연장된다.

[0011] 상기 정전기 방지 회로는, 상기 다수 개의 데이터 라인 중 하나의 데이터 라인 및 게이트 로우 전압을 전달하는 게이트 로우 라인에 연결된 제1 트랜지스터; 및 상기 다수 개의 데이터 라인 중 하나의 데이터 라인 및 게이트 하이 전압을 전달하는 게이트 하이 라인에 연결된 제2 트랜지스터를 포함할 수 있다. 이때 상기 제1 트랜지스터의 소스 전극 및 드레인 전극, 상기 제2 트랜지스터의 소스 전극 및 드레인 전극, 상기 데이터 라인은 모두 동일한 물질일 수 있다. 상기 제1 트랜지스터의 소스 전극 및 드레인 전극, 상기 제2 트랜지스터의 소스 전극 및 드레인 전극, 상기 데이터 라인은 각각 분리된 유기 절연 층으로 덮이고, 상기 각각 분리된 유기 절연 층은 금속 층으로 덮일 수 있다.

[0012] 상기 제1 트랜지스터와 연결된 데이터 라인 및 상기 제2 트랜지스터와 연결된 데이터 라인은 동일 층에 있으며, 다른 층에 있는 금속을 통해 점핑 구조로 연결될 수 있다. 상기 다른 층에 있는 금속은, 상기 제1 트랜지스터 또는 상기 제2 트랜지스터의 게이트 전극과 동일한 물질일 수 있다.

[0013] 타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0014] 본 명세서의 실시예들은, 신호 배선의 손상으로 인한 불량 문제가 개선된 표시장치를 제공할 수 있다. 더불어, 본 명세서의 실시예들은, 표시장치 외곽의 회로부를 통한 투습 경로를 방지하는 구조를 제공할 수 있다. 본 명세서의 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

- [0015] 도 1은 전자장치에 포함될 수 있는 예시적인 표시장치를 도시한다.
- 도 2a 및 2b는 본 명세서의 일 실시예에 따른 표시장치의 표시 영역 및 비표시 영역을 개략적으로 나타낸 단면도이다.
- 도 3a 내지 3c는 표시장치의 배선 배치를 설명하는 일 예시도이다.
- 도 4a 내지 4c는 본 명세서의 실시예에 따른 표시장치를 나타낸 도면이다.
- 도 5a 내지 5d는 본 명세서의 실시예에 따른 표시장치를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0016] 본 명세서의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0017] 본 명세서의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 명세서가 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다. 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0018] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다. 소자 또는 층이 다른 소자 또는 층 "위(on)"로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.
- [0019] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0020] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다. 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.
- [0021] 도 1은 전자장치에 포함될 수 있는 예시적인 표시장치를 도시한다.
- [0022] 상기 표시장치는 가요성(flexibility)이 부여된 플렉서블 표시장치, 즉 접을 수 있는(foldable) 표시장치, 구부릴 수 있는(bendable) 표시장치, 말수있는(rollable) 표시장치 등일 수 있다. 상기 표시장치(100)는 적어도 하나의 표시 영역(active area)을 포함하고, 상기 표시 영역에는 화소(pixel)들의 어레이(array)가 형성된다. 하나 이상의 비표시 영역(inactive area)이 상기 표시 영역의 주위에 배치될 수 있다. 즉, 상기 비표시 영역은, 표시 영역의 하나 이상의 측면에 인접할 수 있다. 도 1에서 상기 비표시 영역은 사각형 형태의 표시 영역을 둘러싸고 있다. 그러나, 표시 영역의 형태 및 표시 영역에 인접한 비표시 영역의 형태/배치는 도 1에 도시된 예에 한정되지 않는다. 상기 표시 영역 및 상기 비표시 영역은, 상기 표시장치(100)를 탑재한 전자장치의 디자인에 적합한 형태일 수 있다. 상기 표시 영역의 예시적 형태는 오각형, 육각형, 원형, 타원형 등이다.
- [0023] 상기 표시 영역 내의 각 픽셀은 픽셀 회로와 연관될 수 있다. 상기 픽셀 회로는, 백플레인(backplane) 상의 하나 이상의 스위칭 트랜지스터 및 하나 이상의 구동 트랜지스터를 포함할 수 있다. 각 픽셀 회로는, 상기 비표시

영역에 위치한 게이트 드라이버 및 데이터 드라이버와 같은 하나 이상의 구동 회로와 통신하기 위해, 게이트 라인 및 데이터 라인과 전기적으로 연결될 수 있다.

- [0024] 상기 구동 회로는, 도 1에 도시된 것처럼, 상기 비표시 영역에 TFT(thin film transistor)로 구현될 수 있다. 이러한 구동 회로는 GIP(gate-in-panel)로 지칭될 수 있다. 또한, 데이터 드라이버 IC와 같은 몇몇 부품들은, 분리된 인쇄 회로 기판에 탑재되고, FPCB(flexible printed circuit board), COF(chip-on-film), TCP(tape-carrier-package) 등과 같은 회로 필름을 이용하여 상기 비표시 영역에 배치된 연결 인터페이스(패드/범프, 핀 등)와 결합될 수 있다. 상기 비표시 영역은 상기 연결 인터페이스와 함께 구부러져서, 상기 인쇄 회로(COF, PCB 등)는 상기 표시장치(100)의 뒤편에 위치될 수 있다.
- [0025] 상기 표시장치(100)는, 다양한 신호를 생성하거나 표시 영역내의 픽셀을 구동하기 위한, 다양한 부가 요소들 포함할 수 있다. 상기 픽셀을 구동하기 위한 부가 요소는 인버터 회로, 멀티플렉서, 정전기 방전(ESD) 회로 등을 포함할 수 있다. 상기 표시장치(100)는 픽셀 구동 이외의 기능과 연관된 부가 요소도 포함할 수 있다. 예를 들어, 상기 표시장치(100)는 터치 감지 기능, 사용자 인증 기능(예: 지문 인식), 멀티 레벨 압력 감지 기능, 촉각 피드백(tactile feedback) 기능 등을 제공하는 부가 요소들을 포함할 수 있다. 상기 언급된 부가 요소들은 상기 비표시 영역 및/또는 상기 연결 인터페이스와 연결된 외부 회로에 위치할 수 있다.
- [0026] 상기 표시장치(100)의 하나 이상의 모서리(edge)는 굴곡선(BL)을 축으로하여 표시장치의 뒷부분을 향해 구부러질 수 있다. 상기 표시장치(100)의 하나 이상의 부분이 구부러질 수 있으므로, 상기 표시장치(100)는 실질적으로 평평한(flat) 부분(제1 부분(100-1) 및 제2 부분(100-2)) 및 굴곡진(bended) 부분(제3 부분(100-3))으로 정의될 수 있다. 즉, 표시장치(100)의 일 부분(100-3)은 소정의 각도로 구부러지며, 이러한 부분은 굴곡 부분으로 지칭될 수 있다. 상기 굴곡 부분은, 소정의 굴곡 반지름으로 실제로 휘어지는 굴곡 구간(bended section)을 포함한다. 항상 그런 것은 아니지만, 표시장치(100)의 중앙부분은 실질적으로 평평하고, 모서리 부분은 굴곡 부분일 수 있다. 굴곡 부분(100-3)은, 굴곡축에 대한 굴곡각 θ 및 굴곡 반지름 R을 갖고 중앙 부분으로부터 바깥쪽으로 구부러질 수 있다. 상기 각 굴곡 부분의 크기는 동일할 필요는 없다. 또한, 굴곡 축 둘레의 굴곡 각 θ 및 상기 굴곡축으로부터의 곡률 반지름 R은 굴곡 부분마다 다를 수 있다.
- [0027] 비표시 영역을 구부리면, 비표시 영역이 표시장치의 앞면에서는 안보이거나 최소로만 보이게 된다. 비표시 영역 중 표시장치의 앞면에서 보이는 일부는 베젤(bezel)로 가려질 수 있다. 상기 베젤은 독자적인 구조물, 또는 하우징이나 다른 적합한 요소로 형성될 수 있다. 비표시 영역 중 표시장치의 앞면에서 보이는 일부는 블랙 잉크(예: 카본 블랙으로 채워진 폴리머)와 같은 불투명한 마스크 층 아래에 숨겨질 수도 있다. 이러한 불투명한 마스크 층은 표시장치(100)에 포함된 다양한 층(터치센서 층, 편광 층, 커버 층 등) 상에 마련될 수 있다.
- [0028] 도 2a 및 2b는 본 명세서의 일 실시예에 따른 표시장치의 표시 영역 및 비표시 영역을 개략적으로 나타낸 단면도이다.
- [0029] 도시된 표시 영역 및 비표시 영역은, 도 1에서 서술된 표시 영역(A/A) 및 비표시 영역(I/A)의 적어도 일부에 적용될 수 있다. 이하에서는 유기발광 표시장치(Organic Light Emitting Display)를 일 예로 하여 상기 표시장치를 설명한다.
- [0030] 유기발광 표시장치의 경우, 상기 표시 영역(A/A)에는 베이스 층(111) 상에 박막트랜지스터(112, 114, 116, 118), 유기발광소자(122, 124, 126) 및 각종 기능 층(layer)이 위치한다. 한편, 상기 비표시 영역(I/A)에는 베이스 층(111) 상에 각종 구동 회로, 전극, 배선, 기능성 구조물 등이 위치할 수 있다.
- [0031] 베이스 층(111)은 유기발광 표시장치(100)의 다양한 구성요소들을 지지한다. 베이스 층(111)은 투명한 절연 물질, 예를 들어 유리, 플라스틱 등과 같은 절연 물질로 형성될 수 있다. 기판(어레이 기판)은, 그 위에 형성된 소자 및 기능 층, 예를 들어 스위칭 TFT, 구동 TFT, 유기발광소자, 보호막 등을 포함하는 개념으로 지칭되기도 한다.
- [0032] 버퍼 층(buffer layer)이 베이스 층(111) 상에 위치할 수 있다. 상기 버퍼 층은 베이스 층(111) 또는 하부의 층들에서 유출되는 알칼리 이온 등과 같은 불순물로부터 박막트랜지스터(Thin Film Transistor: TFT)를 보호하기 위한 기능 층이다. 상기 버퍼 층은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 다층으로 이루어질 수 있다.
- [0033] 상기 베이스 층(111) 또는 버퍼 층 위에 박막트랜지스터가 놓인다. 박막트랜지스터는 반도체 층(112), 게이트 절연막(113), 게이트 전극(114), 층간 절연막(115), 소스 및 드레인 전극(116, 118)이 순차적으로 배치된 형태일 수 있다. 반도체 층(112)은 상기 베이스 층(111) 또는 버퍼 층 상에 위치한다. 반도체 층(112)은 폴리 실리콘

콘(p-Si)으로 만들어질 수 있으며, 이 경우 소정의 영역이 불순물로 도핑될 수도 있다. 또한, 반도체 층(112)은 아몰포스 실리콘(a-Si)으로 만들어질 수도 있고, 펜타센 등과 같은 다양한 유기 반도체 물질로 만들어질 수도 있다. 나아가 반도체 층(112)은 산화물(oxide)로 만들어질 수도 있다. 게이트 절연막(113)은 실리콘 산화물(SiO_x) 또는 실리콘 질화물(SiN_x) 등과 같은 절연성 무기물로 형성될 수 있으며, 이외에도 절연성 유기물 등으로 형성될 수도 있다. 게이트 전극(114)은 다양한 도전성 물질, 예컨대, 마그네슘(Mg), 알루미늄(Al), 니켈(Ni), 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 금(Au) 또는 이들의 합금 등으로 형성될 수 있다.

[0034] 층간 절연막(115)은 실리콘 산화물(SiO_x) 또는 실리콘 질화물(SiN_x) 등과 같은 절연성 물질로 형성될 수 있으며, 이외에도 절연성 유기물 등으로 형성될 수도 있다. 층간 절연막(115)과 게이트 절연막(113)의 선택적 제거로 소스 및 드레인 영역이 노출되는 콘택 홀(contact hole)이 형성될 수 있다.

[0035] 소스 및 드레인 전극(116, 118)은 층간 절연막(115) 상에 전극용 물질로 단일층 또는 다층의 형상으로 형성된다.

[0036] 평탄화 층(117)이 박막트랜지스터 상에 위치할 수 있다. 평탄화 층(117)은 박막트랜지스터를 보호하고 그 상부를 평탄화한다. 평탄화 층(117)은 다양한 형태로 구성될 수 있는데, BCB(Benzocyclobutene) 또는 아크릴(Acryl) 등과 같은 유기 절연막, 또는 실리콘 질화막(SiN_x), 실리콘 산화막(SiO_x)와 같은 무기 절연막으로 형성될 수도 있고, 단층으로 형성되거나 이중 혹은 다층 층으로 구성될 수도 있는 등 다양한 변형이 가능하다.

[0037] 유기발광소자는 제1 전극(122), 유기발광 층(124), 제2 전극(126)이 순차적으로 배치된 형태일 수 있다. 즉, 유기발광소자는 평탄화 층(117) 상에 형성된 제1 전극(122), 제1 전극(122) 상에 위치한 유기발광 층(124) 및 유기발광 층(124) 상에 위치한 제2 전극(126)으로 구성될 수 있다.

[0038] 제1 전극(122)은 콘택 홀을 통해 구동 박막트랜지스터의 드레인 전극(118)과 전기적으로 연결된다. 유기발광 표시장치(100)가 상부 발광(top emission) 방식인 경우, 이러한 제1 전극(122)은 반사율이 높은 불투명한 도전 물질로 만들어질 수 있다. 예를 들면, 제1 전극(122)은 은(Ag), 알루미늄(Al), 금(Au), 몰리브덴(Mo), 텅스텐(W), 크롬(Cr) 또는 이들의 합금 등으로 형성될 수 있다.

[0039] बैं크(120)는 발광 영역을 제외한 나머지 영역에 형성된다. 이에 따라, बैं크(120)는 발광 영역과 대응되는 제1 전극(122)을 노출시키는 बैं크 홀을 가진다. बैं크(120)는 실리콘 질화막(SiN_x), 실리콘 산화막(SiO_x)와 같은 무기 절연 물질 또는 BCB, 아크릴계 수지 또는 이미드계 수지와 같은 유기 절연물질로 만들어질 수 있다.

[0040] 유기발광 층(124)이 बैं크(120)에 의해 노출된 제1 전극(122) 상에 위치한다. 유기발광 층(124)은 발광층, 전자 주입층, 전자수송층, 정공수송층, 정공주입층 등을 포함할 수 있다. 상기 유기발광 층은, 하나의 빛을 발광하는 단일 발광층 구조로 구성될 수도 있고, 복수 개의 발광층으로 구성되어 백색 광을 발광하는 구조로 구성될 수도 있다.

[0041] 제2 전극(126)이 유기발광층(124) 상에 위치한다. 유기발광 표시장치(100)가 상부 발광(top emission) 방식인 경우, 제2 전극(126)은 인듐 틴 옥사이드(Indium Tin Oxide; ITO) 또는 인듐 징크 옥사이드(Indium Zinc Oxide; IZO) 등과 같은 투명한 도전 물질로 형성됨으로써 유기발광 층(124)에서 생성된 광을 제2 전극(126) 상부로 방출시킨다.

[0042] 보호 층(128)과 봉지 층(130)이 제2 전극(126) 상에 위치한다. 상기 보호 층(128)과 봉지 층(130)은, 발광 재료와 전극 재료의 산화를 방지하기 위하여, 외부로부터의 산소 및 수분 침투를 막는다. 유기발광소자가 수분이나 산소에 노출되면, 발광 영역이 축소되는 화소 수축(pixel shrinkage) 현상이 나타나거나, 발광 영역 내 흑점(dark spot)이 생길 수 있다. 상기 보호 층(passivation layer) 및/또는 상기 봉지 층(encapsulation layer)은 유리, 금속, 산화 알루미늄(AlO_x) 또는 실리콘(Si) 계열 물질로 이루어진 무기막으로 구성되거나, 또는 유기막과 무기막이 교대로 적층된 구조일 수도 있다. 무기막은 수분이나 산소의 침투를 차단하는 역할을 하고, 유기막은 무기막의 표면을 평탄화하는 역할을 한다. 봉지 층을 여러 겹의 박막 층으로 형성하는 이유는, 단일 층에 비해 수분이나 산소의 이동 경로를 길고 복잡하게 하여, 유기발광소자까지 수분/산소의 침투를 어렵게 만들려는 것이다.

[0043] 상기 유기발광 표시장치(100)는 봉지 층(130) 상에 터치 층, 편광 층(160), 커버 층(170) 등을 더 포함할 수 있다. 터치 패널/터치 감지 전극이 유기발광소자의 상면(예: 봉지 층 상면)에 사용자의 터치 입력을 감지하기 위한 마련될 수 있다. 필요하다면, 터치 감지 전극 및/또는 터치 입력 감지와 연관된 다른 부품이 구비된 독립된 층이 상기 표시장치(100) 내부에 마련될 수 있다. 상기 터치 감지 전극(예: 터치 구동/감지 전극)은 인듐 주석 산화물, 그래핀(graphene)과 같은 탄소 기반 물질, 탄소 나노튜브, 전도성 고분자, 다양한 전도성/비전도성 물

질의 혼합물로 만들어진 하이브리드 물질 등의 투명 전도성 물질로 형성될 수 있다. 또한, 금속 메쉬(metal mesh), 예컨대, 알루미늄 메쉬, 은 메쉬 등이 상기 터치 감지 전극으로 사용될 수 있다.

[0044] 상기 표시장치(100)는 표시 특성(예: 외부 광 반사, 색 정확도, 휘도 등)을 제어하기 위해 편광 층(160)을 포함할 수 있다. 상기 커버 층(170)은 상기 표시장치(100)를 보호하기 위해 사용될 수 있으며 일 예로 커버 글래스(cover glass)일 수 있다.

[0045] 상기 표시장치(100)의 특정 부분에서의 강도 및/또는 견고성을 증가시키기 위해, 하나 이상의 지지 층(180)이 상기 베이스 층(111)의 하부에 제공될 수 있다. 상기 지지 층(180)은, 상기 베이스 층(111)의 양면 중 유기발광 소자가 있는 면(제1 면)의 반대편 면(제2 면)에 부착된다. 상기 지지 층(180)은 폴리에틸렌 나프탈레이트(Polyethylene Naphthalate; PEN), 폴리에틸렌 테레프탈레이트(Polyethylene Terephthalate; PET), 폴리에틸렌 에테르프탈레이트 (polyethylene ether phthalate), 폴리카보네이트(polycarbonate), 폴리아릴레이트(polyarylate), 폴리에테르이미드(polyether imide), 폴리에테르술폰산(polyether sulfonate), 폴리이미드(polyimide) 폴리아크릴레이트(polyacrylate), 기타 적합한 폴리머의 조합으로 구성된 박형 플라스틱 필름으로 만들어질 수 있다. 상기 지지 층(180)의 형성에 사용될 수 있는 다른 적합한 물질은 박형 유리, 유전체로 차폐된 금속 호일(metal foil), 다층 폴리머, 나노 파티클 또는 마이크로 파티클과 조합된 고분자 물질이 포함된 고분자 필름 등일 수 있다.

[0046] 상기 표시장치(100)의 더 용이한 굴곡 및 신뢰성 향상을 위해, 굴곡 부분에서 구성 요소들의 구성은 상기 평평한 중앙 부분에서와 다를 수 있다. 상기 중앙 부분에 존재하는 몇몇 구성 요소들은 상기 굴곡 부분에는 배치되지 않거나, 다른 두께로 제공된다. 예를 들어, 상기 지지 층(180), 상기 편광 층(160), 상기 터치센서 층, 컬러 필터 층 및/또는 표시장치(100)의 굴곡을 방해하는 다른 구성 요소들은 상기 굴곡 부분에 없을 수 있다. 또한 상기 굴곡 부분의 시야각 특성을 고려하여 유기발광소자들이 평평한 부분과는 다른 형태로 마련될 수도 있다.

[0047] 비표시 영역(I/A)에는 픽셀 회로가 배치되지 않지만 베이스 층(111)과 유기/무기 기능 층들(113, 115, 117 128, 130 등)은 존재할 수 있다. 또한 상기 비표시 영역(I/A)에는 표시 영역(A/A)의 구성에 사용된 물질들이 다른 용도로 배치될 수 있다. 예를 들어, 도 2b와 같이, 표시 영역 TFT의 게이트 전극으로 사용된 금속(114'), 또는 소스/드레인 전극으로 사용된 금속(118')이 배선, 전극용으로 비표시 영역(I/A)에 배치될 수 있다. 더 나아가, 유기발광 다이오드의 일 전극(예: 애노드)로 사용되었던 금속(122')이 배선, 전극용으로 비표시 영역(I/A)에 배치될 수도 있다.

[0048] 도 3은 본 명세서의 일 실시예에 따른 정전기 방지 회로이다.

[0049] 표시장치를 제작하는 과정 또는 사용하는 과정 중에 어레이 기판의 각종 금속 패턴에서 정전기가 발생하여 픽셀이 손상될 가능성이 있다. 이에 대비하여, 어레이 기판의 특정 부분에 정전기에 의한 과전류 흐름을 차단 또는 배출하는 다양한 형태의 정전기 방지(Electrostatic Discharge: ESD) 회로가 마련될 수 있다.

[0050] 특히, 표시장치에는 픽셀에 데이터 전압(Vdata)을 공급하는 데이터 라인(DL)에서 발생하는 정전기를 방출하기 위한 ESD 회로가 구비될 수 있다. 이러한 ESD 회로는 데이터 라인의 인입부에 배치될 수 있으며, 그 한 예로서 도 1에 도시된 위치에 배치될 수 있다. 상기 ESD 회로는, 일단은 데이터 라인과 연결되고 타단은 과전류를 방출할 도선과 연결될 수 있다.

[0051] 데이터 라인에 연결된 ESD 회로는, 도 3과 같이, 데이터 라인(DL₁, DL₂)과 게이트 전압 라인(G_L, G_H)에 연결된 스위치(TR_L, TR_H)들로 구성될 수 있다. 게이트 전압 라인(G_L, G_H)은 게이트 구동 회로(예: GIP)에 게이트 로우 전압(V_L)과 게이트 하이 전압(V_H)을 전달하는 도선이다. 도 3에는 설명의 편의를 위하여 데이터 라인을 2개만 도시하였으나, 모든 데이터 라인에 같은 구조의 ESD 회로가 연결될 수 있다.

[0052] 만약, 정전기 등으로 인하여 데이터 라인(DL₁ 또는 DL₂)에 데이터 전압(Vdata)의 설정 범위(예: +3 ~ +6V)보다 큰 과대 전압이 발생하면, 게이트 하이 라인(G_H)과 데이터 라인에 연결된 트랜지스터(TR_H)가 턴 온(turn on)되면서, 상기 과대 전압에 의한 전류는 상기 게이트 하이 라인(G_H)으로 흘러나갈 수 있다. 반대로, 데이터 라인(DL₁ 또는 DL₂)에 설정 범위보다 작은 과소 전압이 발생하면, 게이트 로우 라인(G_L)과 데이터 라인에 연결된 트랜지스터(TR_L)가 턴 온되면서, 상기 과소 전압에 의한 전류는 상기 게이트 로우 라인(G_L)으로 흘러나갈 수 있다.

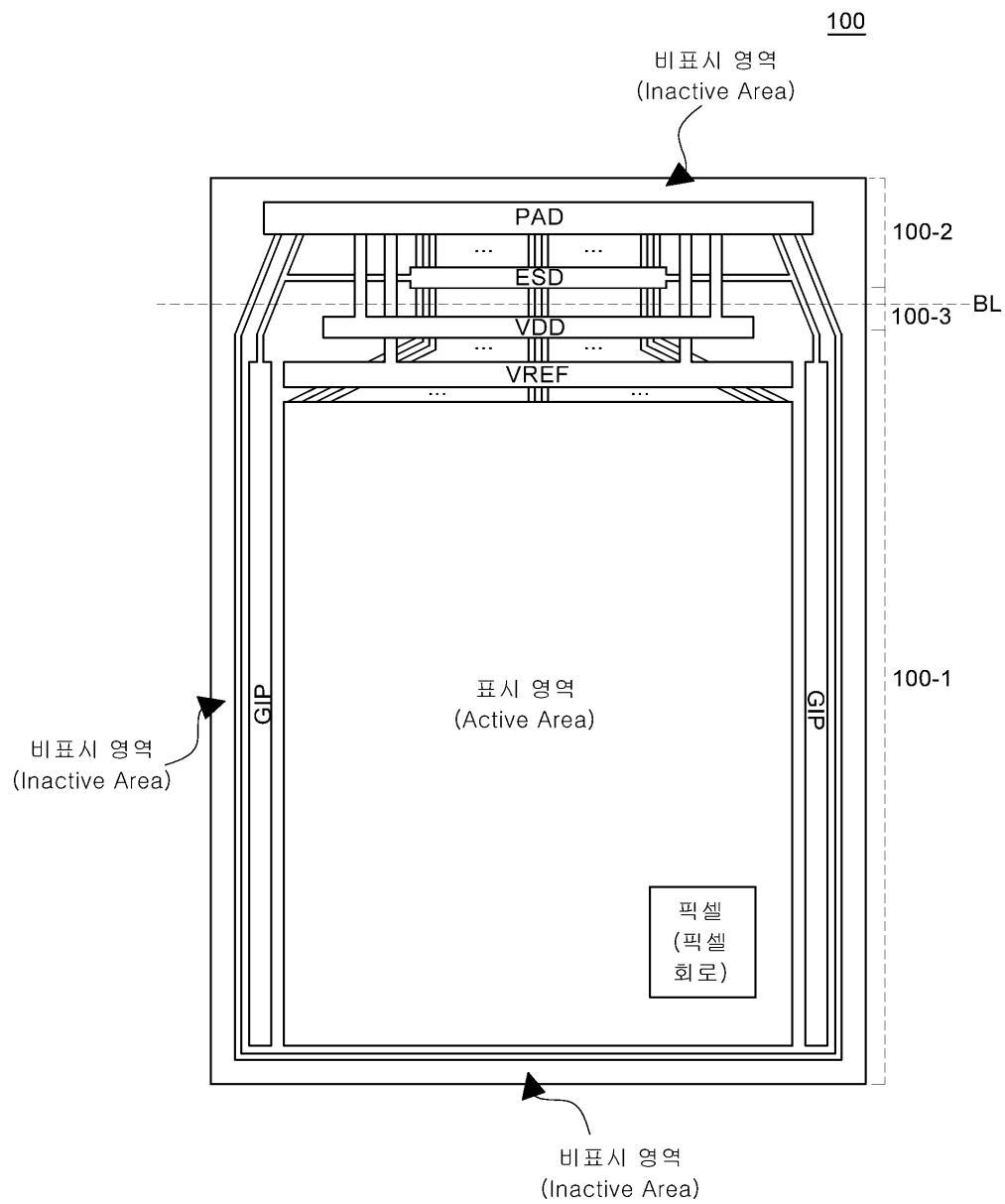
- [0053] 도 4a 내지 4c는 표시장치의 배선 배치를 설명하는 일 예시도이다.
- [0054] 도 4a는, 도 1 및 도3의 정전기 방지 회로(ESD) 중 일 부분을 확대한 도면이다. 도 4b는 도 4a의 I-I'에 따른 단면도이고, 도 4c는 도 4a의 II-II'에 따른 단면도이다. 설명의 편의를 위해, 도 4a에는 데이터 라인(DL₁, DL₂), 게이트 하이 라인(G_H), 게이트 로우 라인(G_L), 박막 트랜지스터(TR_L, TR_H)의 반도체 층(112'), 게이트 전극(114'), 소스 또는 드레인 전극(118')만이 단순하게 도시되었고, 여타의 기능 층은 생략되었다. 위 소자들의 전체적인 적층 구조는 도 4b와 4c에 도시되었다.
- [0055] 구현 예에 따라서는, 데이터 라인에 연결된 ESD 회로는 외부로 노출되지 않도록 봉지 층(130)으로 덮일 수도 있다. 그러나, 표시장치의 베젤 크기가 줄어드는 추세에 따라, 이러한 적용이 어려운 경우도 있다. 예컨대, 상기 ESD 회로가 있는 영역이 표시화면의 뒷부분으로 접히는 제품은 데이터 라인에 연결된 ESD 회로가 봉지 층으로 덮일 수 없는 경우가 생긴다. 이는, 봉지 층을 구성하는 무기막이 접힐 때 손상(예: 크랙)될 가능성이 높기 때문에, 굴곡 영역에서부터 바깥 쪽으로는 무기막으로 덮이지 않는다. 따라서, 모서리 부분이 접히는 표시장치는, 굴곡 영역에서부터 그 바깥 쪽은 접히거나 굽혀질 때 상대적으로 손상의 우려가 적은 유기막으로 덮이게 된다. 이에 도 1과 같은 배치의 표시장치에서 상기 ESD 회로는 유기막으로 덮인다. 하지만 유기막은 수분 침투에 약하여 금속 층(예: 애노드 금속) 등으로 유기막 상부를 덮는 보완을 하게 된다.
- [0056] 그럼에도 불구하고, 상술한 회로부 보호 구조(유기막+금속층)에서 몇 가지 취약점이 발견되었다. 그 중 하나는, 장시간 사용 환경에서 금속 층이 유기막으로 침투하는 수분을 완벽하게 막지 못하는 현상이었다. 더구나, 그 침투한 수분을 매개로 하여 도선 간의 전위차로 인한 전식이 나타날 수도 있다는 사실이 밝혀졌다. 예시한 도 4a 내지 4c와 같은 ESD 회로에서, 데이터 라인으로는 +3V ~ +6V의 데이터 전압(V_{data})이 전달되고, 게이트 하이 라인(G_H)에는 약 +8V의 게이트 하이 전압(V_{GH})이, 게이트 로우 라인(G_L)에는 약 -8V의 게이트 로우 전압(V_{GL})이 전달될 수 있다. 이러한 상황에서 유기막 내 수분이 침투하였을 때, 게이트 하이 전압(V_{GH}), 게이트 로우 전압(V_{GL}), 데이터 전압(V_{data}) 사이의 큰 전위차로 인하여 각 도선 간에 산화/환원 반응이 야기되고, 상기 반응은 전식(electrochemical corrosion)으로 발전될 수 있다. 그리고 이러한 전식에 의해서 도선에 손상이 발생할 수 있다.
- [0057] 도 4b는 데이터 라인(DL₁, DL₂)과 게이트 로우 라인(G_L) 사이의 상호 반응을, 도 4c는 게이트 로우 라인(G_L)과 게이트 하이 라인(G_H) 사이의 상호 반응을 도식화한 도면이다. 이와 같은 원인으로 발생한 전식은, 도선의 저항을 높여 발열 손상, 단선 및/또는 표시 불량(예: 휘선)을 야기하기도 한다. 이에 본 발명자들은 상술한 문제를 인식하고, 유기막의 수분을 매개로 유발되는 도선의 전식을 예방할 수 있는 구조를 고안하였다.
- [0058] 도 5a 내지 5d는 본 명세서의 실시예에 따른 표시장치를 나타낸 도면이다.
- [0059] 상기 표시장치에는 도 4에서 설명된 전식을 예방하는 구조가 적용되었다. 즉, 상기 표시장치는 데이터 라인과 정전기 방지 회로에 구비된 전식 예방 구조물을 포함한다. 상기 표시장치는, 도 1과 같이, 표시 영역을 구비한 제1 부분; 상기 제1 부분의 일 측면에 위치한 제2 부분; 상기 제1 부분과 상기 제2 부분 사이의 구부러진 제3 부분을 갖는 베이스 층을 포함한다. 상기 제2 부분은, 상기 제1 부분의 주위에 배치될 수 있다. 즉, 상기 제2 부분은, 상기 제1 부분의 하나 이상의 측면에 인접할 수 있다. 상기 데이터 라인은, 상기 제2 부분을 거쳐 상기 제1 부분의 표시 영역으로 연장된다.
- [0060] 상기 베이스 층은, 도 2a 및 2b에서 설명된 베이스 층(111)과 같을 수 있다. 상기 정전기 방지 회로는, 상기 제2 부분에 위치하고 상기 표시 영역의 픽셀에 데이터 전압을 전달하는 다수 개의 데이터 라인과 연결된다. 상기 정전기 방지 회로는 도 1에 도시된 위치, 즉 굴곡 부분(제3 부분)의 바깥 쪽 제2 부분에 배치될 수 있다. 이에 상기 정전기 방지 회로는, 표시장치의 모서리 부분이 굽혀지면서 표시장치의 뒷면으로 보내질 수 있다. 이러한 외곽 부분 접음을 통하여 표시장치의 베젤 폭이 줄어들 수 있다.
- [0061] 본 명세서의 일 실시예에 따른 표시장치에서, 상기 정전기 방지 회로는 도 3과 같은 회로 구조를 가질 수 있다. 도 5a는 상기 정전기 방지 회로(ESD)의 일 부분을 확대한 도면이다. 도 5b는 도 5a의 I-I'에 따른 단면도이고, 도 5c는 도 5a의 II-II'에 따른 단면도이고, 도 5d는 도 5a의 III-III'에 따른 단면도이다. 설명의 편의를 위해, 도 5a에는 데이터 라인(DL₁, DL₂), 게이트 하이 라인(G_H), 게이트 로우 라인(G_L), 박막 트랜지스터의 반도체 층, 게이트 전극, 소스 전극, 드레인 전극만이 단순하게 도시되었고, 여타의 기능 층은 생략되었다. 도 5a 부분의 적층 구조는 도 5b 내지 5d에 도시되었다. 다만, 도 5a는 도 3과 같은 ESD 회로를 구현한 일

예일 뿐이며 본 발명의 사상이 이에 제한되는 것은 아니다.

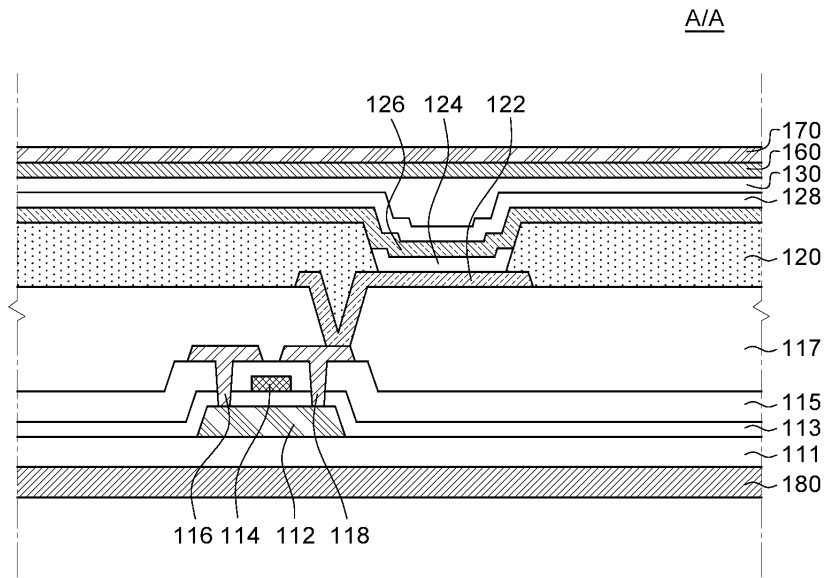
- [0062] 상기 전식 예방 구조물은, 도 5a 내지 5d에 도시된 것처럼, ① 다수 개의 데이터 라인(DL₁, DL₂) 각각 및 ② 상기 데이터 라인(DL₁, DL₂)과 연결된 정전기 방지 회로의 일부를 덮는 유기 절연 층(117); 그리고 상기 유기 절연 층(117)의 상부를 덮는 금속 층(122')을 포함할 수 있다. 상기 전식 예방 구조물은, 상기 데이터 라인과 상기 정전기 방지 회로 사이에서 수분을 매개로 발생한 전기화학 작용을 차단하도록 구비된다.
- [0063] 상기 정전기 방지 회로는, 상기 다수 개의 데이터 라인 중 하나의 데이터 라인 및 게이트 로우 전압을 전달하는 게이트 로우 라인에 연결된 제1 트랜지스터; 상기 다수 개의 데이터 라인 중 하나의 데이터 라인 및 게이트 하이 전압을 전달하는 게이트 하이 라인에 연결된 제2 트랜지스터를 포함할 수 있다. 즉, 도 3과 같이 하나의 데이터 라인(DL₁ 또는 DL₂)에 연결된 제1 트랜지스터(TR_L) 및 제2 트랜지스터(TR_H)로 구성될 수 있다. 이때, 상기 제1 트랜지스터(TR_L)의 소스 전극 및 드레인 전극; 상기 제2 트랜지스터(TR_H)의 소스 전극 및 드레인 전극; 상기 데이터 라인(DL₁, DL₂)은 모두 동일한 물질, 예컨대 티타늄(Ti), 알루미늄(Al), 티타늄(Ti) 순으로 적층된 다층 구조를 갖는 금속 층(소위, Ti/Al/Ti)일 수 있다.
- [0064] 도 5b와 같이, 상기 제1 트랜지스터(TR_L)의 소스 전극 및 드레인 전극; 상기 제2 트랜지스터(TR_H)의 소스 전극 및 드레인 전극; 상기 데이터 라인은 각각 분리된 유기 절연 층(117)으로 덮이고, 상기 각각 분리된 유기 절연 층(117)은 금속 층(122')으로 덮일 수 있다. 또한 도 5c와 같이, 게이트 로우 전압(V_{GL})을 전달하는 게이트 로우 라인 연결된 전극과 게이트 하이 전압(V_{GH})을 전달하는 게이트 하이 라인에 연결된 전극은, 서로 분리된 유기 절연 층(117) 및 그 상부의 금속 층(122')으로 덮일 수 있다.
- [0065] 한편, 도 5d와 같이, 상기 제1 트랜지스터(TR_L)와 연결된 데이터 라인 및 상기 제2 트랜지스터(TR_H)와 연결된 데이터 라인은 동일 층(layer)에 있으며, 다른 층에 있는 금속(114')을 통해 점핑(jumping) 구조로 연결될 수 있다. 상기 다른 층에 있는 금속(114')은 데이터 라인(118')과 컨택 홀(contact hole)을 통한 연결, 또는 직접 연결 방식으로 이어진다. 따라서, 데이터 전압은 연결 인터페이스(패드 등)로 인가되어, 상부 금속 층(118')을 따라 전달되고, 특정 구간에서는 하부 금속 층(114')을 따라 전달된다. 상기 다른 층에 있는 금속(114')은, 제1 또는 제2 트랜지스터의 게이트 전극과 동일한 물질로 동일 공정에서 만들어질 수 있다.
- [0066] 상기 유기 절연 층(117)은 서로 다른 전압이 인가되는 전선 또는 전극마다 고립화(isolation)된다. 본 실시예에서, 상기 유기 절연 층(117)은 데이터 라인(DL₁, DL₂) 및 그 사이에 있는 정전기 방지 회로의 일부 영역에 배치된 금속(예: 박막 트랜지스터의 소스/드레인 전극)을 독립적으로 덮는다. 즉, 상기 유기 절연 층(117)은, 도 4a 내지 4c의 실시예와는 달리, 데이터 라인(DL₁, DL₂) 및 그 동일 층상의 전극을 개별적으로 분리(고립)되도록 덮어서 수분 전달을 막고, 더 나아가 데이터 라인과 정전기 방지 회로 사이에 수분을 매개로 한 화학 작용이 일어나지 않도록 구비된다. 도 5b 및 5c를 참조하여 보면, 전위 차가 크게 발생하는 전선/전극 간, 예를 들어 데이터 전압(V_{data})이 인가된 데이터 라인(DL₁ 또는 DL₂)과 게이트 로우 전압(V_{GL})이 인가된 소스/드레인 전극 사이에 유기 절연 막(117)이 공유되지 않는다. 즉, 그 어떤 유기 절연 층도 서로 다른 전위를 갖는 전극 사이에 공유되지 않아서, 유기 절연 층(117)에 수분이 침투하더라도 그 수분으로 인한 전극 간의 화학 반응(전식)이 발생하지 않는다. 상기 유기 절연 층(117)은, 표시 영역의 평탄화 층과 동일한 물질(예: 포토 아크릴)일 수 있다.
- [0067] 상기 유기 절연 층(117) 상부의 금속 층(122')은 분리된 유기 절연 층 각각을 차폐한다. 이로써 상기 유기 절연 층(117)으로의 투습을 억제함은 물론, 전선/전극 간의 전자기적(electromagnetic) 상호 작용을 더욱 강력히 차단한다. 상기 금속 층(122')은 픽셀 회로에 포함된 애노드 전극과 동일한 물질로 이루어질 수 있다. 이때 상기 금속 층(122')은 상기 애노드 전극을 패터닝하는 공정에서 같이 형성될 수 있다.
- [0068] 이상 첨부된 도면을 참조하여 본 명세서의 실시예들을 상세하게 설명하였으나, 본 명세서는 반드시 이러한 실시예로 국한되는 것은 아니고, 그 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 명세서에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 당업자에 의해 기술적으로 다양하게 연동 및 구동될 수 있으며, 각 실시예들이 서로에 대하여 독립적으로 실시되거나 연관 관계로 함께 실시될 수도 있다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

도면

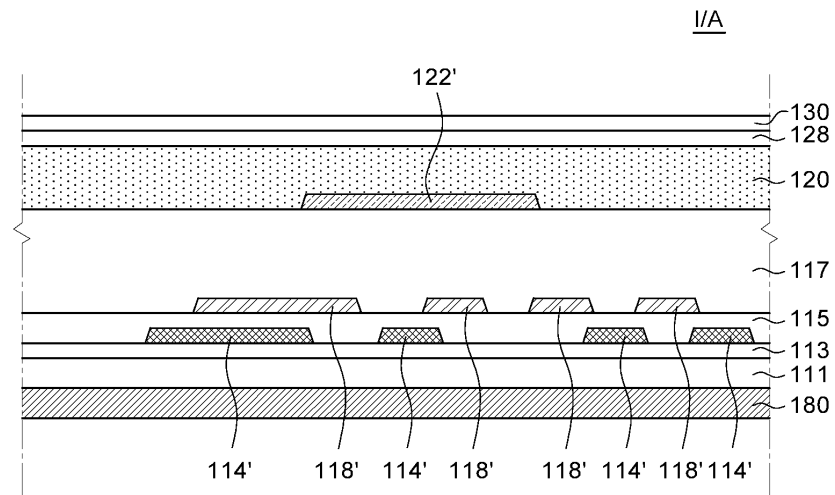
도면1



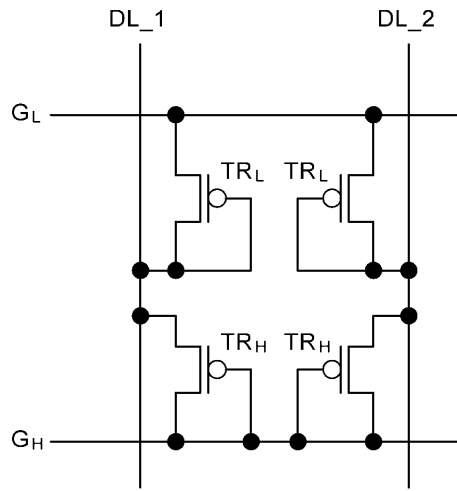
도면2a



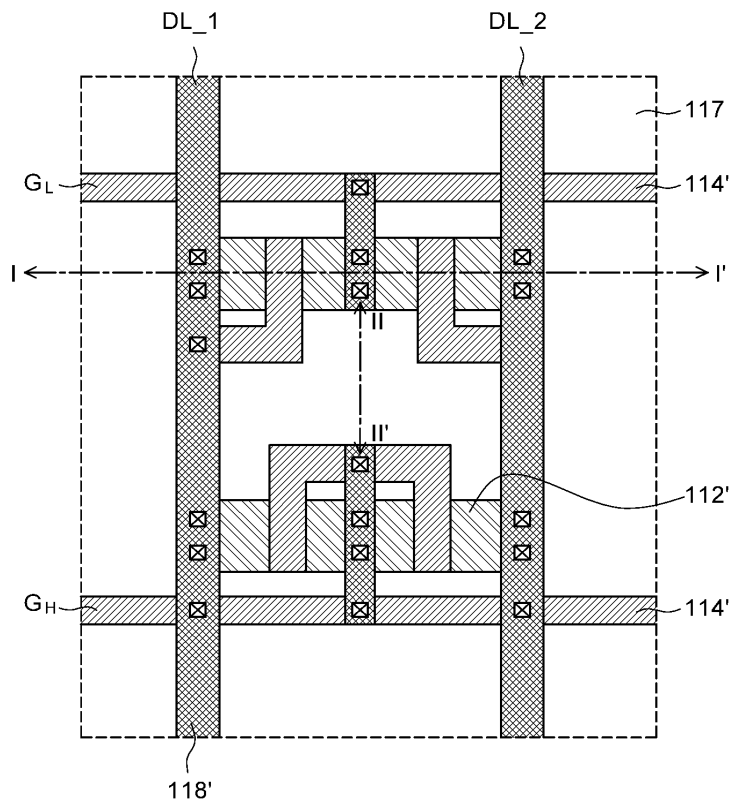
도면2b



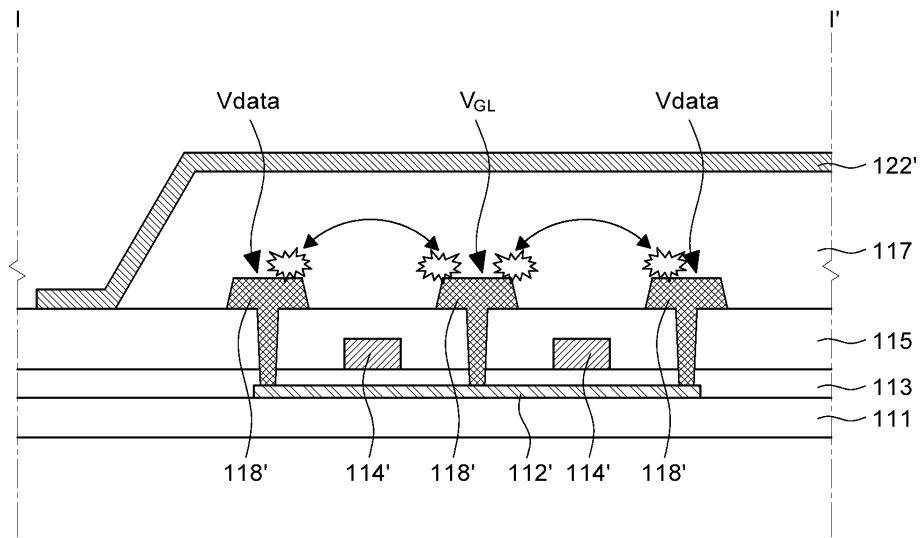
도면3



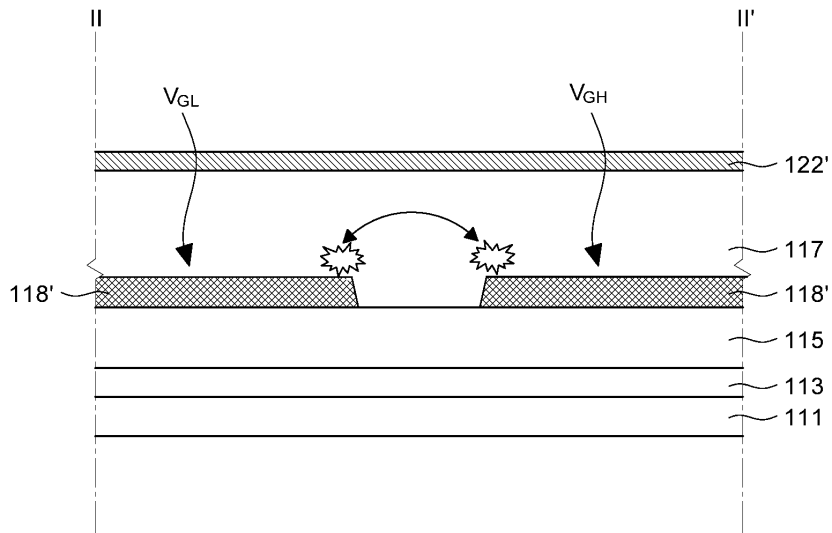
도면4a



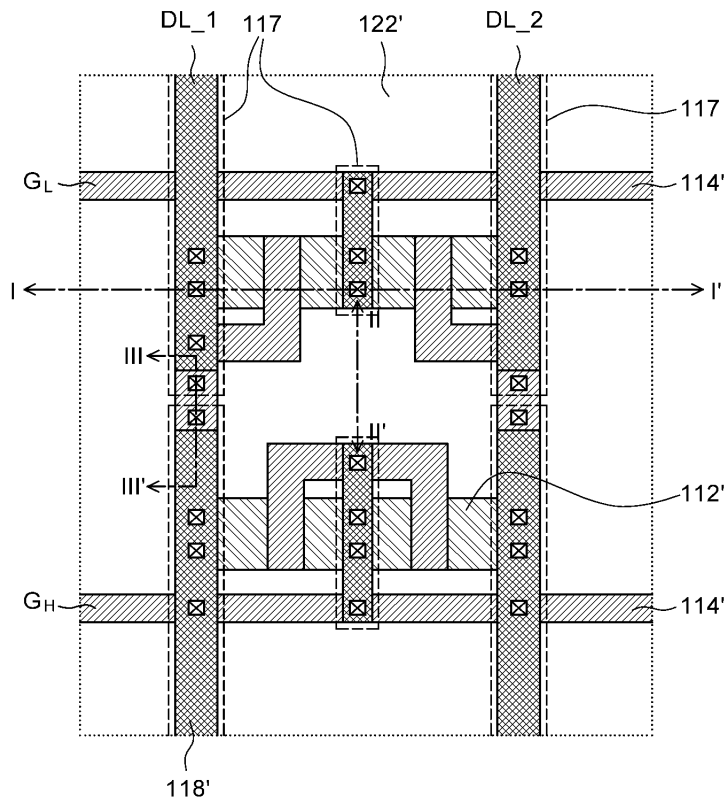
도면4b



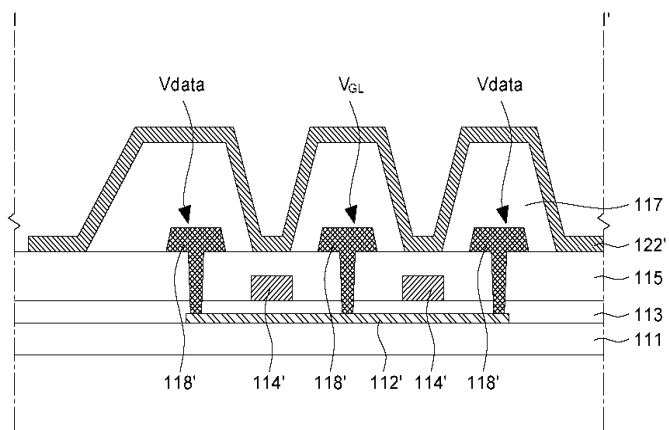
도면4c



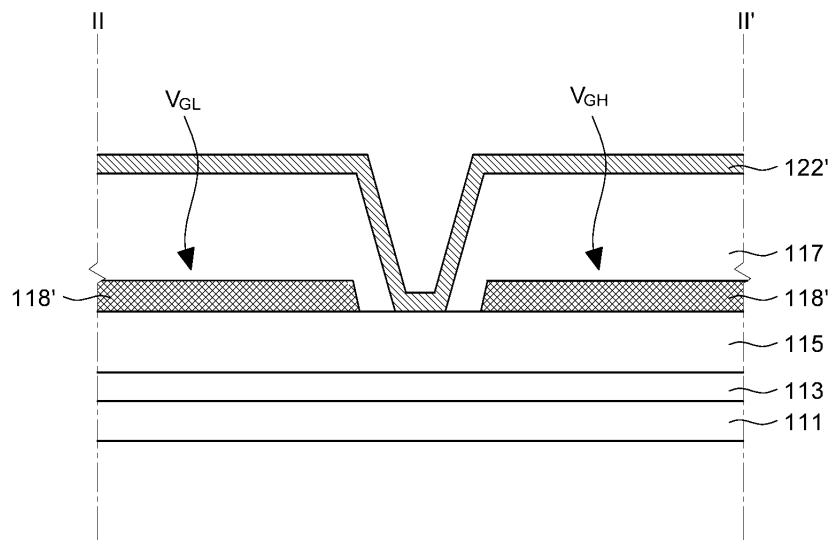
도면5a



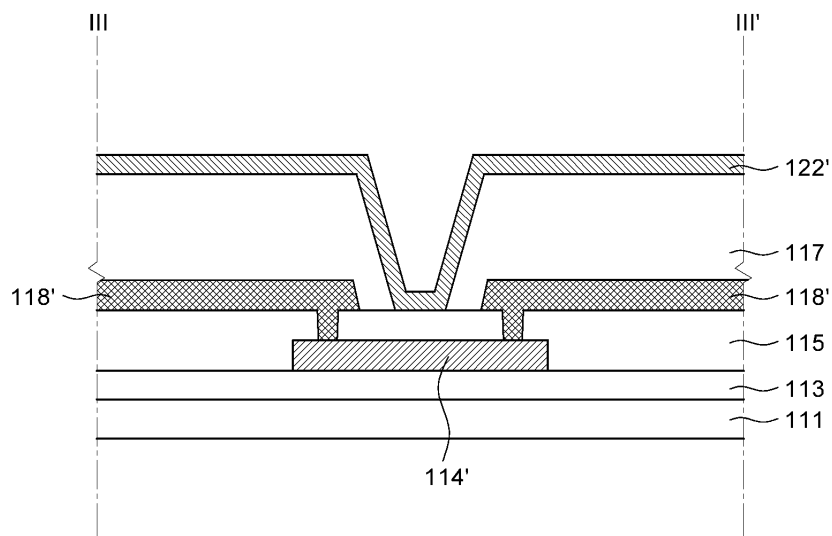
도면5b



도면5c



도면5d



专利名称(译)	电致发光显示装置		
公开(公告)号	KR1020200048797A	公开(公告)日	2020-05-08
申请号	KR1020180131279	申请日	2018-10-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	정동훈 김도형 이충훈 전효영 정상훈		
发明人	정동훈 김도형 이충훈 전효영 정상훈		
IPC分类号	H01L27/32 G09G3/3233 H01L51/52		
CPC分类号	H01L27/3272 G09G3/3233 H01L27/3276 H01L51/52		
外部链接	Espacenet		

摘要(译)

本说明书公开了一种显示装置。该显示装置包括：具有第一部分的基层，该第一部分具有显示区域；第二部分，该第二部分位于该第一部分的一侧；以及在该第一部分和第二部分之间的弯曲的第三部分。抗静电电路位于第二部分中，并连接到多条数据线，用于将数据电压传输到显示区域中的像素；并且在数据线和防静电电路中提供防腐蚀结构。

