



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0088566
(43) 공개일자 2019년07월26일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01) G09G 3/3225 (2016.01)
G09G 3/3291 (2016.01) H01L 27/12 (2006.01)
H01L 27/32 (2006.01)
(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 3/3225 (2013.01)
(21) 출원번호 10-2019-7019778
(22) 출원일자(국제) 2018년02월14일
심사청구일자 2019년07월08일
(85) 번역문제출일자 2019년07월08일
(86) 국제출원번호 PCT/CN2018/076788
(87) 국제공개번호 WO 2018/153336
국제공개일자 2018년08월30일
(30) 우선권주장
201710095713.4 2017년02월22일 중국(CN)
201710098993.4 2017년02월23일 중국(CN)

(71) 출원인
쿤산 고-비전텍스 옵토-일렉트로닉스 씨오., 엘티디.
중국 지양수 215300 쿤산, 디벨롭먼트 존, 룡텡 로드, 넘버 1, 빌딩 4
(72) 발명자
장, 루
중국 지양수 215300 쿤산 디벨롭먼트 존 룡텡 로드 넘버 1 빌딩 4
웬, 구오제
중국 지양수 215300 쿤산 디벨롭먼트 존 룡텡 로드 넘버 1 빌딩 4
(뒷면에 계속)
(74) 대리인
김연권

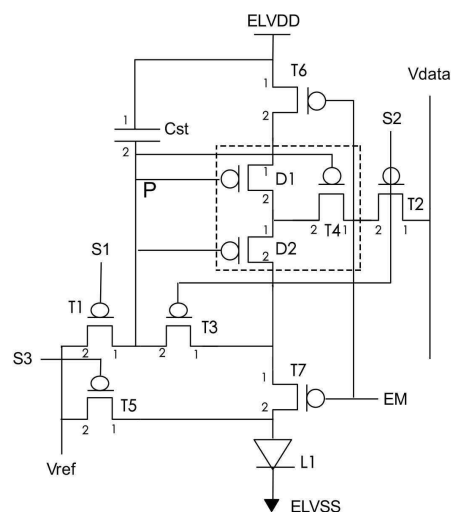
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 픽셀 구동 회로 및 그 구동 방법과 트랜지스터의 레이아웃 구조

(57) 요약

본 발명은 픽셀 구동 회로 및 그 구동 방법과 트랜지스터의 레이아웃 구조를 제공한다. 픽셀 구동 회로는 저장 커패시터, 제1 스위치 트랜지스터, 제2 스위치 트랜지스터, 제3 스위치 트랜지스터, 제4 스위치 트랜지스터, 제5 스위치 트랜지스터, 제6 스위치 트랜지스터, 제7 스위치 트랜지스터, 제1 구동 트랜지스터, 제2 구동 트랜지스터 및 유기 발광 다이오드를 포함한다. 트랜지스터의 레이아웃 구조는 회로 노드 및 회로 노드에 연결되는 활성층을 포함하고, 활성층은 제1 활성층, 제2 활성층 및 제3 활성층; 제1 활성층에 연결되는 제1 소스 전극, 제2 활성층에 연결되는 드레인 전극, 제3 활성층에 연결되는 제2 소스 전극; 제1 활성층, 제2 활성층 및 제3 활성층에 각각 대응되는 제1 게이트 전극, 제2 게이트 전극 및 제3 게이트 전극을 포함하며, 제1 게이트 전극, 제2 게이트 전극 및 제3 게이트 전극으로 이루어진 게이트 전극 패턴이 회로 노드 및 활성층의 상부에 위치한다.

대표도 - 도1



(52) CPC특허분류

G09G 3/3291 (2013.01)

H01L 27/12 (2013.01)

H01L 27/3262 (2013.01)

H01L 27/3276 (2013.01)

G09G 2300/0426 (2013.01)

G09G 2300/043 (2013.01)

G09G 2300/0819 (2013.01)

(72) 발명자

한, 제젠

중국 지양수 215300 쿤산 디벨롭먼트 존 룡텡 로드
넘버 1 빌딩 4

주, 시우지안

중국 지양수 215300 쿤산 디벨롭먼트 존 룡텡 로드
넘버 1 빌딩 4

명세서

청구범위

청구항 1

제1 전압원에 연결되는 제1단과, 제2단을 구비하는 저장 커패시터;

저장 커패시터의 제2단에 연결되는 제1단, 기준 전압을 수신하기 위한 제2 단 및 제1 제어 신호를 수신하기 위한 제어단을 구비하는 제1 스위치 트랜지스터;

데이터 신호 입력을 수신하기 위한 제1단, 제2단 및 제2 제어 신호를 수신하기 위한 제어단을 구비하는 제2 스위치 트랜지스터;

제1단, 제1 스위치 트랜지스터의 제1단에 연결되는 제2 단 및 제2 제어 신호를 수신하기 위한 제어단을 구비하는 제3 스위치 트랜지스터;

제2 스위치 트랜지스터의 제2단에 연결되는 제1단, 제2단 및 저장 커패시터의 제2 단에 연결되는 제어단을 구비하는 제4 스위치 트랜지스터;

유기 발광 다이오드의 양극 단자에 연결되는 제1단, 기준 전압을 수신하기 위한 제2단 및 제3 제어 신호를 수신하기 위한 제어단을 구비하는 제5 스위치 트랜지스터;

제1 전압원에 연결되는 제1단, 제2단 및 구동 신호를 수신하기 위한 제어단을 구비하는 제6 스위치 트랜지스터;

제6 스위치 트랜지스터의 제2단에 연결되는 제1단, 제4 스위치 트랜지스터의 제2 단에 연결되는 제2단, 및 저장 커패시터의 제2 단에 연결되는 제어단을 구비하는 제1 구동 트랜지스터;

제4 스위치 트랜지스터의 제2 단에 연결되는 제1단, 제3 스위치 트랜지스터의 제1단에 연결되는 제2단, 및 저장 커패시터의 제2단에 연결되는 제어단을 구비하는 제2 구동 트랜지스터;

제2 구동 트랜지스터의 제2단에 연결되는 제1단, 유기 발광 다이오드의 양극 단자에 연결되는 제2단 및 구동 신호를 수신하기 위한 제어단을 구비하는 제7 스위치 트랜지스터; 및

양극 단자 및 제2 전압원에 연결되는 음극 단자를 구비하는 유기 발광 다이오드를 포함하는 것을 특징으로 하는 픽셀 구동 회로.

청구항 2

제1항에 있어서,

상기 제1 구동 트랜지스터의 폭/길이의 비 $W1/L1$, 상기 제2 구동 트랜지스터의 폭/길이의 비 $W2/L2$, 상기 제4 스위치 트랜지스터의 폭/길이의 비 $W3/L3$ 는,

$W1=W2=W3$, $L1/L2=1$, $L3<L2$; 또는

$W1=W2=W3$, $L1/L2>1$, $L3<L2$; 또는

$W1=W2=W3$, $L1/L2<1$, $L3<L2$; 또는

$W1=W2<W3$, $L1/L2=1$ 또는 $L1/L2>1$ 또는 $L1/L2<1$, $L3<L2$; 또는

$W1=W2>W3$, $L1/L2=1$ 또는 $L1/L2>1$ 또는 $L1/L2<1$, $L3<L2$ 와 같은 관계를 만족하는 것을 특징으로 하는 픽셀 구동 회로.

청구항 3

제1항에 있어서,

상기 기준 전압 및 상기 제2 전압원이 제공하는 전압의 전위는 동일한 것을 특징으로 하는 픽셀 구동 회로.

청구항 4

제1항에 있어서,

상기 기준 전압은 독립 전압원인 것을 특징으로 하는 픽셀 구동 회로.

청구항 5

제1항에 있어서,

상기 제1 스위치 트랜지스터 내지 제7 스위치 트랜지스터 및 제1 구동 트랜지스터, 제2 구동 트랜지스터는 모두 동일한 채널 유형을 구비하는 것을 특징으로 하는 픽셀 구동 회로.

청구항 6

제1 스위치 트랜지스터의 제어단이 제1 제어 신호를 수신하여 도통되고, 제4 스위치 트랜지스터, 제1 구동 트랜지스터 및 제2 구동 트랜지스터의 제어단을 기준 전압으로 초기화하는 제1 단계;

제2 스위치 트랜지스터 및 제3 스위치 트랜지스터의 제어단이 제2 제어 신호를 수신하여 도통되고, 데이터 신호 입력의 데이터 신호(V_{data})가 저장 커패시터의 제2 단계에 제공되는 제2 단계;

제5 스위치 트랜지스터의 제어단이 제3 제어 신호를 수신하여 도통되고, 유기 발광 다이오드의 양극 단자가 기준 전압으로 역방향 초기화되는 제3 단계; 및

제6 스위치 트랜지스터 및 제7 스위치 트랜지스터의 제어단이 구동 신호를 수신하여 도통되고, 상기 유기 발광 다이오드가 발광을 시작하는 제4 단계를 포함하는 것을 특징으로 하는 픽셀 구동 회로의 구동 방법.

청구항 7

제6항에 있어서,

상기 제2 단계에서, 상기 제4 스위치 트랜지스터, 상기 제1 구동 트랜지스터 및 상기 제2 구동 트랜지스터의 제어단의 전압이 $V_{data} - |V_{th2}|$ 에 도달하고, V_{th2} 는 제2 구동 트랜지스터의 임계 전압인 것을 특징으로 하는 픽셀 구동 회로의 구동 방법.

청구항 8

제6항에 있어서,

상기 제4 단계에서, 상기 유기 발광 다이오드에 흐르는 전류는 $I = 1/2 \times U \times C_{ox} \times [W/(L1+L2)] \times (V_{data} - VDD)^2$

이고, U 는 상기 제1 구동 트랜지스터 및 상기 제2 구동 트랜지스터의 이동도이며, C_{ox} 는 상기 제1 구동 트랜지스터 및 상기 제2 구동 트랜지스터의 게이트 전극 절연층 단위 면적의 커패시턴스인 것을 특징으로 하는 픽셀 구동 회로의 구동 방법.

청구항 9

제1항 내지 제5항 중 어느 한 항에 따른 픽셀 구동 회로를 포함하는 것을 특징으로 하는 어레이 기판.

청구항 10

제9항에 따른 어레이 기판을 포함하는 것을 특징으로 하는 디스플레이 장치.

청구항 11

회로 노드 및 상기 회로 노드에 연결되는 활성층(active layer)을 포함하고,

상기 활성층은,

제1 활성층, 제2 활성층 및 제3 활성층;

상기 제1 활성층에 연결되는 제1 소스 전극, 상기 제2 활성층에 연결되는 드레인 전극, 상기 제3 활성층에 연결

되는 제2 소스 전극;

제1 활성층, 제2 활성층 및 제3 활성층에 각각 대응되는 제1 게이트 전극, 제2 게이트 전극 및 제3 게이트 전극을 포함하며,

상기 제1 게이트 전극, 제2 게이트 전극 및 제3 게이트 전극으로 이루어진 게이트 전극 패턴이 상기 회로 노드 및 상기 활성층의 상부에 위치하는 것을 특징으로 하는 트랜지스터의 레이아웃 구조.

청구항 12

제11항에 있어서,

상기 제1 활성층 및 제3 활성층은 거꾸로 된 "U"형 구조를 이루고, 상기 제2 활성층은 거꾸로 된 "L"형 구조를 이루는 것을 특징으로 하는 트랜지스터의 레이아웃 구조.

청구항 13

제11항에 있어서,

상기 제1 활성층 및 제2 활성층은 "un"형 구조를 이루고, 상기 제3 활성층은 거꾸로 된 "L"형 구조를 이루는 것을 특징으로 하는 트랜지스터의 레이아웃 구조.

청구항 14

제11항에 있어서,

상기 제1 활성층 및 제2 활성층은 "n"구조를 이루고, 상기 제3 활성층은 거꾸로 된 "L"형 구조를 이루는 것을 특징으로 하는 트랜지스터의 레이아웃 구조.

청구항 15

제11항에 있어서,

상기 제1 게이트 전극, 제2 게이트 전극 및 제3 게이트 전극으로 이루어진 게이트 전극 패턴은 사각형 또는 다각형인 것을 특징으로 하는 트랜지스터의 레이아웃 구조.

발명의 설명

기술 분야

[0001] 본 발명은 디스플레이 기술분야에 관한 것으로, 특히 픽셀 구동 회로 및 그 구동 방법과 트랜지스터의 레이아웃 구조에 관한 것이다.

배경 기술

[0002] 능동형 유기 발광 다이오드(Active Matrix Organic Light Emitting Diode, AMOLED) 모니터 분야는 기존 모니터 연구 분야에서 가장 주목받는 분야 중 하나이다. 액정모니터와 비교하여, 유기 발광 다이오드(Organic Light Emitting Diode, OLED)는 낮은 에너지 소모, 낮은 생산 원가, 자체발광, 넓은 시각, 빠른 반응 속도, 등과 같은 장점이 있다.

[0003] AMOLED 디스플레이 제품에 있어서, 픽셀의 밝고 어두운 정도는 유기 발광 다이오드에 흐르는 전류의 크기에 따라 결정되고, 전류의 크기는 픽셀 구동 회로 중 구동 박막 트랜지스터에 의해 제어된다. 디스플레이 스크린의 휘도가 동일한 경우, 디스플레이 스크린 픽셀 밀도(Pixels Per Inch, PPI)가 커짐에 따라 각각의 픽셀에 필요한 전류가 점점 작아지는데 이는 픽셀 구동 회로 중 구동 박막 트랜지스터의 채널의 폭/길이의 비(W/L)를 낮추는 것을 필요로 한다. 구동 박막 트랜지스터의 채널의 폭은 제조 공법의 제한으로 인해, 설계 시 통상적으로 채널 길이를 증가시켜 구동 박막 트랜지스터의 채널의 폭/길이의 비(W/L)를 축소시킴으로써, 유기 발광 다이오드의 전류를 감소시킨다. 그러나, 높은 PPI, 높은 해상도 및 높은 재생률은 AMOLED 디스플레이 제품의 하나의 발전 추세로서, 높은 해상도 및 높은 재생률은 각 행의 픽셀의 충전 시간을 감소시킴으로써 픽셀 구동 박막 트랜지스터 게이트 전극의 충전율에 영향을 미친다. 충전율을 향상을 위해, 구동 박막 트랜지스터의 채널의 폭/길이의 비를 더 높게 설계해야 한다.

발명의 내용

해결하려는 과제

- [0004] AMOLED 디스플레이 기술의 발전에 따라, 픽셀 구동 박막 트랜지스터의 채널의 폭/길이의 비는 유기 발광 다이오드의 전류 감소와 픽셀 구동 박막 트랜지스터 게이트 전극의 충전율 향상 요구를 동시에 만족시키기 어렵다.
- [0005] 이 밖에, AMOLED 디스플레이 제품에 있어서, 픽셀 구동 회로 중 구동 박막 트랜지스터의 개수가 많아지면 레이아웃 설계에서 차지하는 면적 또는 공간이 비교적 크기에 높은 픽셀 밀도(Pixels Per Inch, PPI)의 제품 설계에 영향을 준다.
- [0006] 본 발명의 주요한 목적은, 선행기술 중의 픽셀 구동 박막 트랜지스터의 채널의 폭/길이의 비가 유기 발광 다이오드의 전류 감소와 픽셀 구동 박막 트랜지스터 게이트 전극의 충전율 향상 요구를 동시에 만족시키기 어려운 문제를 해결하기 위한 픽셀 구동 회로 및 그 구동 방법을 제공하는데 있다.
- [0007] 본 발명의 주요한 목적은 또한, 선행기술 중의 픽셀 구동 회로 중 구동 박막 트랜지스터의 개수가 많아지면 레이아웃 설계에서 차지하는 면적 또는 공간이 비교적 크기에 높은 픽셀 밀도의 제품 설계에 영향을 주는 문제를 해결하기 위한 트랜지스터의 레이아웃 구조를 제공하는데 있다.

과제의 해결 수단

- [0008] 본 발명 실시예의 제1 양태에 따르면, 제1 전압원에 연결되는 제1 단과, 제2단을 구비하는 저장 커패시터; 저장 커패시터의 제2 단에 연결되는 제1단, 기준 전압을 수신하기 위한 제 2 단 및 제1 제어 신호를 수신하기 위한 제어단을 구비하는 제1 스위치 트랜지스터; 데이터 신호 입력을 수신하기 위한 제1 단, 제2단 및 제2 제어 신호를 수신하기 위한 제어단을 구비하는 제2 스위치 트랜지스터; 제1 단, 제1 스위치 트랜지스터의 제1 단에 연결되는 제2 단 및 제2 제어 신호를 수신하기 위한 제어단을 구비하는 제3 스위치 트랜지스터; 제2 스위치 트랜지스터의 제2 단에 연결되는 제1 단, 제2단 및 저장 커패시터의 제2 단에 연결되는 제어단을 구비하는 제4 스위치 트랜지스터; 유기 발광 다이오드의 양극 단자에 연결되는 제1 단, 기준 전압을 수신하기 위한 제2 단 및 제3 제어 신호를 수신하기 위한 제어단을 구비하는 제5 스위치 트랜지스터; 제1 전압원에 연결되는 제1 단, 제2단 및 구동 신호를 수신하기 위한 제어단을 구비하는 제6 스위치 트랜지스터; 제6 스위치 트랜지스터의 제2 단에 연결되는 제1 단, 제4 스위치 트랜지스터의 제2 단에 연결되는 제2 단, 및 저장 커패시터의 제2 단에 연결되는 제어단을 구비하는 제1 구동 트랜지스터; 제4 스위치 트랜지스터의 제2 단에 연결되는 제1 단, 제3 스위치 트랜지스터의 제1 단에 연결되는 제2 단, 및 저장 커패시터의 제2 단에 연결되는 제어단을 구비하는 제2 구동 트랜지스터; 제2 구동 트랜지스터의 제2 단에 연결되는 제1 단, 유기 발광 다이오드의 양극 단자에 연결되는 제2 단 및 구동 신호를 수신하기 위한 제어단을 구비하는 제7 스위치 트랜지스터; 및 양극 단자 및 제2 전압원에 연결되는 음극 단자를 구비하는 유기 발광 다이오드를 포함하는 픽셀 구동 회로를 제공한다.
- [0009] 일 실시예에서, 상기 제1 구동 트랜지스터의 폭/길이의 비 $W1/L1$, 상기 제2 구동 트랜지스터의 폭/길이의 비 $W2/L2$, 상기 제4 스위치 트랜지스터의 폭/길이의 비 $W3/L3$ 는 하기와 같은 관계를 만족한다.
- [0010] $W1=W2=W3$, $L1/L2=1$, $L3<L2$; 또는
- [0011] $W1=W2=W3$, $L1/L2>1$, $L3<L2$; 또는
- [0012] $W1=W2=W3$, $L1/L2<1$, $L3<L2$; 또는
- [0013] $W1=W2<W3$, $L1/L2=1$ 또는 $L1/L2>1$ 또는 $L1/L2<1$, $L3<L2$; 또는
- [0014] $W1=W2>W3$, $L1/L2=1$ 또는 $L1/L2>1$ 또는 $L1/L2<1$, $L3<L2$.
- [0015] 일 실시예에서, 상기 기준 전압 및 상기 제2 전압원이 제공하는 전압의 전위는 동일하다.
- [0016] 일 실시예에서, 상기 기준 전압은 독립 전압원이다.
- [0017] 일 실시예에서, 상기 제1 스위치 트랜지스터 내지 제7 스위치 트랜지스터 및 제1 구동 트랜지스터, 제2 구동 트랜지스터는 모두 동일한 채널 유형을 구비한다.
- [0018] 본 발명 실시예의 제2 양태에 따르면, 제1 스위치 트랜지스터의 제어단이 제1 제어 신호를 수신하여 도통되고, 제4 스위치 트랜지스터, 제1 구동 트랜지스터 및 제2 구동 트랜지스터의 제어단을 기준 전압으로 초기화하는 제

1 단계; 제2 스위치 트랜지스터 및 제3 스위치 트랜지스터의 제어단이 제2 제어 신호를 수신하여 도통되고, 데이터 신호 입력의 데이터 신호(V_{data})가 저장 커패시터의 제2 단에 제공되는 제2 단계; 제5 스위치 트랜지스터의 제어단이 제3 제어 신호를 수신하여 도통되고, 유기 발광 다이오드의 양극 단자가 기준 전압으로 역방향 초기화되는 제3 단계; 및 제6 스위치 트랜지스터 및 제7 스위치 트랜지스터의 제어단이 구동 신호를 수신하여 도통되고, 상기 유기 발광 다이오드가 발광을 시작하는 제4 단계를 포함하는 것을 픽셀 구동 회로의 구동 방법을 제공한다.

[0019] 일 실시예에서, 상기 제2 단계에서, 상기 제4 스위치 트랜지스터, 상기 제1 구동 트랜지스터 및 상기 제2 구동 트랜지스터의 제어단의 전압이 $V_{data} - |V_{th2}|$ 에 도달하고, V_{th2} 는 제2 구동 트랜지스터의 임계값 전압이다.

[0020] 일 실시예에서, 상기 제4 단계에서, 상기 유기 발광 다이오드에 흐르는 전류는 $I = 1/2 \times U \times C_{ox} \times [W/(L1+L2)] \times (V_{data} - VDD)^2$ 이고, U는 상기 제1 구동 트랜지스터 및 상기 제2 구동 트랜지스터의 이동도이며, C_{ox} 는 상기 제1 구동 트랜지스터 및 상기 제2 구동 트랜지스터의 게이트 전극 절연층 단위 면적의 커패시턴스이다.

[0021] 본 발명 실시예의 제3 양태에 따르면, 상술한 픽셀 구동 회로를 포함하는 어레이 기판을 제공한다,

[0022] 본 발명 실시예의 제4 양태에 따르면, 상술한 어레이 기판을 포함하는 디스플레이 장치를 제공한다.

[0023] 본 발명 실시예의 제5 양태에 따르면, 회로 노드 및 상기 회로 노드에 연결되는 활성층(active layer)을 포함하고, 상기 활성층은, 제1 활성층, 제2 활성층 및 제3 활성층; 상기 제1 활성층에 연결되는 제1 소스 전극, 상기 제2 활성층에 연결되는 드레인 전극, 상기 제3 활성층에 연결되는 제2 소스 전극; 제1 활성층, 제2 활성층 및 제3 활성층에 각각 대응되는 제1 게이트 전극, 제2 게이트 전극 및 제3 게이트 전극을 포함하며, 상기 제1 게이트 전극, 제2 게이트 전극 및 제3 게이트 전극으로 이루어진 게이트 전극 패턴이 상기 회로 노드 및 상기 활성층의 상부에 위치하는 트랜지스터의 레이아웃 구조를 제공한다.

[0024] 일 실시예에서, 상기 제1 활성층 및 제3 활성층은 거꾸로 된 "U"형 구조를 이루고, 상기 제2 활성층은 거꾸로 된 "L"형 구조를 이룬다.

[0025] 일 실시예에서, 상기 제1 활성층 및 제2 활성층은 "un"형 구조를 이루고, 상기 제3 활성층은 거꾸로 된 "L"형 구조를 이룬다.

[0026] 일 실시예에서, 상기 제1 활성층 및 제2 활성층은 "n" 구조를 이루고, 상기 제3 활성층은 거꾸로 된 "L"형 구조를 이룬다.

[0027] 일 실시예에서, 상기 제1 게이트 전극, 제2 게이트 전극 및 제3 게이트 전극으로 이루어진 게이트 전극 패턴은 사각형 또는 다각형이다.

발명의 효과

[0028] 본 발명 실시예가 제공하는 픽셀 구동 회로 및 그 구동 방법은, 직렬 연결된 제1 구동 트랜지스터 및 제2 구동 트랜지스터를 통해 유기 발광 다이오드를 구동시키고; 픽셀 충전 시 픽셀 구동 회로가 직렬 연결된 제2 구동 트랜지스터 및 제4 스위치 트랜지스터의 임계값 전압을 보상할 수 있으며; 유기 발광 다이오드의 전류 감소와 픽셀 구동 박막 트랜지스터 게이트 전극의 충전율 향상 요구를 동시에 만족할 수 있다.

[0029] 본 발명 실시예가 제공하는 트랜지스터의 레이아웃 구조는, 3개의 트랜지스터의 게이트 전극이 동일한 도형을 이루고, 2개의 트랜지스터의 드레인 전극 및 세 번째 트랜지스터의 소스 전극이 하나로 연결되어 형성된 회로 노드가 게이트 전극 도형 아래에 위치하며, 이러한 설계를 통해 3개의 트랜지스터의 레이아웃 면적을 축소하여 레이아웃 설계 난이도를 하강시킴으로써 적용 범위를 확대할 수 있다.

도면의 간단한 설명

[0030] 도 1은 본 발명 실시예의 픽셀 구동 회로의 구조도이다.

도 2는 본 발명 실시예의 픽셀 구동 회로의 구동 방법의 흐름도이다.

도 3은 본 발명 실시예의 픽셀 구동 회로의 신호 순차 상태 모식도이다.

도 4 내지 도 7은 본 발명 실시예의 픽셀 구동 회로의 전류 유형(flow direction) 구조도이다.

도 8은 본 발명 실시예의 트랜지스터의 레이아웃 구조의 일 모식도이다.

도 9는 본 발명 실시예의 트랜지스터의 레이아웃 구조의 다른 일 모식도이다.

도 10은 본 발명 실시예의 트랜지스터의 레이아웃 구조의 또 다른 일 모식도이다.

발명을 실시하기 위한 구체적인 내용

- [0031] 이하, 본 발명이 소장 발명의 목적을 달성하기 위해 사용한 기술적 해결수단 및 효과를 더 잘 설명하기 위해 도면 및 바람직한 실시예를 첨부하여 본 발명의 구체적인 실시방식, 구조, 특징 및 그 효과에 대해 상세히 설명한다.
- [0032] 도면을 참조하여 본 발명을 구현하는 각 실시예를 설명하며, 후속 설명에서 소자를 표시하는 예를 들면 “모듈”, “부재, 또는 “유닛” 등 접미사는 본 발명의 설명의 편의를 위한 것으로서 그 자체는 특정 의미가 있는 것이 아니다.
- [0033] 본 발명의 모든 실시예에서 사용된 스위치 트랜지스터 및 구동 트랜지스터는 모두 박막 트랜지스터 또는 전계효과 트랜지스터 또는 다른 특성이 동일한 소자일 수 있고, 여기서 사용된 스위치 트랜지스터의 소스 전극, 드레인 전극은 대칭되기에, 그 소스 전극, 드레인 전극은 서로 교환될 수 있다. 본 발명 실시예에서, 트랜지스터의 게이트 전극을 제외한 두 개의 전극을 구분하기 위해, 그 중의 하나를 소스 전극이라 하고 다른 하나를 드레인 전극이라고 한다. 도면에서의 형태에 따라 트랜지스터의 제어단을 게이트 전극, 제1 단을 소스 전극, 제2 단을 드레인 전극으로 규정한다. 이 밖에, 본 발명 실시예에서 사용된 스위치 트랜지스터는 P형 스위치 트랜지스터 및 N형 스위치 트랜지스터 두 가지를 포함하고, P형 스위치 트랜지스터는 게이트 전극이 저레벨일 경우 도통되고, 게이트 전극이 고레벨일 경우 차단되며, N형 스위치 트랜지스터는 게이트 전극이 고레벨일 경우 도통되고, 게이트 전극이 저레벨일 경우 차단된다.
- [0034] 이하에서, 도면에서 픽셀 구동 회로의 스위치 트랜지스터 및 구동 트랜지스터는 모두 P채널형 트랜지스터이고, 본 기술분야의 통상의 기술자는 본 발명에서 제공되는 픽셀 구동 회로가 모두 N채널형 트랜지스터의 픽셀 구동 회로로 바뀔 수 있음을 용이하게 알 수 있음을 설명한다.
- [0035] 도 1에 도시된 바와 같이, 본 발명 실시예는 픽셀 구동 회로를 제공하고, 상기 픽셀 구동 회로는,
- [0036] 제1 전압원(ELVDD)에 연결되는 제1 단과, 제2단을 구비하는 저장 커패시터(Cst);
- [0037] 저장 커패시터(Cst)의 제2 단에 연결되는 제1단, 기준 전압(Vref)을 수신하기 위한 제 2 단 및 제1 제어 신호(S1)를 수신하기 위한 제어단을 구비하는 제1 스위치 트랜지스터(T1);
- [0038] 데이터 신호 입력의 데이터 신호(V_{data})를 수신하기 위한 제1 단, 제2단 및 제2 제어 신호(S2)를 수신하기 위한 제어단을 구비하는 제2 스위치 트랜지스터(T2);
- [0039] 제1 단, 제1 스위치 트랜지스터(T1)의 제1 단에 연결되는 제2 단 및 제2 제어 신호(S2)를 수신하기 위한 제어단을 구비하는 제3 스위치 트랜지스터(T3);
- [0040] 제2 스위치 트랜지스터(T2)의 제2 단에 연결되는 제1 단, 제2단 및 저장 커패시터(Cst)의 제2 단에 연결되는 제어단을 구비하는 제4 스위치 트랜지스터(T4);
- [0041] 유기 발광 다이오드(L1)의 양극 단자에 연결되는 제1 단, 기준 전압(Vref)을 수신하기 위한 제2 단 및 제3 제어 신호를 수신하기 위한 제어단을 구비하는 제5 스위치 트랜지스터(T5);
- [0042] 제1 전압원(ELVDD)에 연결되는 제1 단, 제2단 및 구동 신호(EM)를 수신하기 위한 제어단을 구비하는 제6 스위치 트랜지스터(T6);
- [0043] 제6 스위치 트랜지스터(T6)의 제2 단에 연결되는 제1 단, 제4 스위치 트랜지스터(T4)의 제2 단에 연결되는 제2 단, 및 저장 커패시터(Cst)의 제2 단에 연결되는 제어단을 구비하는 제1 구동 트랜지스터(D1);
- [0044] 제4 스위치 트랜지스터(T4)의 제2 단에 연결되는 제1 단, 제3 스위치 트랜지스터(T3)의 제1 단에 연결되는 제2

단, 및 저장 커패시터(Cst)의 제2 단에 연결되는 제어단을 구비하는 제2 구동 트랜지스터(D2);

[0045] 제2 구동 트랜지스터(D2)의 제2 단에 연결되는 제1 단, 유기 발광 다이오드(L1)의 양극 단자에 연결되는 제2 단 및 구동 신호(EM)를 수신하기 위한 제어단을 구비하는 제7 스위치 트랜지스터(T7); 및

[0046] 양극 단자 및 제2 전압원(ELVSS)에 연결되는 음극 단자를 구비하는 유기 발광 다이오드(L1)를 포함한다.

[0047] 본 실시예에서, 제1 구동 트랜지스터(D1)의 폭/길이의 비 $W1/L1$, 제2 구동 트랜지스터(D2)의 폭/길이의 비 $W2/L2$, 제4 스위치 트랜지스터(T4)의 폭/길이의 비 $W3/L3$ 는 하기와 같은 관계를 만족한다.

[0048] $W1=W2=W3$, $L1/L2=1$, $L3<L2$; 또는

[0049] $W1=W2=W3$, $L1/L2>1$, $L3<L2$; 또는

[0050] $W1=W2=W3$, $L1/L2<1$, $L3<L2$; 또는

[0051] $W1=W2<W3$, $L1/L2=1$ 또는 $L1/L2>1$ 또는 $L1/L2<1$, $L3<L2$; 또는

[0052] $W1=W2>W3$, $L1/L2=1$ 또는 $L1/L2>1$ 또는 $L1/L2<1$, $L3<L2$.

[0053] 제1 구동 트랜지스터(D1)의 폭/길이의 비 $W1/L1$, 제2 구동 트랜지스터(D2)의 폭/길이의 비 $W2/L2$, 제4 스위치 트랜지스터(T4)의 폭/길이의 비 $W3/L3$ 의 설계는 이상에서 열거한 경우에 한정되는 것이 아니라 본 발명 실시예의 픽셀 구동 회로 설계에 따른 D1, D2, T4의 폭/길이의 비 설계는 모두 본 발명의 보호 범위에 포함된다.

[0054] 본 실시예에서, 제1 스위치 트랜지스터(T1) 내지 제7 스위치 트랜지스터(T7) 및 제1 구동 트랜지스터(D1), 제2 구동 트랜지스터(D2)는 모두 동일한 채널 유형을 구비한다.

[0055] 하나의 가능한 실시형태에서, 기준 전압(Vref) 및 제2 전압원(ELVSS)이 제공하는 전압의 전위는 동일하다.

[0056] 다른 하나의 가능한 실시형태에서, 기준 전압(Vref)은 독립 전압원일 수 있다.

[0057] 본 발명 실시예가 제공하는 픽셀 구동 회로는 직렬 연결된 제1 구동 트랜지스터 및 제2 구동 트랜지스터를 통해 유기 발광 다이오드를 구동시키고; 픽셀 충전 시 픽셀 구동 회로가 직렬 연결된 제2 구동 트랜지스터 및 제4 스위치 트랜지스터의 임계 전압을 보상할 수 있으며; 유기 발광 다이오드의 전류 감소와 픽셀 구동 막막 트랜지스터 게이트 전극의 충전율 향상 요구를 동시에 만족할 수 있다.

[0058] 도 2에 도시된 바와 같이, 본 발명 실시예는 픽셀 구동 회로의 구동 방법을 더 제공하고, 상기 구동 방법은,

[0059] 제1 스위치 트랜지스터(T1)의 제어단이 제1 제어 신호(S1)를 수신하여 도통되고, 제4 스위치 트랜지스터(T4), 제1 구동 트랜지스터(D1) 및 제2 구동 트랜지스터(D2)의 제어단을 기준 전압(Vref)으로 초기화하는 제1 단계;

[0060] 제2 스위치 트랜지스터(T2) 및 제3 스위치 트랜지스터(T3)의 제어단이 제2 제어 신호(S1)를 수신하여 도통되고, 데이터 신호 입력의 데이터 신호(V_{data})가 저장 커패시터(Cst)의 제2 단에 제공되는 제2 단계(본 실시예에서, 제4 스위치 트랜지스터(T4), 제1 구동 트랜지스터(D1) 및 제2 구동 트랜지스터(D2)의 제어단의 전압이 $V_{data}-|V_{th2}|$ 에 도달하고, V_{th2} 는 제2 구동 트랜지스터(D2)의 임계 전압임);

[0061] 제5 스위치 트랜지스터(T5)의 제어단이 제3 제어 신호(S3)를 수신하여 도통되고, 유기 발광 다이오드(L1)의 양극 단자가 기준 전압(Vref)으로 역방향 초기화되는 제3 단계; 및

[0062] 제6 스위치 트랜지스터(T6) 및 제7 스위치 트랜지스터(T7)의 제어단이 구동 신호를 수신하여 도통되고, 유기 발광 다이오드(L1)가 발광을 시작하는 제4 단계;를 포함한다.

[0063] 본 실시예에서, 유기 발광 다이오드에 흐르는 전류는 $I=1/2 \times U \times C_{ox} \times [W/(L1+L2)] \times (V_{data}-VDD)^2$ 이고, U는 제1 구동 트랜지스터(D1) 및 상기 제2 구동 트랜지스터(D2)의 이동도이며, C_{ox} 는 제1 구동 트랜지스터(D1) 및 상기 제2 구동 트랜지스터(D2)의 게이트 전극 절연층 단위 면적의 커패시턴스이다.

[0064] 예시적으로, 도 3 내지 도 7을 참조하여 더 상세히 설명한다.

[0065] t1단계에서, 제1 제어 신호(S1)가 저레벨이고, 제2 제어 신호(S2), 제3 제어 신호(S3) 및 구동 신호(EM)가 고레벨이며; 이때 제1 스위치 트랜지스터(T1)의 제어단이 제1 제어 신호(S1)의 저레벨을 수신하여 도통되고, 제4 스

위치 트랜지스터(T4), 제1 구동 트랜지스터(D1) 및 제2 구동 트랜지스터(D2)의 제어단을 기준 전압(Vref)으로 초기화한다. 그 전류 유형은 도 4의 점선을 참조할 수 있다.

[0066] t2단계에서, 제2 제어 신호(S2)가 저레벨이고, 제1 제어 신호(S1), 제3 제어 신호(S3) 및 구동 신호(EM)가 고레벨이며; 이때 제2 스위치 트랜지스터(T2) 및 제3 스위치 트랜지스터(T3)의 제어단이 제2 제어 신호(S2)의 저레벨을 수신하여 도통되고, 데이터 신호 입력의 데이터 신호(V_{data})가 저장 커패시터(Cst)의 제2 단에 제공된다. 그 전류 흐름 방향은 도 5의 점선을 참조할 수 있다. 이때 제2 구동 트랜지스터(D2) 및 제4 스위치 트랜지스터(T4)는 폭/길이의 비가 $W/(L2+L3)$ 인 트랜지스터로 볼 수 있고, 짧은 충전 시간($t2$) 내에 p점 전압이 비교적 빨리 $V_{data} - |V_{th2}|$ 로 될 수 있고, 여기서 V_{th2} 는 제2 구동 트랜지스터(D2)의 임계값 전압임을 이해하여야 한다. 이 경우, 제2 구동 트랜지스터(D2) 및 제4 스위치 트랜지스터(T4)로 이루어지는 트랜지스터의 임계값 전압은 주로 제2 구동 트랜지스터(D2)에 의해 결정된다.

[0067] t3단계에서, 제3 제어 신호(S3)가 저레벨이고, 제1 제어 신호(S1), 제2 제어 신호(S2) 및 구동 신호(EM)가 고레벨이며; 이때 제5 스위치 트랜지스터(T5)의 제어단이 제3 제어 신호(S3)의 저레벨을 수신하여 도통되고, 유기 발광 다이오드(L1)의 양극 단자가 기준 전압(Vref)으로 역방향 초기화된다. 그 전류 흐름 방향은 도 6의 점선을 참조할 수 있다.

[0068] t4단계에서, 구동 신호(EM)가 저레벨이고, 제1 제어 신호(S1), 제2 제어 신호(S2) 및 제3 제어 신호(S3)가 고레벨이며; 이때 제6 스위치 트랜지스터(T6) 및 제7 스위치 트랜지스터(T7)의 제어단이 구동 신호의 저레벨을 수신하여 도통되고, 유기 발광 다이오드(L1)가 발광을 시작한다. 그 전류 유형은 도 7의 점선을 참조할 수 있다. 이때 제1 구동 트랜지스터(D1) 및 제2 구동 트랜지스터(D2)가 하나로 직렬되고 게이트 전극이 하나로 연결되기에, 폭/길이의 비가 $W/(L1+L2)$ 인 트랜지스터로 볼 수 있으며, 이 트랜지스터는 포화영역에서 작동되고, V_{th} 는 주로 제2 구동 트랜지스터(D2)의 V_{th2} 에 의해 결정되기에, 포화영역 전류 계산 공식에 따르면, 유기 발광 다이오드에 흐르는 전류는 $I = 1/2 \times U \times C_{ox} \times [W/(L1+L2)] \times (V_{data} - VDD)^2$ 이고, U는 제1 구동 트랜지스터(D1) 및 상기 제2 구동 트랜지스터(D2)의 이동도이며, C_{ox} 는 제1 구동 트랜지스터(D1) 및 상기 제2 구동 트랜지스터(D2)의 게이트 전극 절연층 단위 면적의 커패시턴스임을 이해하여야 한다.

[0069] 본 발명 실시예가 제공하는 픽셀 구동 회로의 구동 방법은 직렬 연결된 제1 구동 트랜지스터 및 제2 구동 트랜지스터를 통해 유기 발광 다이오드를 구동시키고; 픽셀 충전 시 픽셀 구동 회로가 직렬 연결된 제2 구동 트랜지스터 및 제4 스위치 트랜지스터의 임계 전압을 보상할 수 있으며; 유기 발광 다이오드의 전류 감소와 픽셀 구동 박막 트랜지스터 게이트 전극의 충전율 향상 요구를 동시에 만족할 수 있다.

[0070] 본 발명 실시예는,

[0071] 열을 따라 연장 배열되는 다수개의 데이터 신호 라인;

[0072] 행을 따라 연장 배열되는 다수개의 제어 신호 라인 및 구동 신호 라인;

[0073] 데이터 신호 라인 및 제어 신호 라인의 교차 위치에 행렬 형식으로 배치되는 다수개의 픽셀을 포함하고,

[0074] 픽셀은 상술한 픽셀 구동 회로를 포함하는 어레이 기판을 더 제공한다.

[0075] 본 발명 실시예가 제공하는 어레이 기판은, 직렬 연결된 제1 구동 트랜지스터 및 제2 구동 트랜지스터를 통해 유기 발광 다이오드를 구동시키고; 픽셀 충전 시 픽셀 구동 회로가 직렬 연결된 제2 구동 트랜지스터 및 제4 스위치 트랜지스터의 임계 전압을 보상할 수 있으며; 유기 발광 다이오드의 전류 감소와 픽셀 구동 박막 트랜지스터 게이트 전극의 충전율 향상 요구를 동시에 만족할 수 있다.

[0076] 본 발명 실시예는 상술한 어레이 기판을 포함하는 디스플레이 장치를 더 제공한다. 이 밖에, 디스플레이 장치는 전자종이, 휴대폰, TV, 디지털 액자 등 디스플레이 기기일 수도 있다.

[0077] 본 발명 실시예가 제공하는 디스플레이 장치는, 직렬 연결된 제1 구동 트랜지스터 및 제2 구동 트랜지스터를 통해 유기 발광 다이오드를 구동시키고; 픽셀 충전 시 픽셀 구동 회로가 직렬 연결된 제2 구동 트랜지스터 및 제4 스위치 트랜지스터의 임계 전압을 보상할 수 있으며; 유기 발광 다이오드의 전류 감소와 픽셀 구동 박막 트랜지

스터 게이트 전극의 충전율 향상 요구를 동시에 만족할 수 있다.

- [0078] 도 8 내지 도 10에 도시된 바와 같이, 본 발명 실시예는 회로 노드(10) 및 회로 노드(10)에 연결되는 활성층을 포함하는 트랜지스터의 레이아웃 구조를 더 제공한다.
- [0079] 본 실시예에서, 활성층은 제1 활성층(21), 제2 활성층(22) 및 제3 활성층(23)을 포함한다.
- [0080] 도 8에 도시된 바와 같이, 제1 활성층(21) 및 제3 활성층(23)은 거꾸로 된 "U"형 구조를 이루고, 제2 활성층(22)은 거꾸로 된 "L"형 구조를 이룬다.
- [0081] 도 9에 도시된 바와 같이, 제1 활성층(21) 및 제2 활성층(22)은 "un"형 구조를 이루고, 제3 활성층(23)은 거꾸로 된 "L"형 구조를 이룬다.
- [0082] 도 10에 도시된 바와 같이, 제1 활성층(21) 및 제2 활성층(22)은 "n" 구조를 이루고, 제3 활성층(23)은 거꾸로 된 "L"형 구조를 이룬다.
- [0083] 제1 활성층(21)에 연결된 것은 제1 소스 전극(31)이고, 제2 활성층(22)에 연결된 것은 드레인 전극(32)이며, 제3 활성층(23)에 연결된 것은 제2 소스 전극(33)이다.
- [0084] 상기 레이아웃 구조는 제1 활성층(21), 제2 활성층(22) 및 제3 활성층(23)에 각각 대응되는 제1 게이트 전극, 제2 게이트 전극 및 제3 게이트 전극을 더 포함하고, 제1 게이트 전극, 제2 게이트 전극 및 제3 게이트 전극으로 이루어진 게이트 전극 패턴(40)이 회로 노드(10) 및 활성층의 상부에 위치한다.
- [0085] 도 8 내지 도 10에 도시된 바와 같이, 본 실시예에서 게이트 전극 패턴(40)은 대체로 사각형이고 예를 들면 정사각형 또는 직사각형이며, 게이트 전극 패턴은 다각형일 수도 있고, 즉 4개 이상의 선분의 처음과 끝이 순차적으로 연결되어 이루어진 평면도형이다.
- [0086] 다시 도 8을 참조하면, 게이트 전극 패턴(40)에 의해 커버된 활성층이 채널 영역이고, 제1 활성층(21)이 게이트 전극 패턴(40)에 의해 커버된 활성층(211, 도면에서 점선블록)이 제1 채널이며, 제2 활성층(22)이 게이트 전극 패턴(40)에 의해 커버된 활성층(221, 도면에서 점선블록)이 제2채널이고, 제3 활성층(23)이 게이트 전극 패턴(40)에 의해 커버된 활성층(231, 도면에서 점선블록)이 제3 채널이다.
- [0087] 제1 소스 전극(31), 제1 활성층(21) 및 회로 노드(10)는 전류가 흐르는 통로를 형성할 수 있고, 제2 소스 전극(33), 제3 활성층(23) 및 회로 노드(10)는 전류가 흐르는 통로를 형성할 수 있다. 따라서, 상기 레이아웃 구조는 3개의 트랜지스터로 이루어진 레이아웃에 해당되고, 즉 그 중 2개의 트랜지스터의 드레인 전극 및 세 번째 트랜지스터의 소스 전극이 하나로 연결되어 형성된 회로 노드 및 3개의 트랜지스터의 게이트 전극이 하나로 연결된다.
- [0088] 본 발명 실시예가 제공하는 트랜지스터의 레이아웃 구조는 하부 게이트(bottom-gate) 구조의 트랜지스터에 적용될 뿐만 아니라, 상부 게이트(top-gate) 구조의 트랜지스터에도 적용될 수 있음을 이해하여야 한다.
- [0089] 상부 게이트 및 하부 게이트의 트랜지스터의 제조 공법은 상이하다. 상부 게이트 구조의 제조 공법 흐름은 하기와 같다.
- [0090] S1: 완충층, 활성층 침적 및 활성층 도형화;
- [0091] S2: 게이트 전극 절연층, 게이트 전극 금속층 침적 및 게이트 전극 금속층 도형화;
- [0092] S3: 트랜지스터 소스 드레인 전극 P+ 도핑.
- [0093] 하부 게이트 구조의 제조 공법 흐름은 하기와 같다.
- [0094] S10: 완충층, 게이트 전극 금속층 침적 및 게이트 전극 금속층 도형화;
- [0095] S11: 게이트 전극 절연층, 활성층 침적 및 활성층 도형화;
- [0096] S12: 도핑 차단층 도포, 도형화, TFT 소스 드레인 전극 P+ 도핑;
- [0097] S13: 게이트 전극 차단층 박리.
- [0098] 본 발명 실시예가 제공하는 트랜지스터의 레이아웃 구조는, 3개의 트랜지스터의 게이트 전극이 동일한 도형을 이루고, 2개의 트랜지스터의 드레인 전극 및 세 번째 트랜지스터의 소스 전극이 하나로 연결되어 형성된 회로 노드가 게이트 전극 도형 아래에 위치하며, 이러한 설계를 통해 3개의 트랜지스터의 레이아웃 면적을 축소하여

레이아웃 설계 난이도를 하강시킴으로써 적용 범위를 확대할 수 있다.

- [0099] 본 발명 실시예는 제1 구동 트랜지스터, 제2 구동 트랜지스터 및 하나의 스위치 트랜지스터를 포함하고, 제1 구동 트랜지스터, 제2 구동 트랜지스터 및 스위치 트랜지스터로 이루어진 레이아웃 구조는 상술한 레이아웃 구조인 픽셀 구동 회로를 더 제공한다.
- [0100] 본 실시예에서, 제1 구동 트랜지스터의 폭/길이의 비 $W1/L1$, 제2 구동 트랜지스터의 폭/길이의 비 $W2/L2$, 스위치 트랜지스터의 폭/길이의 비 $W3/L3$ 는 하기와 같은 식을 만족한다.
- [0101] $W1=W2=W3$, $L1/L2=1$, $L3<L2$; 또는
- [0102] $W1=W2=W3$, $L1/L2>1$, $L3<L2$; 또는
- [0103] $W1=W2=W3$, $L1/L2<1$, $L3<L2$; 또는
- [0104] $W1=W2<W3$, $L1/L2=1$ 또는 $L1/L2>1$ 또는 $L1/L2<1$, $L3<L2$; 또는
- [0105] $W1=W2>W3$, $L1/L2=1$ 또는 $L1/L2>1$ 또는 $L1/L2<1$, $L3<L2$.
- [0106] 제1 구동 트랜지스터의 폭/길이의 비 $W1/L1$, 제2 구동 트랜지스터의 폭/길이의 비 $W2/L2$, 제4 스위치 트랜지스터의 폭/길이의 비 $W3/L3$ 의 설계는 이상에서 열거한 경우에 한정되는 것이 아니라 본 발명 실시예의 픽셀 구동 회로 설계에 따른 폭/길이의 비 설계는 모두 본 발명의 보호 범위에 포함됨을 이해하여야 한다.
- [0107] 예시적으로, 도 1을 참조하면 도 1의 픽셀 구동 회로는 제1 구동 트랜지스터(D1), 제2 구동 트랜지스터(D2) 및 제4 스위치 트랜지스터(T4, 도면에서 점선블록)를 포함한다. 제1 구동 트랜지스터(D1)의 제2 단(드레인 전극), 제4 스위치 트랜지스터(T4)의 제2 단(드레인 전극) 및 제2 구동 트랜지스터(D2)의 제1 단(소스 전극)이 하나로 연결되어 회로 노드를 형성하고; 제1 구동 트랜지스터(D1)의 게이트 전극, 제2 구동 트랜지스터(D2)의 게이트 전극 및 제4 스위치 트랜지스터(T4)의 게이트 전극이 하나로 연결되며 그 레이아웃 구조는 상술한 바와 같다.
- [0108] 본 발명 실시예가 제공하는 픽셀 구동 회로는, 3개의 트랜지스터의 게이트 전극이 동일한 도형을 이루고, 2개의 트랜지스터의 드레인 전극 및 세 번째 트랜지스터의 소스 전극이 하나로 연결되어 형성된 회로 노드가 게이트 전극 도형 아래에 위치하며, 이러한 설계를 통해 3개의 트랜지스터의 레이아웃 면적을 축소하여 레이아웃 설계 난이도를 하강시킴으로써 적용 범위를 확대할 수 있다.
- [0109] 본 발명은,
- [0110] 열을 따라 연장 배열되는 데이터 신호 라인;
- [0111] 행을 따라 연장 배열되는 다수개의 제어 신호 라인 및 구동 신호 라인;
- [0112] 데이터 신호 라인 및 제어 신호 라인의 교차 위치에 행렬 형식으로 배치되는 다수개의 픽셀을 포함하고,
- [0113] 픽셀은 상술한 픽셀 구동 회로를 포함하는 어레이 기판을 더 제공한다.
- [0114] 본 발명 실시예가 제공하는 어레이 기판은, 3개의 트랜지스터의 게이트 전극이 동일한 도형을 이루고, 2개의 트랜지스터의 드레인 전극 및 세 번째 트랜지스터의 소스 전극이 하나로 연결되어 형성된 회로 노드가 게이트 전극 도형 아래에 위치하며, 이러한 설계를 통해 3개의 트랜지스터의 레이아웃 면적을 축소하여 레이아웃 설계 난이도를 하강시킴으로써 적용 범위를 확대할 수 있다.
- [0115] 본 발명은 상술한 어레이 기판을 포함하는 디스플레이 장치를 더 제공한다. 이 밖에, 디스플레이 장치는 전자종이, 휴대폰, TV, 디지털 액자 등 디스플레이 기기일 수도 있다.
- [0116] 본 발명 실시예가 제공하는 디스플레이 장치는, 3개의 트랜지스터의 게이트 전극이 동일한 도형을 이루고, 2개의 트랜지스터의 드레인 전극 및 세 번째 트랜지스터의 소스 전극이 하나로 연결되어 형성된 회로 노드가 게이트 전극 도형 아래에 위치하며, 이러한 설계를 통해 3개의 트랜지스터의 레이아웃 면적을 축소하여 레이아웃 설계 난이도를 하강시킴으로써 적용 범위를 확대할 수 있다.
- [0117] 상술한 구체예는 단지 본 발명의 바람직한 실시예일 뿐 본 발명을 한정하기 위한 것이 아니며, 본 발명의 사상 및 원리 내에서 이루어진 임의의 수정, 균등물, 개선사항 등은 모두 본 발명의 보호범위에 속한다.

산업상 이용가능성

- [0118] 본 발명 실시예가 제공하는 픽셀 구동 회로 및 그 구동 방법은, 직렬 연결된 제1 구동 트랜지스터 및 제2 구동

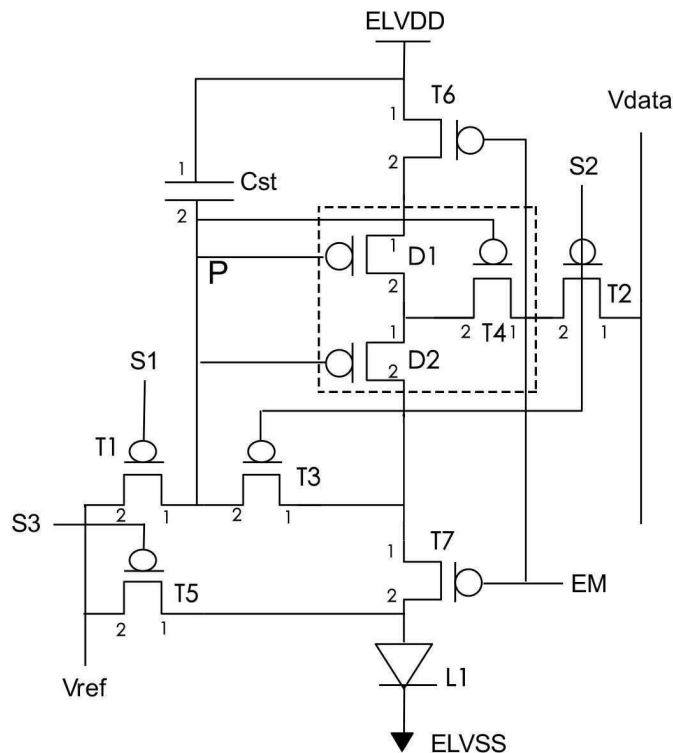
트랜지스터를 통해 유기 발광 다이오드를 구동시키고; 픽셀 충전 시 픽셀 구동 회로가 직렬 연결된 제2 구동 트랜지스터 및 제4 스위치 트랜지스터의 임계값 전압을 보상할 수 있으며; 유기 발광 다이오드의 전류 감소와 픽셀 구동 박막 트랜지스터 게이트 전극의 충전율 향상 요구를 동시에 만족할 수 있다.

[0119]

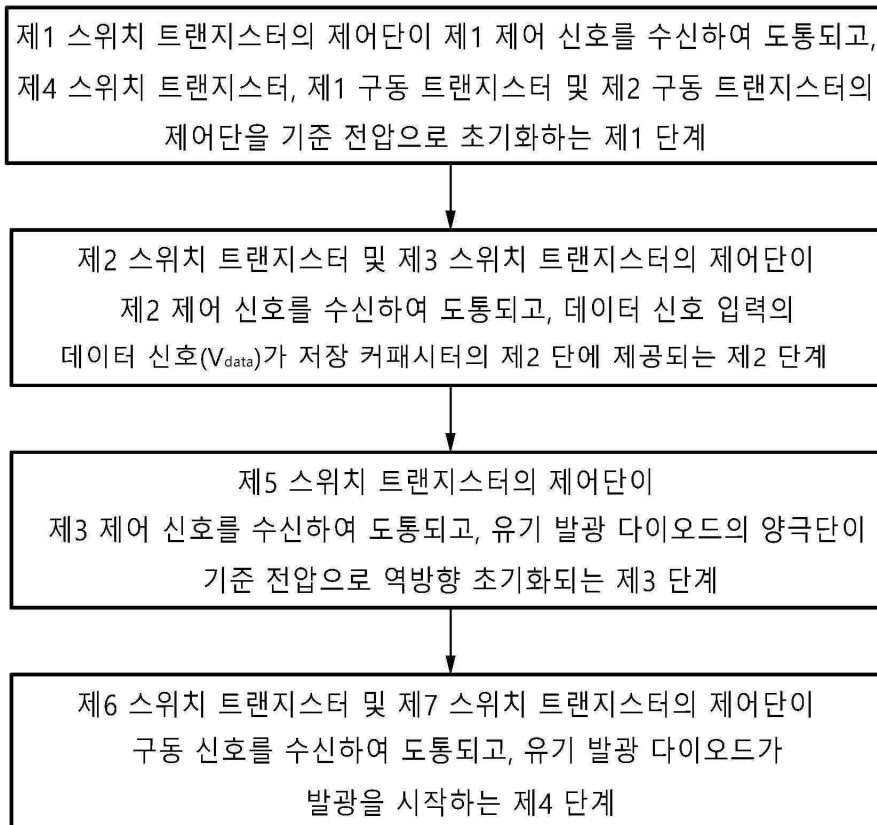
본 발명 실시예가 제공하는 트랜지스터의 레이아웃 구조는, 3개의 트랜지스터의 게이트 전극이 동일한 도형을 이루고, 2개의 트랜지스터의 드레인 전극 및 세 번째 트랜지스터의 소스 전극이 하나로 연결되어 형성된 회로 노드가 게이트 전극 도형 아래에 위치하며, 이러한 설계를 통해 3개의 트랜지스터의 레이아웃 면적을 축소하여 레이아웃 설계 난이도를 하강시킴으로써 적용 범위를 확대할 수 있다.

도면

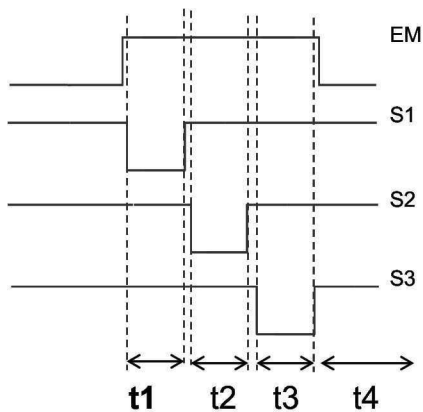
도면1



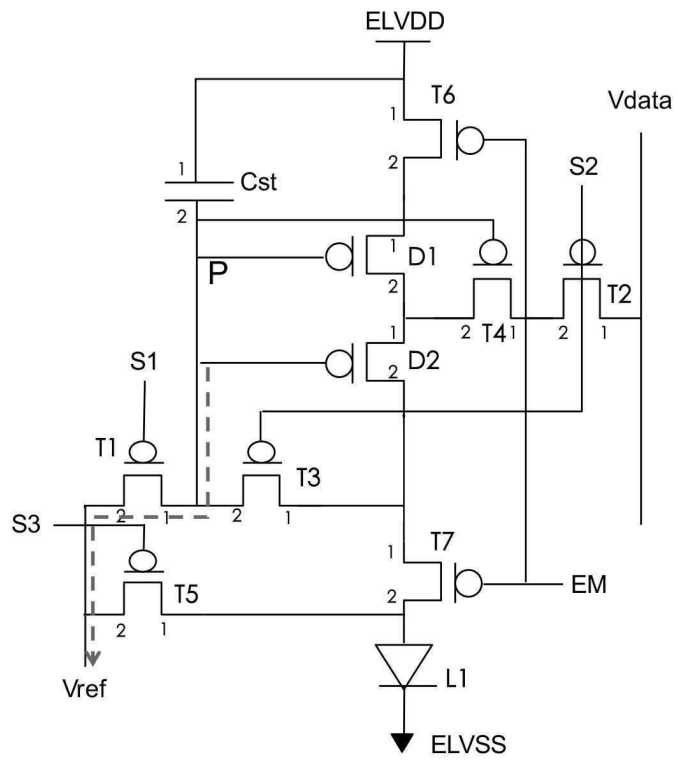
도면2



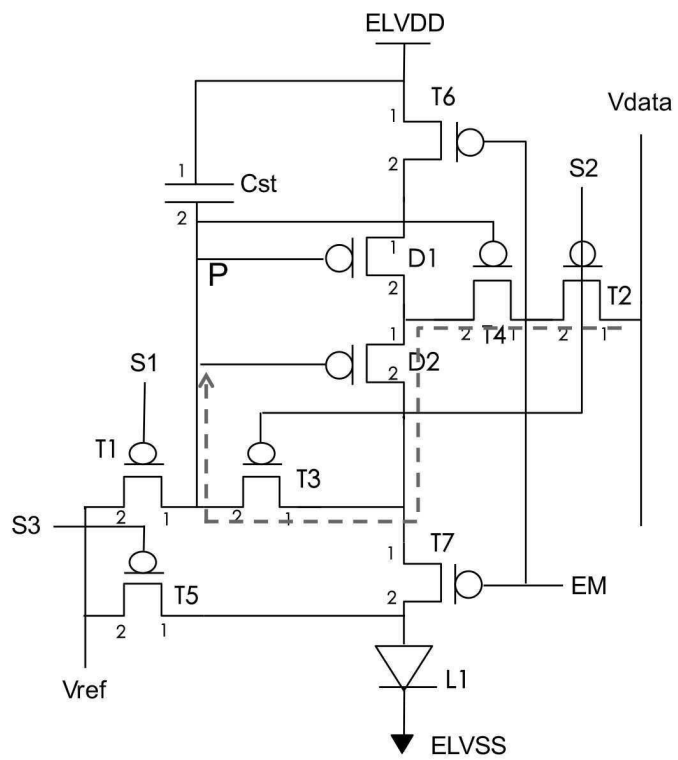
도면3



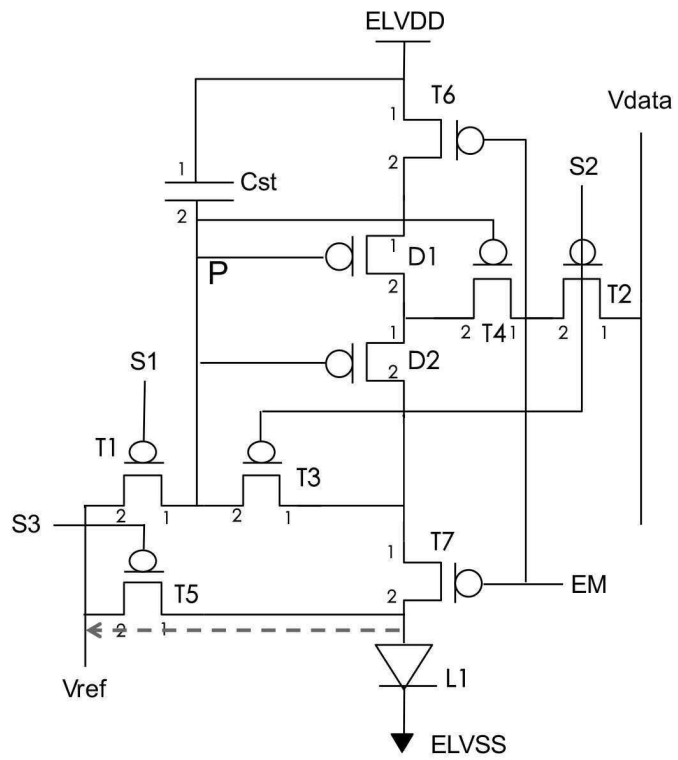
도면4



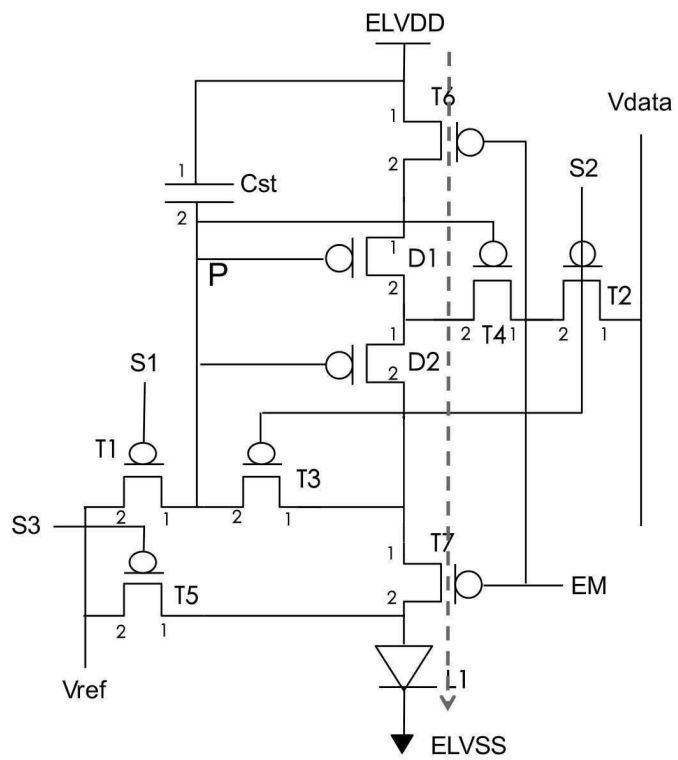
도면5



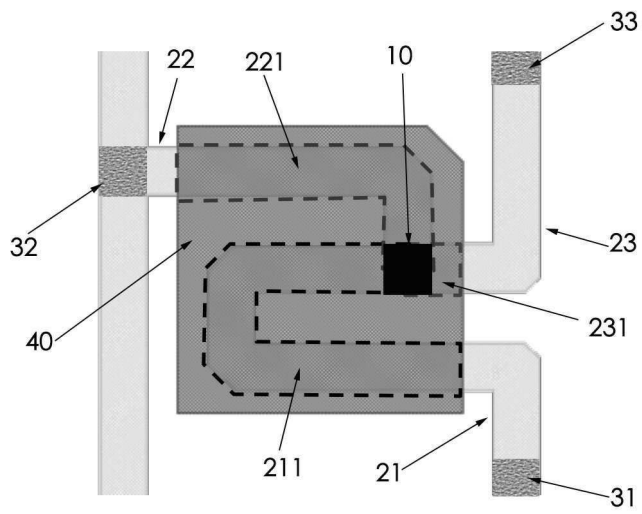
도면6



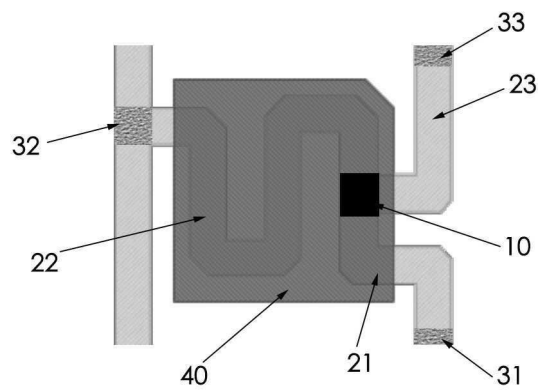
도면7



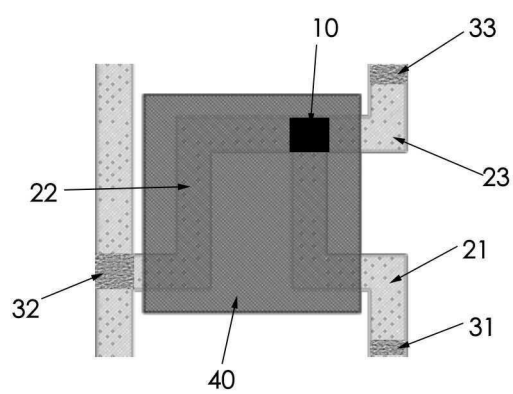
도면8



도면9



도면10



专利名称(译)	像素驱动电路，其驱动方法和晶体管的布局结构		
公开(公告)号	KR1020190088566A	公开(公告)日	2019-07-26
申请号	KR1020197019778	申请日	2018-02-14
[标]申请(专利权)人(译)	昆山国显光电有限公司		
发明人	장, 루 웬, 구오제 한, 젠젠 주, 시우지안		
IPC分类号	G09G3/3233 G09G3/3225 G09G3/3291 H01L27/12 H01L27/32		
CPC分类号	G09G3/3233 G09G3/3225 G09G3/3291 H01L27/12 H01L27/3262 H01L27/3276 G09G2300/0426 G09G2300/043 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2320/045 G09G3/3266 H01L27/1222 H01L27/32		
代理人(译)	Gimyeongwon		
优先权	201710095713.4 2017-02-22 CN 201710098993.4 2017-02-23 CN		
外部链接	Espacenet		

摘要(译)

本公开提供了一种像素驱动电路，其驱动方法以及晶体管的布局结构。像素驱动电路包括存储电容器，第一开关晶体管，第二开关晶体管，第三开关晶体管，第四开关晶体管，第五开关晶体管，第六开关晶体管，第七开关晶体管，第一驱动晶体管，第二驱动晶体管和有机发光二极管。晶体管的布局结构包括电路节点和连接到电路节点的有源层；有源层连接到电路节点。有源层包括：第一有源层，第二有源层和第三有源层；第一源极连接到第一有源层，漏极连接到第二有源层，第二源极连接到第三有源层；第一栅极，第二栅极和第三栅极分别对应于第一有源层，第二有源层和第三有源层；由第一栅极，第二栅极和第三栅极组成的栅极图案位于电路节点和有源层上方。

