



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0078746

(43) 공개일자 2019년07월05일

(51) 국제특허분류(Int. Cl.)

H01L 51/52 (2006.01) *H01L 27/32* (2006.01)

H01L 51/56 (2006.01)

(52) CPC특허분류

H01L 51/5237 (2013.01)

H01L 27/3258 (2013.01)

(21) 출원번호 10-2017-0180390

(22) 출원일자 2017년12월27일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

여준호

경기도 파주시 월롱면 엘지로 245

(74) 대리인

특허법인천문

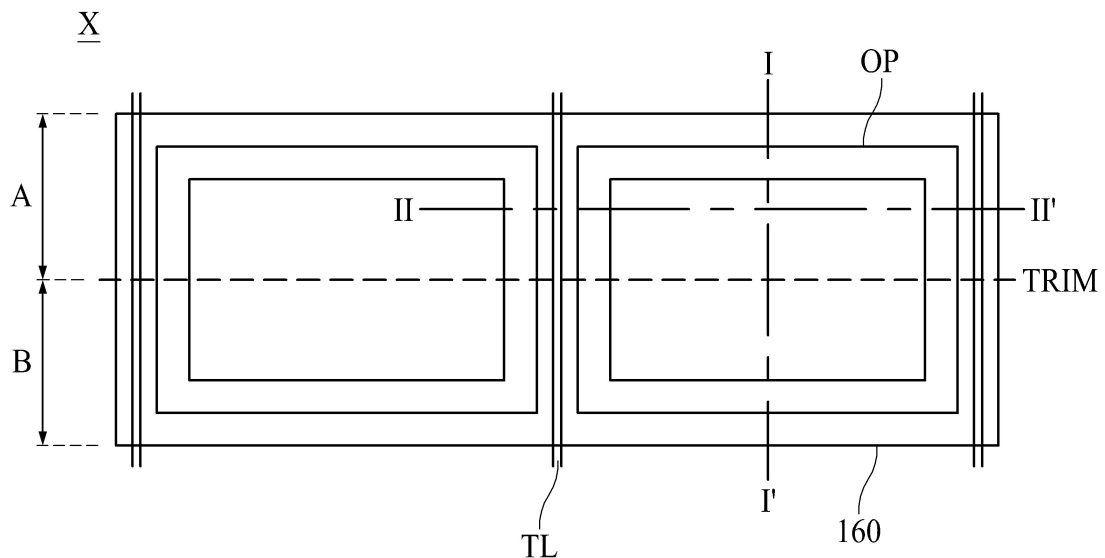
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 표시장치 및 전계발광 표시장치

(57) 요약

본 명세서의 실시예에 따른 표시장치는, 표시 영역 및 표시영역에 인접한 비표시 영역을 포함하는 기관, 표시 영역에 있는 박막 트랜지스터, 비표시 영역에 있고 박막 트랜지스터와 전기적으로 연결되는 통합구동부, 통합구동부와 연결되며 서로 이격하여 배치된 복수의 테스트 라인, 및 복수의 테스트 라인 사이의 영역에 배치된 복수의 무기 절연층들을 제거하여 기관의 상부면을 노출하는 오프닝부를 포함할 수 있다.

대표도 - 도6



(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 51/56 (2013.01)

명세서

청구범위

청구항 1

표시 영역 및 상기 표시영역에 인접한 비표시 영역을 포함하는 기관;
 상기 표시 영역에 있는 박막 트랜지스터;
 상기 비표시 영역에 있고, 상기 박막 트랜지스터와 전기적으로 연결되는 통합구동부;
 상기 통합구동부와 연결되며, 서로 이격하여 배치된 복수의 테스트 라인; 및
 상기 복수의 테스트 라인 사이의 영역에 배치된 복수의 무기 절연층들을 제거하여 상기 기관의 상부면을 노출하는 오프닝부를 포함하는, 표시장치.

청구항 2

제1 항에 있어서,
 상기 복수의 테스트 라인은 상기 기관의 끝단과 상기 통합구동부 사이에 배치되는, 표시장치.

청구항 3

제1 항에 있어서,
 상기 오프닝부는 상기 기관의 끝단과 상기 통합구동부 사이에 배치되는, 표시장치.

청구항 4

제1 항에 있어서,
 상기 오프닝부의 가장자리 영역을 덮도록 배치된 유기막을 더 포함하는, 표시장치.

청구항 5

제4 항에 있어서,
 상기 유기막은 상기 오프닝부의 상기 가장자리 영역에서 상기 복수의 무기 절연층들 중 최하층 절연층과 상기 기관이 접하는 경계면을 덮도록 배치된, 표시장치.

청구항 6

제5 항에 있어서,
 상기 유기막은 상기 오프닝부의 가장자리 영역에서 상기 복수의 무기 절연층들의 측면을 덮도록 연장된, 표시장치.

청구항 7

제6 항에 있어서,
 상기 복수의 무기 절연층들은 버퍼 절연층, 게이트 절연층, 제1 층간 절연층, 제2 층간 절연층, 및 보호 절연층으로 이루어진, 표시장치.

청구항 8

제7 항에 있어서,
 상기 박막 트랜지스터는 버퍼 절연층 상의 반도체층, 상기 게이트 절연층을 사이에 두고 상기 반도체층과 중첩하는 게이트 전극, 상기 게이트 전극 상의 상기 제1 층간 절연층 및 상기 제2 층간 절연층, 및 상기 제2 층간

절연층 상에 배치되며 상기 반도체층과 연결되는 소스 전극 및 드레인 전극을 포함하고,
상기 보호 절연층은 상기 박막 트랜지스터 상에 배치된, 표시장치.

청구항 9

제7 항에 있어서,

상기 유기막은 상기 오프닝부의 상기 가장자리 영역에서 상기 버퍼 절연층과 상기 기판이 접하는 경계면을 덮도록 배치된, 표시장치.

청구항 10

제7 항에 있어서,

상기 유기막은 상기 오프닝부의 상기 가장자리 영역에서 상기 버퍼 절연층, 상기 게이트 절연층, 상기 제1 층간 절연층, 상기 제2 층간 절연층, 및 상기 보호 절연층의 측면을 덮도록 연장된, 표시장치.

청구항 11

제3 항에 있어서,

상기 기판의 상기 끝단은 트리밍 라인인, 표시장치.

청구항 12

제11 항에 있어서,

상기 오프닝부는 상기 트리밍 라인과 중첩하는, 표시 장치.

청구항 13

표시 영역 및 비표시 영역을 갖는 기판, 상기 표시영역 상에 배치된 박막 트랜지스터, 보호 절연층 및 제1 평탄화층을 사이에 두고 상기 박막 트랜지스터와 연결되는 발광 다이오드를 포함하는 전계발광 표시장치에 있어서,

상기 비표시 영역은,

상기 표시 영역의 상기 박막 트랜지스터와 연결된 통합 구동부;

상기 통합 구동부와 연결되고, 상기 기판의 최외곽 라인까지 연장되어 배치된 복수개의 테스트 라인; 및

상기 기판의 상기 최외곽 라인과 중첩하며, 서로 이격하여 배치된 상기 복수개의 테스트 라인 사이의 영역에서 복수의 무기절연층들을 제거하여 상기 기판의 상부면을 노출하는 오프닝부를 포함하는, 전계발광 표시장치.

청구항 14

제13 항에 있어서,

상기 기판의 최외곽 라인은 트리밍 라인인, 전계발광 표시장치.

청구항 15

제14 항에 있어서,

상기 오프닝부의 가장자리 영역을 덮도록 배치된, 전계발광 표시장치.

청구항 16

제15 항에 있어서,

상기 유기막은 상기 오프닝부의 상기 가장자리 영역에서 상기 복수의 무기 절연층들 중 최하층 절연층과 상기 기판이 접하는 경계면을 덮으며, 상기 유기막은 상기 복수의 무기 절연층들의 측면을 덮도록 연장된, 전계발광 표시장치.

청구항 17

제16 항에 있어서,

상기 복수의 무기 절연층들은 버퍼 절연층, 게이트 절연층, 제1 층간 절연층, 제2 층간 절연층, 및 보호 절연층으로 이루어진, 전계발광 표시장치.

청구항 18

제17 항에 있어서,

상기 박막 트랜지스터는 버퍼 절연층 상의 반도체층, 상기 게이트 절연층을 사이에 두고 상기 반도체층과 중첩하는 게이트 전극, 상기 게이트 전극 상의 상기 제1 층간 절연층 및 상기 제2 층간 절연층, 및 상기 제2 층간 절연층 상에 배치되며 상기 반도체층과 연결되는 소스 전극 및 드레인 전극을 포함하고,

상기 보호 절연층은 상기 박막 트랜지스터 상에 배치된, 전계발광 표시 장치.

청구항 19

제18 항에 있어서,

상기 테스트 라인은 상기 박막 트랜지스터의 상기 소스 전극 및 상기 드레인 전극과 동일한 층에 배치되며, 동일한 물질로 형성되는, 전계발광 표시장치.

청구항 20

제16항에 있어서,

상기 제1 평탄화층 상에 배치된 제2 평탄화층을 더 포함하고,

상기 유기막은 상기 제1 평탄화층 및 상기 제2 평탄화층 중에서 적어도 하나의 층으로 이루어진, 전계발광 표시장치.

발명의 설명

기술 분야

[0001] 본 명세서는 표시장치 및 전계발광 표시 장치에 관한 것으로서, 보다 상세하게는 표시 패널의 레이저 트리밍(trimming) 공정 진행 시, 표시 패널의 손상(damage) 또는 크랙(crack) 발생을 방지할 수 있는 표시장치 및 전계발광 표시장치에 관한 것이다.

배경 기술

[0002] 표시장치로서, 액정표시장치(Liquid Crystal Display: LCD), 유기발광 표시장치(Organic Light Emitting Display: OLED) 및 퀀텀닷 발광 표시장치(Quantum dot Light Emitting Display: QLED)와 같은 전계발광 표시장치(Electroluminescence Display: EL), 및 전기영동 표시장치(Electrophoretic Display: ED)와 같은 다양한 표시장치가 개발되어 활용되고 있다.

[0003] 전계발광 표시장치(EL)는 자체 발광형 표시 장치로서, 전자(electron) 주입을 위한 전극(cathode)과 정공(hole) 주입을 위한 전극(anode)으로부터 각각 전자와 정공을 발광층 내부로 주입시켜, 주입된 전자와 정공이 결합한 엑시톤(exciton)이 여기 상태에서부터 기저 상태로 떨어질 때 발광하는 발광 소자를 이용한 표시 장치이다.

[0004] 전계발광 표시장치는 빛이 방출되는 방향에 따라서 상부 발광(Top Emission) 방식, 하부 발광(Bottom Emission) 방식 및 양면 발광(Dual Emission) 방식 등으로 나누어지고, 구동 방식에 따라서는 수동 매트릭스형(Passive Matrix)과 능동 매트릭스형(Active Matrix) 등으로 나누어질 수 있다.

[0005] 전계발광 표시장치는 액정 표시 장치(LCD)와는 달리 별도의 광원이 필요하지 않아 경량 박형으로 제조가 가능하다. 또한, 전계발광 표시장치는 저전압 구동에 의해 소비 전력 측면에서 유리할 뿐만 아니라, 색상 구현, 응답 속도, 시야각, 명암비(contrast ratio: CR)도 우수하여, 차세대 디스플레이 장치로서 연구되고 있다.

[0006] 전계발광 표시장치는 사용 환경이나 용도에 따라 다양한 디자인을 갖도록 설계될 수 있다. 예를 들면, 전통적인

단일의 사각형 형태로부터 부분적인 곡면이나 노치(notch)와 같은 이형부(異形部)를 갖는 형태뿐 아니라 원형, 타원형 등의 형태에 이르기까지 다양하게 변하고 있다.

[0007] 이와 같이 이형부를 갖거나 원형, 타원형 등으로 구현된 표시패널로 이루어진 표시장치는 제품 디자인의 자유도를 높일 수 있다는 점에서 디자인적인 측면을 중요시하는 소비자들에게 어필할 수 있다는 이점이 있다.

[0008] 그러나, 이형부를 가지는 표시패널을 구현하기 위하여, 레이저 트리밍(Trimming)공정 진행이 필요하다. 레이저를 이용하여 표시패널을 트리밍(Trimming) 공정을 진행할 때, 표시패널의 기관상에 형성된 절연층에서 균열(Crack)이 발생하는 문제가 있었다. 그리고, 균열이 발생된 영역을 통하여 수분이 침투하는 문제가 있었다.

발명의 내용

해결하려는 과제

[0009] 전계발광 표시장치는 수분에 취약하여, 전계발광 표시장치 내부로 수분이 침투되는 경우, 전계발광 표시장치의 금속 전극이 산화되거나 또는 발광층이 변질되면서 화소 수축(pixel shrinkage) 또는 흑점(dark spot) 등과 같은 각종 화질 불량 및 수명 저하의 문제가 발생할 수 있다.

[0010] 화소 수축 불량은 금속 전극과 발광층의 계면이 수분 침투에 의해 산화 또는 변질됨으로써 화소의 가장 자리부터 검게 변하는 불량이며, 화소 수축 불량이 장시간 지속되면 화소 전체 면적이 검게 변색되는 흑점 불량으로 악화되어 전계 발광 표시 장치의 신뢰성에 심각한 영향을 줄 수 있다.

[0011] 기존의 전계발광 표시장치의 경우, 이형부를 갖거나 원형, 타원형 등으로 구현된 표시패널로 이루어진 전계 발광 표시 장치의 제조 공정 중에 발생한 손상(damage)이나 균열(crack)통해 투습이 발생하면서, 화소 수축 불량 또는 흑점 불량과 같은 화질 불량이 발생하여 이에 대한 개선이 요구되고 있다.

[0012] 이에 본 명세서의 발명자는 이형부를 가지는 표시패널을 구현하기 위하여 레이저를 이용하여 표시패널을 트리밍(Trimming) 공정을 진행하는 경우, 표시패널의 기관 상에 형성된 무기 절연층에서 손상(damage)이나 균열(crack)의 발생을 줄일 수 있는 전계발광 표시장치를 발명하였다.

[0013] 그리고, 트리밍(Trimming) 공정 시 발생하는 표시패널의 손상(damage)이나 균열(crack)을 방지하기 위하여 표시패널에서 트리밍 라인(trimming line)상의 무기 절연층을 제거하여 오프닝부를 형성하는 경우, 무기 절연층의 들뜸 불량을 방지할 수 있는 전계발광 표시장치를 발명하였다.

[0014] 본 명세서의 실시예에 따른 해결 과제는 표시 패널에서 트리밍 라인(trimming line)상의 무기 절연층을 제거하여 오프닝부를 형성함으로써, 표시패널의 기관상에 형성된 절연층에서 손상(damage)이나 균열(crack)이 발생하는 것을 줄일 수 있는 전계발광 표시장치를 제공하는 것을 목적으로 한다.

[0015] 본 명세서의 실시예에 따른 해결 과제는, 트리밍(Trimming) 공정에 따른 표시 패널의 손상(damage)이나 균열(crack)의 발생을 방지하기 위하여 트리밍 라인(trimming line)상의 무기 절연층을 제거하여 형성된 오프닝부의 가장자리 영역에 유기막을 배치함으로써, 오프닝부에서 노출된 무기절연층으로 수분이 침투하는 것을 방지할 수 있는 전계발광 표시장치를 제공하는 것으로 목적으로 한다.

[0016] 본 명세서의 실시예에 따른 해결 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0017] 본 명세서의 실시예에 따른 전계발광 표시장치는, 표시 영역 및 표시영역에 인접한 비표시 영역을 포함하는 기관, 표시 영역에 있는 박막 트랜지스터, 비표시 영역에 있고 박막 트랜지스터와 전기적으로 연결되는 통합구동부, 통합구동부와 연결되며 서로 이격하여 배치된 복수의 테스트 라인, 및 복수의 테스트 라인 사이의 영역에 배치된 복수의 무기 절연층들을 제거하여 기관의 상부면을 노출하는 오프닝부를 포함할 수 있다.

[0018] 본 명세서의 실시예에 따른 표시장치는, 표시 영역 및 비표시 영역을 갖는 기관, 표시영역 상에 배치된 박막 트랜지스터, 보호 절연층 및 제1 평탄화층을 사이에 두고 박막 트랜지스터와 연결되는 발광 다이오드를 포함할 수 있다. 그리고, 비표시 영역은 표시 영역의 박막 트랜지스터와 연결된 통합 구동부, 통합 구동부와 연결되고 기관의 최외곽 라인까지 연장되어 배치된 복수개의 테스트 라인, 및 기관의 최외곽 라인과 중첩하며 서로 이격하여 배치된 복수개의 테스트 라인 사이의 영역에서 복수의 무기절연층들을 제거하여 기관의 상부면을 노출하는

오프닝부를 포함할 수 있다.

[0019] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0020] 본 명세서의 실시예에 따른 전계발광 표시장치는 표시 패널에서 트리밍 라인(trimming line)상의 무기 절연층이 제거된 오프닝부를 형성함으로써, 이형부를 가지는 표시패널을 구현하기 위하여 레이저를 이용한 트리밍(Trimming) 공정을 진행할 때, 표시패널의 기판 상에 형성된 무기 절연층에서 손상(damage)이나 균열(crack)의 발생을 줄일 수 있다.

[0021] 또한, 본 명세서의 다른 실시예에 따른 전계발광 표시장치는 트리밍(Trimming) 공정에 따른 표시패널의 손상(damage)이나 균열(crack)의 발생을 방지하기 위하여 트리밍 라인(trimming line)상의 무기 절연층을 제거하여 형성된 오프닝부의 가장자리 영역에 유기막을 배치함으로써, 오프닝부에서 노출된 무기절연층으로 수분이 침투하는 것을 방지할 수 있다. 그리고, 수분 침투에 의한 기판과 무기 절연층간의 들뜸 현상을 방지할 수 있다.

[0022] 본 명세서의 효과는 이상에서 언급한 효과에 제한되지 않으며, 언급되지 않은 또 다른 효과는 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

[0023] 이상에서 해결하고자 하는 과제, 과제 해결 수단, 효과에 기재한 발명의 내용이 청구항의 필수적인 특징을 특정하는 것은 아니므로, 청구항의 권리범위는 발명의 내용에 기재된 사항에 의하여 제한되지 않는다.

도면의 간단한 설명

[0024] 도 1은 본 명세서의 실시예에 따른 전계발광 표시장치를 도시한 블록도이다.

도 2는 도 1에 도시된 화소(P)의 구조를 나타내는 회로도이다.

도 3은 도 1에 도시된 화소(P)의 단면도이다.

도 4는 도 1의 X를 확대 도시한 평면도이다.

도 5a는 도 4의 I-I'의 단면도이다.

도 5b는 도 4의 II-II'의 단면도이다.

도 6은 도 1의 X를 확대 도시한 평면도이다.

도 7a는 도 6의 I-I'의 단면도이다.

도 7b는 도 6의 II-II'의 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0025] 본 명세서의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 명세서는 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 명세서의 개시가 완전하도록 하며, 본 명세서가 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 명세서는 청구항의 범주에 의해 정의될 뿐이다.

[0026] 본 명세서의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 명세서가 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 명세서를 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 명세서의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0027] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0028] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

- [0029] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 명세서의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0030] 본 명세서의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0031] 이하, 도면을 참조하여 본 명세서에 대해 상세히 설명한다.
- [0032] 도 1은 본 명세서의 실시예에 따른 전계발광 표시장치의 개략적인 구조를 나타내는 블록도이다. 도 2는 도 1에 도시된 화소(P)의 개략적인 회로 구성을 나타내는 회로도이다. 도 3은 도 1에 도시된 화소(P)내의 박막 트랜지스터, 스토리지 커패시터, 및 발광 다이오드 구조를 도시한 단면도이다.
- [0033] 도 1을 참조하면, 본 명세서의 실시예에 따른 전계발광 표시장치는 표시 패널(10), 제1 게이트 구동부(21), 제2 게이트 구동부(22), 및 통합 구동부(30)를 포함할 수 있다. 통합구동부(30)는 데이터 구동부, 레벨 쉬프터, 및 타이밍 제어부를 포함할 수 있다.
- [0034] 표시패널(10)은 정보를 표시하는 표시영역(AA)과, 표시패널(10)에서 표시영역(AA)을 제외한 비표시영역을 포함할 수 있다. 비표시영역은 정보가 표시되지 않는 영역으로 정의될 수 도 있다. 그리고, 표시영역(AA)은 입력 영상이 표시되는 영역으로 복수의 화소들(P)이 매트릭스 타입으로 배열된 영역으로 정의 될 수 있다.
- [0035] 표시패널(10)은 데이터 라인들(D1~Dn, n은 2 이상의 양의 정수), 게이트 라인들(G1~Gn, n은 2 이상의 양의 정수), 및 화소(P)들을 포함하는 표시영역(AA)이 형성될 수 있다. 데이터 라인들(D1~Dn)과 게이트 라인들(G1~Gn)은 서로 교차하도록 형성될 수 있다. 화소(P)는 데이터 라인들(D1~Dn) 중 어느 하나, 및 게이트 라인들(G1~Gn) 중 어느 하나에 접속될 수 있다. 비표시영역에는 제1 게이트 구동부(21), 제2 게이트 구동부(22), 및 통합구동부(30)가 배치될 수 있다. 데이터 구동부, 레벨 쉬프터, 및 타이밍 제어부는 도 1의 통합 구동부(30)와 같이 하나의 구동 IC(integrated circuit)으로 형성될 수 있으며, 이에 한정되지 않는다. 예를 들면, 데이터 구동부, 레벨 쉬프터, 및 타이밍 제어부 각각은 별도의 구동 IC로 형성될 수 있다. 통합 구동부(30)는 COG 방식(Chip on Glass) 또는 COP(Chip on Plastic) 방식으로 표시패널(10)의 기판 상에 직접 안착될 수 있다.
- [0036] 그리고, 비표시영역에는 제1 및 제2 게이트 구동부들(21, 22)과 표시영역(AA)에 배치된 게이트 라인들(G1~Gn)을 전기적으로 연결하기 위한 게이트 링크 라인들(GL1~GLn)을 포함할 수 있다. 그리고, 통합구동부(30)와 표시영역(AA)에 배치된 데이터 라인들(D1~Dn)을 전기적으로 연결하기 위한 데이터 링크 라인들(DL1~DLn)을 포함할 수 있다. 또한, 고전위 전압인 제 1 전원(Vdd)을 표시패널(10)의 화소(P)에 공급하기 위한 제1 전원 링크라인들(VDL1~VDLn)이 비표시영역에 배치될 수 있다. 그리고, 저전위 전압인 제2 전원(VSS)을 표시패널(10)의 화소(P)에 공급하기 위한 제2 전원 라인(VSL)이 비표시영역에 배치될 수 있다.
- [0037] 제1 및 제2 게이트 구동부들(21, 22)은 게이트 링크라인들(GL1~GLn)을 통하여 게이트 라인들(G1~Gn)에 접속되어 게이트 신호들을 공급할 수 있다.
- [0038] 제1 및 제2 게이트 구동부들(21, 22)은 게이트 드라이버 인 패널(gate driver in panel, GIP) 방식으로 비표시 영역에 형성될 수 있다. 예를 들어, 도 1과 같이, 제1 게이트 구동부(21)는 표시영역(AA)의 일 측에 인접하여 형성되고, 제2 게이트 구동부(22)는 표시영역(AA)의 타 측에 인접하여 형성될 수 있다. 그리고, 제1 및 제2 게이트 구동부들(21, 22) 중 어느 하나는 생략될 수 있으며, 이 경우 하나의 게이트 구동부가 표시영역(AA)의 일 측에 인접하여 형성될 수 있다.
- [0039] 레벨 쉬프터는 타이밍 제어부로부터 입력되는 클럭 신호들 및 스타트 전압의 전압 레벨을 표시패널(10)에 형성된 박막 트랜지스터를 스위칭시킬 수 있는 게이트 온 전압(Von)과 게이트 오프 전압(Voff)으로 레벨 쉬프트할 수 있다. 레벨 쉬프터는 레벨 쉬프트된 클럭 신호들을 클럭 라인(CL)을 통해 제1 및 제2 게이트 구동부들(21, 22)에 공급하고, 레벨 쉬프트된 스타트 신호를 스타트 라인(STL)을 통해 제1 및 제2 게이트 구동부들(21, 22)에 공급할 수 있다. 클럭 라인(CL)과 스타트 라인(STL)은 게이트 제어 신호에 해당하는 클럭 신호들과 스타트 신호를 전송하는 라인이므로, 본 명세서에서는 클럭 라인들(CL)과 스타트 라인(STL)을 게이트 제어 라인으로 통칭하기로 한다.
- [0040] 데이터라인들(D1~Dn)은 데이터 링크 라인들(DL1~DLn)을 통하여 통합구동부(30)에 접속될 수 있다. 통합구동부(30)의 타이밍 제어부로부터 디지털 영상 데이터와 데이터 제어신호를 입력받을 수 있다. 통합구동부(30)는 데

이터 제어신호에 따라 디지털 영상 데이터를 아날로그 데이터전압들로 변환할 수 있다. 통합구동부(30)는 아날로그 데이터전압들을 데이터라인들(D1~Dn)에 공급할 수 있다.

[0041] 통합구동부(30)의 타이밍 제어부는 외부의 시스템 보드로부터 디지털 영상 데이터와 타이밍 신호들을 입력받을 수 있다. 그리고, 타이밍 신호들은 수직동기신호(vertical sync signal), 수평동기신호(horizontal sync signal), 및 데이터 인에이블 신호(data enable signal)를 포함할 수 있다.

[0042] 통합구동부(30)의 타이밍 제어부는 타이밍 신호들에 기초하여 제1 및 제2 게이트 구동부들(21, 22)의 동작 타이밍을 제어하기 위한 게이트 제어 신호를 생성할 수 있다. 그리고, 통합구동부(30)의 타이밍 제어부는 통합구동부(30)에서 데이터 구동부의 동작 타이밍을 제어하기 위한 데이터 제어신호를 생성할 수 있다.

[0043] 그리고, 본 명세서의 실시예에 따른 전계발광 표시장치의 표시패널(10)에서 비표시영역에 배치된 테스트 패드(TP) 및 테스트 라인(TL)을 포함할 수 있다. 테스트 패드(TP)는 트리밍 라인(TRIM)의 외곽부에 마련될 수 있다. 복수개의 테스트 패드(TP)는 트리밍 라인(TRIM)의 외곽부에 서로 이격되어 배치될 수 있다. 그리고, 복수개의 테스트 라인(TL)은 서로 이격되어 배치될 수 있으며, 복수개의 테스트 라인(TL)은 복수개의 테스트(TP)와 각각 연결될 수 있다. 그리고, 트리밍 공정이 진행될 트리밍 라인(TRIM)은 점등 검사 진행 후 테스트 라인(TL)을 절단할 수 있도록 테스트 라인(TL)과 교차할 수 있다.

[0044] 그리고, 테스트 라인(TL)은 통합 구동부(30)와 테스트 패드(TP)를 전기적으로 연결할 수 있다. 테스트 라인(TL)은 표시패널(10)의 표시영역(AA)에 형성된 화소(P)의 점등 검사 공정을 수행하기 위하여 테스트 패드(TP)와 통합 구동부(30)를 연결하고 있는 것으로서, 화소(P)의 점등 검사 공정 이후에는 신호라인으로 사용되지 않는다.

[0045] 그리고, 테스트 패드(TP)는 트리밍 공정(trimming process)에 의해 표시 패널(10)로부터 분리될 수 있다. 테스트 라인(TL)은 트리밍 공정(trimming process)에 의해 절단될 수 있다.

[0046] 트리밍 공정을 통해 표시패널(10)상에 정의된 트리밍 라인(TRIM)을 따라 표시패널(10)을 커팅함으로써, 도 1에 도시된 바와 같이, 노치(notch)부를 가지는 이형 표시패널을 구비한 전계발광 표시장치를 제조할 수 있다. 그리고, 트리밍 공정에 의하여, 트리밍 라인(TRIM)의 외곽부에 배치된 테스트 패드(TP)는 제거될 수 있다. 그리고, 표시패널(10)상에 정의된 트리밍 라인(TRIM)이 테스트 라인(TL)과 교차하고 있기에, 테스트 라인(TL)은 트리밍 공정에 의하여 절단될 수 있다.

[0047] 본 발명의 실시예에 따른 전계발광 표시장치에서, 표시패널(10)의 비표시영역에서 트리밍 공정에 의해 커팅되는 복수의 테스트 라인(TL) 사이의 영역에 배치된 무기 절연층들을 제거함으로써, 표시패널(10)의 손상(damage)이나 균열(crack)의 발생을 방지할 수 있다. 예를 들면, 서로 이격되어 배치된 복수개의 테스트 라인(TL)들 사이의 영역중에서, 트리밍 공정이 진행될 트리밍 라인(TRIM)과 교차하는 영역에 배치된 무기 절연층을 제거함으로써, 무기 절연층이 트리밍 공정에 의해 손상되거나 균열이 발생하여 수분이 침투하는 것을 방지할 수 있다. 트리밍 라인(TRIM)과 대응하는 영역의 무기 절연층을 제거하는 것에 대해서는, 도4, 도5a, 및 도5b에서 상세하게 후술하도록 한다.

[0048] 그리고, 본 명세서의 실시예에 따른 전계발광 표시장치에서 표시패널(10)은 제1 전원(VDD) 및 제2 전원(VSS)과 같이 화소(P)들을 구동하기 위해 필요한 복수의 전원전압들, 게이트 온 전압(Von), 게이트 오프 전압(Voff)과 같이 제1 및 제2 게이트 구동부(21, 22)를 구동하기 위해 필요한 게이트 구동전압, 데이터 구동부를 구동하기 위해 필요한 소스 구동 전압, 및 타이밍 제어부를 구동하기 위해 필요한 제어 구동 전압 등을 생성하기 위한 전원공급부를 포함 할 수 있다.

[0049] 도 2는 전계발광 표시장치의 화소(P)의 개략적인 구성을 나타내는 회로도이다.

[0050] 도 2를 참조하면, 각각의 화소(P)는 스위칭 트랜지스터(SW), 구동 트랜지스터(DT), 보상회로(CC) 및 발광다이오드(LED)를 포함할 수 있다. 발광다이오드(LED)는 구동 트랜지스터(DT)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작할 수 있다. 그리고, 화소(P)의 구조에서 발광다이오드는 유기 발광 다이오드(Organic Light Emitting Diode: OLED) 또는 퀀텀닷 발광다이오드(Quantum Dot Light Emitting Diode, QLED)와 같이 무기 발광 다이오드를 포함할 수 있다.

[0051] 스위칭 트랜지스터(SW)는 게이트라인들(G1~Gn)을 통해 공급된 게이트펄스에 응답하여, 데이터라인들(D1~Dn)으로부터 공급받는 데이터전압을 스토리지 커패시터(Cst)에 저장할 수 있다. 구동 트랜지스터(DT)는 스토리지 커패시터(Cst)에 충전된 전압의 크기에 따라 발광 다이오드(LED)로 공급되는 전류량을 제어하여 발광 다이오드(LED)

D)의 발광량을 조절할 수 있다. 발광다이오드(LED)는 구동 트랜지스터(DT)로부터 공급되는 구동전류에 비례하는 밝기로 발광할 수 있다.

- [0052] 보상회로(CC)는 구동 트랜지스터(DT)의 문턱전압 및 이동도 특성 등의 편차를 보상하기 위한 것으로, 하나 이상의 박막트랜지스터의 조합으로 이루어질 수 있으며, 이에 한정되는 것은 아니다.
- [0053] 본 명세서의 실시예에 따른 전계발광 표시장치의 표시패널(10)에서 화소(P)는 제 1 전원라인들(VDL1~VDLn)을 통해 고전위 전압인 제 1 전원(VDD)을 공급받을 수 있으며, 제 2 전원라인(VSL)을 통해 저전위 전압인 제 2 전원(VSS)을 공급받을 수 있다.
- [0054] 화소를 구성하는 TFT들은 p 타입으로 구현되거나 또는, n 타입으로 구현될 수 있다. 또한, 화소를 구성하는 TFT들의 반도체층은, 비정질 실리콘, 폴리 실리콘, 또는 산화물을 포함할 수 있다. 발광 다이오드(LED)는 애노드 전극 및 캐소드 전극 사이에 개재된 발광 구조물을 포함할 수 있다. 애노드 전극은 구동 트랜지스터(DT)에 접속될 수 있다. 발광 구조물은 발광층(Emission layer, EML)을 포함할 수 있으며, 발광층을 사이에 두고 그 일측에는 정공 주입층(Hole injection layer, HIL) 및 정공 수송층(Hole transport layer, HTL)이, 그 타측에는 전자 수송층(Electron transport layer, ETL) 및 전자 주입층(Electron injection layer, EIL)이 각각 배치될 수 있다.
- [0055] 도 2에 도시된 화소(P) 구조의 회로도(도 2)는 전계발광 표시장치의 일례를 도시한 것이므로, 도 2에 도시된 회로도의 예에 한정되지 않는다.
- [0056] 도 3은 도 1에 도시된 화소(P)의 단면도이다. 도 3에서는 표시패널(10)의 화소(P)가 애노드 전극(250), 발광구조물(260), 및 캐소드 전극(270)으로 구성된 발광 다이오드(LED)를 포함하는 것을 예로 들어 설명한다.
- [0057] 도 3을 참조하면, 기판(SUB)의 일면 상에는 버퍼 절연층(110)이 배치될 수 있다. 기판(SUB)은 플라스틱 필름 또는 유리 기판일 수 있으며, 이에 한정되지는 않는다. 버퍼 절연층(110)은 투습에 취약한 기판(SUB)을 통해 침투하는 수분으로부터 박막 트랜지스터(210)들과 발광구조물(260)들을 보호하기 위해 기판(SUB)의 일면 상에 형성될 수 있다. 버퍼 절연층(110)은 단일층 또는 교번하여 적층된 복수의 무기막들로 이루어질 수 있다. 그리고, 버퍼 절연층(110)은 무기 절연층으로 이루어질 수 있다. 예를 들어, 버퍼 절연층(110)은 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiN_x)의 단일층 또는 이들의 다중층으로 구성될 수 있다. 그리고, 버퍼 절연층(110)은 기판(SUB)의 종류 및 물질 또는 박막 트랜지스터(210)의 구조 및 특성에 따라 생략될 수 있다.
- [0058] 버퍼 절연층(110) 상에는 박막 트랜지스터(210) 및 커패시터(220)가 형성될 수 있다.
- [0059] 박막 트랜지스터(210)는 액티브층(211), 게이트 전극(212), 소스 전극(213) 및 드레인 전극을 포함할 수 있다. 도 3에서는 박막 트랜지스터(210)의 게이트 전극(212)이 액티브층(211)의 상부에 위치하는 상부 게이트(탑 게이트, top gate) 방식으로 형성된 것을 예시하였으나, 이에 한정되지 않는다. 예를 들면, 박막 트랜지스터(210)는 게이트 전극(212)이 액티브층(211)의 하부에 위치하는 하부 게이트(보텀 게이트, bottom gate) 방식 또는 게이트 전극(212)이 액티브층(211)의 상부와 하부에 모두 위치하는 더블 게이트(double gate) 방식으로 형성될 수 있다.
- [0060] 커패시터(220)는 제1 커패시터 전극(221), 제2 커패시터 전극(222), 제3 커패시터 전극(223), 및 제4 커패시터 전극(224)을 포함할 수 있다.
- [0061] 도 3에 도시된 바와 같이, 버퍼 절연층(100) 상에는 액티브층(211)이 배치될 수 있다. 액티브층(211)은 실리콘계 반도체 물질 또는 산화물계 반도체 물질로 구성될 수 있다. 버퍼 절연층(110)과 액티브층(211) 사이에는 액티브층(211)으로 입사되는 외부광을 차단하기 위한 차광층이 더 배치될 수 있다.
- [0062] 액티브층(211) 상에는 게이트 절연층(120)이 형성될 수 있다. 게이트 절연층(120)은 무기 절연층 물질일 수 있다. 예를 들어 실리콘 산화막(SiO_x), 또는 실리콘 질화막(SiN_x)의 단일층 또는 이들의 다중층으로 구성될 수 있다.
- [0063] 게이트 절연층(120) 상에는 박막 트랜지스터(210)의 게이트 전극(212) 및 커패시터(220)의 제1 커패시터 전극(221)이 배치될 수 있다. 게이트 전극(212), 제1 커패시터 전극(221)은 도전성 금속 물질로 이루어질 수 있다. 예를 들면, 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 구성될 수 있다. 그리고, 게이트 전극(212)은 액티브층(211)과 중첩되도록 게이트 절연층(112)상에 배치될 수 있다.

- [0064] 박막 트랜지스터(210)의 게이트 전극(212) 및 커패시터(220)의 제1 커패시터 전극(221)은 동일한 공정으로 형성될 수 있으며, 동일한 두께 및 동일한 물질로 이루어 질 수 있다.
- [0065] 게이트 전극(212) 및 제1 커패시터 전극(221) 상에는 제1 층간 절연층(130)이 배치될 수 있다. 제1 층간 절연층(130)은 무기 절연층 물질로 구성될 수 있다. 예를 들어 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiN_x)의 단일층 또는 이들의 다중층으로 구성될 수 있다.
- [0066] 제1 층간 절연층(130) 상에는 제2 커패시터 전극(222)이 배치될 수 있다. 제2 커패시터 전극(222)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 구성될 수 있다.
- [0067] 제2 커패시터 전극(222) 상에는 제2 층간 절연층(140)이 형성될 수 있다. 제2 층간 절연층(140)은 무기 절연층 물질로 구성될 수 있다. 예를 들어 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiN_x)의 단일층 또는 이들의 다중층으로 구성될 수 있다.
- [0068] 제2 층간 절연층(140) 상에는 드레인 전극(213), 소스 전극(214), 및 제3 커패시터 전극(223)이 배치될 수 있다. 박막 트랜지스터(210)의 소스 전극(214) 및 드레인 전극(213)은 게이트 절연층(120), 제1 층간 절연층(130), 및 제2 층간 절연층(140)을 관통하는 제1 콘택홀(CT1)을 통해 액티브층(211)에 연결될 수 있다. 커패시터(220)의 제3 커패시터 전극(223)은 제2 층간 절연층(140)을 관통하는 제2 콘택홀(CT2)을 통해 제2 커패시터 전극(222)에 연결될 수 있다. 소스 전극(214), 드레인 전극(213), 및 제3 커패시터 전극(223)은 도전성 금속 물질로 이루어 질 수 있다. 예를 들면, 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 구성될 수 있다.
- [0069] 박막 트랜지스터(210)의 소스 전극(214) 및 드레인 전극(213), 그리고 커패시터(220)의 제3 커패시터 전극(223)은 동일한 공정으로 형성될 수 있으며, 동일한 두께 및 동일한 물질로 이루어 질 수 있다.
- [0070] 소스 전극(214), 드레인 전극(213), 및 제3 커패시터 전극(223) 상에는 보호 절연층(150)이 배치될 수 있다. 보호 절연층(150)은 무기 절연층 물질로 구성될 수 있다. 예를 들어 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiN_x)의 단일층 또는 이들의 다중층으로 구성될 수 있다.
- [0071] 보호 절연층(150) 상에는 박막 트랜지스터(210) 및 커패시터(220)로 인한 단차를 보상하기 위한 제1 평탄화층(160)이 배치될 수 있다. 제1 평탄화층(160)은 유기 절연층 물질로 구성될 수 있다. 예를 들어, 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 또는 폴리이미드 수지(polyimide resin) 등의 유기 물질층으로 구성될 수 있다.
- [0072] 제1 평탄화층(160) 상에는 애노드 보조 전극(240)과 제4 커패시터 전극(224)이 배치될 수 있다. 애노드 보조 전극(240)은 보호 절연층(150)과 제1 평탄화층(160)을 관통하는 제3 콘택홀(CT3)을 통해 박막 트랜지스터(210)의 드레인 전극(213)에 연결될 수 있다. 제4 커패시터 전극(224)은 보호 절연층(150)과 제1 평탄화층(160)을 관통하는 제4 콘택홀(CT4)을 통해 제3 커패시터 전극(223)에 연결될 수 있다. 애노드 보조 전극(240)과 제4 커패시터 전극(224)은 도전성 금속 물질로 이루어 질 수 있다. 예를 들면, 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 구성될 수 있다.
- [0073] 애노드 보조 전극(240)과 제4 커패시터 전극(224) 상에는 제2 평탄화층(170)이 배치될 수 있다. 제2 평탄화층(170)은 유기 절연층 물질로 구성될 수 있다. 예를 들어, 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기 물질층으로 구성될 수 있다.
- [0074] 제2 평탄화층(170) 및 애노드 보조 전극(240)은 전계발광 표시장치의 표시 패널(10) 특성에 따라 생략될 수 있다. 예를 들면, 제2 평탄화층(170) 및 애노드 보조 전극(240)을 형성하지 않을 경우에는, 애노드 전극(250)은 제1 평탄화층(160)상에 형성될 수 있으며, 애노드 전극(250)은 제1 평탄화층(160) 및 제2 층간 절연층(150)의 콘택홀을 통하여 박막 트랜지스터(210)의 드레인 전극(213)과 전기적으로 연결될 수 있다.
- [0075] 제2 평탄화층(170) 상에는 발광다이오드(LED)와 뱅크(180)가 배치될 수 있다. 발광다이오드(LED)는 애노드 전극(250), 발광구조물(260), 및 캐소드 전극(270)을 포함할 수 있다.
- [0076] 애노드 전극(250)은 제2 평탄화층(170) 상에 배치될 수 있다. 애노드 전극(250)은 제2 평탄화층(170)을 관통하

는 제5 콘택홀(CT5)을 통해 애노드 보조 전극(240)에 연결될 수 있다. 애노드 전극(250)은 알루미늄(Al), 은(Ag), 몰리브덴(Mo), 몰리브덴과 티타늄의 적층 구조(Mo/Ti), 구리(Cu), 알루미늄과 티타늄의 적층 구조(Ti/Al/Ti), 알루미늄과 ITO의 적층 구조(ITO/Al/ITO), APC 합금, 또는 APC 합금과 ITO의 적층 구조(ITO/APC/ITO)으로 형성될 수 있다. APC 합금은 은(Ag), 팔라듐(Pd), 및 구리(Cu)의 합금이다.

[0077] बैंक(180)는 애노드 전극(250)의 가장자리를 덮도록 형성될 수 있다. 이로 인해, 화소(P)의 발광 영역은 बैंक(180)에 의해 정의될 수 있다. 화소(P)의 발광 영역은 애노드 전극(250), 발광구조물(260), 및 캐소드 전극(270)이 적층되어 애노드 전극(250)으로부터의 정공과 캐소드 전극(270)으로부터의 전자가 발광구조물(260)의 발광층에서 서로 결합되어 발광하는 영역을 나타낸다. 이 경우, बैंक(180)가 형성된 영역은 광을 발광하지 않으므로 비발광부로 정의될 수 있다. बैंक(180)는 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기물질로 구성될 수 있다.

[0078] 애노드 전극(250)과 बैंक(180) 상에는 발광구조물(260)이 배치될 수 있다. 발광구조물(260)은 화소(P)들에 공통적으로 형성되는 공통층이며, 백색 광을 발광하는 백색 발광구조물일 수 있다. 이 경우, 발광구조물(260)은 2 스택(stack) 이상의 탠덤 구조로 형성될 수 있다. 스택들 각각은 정공 수송층(hole transporting layer), 적어도 하나의 발광층(light emitting layer), 및 전자 수송층(electron transporting layer)을 포함할 수 있다. 또한, 스택들 사이에는 전하 생성층이 배치될 수 있다.

[0079] 정공 수송층은 애노드 전극(250) 또는 전하 생성층으로부터 주입된 정공을 발광층으로 원활하게 전달하는 역할을 한다. 발광층은 인광 또는 형광물질을 포함하는 유기물질로 형성될 수 있으며, 이로 인해 소정의 광을 발광할 수 있다. 전자 수송층은 캐소드 전극(270) 또는 전하 생성층으로부터 주입된 전자를 발광층으로 원활하게 전달하는 역할을 한다.

[0080] 전하 생성층은 하부 스택과 인접하게 위치하는 n형 전하 생성층과 n형 전하 생성층 상에 형성되어 상부 스택과 인접하게 위치하는 p형 전하 생성층을 포함할 수 있다. n형 전하 생성층은 하부 스택으로 전자(electron)를 주입해주고, p형 전하 생성층은 상부 스택으로 정공(hole)을 주입해준다. n형 전하 생성층은 전자수송능력이 있는 유기 호스트 물질에 Li, Na, K, 또는 Cs와 같은 알칼리 금속, 또는 Mg, Sr, Ba, 또는 Ra와 같은 알칼리 토금속이 도핑된 유기층일 수 있다. p형 전하 생성층은 정공수송능력이 있는 유기 호스트 물질에 도펀트가 도핑된 유기층일 수 있다.

[0081] 도 3에서는 발광구조물(260)이 화소(P)들에 공통적으로 형성되는 공통층이며, 백색 광을 발광하는 백색 발광구조물인 것을 예시하였으나, 본 명세서의 실시예에는 이에 한정되지 않는다. 예를 들면, 발광구조물(260)의 발광층은 화소(P)별로 형성될 수 있으며, 이 경우 화소(P)는 적색 광을 발광하는 적색 발광층을 포함하는 적색 화소, 녹색 광을 발광하는 녹색 발광층을 포함하는 녹색 화소, 및 청색 광을 발광하는 청색 발광층을 포함하는 청색 화소로 구분될 수 있다.

[0082] 캐소드 전극(270)은 발광구조물(260) 상에 배치될 수 있다. 캐소드 전극(270)은 화소(P)들에 공통적으로 형성되는 공통층일 수 있다. 캐소드 전극(270)은 광을 투과시킬 수 있는 ITO, IZO와 같은 투명한 금속물질(TCO, Transparent Conductive Material), 또는 마그네슘(Mg), 은(Ag), 또는 마그네슘(Mg)과 은(Ag)의 합금과 같은 반투과 금속물질(Semi-transmissive Conductive Material)로 형성될 수 있다. 캐소드 전극(270)이 반투과 금속물질로 형성되는 경우, 마이크로 캐비티(micro cavity)에 의해 출광 효율이 높아질 수 있다. 캐소드 전극(270) 상에는 캡핑층(capping layer)이 더 배치될 수 있다.

[0083] 캐소드 전극(270) 상에는 봉지구조물(190)이 배치될 수 있다. 봉지구조물(190)은 발광구조물(260)과 캐소드 전극(270)에 산소 또는 수분이 침투되는 것을 방지하는 역할을 할 수 있다. 봉지구조물(190)은 적어도 하나의 무기막을 포함할 수 있다. 무기막은 실리콘 질화물, 알루미늄 질화물, 지르코늄 질화물, 티타늄 질화물, 하프늄 질화물, 탄탈륨 질화물, 실리콘 산화물, 알루미늄 산화물 또는 티타늄 산화물로 형성될 수 있다. 또한, 봉지구조물(190)은 이물들(particles)이 무기막을 뚫고 발광구조물(260)과 캐소드 전극(270)에 투입되는 것을 방지하기 위해 적어도 하나의 유기막을 더 포함할 수 있다.

[0084] 도 4는 도 1의 X를 확대 도시한 평면도이다. 도 4는 본 명세서의 실시예에 따른 전계발광 표시장치의 표시패널(10)에서 X를 상세 평면구조를 설명하기 위한 평면도이다. 도 5a는 도 4의 I-I'의 단면도이다. 그리고, 도 5b는 도 4의 II-II'의 단면도이다.

[0085] 도 4를 참조하면, 본 명세서의 실시예에 따른 전계발광 표시 장치의 표시패널(10)에서 비표시영역에 서로 이격

하여 배치된 복수개의 테스트 라인(TL)사이의 영역에 대응하는 복수의 무기 절연층들을 제거하여 형성된 오프닝부(OP)를 포함할 수 있다.

- [0086] 표시영역(DA)에 인접한 비표시영역에서, 복수개의 테스트 라인(TL)은 서로 이격하여 배치될 수 있다. 그리고, 복수개의 테스트 라인(TL)은 통합구동부(30)와 테스트 패드(TP)를 연결할 수 있다.
- [0087] 트리밍 라인(TRIM)은 복수개의 테스트 라인(TL)과 교차할 수 있다. 그리고, 트리밍 라인(TRIM)과 교차하도록 배치된 복수개의 테스트 라인(TL)은 트리밍 공정을 통하여 절단될 수 있다.
- [0088] 트리밍 공정은 레이저에 의해 진행될 수 있다. 레이저 트리밍 공정에 의해 표시패널(10)의 사각형 형태로부터 부분적인 곡면이나 노치(notch)와 같은 이형부(異形部)를 갖는 형태뿐 아니라 원형, 타원형 등의 형태에 이르기까지 다양하게 제조될 수 있다.
- [0089] 도1 및 도4를 참조하면, 표시패널(10)의 비표시영역은 트리밍 라인(TRIM)을 기준으로 제1 영역(A) 및 제2 영역(B)으로 구분할 수 있다. 제2 영역(B)은 제거될 수 있다. 예를 들면, 트리밍 라인(TRIM)의 외곽부에 배치된 테스트 라인(TL) 및 테스트 패드(TP)는 제거될 수 있다.
- [0090] 제1 영역(A)은 트리밍 라인(TRIM)과 표시영역(AA) 사이의 영역일 수 있다. 통합 구동부(30)는 트리밍 라인(TRIM)과 표시영역(AA) 사이에 배치될 수 있다. 그러므로, 통합구동부(30)는 제1 영역(A)에 배치될 수 있다. 제2 영역(B)은 트리밍 라인(TRIM)의 외곽부일 수 있다.
- [0091] 트리밍 공정 진행 후, 트리밍 라인(TRIM)은 표시패널(10)의 최외곽이 될 수 있다. 도1에 도시된 바와 같이, 트리밍 라인(TRIM)의 외곽부인 제2 영역(B)은 제거됨으로써, 트리밍 라인(TRIM)이 표시패널(10)의 형태를 갖는 최외곽이 될 수 있다.
- [0092] 서로 이격하여 배치된 복수개의 테스트 라인(TL) 사이의 영역에 배치된 무기 절연층들을 제거하여 오프닝부(OP)를 형성할 수 있다. 오프닝부(OP)는 표시패널(10)의 트리밍 라인(TRIM)과 중첩할 수 있다.
- [0093] 도 5a를 참조하면, 표시패널(10)의 비표시영역에서, 기관(SUB)상에 버퍼 절연층(110), 게이트 절연층(120), 제1 층간 절연층(130), 제2 층간 절연층(140), 및 보호 절연층(150)이 적층되어 배치될 수 있다. 그리고, 트리밍 공정이 진행되는 트리밍 라인(TRIM)에 대응하는 영역의 복수의 무기절연층들이 제거되어 기관(SUB)을 노출하는 오프닝부(OP)가 형성될 수 있다. 예를 들면, 레이저 트리밍 공정을 통하여 표시패널(10)상에 정의된 트리밍 라인(TRIM)을 따라 기관(SUB)이 컷팅될 수 있다. 그리고, 기관(SUB)이 컷팅되는 영역에 배치된 버퍼 절연층(110), 게이트 절연층(120), 제1 층간 절연층(130), 제2 층간 절연층(140), 및 보호 절연층(150)과 같은 복수의 무기 절연층들을 제거하여 기관(SUB)을 노출하는 오프닝부(OP)를 형성할 수 있다.
- [0094] 도1, 도 4, 및 도 5b를 참조하면, 트리밍 라인(TRIM)의 외곽부인 제2 영역(B)은 트리밍 공정을 통하여 제거될 수 있다. 그리고, 트리밍 라인(TRIM)과 표시영역(AA)사이에 배치되는 제1 영역(A)은 트리밍 공정을 통하여 제거되지 않는다. 따라서, 트리밍 공정을 통하여 제2 영역(B)을 제거함으로써, 트리밍 라인(TRIM)이 표시패널(10)의 최외곽이 될 수 있다. 그러므로, 트리밍 라인(TRIM)은 표시패널(10)의 최외곽 라인이라고 할 수 있다. 또는, 기관(SUB)의 끝단이라고도 할 수 있다.
- [0095] 오프닝부(OP)는 기관(SUB)의 끝단에서 상부면을 노출할 수 있다. 오프닝부(OP)는 통합구동부(30)와 기관(SUB)의 끝단 사이의 영역에 배치될 수 있다.
- [0096] 이와 같이, 기관(SUB)이 컷팅되는 영역에 배치된 무기 절연층들을 제거하여 기관(SUB)을 노출하는 오프닝부(OP)를 형성함으로써, 무기 절연층들이 트리밍 공정에 의해 손상되거나 균열이 발생하는 것을 방지할 수 있다. 그리고, 무기 절연층들의 발생된 균열을 통하여 수분이 침투하는 것을 방지할 수 있다.
- [0097] 도 5b를 참조하면, 표시패널(10)의 비표시영역에서, 기관(SUB)상에 버퍼 절연층(110), 게이트 절연층(120), 제1 층간 절연층(130), 및 제2 층간 절연층(140)이 적층되어 배치될 수 있다. 그리고, 제2 층간 절연층(140)상에는 복수개의 테스트 라인(TL)이 배치될 수 있다. 테스트 라인(TL)은 박막 트랜지스터(210)의 소스 전극(214) 및 드레인 전극(213)과 동일한 공정에 의해 형성될 수 있다. 그리고, 소스 전극(214) 및 드레인 전극(213)과 동일한 물질 및 동일한 두께로 형성될 수 있다. 테스트 라인(TL)은 도전성 금속 물질로 이루어질 수 있다. 예를 들면, 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다층층으로 구성될 수 있다.
- [0098] 그리고, 테스트 라인(TL) 및 제2 층간 절연층(140) 상에 보호 절연층(150)이 형성될 수 있다. 보호 절연층(150)

0)은 테스트 라인(TL)을 보호하기 위하여 테스트 라인(TL)의 상부면 및 양측면을 감싸도록 형성될 수 있다.

- [0099] 테스트 라인(TL)은 통합구동부(30)와 연결될 수 있으며, 트리밍 라인(TRIM) 외곽부에 배치된 테스트 패드(TP)와 연결될 수 있다. 그리고, 트리밍 공정을 통하여 트리밍 라인(TRIM)을 따라 기관(SUB)이 컷팅됨으로써, 테스트 패드(TP)는 제거되고, 테스트 라인(TL)은 절단될 수 있다.
- [0100] 도 5b에 도시된 바와 같이, 서로 이격하여 배치된 복수개의 테스트 라인(TL) 사이의 영역에 배치된 복수의 무기절연층들이, 예를 들어 버퍼 절연층(110), 게이트 절연층(120), 제1 층간 절연층(130), 제2 층간 절연층(140), 및 보호 절연층(150), 제거되어 기관(SUB)을 노출하는 오프닝부(OP)를 형성할 수 있다. 오프닝부(OP)는 트리밍 라인(TRIM)과 중첩할 수 있다.
- [0101] 도1, 도4, 도 5a, 및 도5b를 참조하면, 오프닝부(OP)는 서로 이격하여 배치된 복수개의 테스트 라인(TL) 사이의 영역에 배치될 수 있으며, 트리밍 라인(TRIM)과 중첩하는 영역에 배치될 수 있다. 그리고, 트리밍 라인(TRIM)의 외곽부인 제2 영역(B)에 대응하는 오프닝부(OP)는 제거될 수 있다. 그리고, 트리밍 라인(TRIM)과 표시영역(AA) 사이의 영역인 제1 영역(A)에 대응하는 오프닝부(OP)는 기관(SUB)의 상부면을 노출할 수 있다. 여기에서, 트리밍 라인(TRIM)은 표시패널(10)의 형태를 갖는 최외곽라인일 수 있다. 그리고, 트리밍 라인(TRIM)은 기관의 끝단일 수 있다. 따라서, 오프닝부(OP)는 기관(SUB)의 끝단과 표시영역(DA)사이에 배치될 수 있다. 그리고, 오프닝부(OP)는 기관(SUB)의 끝단과 통합구동부(30) 사이에 배치될 수 있다.
- [0102] 도 6은 도 1의 X를 확대 도시한 평면도이다. 도 6은 본 명세서의 다른 실시예에 따른 전계발광 표시장치의 표시패널(10)에서 X를 상세 평면구조를 설명하기 위한 평면도이다. 도 7a는 도 6의 I-I'의 단면도이다. 그리고, 도 7b는 도 6의 II-II'의 단면도이다. 도4, 도5a, 및 도 5b를 참조하여 설명하며, 중복된 설명은 생략하거나 간략히 설명한다.
- [0103] 도 6을 참조하면, 표시패널(10)은 서로 이격하여 배치된 테스트 라인(TL)사이에 배치된 오프닝부(OP)의 가장자리를 덮도록 형성된 제1 평탄화층(160)을 포함할 수 있으며 이에 한정되지는 않는다. 예를 들면, 오프닝부(OP)의 가장자리를 덮도록 제2 평탄화층(170)이 형성될 수 있다. 또는, 오프닝부(OP)의 가장자리를 덮도록 제1 평탄화층(160) 및 제2 평탄화층(170)이 형성될 수도 있다.
- [0104] 그리고, 트리밍 라인(TRIM)의 외곽부 영역인 제2 영역(B)은 트리밍 공정을 통하여 제거될 수 있다. 따라서, 제2 영역(B)에 대응하는 오프닝부(OP) 및 테스트 라인(TL)은 제거될 수 있다. 트리밍 공정을 통하여 표시패널(10)을 컷팅함으로써, 트리밍 라인(TRIM)은 표시패널(10)의 최외곽 라인이 될 수 있다. 그리고, 트리밍 라인(TRIM)의 안쪽 영역, 예를 들어 트리밍 라인(TRIM)과 표시영역(AA) 사이의 영역인, 제1 영역(A)에 대응하는 오프닝부(OP) 및 테스트 라인(TL)은 제거되지 않을 수 있다. 예를 들면, 도1 및 도6에 도시된 바와 같이, 표시패널(10)의 최외곽 라인이 되는 트리밍 라인(TRIM)과 중첩하도록 오프닝부(OP)가 배치될 수 있다. 그리고, 제2 영역(B)은 트리밍 공정을 통하여 제거될 수 있으며, 제1 영역(A)은 제거되지 않는다. 제1 영역(A)에서 테스트 라인(TL)사이에 형성된 오프닝부(OP)는 기관(SUB)을 노출할 수 있다.
- [0105] 도 7a를 참조하면, 오프닝부(OP)는 표시패널(10)의 최외곽 라인에 대응하는 기관(SUB)의 상부 표면을 노출할 수 있다. 오프닝부(OP)에서 기관(SUB)과 버퍼 절연층(110)사이의 계면으로 수분이 침투하는 것을 방지하기 위하여 유기막이 배치될 수 있다. 예를 들면, 오프닝부(OP)에서 기관(SUB)과 버퍼 절연층(110)이 서로 접하는 경계면을 덮도록 제1 평탄화층(160)이 배치될 수 있으며, 이에 한정되지는 않는다. 오프닝부(OP)에서 기관(SUB)과 버퍼 절연층(110)사이의 영역을 덮도록 제2 평탄화층(170)이 배치될 수도 있다.
- [0106] 도 7b를 참조하면, 서로 이격되어 배치된 복수개의 테스트 라인(TL)을 각각 덮도록 유기막이 배치될 수 있다. 예를 들면, 테스트 라인(TL)상에 배치된 보호 절연층(150)상에 제1 평탄화층(160)이 배치될 수 있다. 그리고, 유기막은 오프닝부(OP)에서 복수의 무기절연층들의 측면을 덮을 수 있다. 그리고, 유기막은 복수의 무기절연층들 중 최하부 절연층과 기관(SUB)이 서로 접하고 있는 경계면을 덮도록 형성될 수 있다. 도 7b에 도시된 바와 같이, 오프닝부(OP)에서 제1 평탄화층(160)은 복수의 무기절연층들, 예를 들어, 버퍼 절연층(110), 게이트 절연층(120), 제1 층간 절연층(130), 제2 층간 절연층(140), 및 보호 절연층(150) 측면을 덮도록 형성될 수 있다. 그리고, 제1 평탄화층(160)은 최하부 절연층인 버퍼 절연층(110)과 기관(SUB) 서로 접하고 있는 경계면을 덮도록 형성될 수 있다. 제1 평탄화층(160)은 오프닝부(OP)의 가장자리를 덮도록 형성될 수 있다.
- [0107] 도 7a 및 도 7b에서는 제1 평탄화층(160)이 오프닝부(OP)의 가장자리를 덮도록 형성된 것을 설명하고 있으나, 제2 평탄화층(170)이 형성될 수 도 있다. 예를 들면, 오프닝부(OP)에서 제2 평탄화층(170)은 복수의 무기절연층들, 예를 들어, 버퍼 절연층(110), 게이트 절연층(120), 제1 층간 절연층(130), 제2 층간 절연층(140), 및 보호

절연층(150) 측면을 덮도록 형성될 수 있다. 그리고, 제2 평탄화층(170)은 최하부 절연층인 버퍼 절연층(110)과 기판(SUB) 서로 접하고 있는 경계면을 덮도록 형성될 수 있다. 제2 평탄화층(170)은 오프닝부(OP)의 가장자리를 덮도록 형성될 수 있다.

- [0108] 도 6 및 도 7b를 참조하면, 유기막은, 예를 들어 제1 평탄화층(160), 오프닝부(OP)의 가장자리 영역을 덮도록 배치될 수 있다. 그리고, 유기막은 오프닝부(OP)의 가장자리 영역에서 복수의 무기 절연층들 중 최하층 절연층과 기판(SUB)이 접하는 경계면을 덮도록 배치될 수 있다. 예를 들면, 도 7b에 도시된 바와 같이, 제1 평탄화층(160)은 오프닝부(OP)의 가장자리 영역에서 버퍼 절연층(110)과 기판(SUB)이 접하는 경계면을 덮도록 배치될 수 있다.
- [0109] 그리고, 유기막은 오프닝부(OP)의 가장자리 영역에서 복수의 무기 절연층들의 측면을 덮도록 연장될 수 있다. 예를 들면, 제1 평탄화층(160)은 오프닝부(OP)의 가장자리 영역에서 버퍼 절연층(110), 게이트 절연층(120), 제1 층간 절연층(130), 제2 층간 절연층(140), 및 보호 절연층(150)의 측면을 덮도록 연장될 수 있다.
- [0110] 이와 같이, 유기막을 오프닝부(OP)에서 복수의 무기절연층들의 측면, 그리고 복수의 무기절연층들중 최하부 절연층과 기판(SUB)이 서로 접하고 있는 경계면을 덮도록 형성함으로써, 오프닝부(OP)에서 수분이 침투하는 것을 방지할 수 있다.
- [0111] 이에 따라, 본 명세서의 다른 실시예에 따른 전계발광 표시장치의 수명이 향상될 수 있는 효과를 얻을 수 있다.
- [0112] 본 명세서의 실시예에 따른 표시장치는, 표시 영역 및 표시영역에 인접한 비표시 영역을 포함하는 기판, 표시 영역에 있는 박막 트랜지스터, 비표시 영역에 있고 박막 트랜지스터와 전기적으로 연결되는 통합구동부, 통합구동부와 연결되며 서로 이격하여 배치된 복수의 테스트 라인, 및 복수의 테스트 라인 사이의 영역에 배치된 복수의 무기 절연층들을 제거하여 기판의 상부면을 노출하는 오프닝부를 포함할 수 있다.
- [0113] 본 명세서의 실시예에 따르면, 복수의 테스트 라인은 기판의 끝단과 통합구동부 사이에 배치될 수 있다.
- [0114] 본 명세서의 실시예에 따르면, 오프닝부는 기판의 끝단과 통합구동부 사이에 배치될 수 있다.
- [0115] 본 명세서의 실시예에 따르면, 오프닝부의 가장자리 영역을 덮도록 배치된 유기막을 더 포함할 수 있다.
- [0116] 본 명세서의 실시예에 따르면, 유기막은 오프닝부의 가장자리 영역에서 복수의 무기 절연층들 중 최하층 절연층과 기판이 접하는 경계면을 덮도록 배치될 수 있다.
- [0117] 본 명세서의 실시예에 따르면, 유기막은 오프닝부의 가장자리 영역에서 복수의 무기 절연층들의 측면을 덮도록 연장될 수 있다.
- [0118] 본 명세서의 실시예에 따르면, 복수의 무기 절연층들은 버퍼 절연층, 게이트 절연층, 제1 층간 절연층, 제2 층간 절연층, 및 보호 절연층으로 이루어질 수 있다.
- [0119] 본 명세서의 실시예에 따르면, 박막 트랜지스터는 버퍼 절연층 상의 반도체층, 게이트 절연층을 사이에 두고 반도체층과 중첩하는 게이트 전극, 게이트 전극 상의 제1 층간 절연층 및 제2 층간 절연층, 및 제2 층간 절연층 상에 배치되며 반도체층과 연결되는 소스 전극 및 드레인 전극을 포함하고, 보호 절연층은 상기 박막 트랜지스터 상에 배치될 수 있다.
- [0120] 본 명세서의 실시예에 따르면, 유기막은 오프닝부의 가장자리 영역에서 버퍼 절연층과 기판이 접하는 경계면을 덮도록 배치될 수 있다.
- [0121] 본 명세서의 실시예에 따르면, 유기막은 오프닝부의 가장자리 영역에서 버퍼 절연층, 게이트 절연층, 제1 층간 절연층, 제2 층간 절연층, 및 보호 절연층의 측면을 덮도록 연장될 수 있다.
- [0122] 본 명세서의 실시예에 따르면, 기판의 끝단은 트리밍 라인일 수 있다.
- [0123] 본 명세서의 실시예에 따르면, 오프닝부는 트리밍 라인과 중첩할 수 있다.
- [0124] 본 명세서의 실시예에 따른 표시장치는, 표시 영역 및 비표시 영역을 갖는 기판, 표시영역 상에 배치된 박막 트랜지스터, 보호 절연층 및 제1 평탄화층을 사이에 두고 박막 트랜지스터와 연결되는 발광 다이오드를 포함할 수 있다. 그리고, 비표시 영역은 표시 영역의 박막 트랜지스터와 연결된 통합 구동부, 통합 구동부와 연결되고 기판의 최외곽 라인까지 연장되어 배치된 복수개의 테스트 라인, 및 기판의 최외곽 라인과 중첩하며 서로 이격하여 배치된 복수개의 테스트 라인 사이의 영역에서 복수의 무기절연층들을 제거하여 기판의 상부면을 노출하는

오프닝부를 포함할 수 있다.

- [0125] 본 명세서의 실시예에 따르면, 기관의 최외곽 라인은 트리밍 라인일 수 있다.
- [0126] 본 명세서의 실시예에 따르면, 오프닝부의 가장자리 영역을 덮도록 배치될 수 있다.
- [0127] 본 명세서의 실시예에 따르면, 유기막은 오프닝부의 가장자리 영역에서 복수의 무기 절연층들 중 최하층 절연층과 기관이 접하는 경계면을 덮으며, 유기막은 복수의 무기 절연층들의 측면을 덮도록 연장될 수 있다.
- [0128] 본 명세서의 실시예에 따르면, 복수의 무기 절연층들은 버퍼 절연층, 게이트 절연층, 제1 층간 절연층, 제2 층간 절연층, 및 보호 절연층으로 이루어질 수 있다.
- [0129] 본 명세서의 실시예에 따르면, 박막 트랜지스터는 버퍼 절연층 상의 반도체층, 게이트 절연층을 사이에 두고 반도체층과 접촉하는 게이트 전극, 게이트 전극 상의 제1 층간 절연층 및 제2 층간 절연층, 및 제2 층간 절연층 상에 배치되며 반도체층과 연결되는 소스 전극 및 드레인 전극을 포함하고, 보호 절연층은 박막 트랜지스터 상에 배치될 수 있다.
- [0130] 본 명세서의 실시예에 따르면, 테스트 라인은 박막 트랜지스터의 소스 전극 및 드레인 전극과 동일한 층에 배치되며, 동일한 물질로 형성될 수 있다.
- [0131] 본 명세서의 실시예에 따르면, 제1 평탄화층 상에 배치된 제2 평탄화층을 더 포함하고, 유기막은 제1 평탄화층 및 제2 평탄화층 중에서 적어도 하나의 층으로 이루어질 수 있다.
- [0132] 이상 첨부된 도면을 참조하여 본 명세서의 실시예들을 더욱 상세하게 설명하였으나, 본 명세서는 반드시 이러한 실시예로 국한되는 것은 아니고, 본 명세서의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 명세서에 개시된 실시예들은 본 명세서의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 명세서의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 명세서의 보호 범위는 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 명세서의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

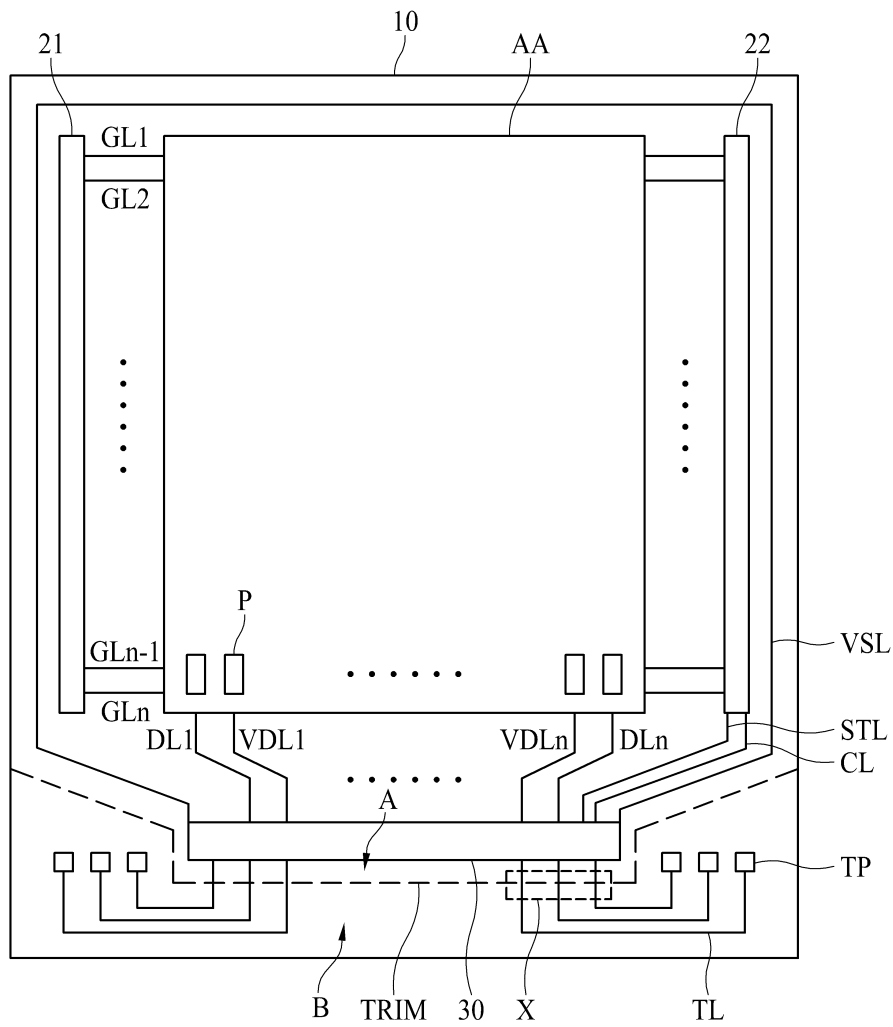
부호의 설명

- [0133] 10: 표시패널
- SUB: 기관
- 21: 제1 게이트 구동부
- 22: 제2 게이트 구동부
- 30: 통합 구동부
- TP: 테스트 패드
- TL: 테스트 라인
- TRIM: 트리밍 라인
- AA: 표시영역
- 210: 박막 트랜지스터
- 220: 커패시터
- LED: 발광 다이오드
- 190: 봉지 구조물
- OP: 오프닝부
- 110: 버퍼 절연층
- 120: 게이트 절연층

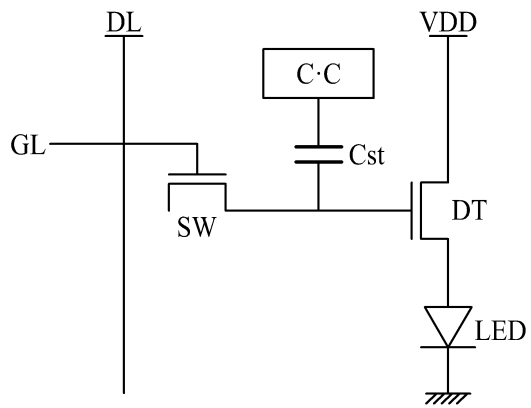
- 130: 제1 층간 절연층
- 140: 제2 층간 절연층
- 150: 보호 절연층
- 160: 제1 평탄화층
- 170: 제2 평탄화층
- 180: 뱅크

도면

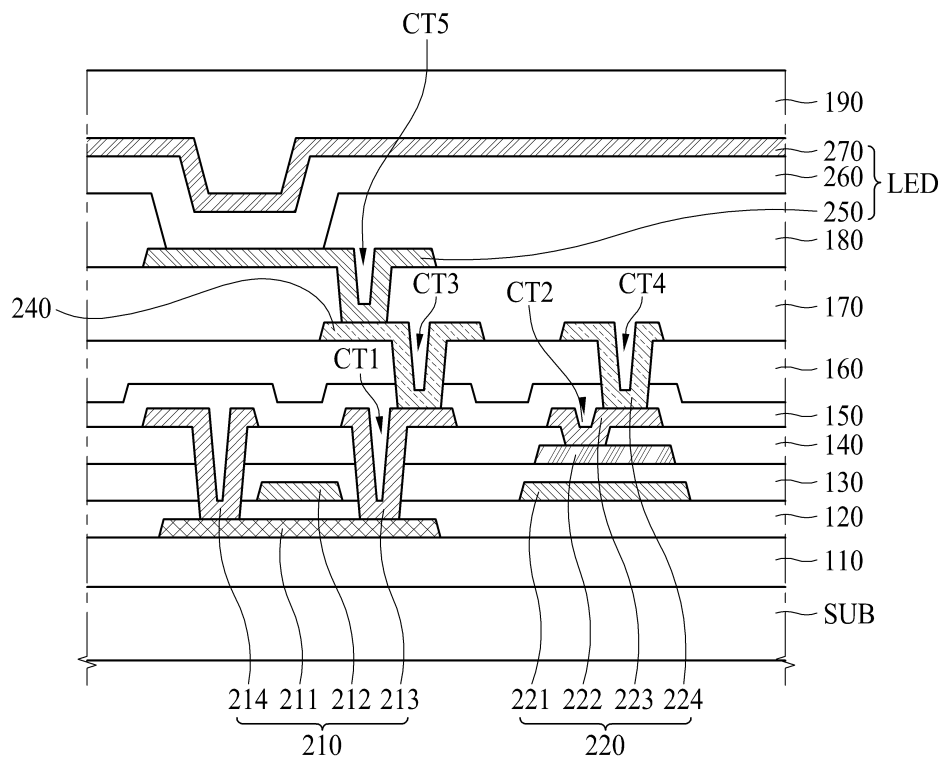
도면1



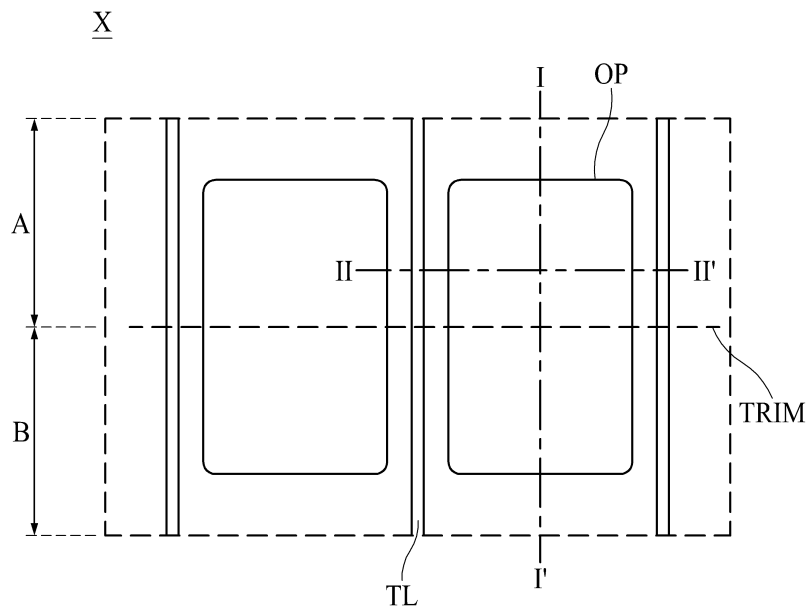
도면2



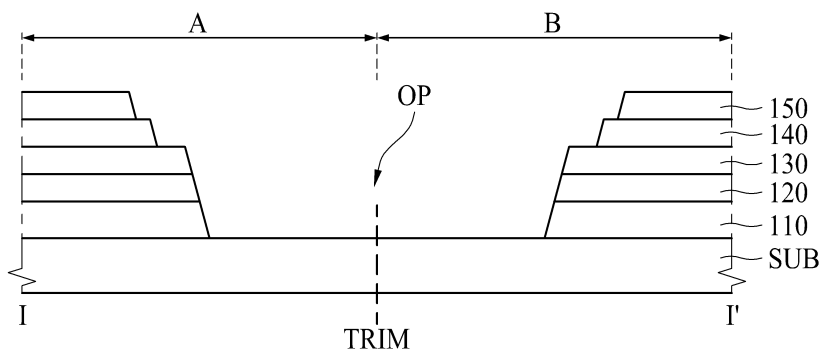
도면3



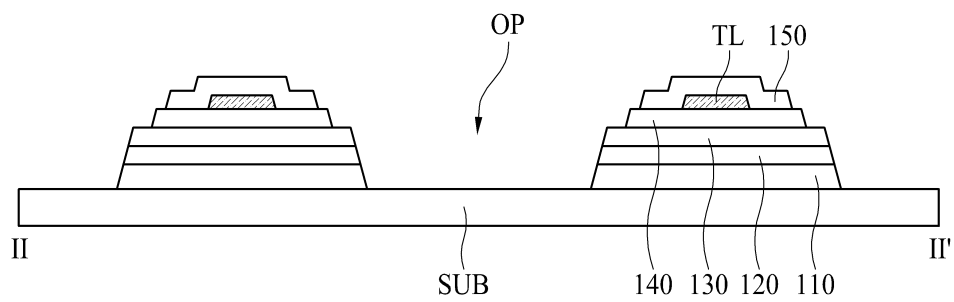
도면4



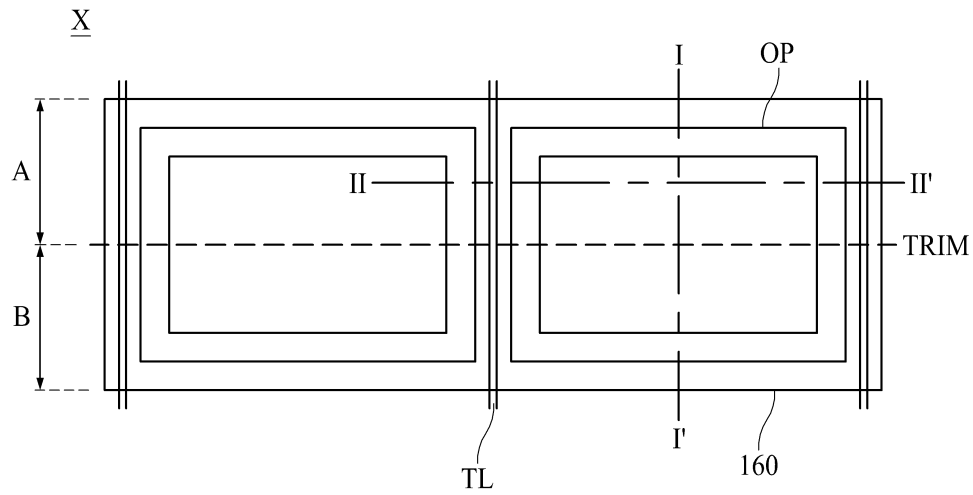
도면5a



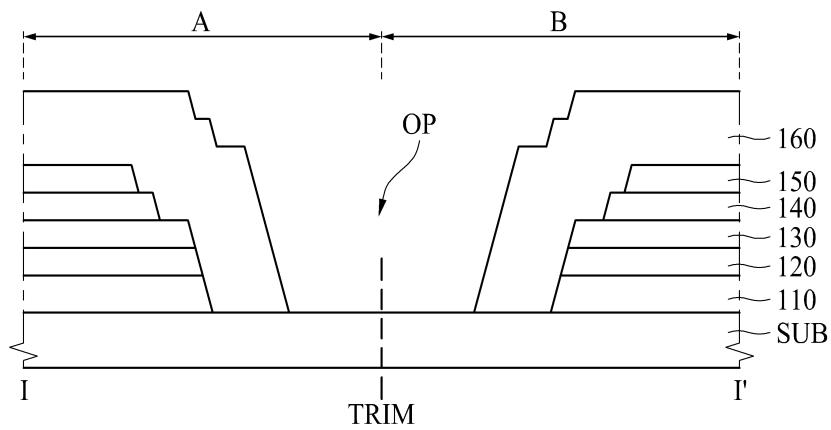
도면5b



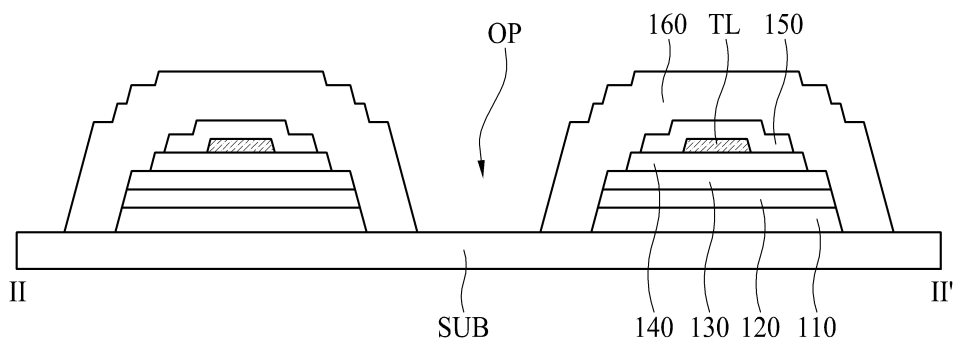
도면6



도면7a



도면7b



专利名称(译)	显示装置和电致发光显示装置		
公开(公告)号	KR1020190078746A	公开(公告)日	2019-07-05
申请号	KR1020170180390	申请日	2017-12-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	여준호		
发明人	여준호		
IPC分类号	H01L51/52 H01L27/32 H01L51/56		
CPC分类号	H01L51/5237 H01L27/3258 H01L27/3262 H01L51/56 H01L27/3244 H01L22/32 H01L27/3276 H01L51/0031 G09G3/32 G09G2300/0408 H01L27/3223		
外部链接	Espacenet		

摘要(译)

根据本说明书的实施例，显示装置可以包括：基板，其包括显示区域和与该显示区域相邻的非显示区域；和显示区域中的薄膜晶体管；非显示区域中的集成驱动部分，并电连接到薄膜晶体管；多条测试线连接到集成驱动部分并设置为彼此隔开。开口部用于通过去除设置在多条测试线之间的区域中的多个无机绝缘层来暴露基板的上表面。因此，本发明能够减少形成在显示面板的基板上的无机绝缘层中的损伤和裂纹的发生。

