



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0048776
(43) 공개일자 2019년05월09일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) H01L 27/32 (2006.01)
(52) CPC특허분류
H01L 51/5237 (2013.01)
H01L 27/3211 (2013.01)
(21) 출원번호 10-2017-0143982
(22) 출원일자 2017년10월31일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
정현주
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인천문

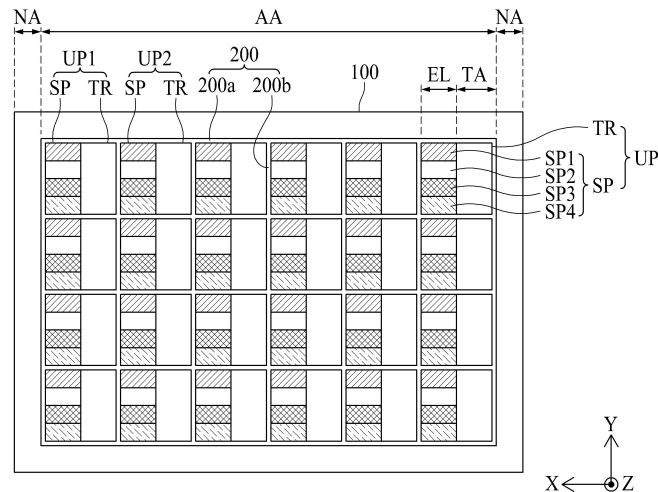
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 투명 디스플레이 장치

(57) 요약

본 출원의 예에 따른 투명 디스플레이 장치는, 복수의 픽셀 영역을 포함하는 제1 기판, 복수의 픽셀 영역 각각을 둘러싸는 제1 격벽, 제1 격벽과 복수의 픽셀 영역을 덮는 층진층, 및 층진층에 결합된 제2 기판을 포함함으로써, 디스플레이 패널 내의 스트레스를 감소시키고 유기 발광 소자의 박리 및 투습 전파를 방지하여 디스플레이 패널의 신뢰성을 향상시킬 수 있다.

대표도 - 도1



(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 51/5203 (2013.01)

명세서

청구범위

청구항 1

제1 기관;

상기 제1 기관의 발광부에 마련된 복수의 서브 픽셀 및 상기 복수의 서브 픽셀에 인접한 투과부를 각각 포함하는 복수의 단위 픽셀;

상기 복수의 서브 픽셀 및 상기 투과부 중 적어도 하나를 둘러싸는 격벽;

상기 격벽과 상기 복수의 단위 픽셀을 덮는 층진층; 및

상기 층진층에 결합된 제2 기관을 포함하는, 투명 디스플레이 장치.

청구항 2

제 1 항에 있어서,

상기 격벽은 상기 복수의 단위 픽셀 각각을 둘러싸는, 투명 디스플레이 장치.

청구항 3

제 2 항에 있어서,

상기 복수의 단위 픽셀은 제1 방향으로 인접한 제1 및 제2 단위 픽셀을 포함하고,

상기 격벽은 상기 제1 단위 픽셀의 투과부 및 상기 제2 단위 픽셀의 복수의 서브 픽셀 사이에 배치된, 투명 디스플레이 장치.

청구항 4

제 1 항에 있어서,

상기 격벽은 상기 복수의 서브 픽셀 각각을 둘러싸는, 투명 디스플레이 장치.

청구항 5

제 4 항에 있어서,

상기 복수의 단위 픽셀은 제1 방향으로 인접한 제1 및 제2 단위 픽셀을 포함하고,

상기 제1 단위 픽셀의 투과부는 상기 제1 단위 픽셀의 복수의 서브 픽셀 각각을 둘러싸는 격벽 및 상기 제2 단위 픽셀의 복수의 서브 픽셀 각각을 둘러싸는 격벽의 사이에 배치되는, 투명 디스플레이 장치.

청구항 6

제 1 항에 있어서,

상기 격벽은 상기 복수의 서브 픽셀 각각 및 상기 투과부를 개별적으로 둘러싸는, 투명 디스플레이 장치.

청구항 7

제 6 항에 있어서,

상기 복수의 단위 픽셀은 제1 방향으로 인접한 제1 및 제2 단위 픽셀, 제2 방향으로 인접한 제1 및 제3 단위 픽셀을 포함하고,

상기 제1 단위 픽셀의 투과부는 상기 제1 단위 픽셀의 복수의 서브 픽셀 각각을 둘러싸는 격벽 및 상기 제2 단위 픽셀의 복수의 서브 픽셀 각각을 둘러싸는 격벽의 사이에 배치되면서, 상기 제3 단위 픽셀의 투과부의 상단

을 둘러싸는 격벽을 통해 상기 제3 단위 픽셀의 투과부와 분리되는, 투명 디스플레이 장치.

청구항 8

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 격벽은,

상기 제1 기관 상에 배치된 제1 격벽; 및

상기 제2 기관에서 상기 제1 격벽과 중첩되도록 배치되는 제2 격벽을 포함하는, 투명 디스플레이 장치.

청구항 9

제 8 항에 있어서,

상기 제2 격벽은 상기 제2 기관으로부터 상기 제1 격벽 쪽으로 돌출된, 투명 디스플레이 장치.

청구항 10

제 8 항에 있어서,

상기 제1 격벽 및 상기 제2 격벽은 상부 폭이 하부 폭보다 넓은 역테이퍼 구조를 갖는, 투명 디스플레이 장치.

청구항 11

제 8 항에 있어서,

상기 제1 격벽 및 상기 제2 격벽 중 적어도 하나는,

상기 제1 기관의 제1 방향으로 연장된 제1 측 격벽; 및

상기 제1 방향과 직교하는 제2 방향으로 연장된 제2 측 격벽을 포함하는, 투명 디스플레이 장치.

청구항 12

제 9 항에 있어서,

상기 제1 측 격벽의 상부 폭은 상기 제2 측 격벽의 상부 폭보다 넓고, 상기 제2 측 격벽의 높이는 상기 제1 측 격벽의 높이보다 높은, 투명 디스플레이 장치.

청구항 13

제 8 항에 있어서,

상기 제1 격벽 및 상기 제2 격벽 중 적어도 하나는,

역테이퍼 구조를 갖는 베이스 격벽; 및

상기 베이스 격벽 상에 마련되고, 상기 베이스 격벽의 폭보다 좁은 폭을 갖는 역테이퍼 구조로 구현되는 돌출 격벽을 포함하는, 투명 디스플레이 장치.

청구항 14

제 8 항에 있어서,

상기 제1 격벽 및 상기 제2 격벽 중 적어도 하나는,

플라즈마 처리 및 화학 표면 처리를 통해 그 상면에 작용기(Functional group)를 형성하는, 투명 디스플레이 장치.

청구항 15

제 8 항에 있어서,

상기 발광부에 마련된 박막 트랜지스터;

상기 박막 트랜지스터 상에 마련되어, 상기 박막 트랜지스터의 상단을 평탄화시키는 평탄화층; 및

상기 평탄화층 상에 마련되고, 상기 박막 트랜지스터와 전기적으로 연결되는 유기 발광 소자를 더 포함하는, 투명 디스플레이 장치.

청구항 16

제 15 항에 있어서,

상기 유기 발광 소자는,

상기 박막 트랜지스터의 소스 전극과 연결되는 제2 보조 전극;

상기 제2 보조 전극과 연결되는 애노드 전극;

상기 애노드 전극 상에 마련된 유기 발광층; 및

상기 유기 발광층 상에서 상기 발광부 및 상기 투과부에 마련되는 캐소드 전극을 포함하는, 투명 디스플레이 장치.

청구항 17

제 16 항에 있어서,

서로 인접한 복수의 픽셀 영역 각각의 상기 유기 발광층 및 상기 캐소드 전극은 상기 제1 격벽에 의해 분리되는, 투명 디스플레이 장치.

발명의 설명

기술 분야

[0001] 본 출원은 투명 디스플레이 장치에 관한 것이다.

배경 기술

[0002] 디스플레이 장치는 텔레비전 또는 모니터의 표시 화면 이외에도 노트북 컴퓨터, 태블릿 컴퓨터, 스마트 폰, 휴대용 표시 기기, 휴대용 정보 기기 등의 표시 화면으로 널리 사용되고 있다.

[0003] 액정 표시 장치와 유기 발광 표시 장치는 스위칭 소자로서 박막 트랜지스터(Thin Film Transistor)를 이용하여 영상을 표시한다. 액정 표시 장치는 자체 발광 방식이 아니기 때문에 액정 표시 패널의 하부에 배치된 백라이트 유닛으로부터 조사되는 광을 이용하여 영상을 표시하게 된다. 이러한 액정 표시 장치는 백라이트 유닛을 가지므로 디자인에 제약이 있으며, 휘도 및 응답 속도가 저하될 수 있다.

[0004] 유기 발광 표시 장치는 유기물을 포함하기 때문에 수분에 취약하여 신뢰성 및 수명이 저하될 수 있다. 최근에는, 전면 및 후면에서 광이 투과되어 시야를 방해하지 않으면서도 화상을 표시할 수 있는 투명 디스플레이 장치의 개발이 이루어지고 있다.

[0005] 일 예로서, 유기 발광 표시 장치를 투명 디스플레이 장치에 적용하려는 연구가 진행되고 있다. 유기 발광 표시 장치는 광이 방출되는 방향에 따라 탑 에미션(Top Emission) 방식, 바텀 에미션(Bottom Emission) 방식, 또는 듀얼 에미션(Dual Emission) 방식 등이 있다.

[0006] 종래의 투명 디스플레이 장치는 레이저 릴리즈 공정 시에 계면 스트레스가 발생하여 크랙이 발생할 수 있고, 투습 경로가 발생하여 수분 및 이물이 침투하여 유기 발광 소자가 손상되는 문제점을 가진다. 그리고, 종래의 투명 디스플레이 장치는 열에 의하여 유기 발광 소자가 손상되면 박리가 발생하고, 유기 발광 소자의 한 지점에서 발생한 박리가 주변 영역으로 확산되는 문제점을 가진다. 이때, 한번 발생한 유기 발광 소자의 박리는 이후 추가적인 약한 외부 자극에도 주변 영역으로 확산되어 최종적으로 디스플레이 패널의 전체 면적으로 확장된다.

발명의 내용

해결하려는 과제

[0007] 본 출원은 격벽을 통해 복수의 픽셀 영역 각각을 둘러싸으로써, 디스플레이 패널 내의 스트레스를 감소시키고

유기 발광 소자의 박리 및 투습 전파를 방지하여 디스플레이 패널의 신뢰성을 향상시키는 투명 디스플레이 장치를 제공하는 것을 기술적 과제로 한다.

[0008] 그리고, 본 출원은 역테이퍼 구조를 갖는 제1 및 제2 격벽을 통해 디스플레이 장치의 강성을 보완하는 투명 디스플레이 장치를 제공하는 것을 기술적 과제로 한다.

[0009] 그리고, 본 출원은 격벽을 통해 복수의 픽셀 영역 각각을 둘러싸므로써, 마스크를 추가하지 않고 유기 발광 소자의 패터닝이 가능하고, 박리 및 압점 전파를 방지하여 픽셀의 불량률 최소화하는 투명 디스플레이 장치를 제공하는 것을 기술적 과제로 한다.

과제의 해결 수단

[0010] 본 출원에 따른 투명 디스플레이 장치는 복수의 픽셀 영역을 포함하는 제1 기판, 복수의 픽셀 영역 각각을 둘러싸는 제1 격벽, 제1 격벽과 상기 복수의 픽셀 영역을 덮는 충전층, 및 충전층에 결합된 제2 기판을 포함한다.

[0011] 기타 예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0012] 본 출원에 따른 투명 디스플레이 장치는 격벽을 통해 복수의 픽셀 영역 각각을 둘러싸므로써, 디스플레이 패널 내의 스트레스를 감소시키고 유기 발광 소자의 박리 및 투습 전파를 방지하여 디스플레이 패널의 신뢰성을 향상시킬 수 있다.

[0013] 본 출원에 따른 투명 디스플레이 장치는 역테이퍼 구조를 갖는 제1 및 제2 격벽을 통해 투명 디스플레이 장치의 강성을 보완할 수 있다.

[0014] 본 출원에 따른 투명 디스플레이 장치는 격벽을 통해 복수의 픽셀 영역 각각을 둘러싸므로써, 마스크를 추가하지 않고 유기 발광 소자의 패터닝이 가능하고, 박리 및 압점 전파를 방지하여 픽셀의 불량률 최소화할 수 있다.

[0015] 위에서 언급된 본 출원의 효과 외에도, 본 출원의 다른 특징 및 이점들이 이하에서 기술되거나, 그러한 기술 및 설명으로부터 본 출원이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[0016] 도 1은 본 출원의 제1 실시예에 따른 투명 디스플레이 장치를 나타내는 평면도이다.

도 2는 본 출원의 제2 실시예에 따른 투명 디스플레이 장치를 나타내는 평면도이다.

도 3은 본 출원의 제3 실시예에 따른 투명 디스플레이 장치를 나타내는 평면도이다.

도 4는 도 3에 도시된 선 I-I'의 단면도이다.

도 5는 본 출원의 일 예에 따른 투명 디스플레이 장치에서, 제1 격벽을 나타내는 단면도이다.

도 6a 내지 도 6d는 본 출원의 일 예에 따른 투명 디스플레이 장치에서, 제1 격벽의 추가 실시예를 나타내는 단면도이다.

도 7은 본 출원의 일 예에 따른 투명 디스플레이 장치에서, 격벽의 제조 과정을 설명하는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0017] 본 출원의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0018] 본 출원의 예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 출원을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 출원의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 출원 상에서 언급한 '포함한다', '갖는다', '이루어진다'

등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

- [0019] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0020] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0021] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0022] 본 출원의 구성 요소를 설명하는 데 있어서, 제1, 제2 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.
- [0023] 따라서, 본 출원에서 표시 장치는 LCM, OLED 모듈 등과 같은 협의의 디스플레이 장치 자체, 및 LCM, OLED 모듈 등을 포함하는 응용제품 또는 최종소비자용 장치인 세트 장치까지 포함할 수 있다.
- [0024] 예를 들어, 디스플레이 패널이 유기전계발광(OLED) 디스플레이 패널인 경우에는, 다수의 게이트 라인과 데이터 라인, 및 게이트 라인과 데이터 라인의 교차 영역에 형성되는 픽셀(Pixel)을 포함할 수 있다. 그리고, 각 픽셀에 선택적으로 전압을 인가하기 위한 소자인 박막 트랜지스터를 포함하는 어레이 기판과, 어레이 기판 상의 유기 발광 소자(OLED)층, 및 유기 발광 소자층을 덮도록 어레이 기판 상에 배치되는 봉지 기판 또는 인캡슐레이션(Encapsulation) 기판 등을 포함하여 구성될 수 있다. 봉지 기판은 외부의 충격으로부터 박막 트랜지스터 및 유기 발광 소자층 등을 보호하고, 유기 발광 소자층으로 수분이나 산소가 침투하는 것을 방지할 수 있다. 그리고, 어레이 기판 상에 형성되는 층은 무기발광층(inorganic light emitting layer), 예를 들어 나노사이즈의 물질층(nano-sized material layer) 또는 양자점(quantum dot) 등을 포함할 수 있다.
- [0025] 그리고, 디스플레이 패널은 디스플레이 패널에 부착되는 금속판(metal plate)과 같은 후면(backing)을 더 포함할 수 있다. 금속판에 한정되지 않고 다른 구조도 포함될 수 있다.
- [0026] 본 출원의 여러 예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0027] 이하, 첨부된 도면 및 예를 통해 본 출원의 예를 살펴보면 다음과 같다.
- [0028] 도 1은 본 출원의 제1 실시예에 따른 투명 디스플레이 장치를 나타내는 평면도이다.
- [0029] 도 1을 참조하면, 투명 디스플레이 장치는 제1 기판(100), 복수의 단위 픽셀(UP) 및 격벽(200)을 포함한다.
- [0030] 제1 기판(100)은 베이스 기판으로서, 구부러지거나 휘 수 있는 투명 플렉서블 기판일 수 있다. 일 예에 따르면, 제1 기판(100)은 투명 폴리이미드(Polyimide) 재질을 포함할 수 있으나, 이에 한정되지 않고 폴리에틸렌 테레프탈레이트(Polyethylene terephthalate) 등의 투명 플라스틱 재질로 이루어질 수 있다. 그리고, 폴리이미드 재질의 제1 기판(100)은 고온의 증착 공정이 이루어짐을 감안할 때, 고온에서 견딜 수 있는 내열성이 우수한 폴리이미드가 이용될 수 있다. 예를 들어, 투명 폴리이미드 재질의 제1 기판(100)은 캐리어 유리 기판에 마련되어 있는 릴리즈층의 전면(Front surface)에 일정 두께로 코팅된 폴리이미드 수지가 경화되어 형성될 수 있다. 캐리어 유리 기판은 레이저 릴리즈 공정을 통해 릴리즈층과 함께 제1 기판(100)으로부터 분리될 수 있다.
- [0031] 일 예에 따르면, 제1 기판(100)은 글라스 기판일 수 있다. 예를 들어, 제1 기판(100)은 이산화규소(SiO₂) 또는 산화알루미늄(Al₂O₃)을 주성분으로서 포함할 수 있다.
- [0032] 제1 기판(100)은 표시 영역(AA) 및 비표시 영역(NA)을 포함할 수 있다. 표시 영역(AA)은 영상이 표시되는 영역으로서, 제1 기판(100)의 중앙 부분에 정의될 수 있다. 여기에서, 표시 영역(AA)은 복수의 단위 픽셀(UP)의 활성 영역에 해당할 수 있다. 예를 들어, 표시 영역(AA)은 복수의 게이트 라인(미도시)과 복수의 데이터 라인(미

도시)에 의해 교차되는 픽셀 영역마다 형성된 복수의 단위 픽셀(UP)로 이루어질 수 있다.

- [0033] 제1 기관(100)은 복수의 픽셀 영역을 포함할 수 있다. 여기에서, 복수의 픽셀 영역 각각은 단위 픽셀(UP)에 해당할 수 있다. 구체적으로, 복수의 단위 픽셀(UP) (또는 복수의 픽셀 영역) 각각은 복수의 서브 픽셀(SP) 및 투과부(TR)를 포함할 수 있다. 따라서, 제1 기관(100)은 복수의 단위 픽셀(UP)의 개수만큼 복수의 픽셀 영역을 포함할 수 있다. 그리고, 복수의 단위 픽셀(UP) 각각은 발광부(EL) 및 투과 영역(TA)으로 정의될 수 있다. 여기에서, 복수의 서브 픽셀(SP)은 발광부(EL)에 마련되고, 투과부(TR)는 투과 영역(TA)에 마련될 수 있다. 복수의 서브 픽셀(SP) 각각은 광을 방출하는 최소 단위의 영역으로 정의될 수 있다. 복수의 단위 픽셀(UP) 각각은 서로 인접한 적어도 3개의 서브 픽셀(SP)을 포함할 수 있다. 예를 들어, 복수의 서브 픽셀(SP)은 적색 서브 픽셀, 녹색 서브 픽셀, 및 청색 서브 픽셀을 포함할 수 있다. 나아가, 복수의 서브 픽셀(SP)은 백색 서브 픽셀을 더 포함할 수 있다.
- [0034] 일 예에 따르면, 복수의 서브 픽셀(SP)은 제1 내지 제4 서브 픽셀(SP1, SP2, SP3, SP4)을 포함할 수 있다. 여기에서, 제1 내지 제4 서브 픽셀(SP1, SP2, SP3, SP4) 각각은 적색 서브 픽셀, 녹색 서브 픽셀, 청색 서브 픽셀 및 백색 서브 픽셀 중 서로 다른 하나의 서브 픽셀에 해당할 수 있다. 복수의 서브 픽셀(SP)은 제1 방향(X)을 따라 이격되게 배치되고, 제2 방향(Y)을 따라 반복하여 배치될 수 있다. 따라서, 복수의 서브 픽셀(SP)은 제1 방향(X)을 따라 번갈아 배치된 발광부(EL) 및 투과 영역(TA) 중 발광부(EL)에 마련될 수 있다.
- [0035] 투과 영역(TA)은 격벽(200) 또는 블랙 매트릭스에 의해 정의되고, 투과부(TR)는 투과 영역(TA)에 마련될 수 있다. 투과부(TR)는 복수의 단위 픽셀(UP) 각각에 마련됨으로써, 단위 픽셀(UP)의 일부 영역을 투명하게 하여, 단위 픽셀(UP)의 투명도를 증가시킬 수 있다.
- [0036] 일 예에 따르면, 투과부(TR)는 발광부(EL)에 마련된 4개의 서브 픽셀(SP)에 인접하면서 나란하게 마련될 수 있다. 예를 들어, 투과부(TR)의 크기는 단위 픽셀(UP)의 절반 영역으로 설정될 수 있으나, 반드시 이에 한정되지 않고, 단위 픽셀(UP)에 설정되는 투명도에 따라 변경될 수 있다. 따라서, 투과 영역(TA)은 박막 트랜지스터 및 컬러 필터를 포함하지 않는다. 즉, 박막 트랜지스터 및 컬러 필터는 발광부(EL)에 마련될 수 있다.
- [0037] 비표시 영역(NA)은 영상이 표시되지 않는 영역으로서, 표시 영역(AA)을 둘러싸는 제1 기관(100)의 가장자리 부분에 정의될 수 있다. 비표시 영역(NA)은 패드부 및 패드부와 전기적으로 연결된 회로 필름을 포함할 수 있다.
- [0038] 격벽(200)은 복수의 단위 픽셀(UP) 각각을 둘러쌀 수 있다. 즉, 복수의 단위 픽셀(UP) 각각은 격벽(200)에 의해 정의될 수 있다. 복수의 단위 픽셀(UP) 각각은 복수의 서브 픽셀(SP) 및 투과부(TR)를 포함할 수 있다. 그리고, 복수의 단위 픽셀(UP) 각각은 발광부(EL) 및 투과 영역(TA)으로 정의될 수 있다. 여기에서, 복수의 서브 픽셀(SP)은 발광부(EL)에 마련되고, 투과부(TR)는 투과 영역(TA)에 마련될 수 있다. 따라서, 격벽(200)은 복수의 단위 픽셀(UP) 각각을 둘러싸므로써, 복수의 단위 픽셀(UP) 각각을 격리시킬 수 있다.
- [0039] 일 예에 따르면, 하나의 단위 픽셀(UP)의 복수의 서브 픽셀(SP) 및 투과부(TR)는 다른 하나의 단위 픽셀(UP)의 복수의 서브 픽셀(SP) 및 투과부(TR)와 격벽(200)에 의해 분리될 수 있다. 예를 들어, 복수의 단위 픽셀(UP)은 제1 방향(X)으로 인접한 제1 및 제2 단위 픽셀(UP1, UP2)을 포함할 수 있다. 그리고, 격벽(200)은 제1 및 제2 단위 픽셀(UP1, UP2) 각각을 둘러쌀 수 있다. 구체적으로, 격벽(200)은 복수의 서브 픽셀(SP) 및 투과부(TR)의 상단, 복수의 서브 픽셀(SP)의 좌단, 투과부(TR)의 우단, 및 복수의 서브 픽셀(SP) 및 투과부(TR)의 하단을 둘러쌀 수 있다. 따라서, 격벽(200)은 제1 단위 픽셀(UP1)의 투과부(TR) 및 제2 단위 픽셀(UP2)의 복수의 서브 픽셀(SP) 사이에 배치될 수 있다. 결과적으로, 투명 디스플레이 장치는 격벽(200)을 통해 복수의 단위 픽셀(UP) 각각을 둘러싸므로써, 디스플레이 패널 내의 스트레스를 감소시키고 하나의 단위 픽셀(UP)에서 발생한 박리 및 투습이 다른 단위 픽셀(UP)로 전파되는 것을 방지할 수 있다. 이와 같이, 투명 디스플레이 장치는 유기 발광 소자의 박리 및 투습 전파를 방지하여 픽셀의 불량률을 최소화시키고 투명 디스플레이 장치의 신뢰성을 향상시킬 수 있다.
- [0040] 격벽(200)은 상부 폭이 하부 폭보다 넓은 역테이퍼 구조를 가질 수 있다. 그리고, 격벽(200)은 폭과 높이가 서로 다른 제1 측 격벽(200a) 및 제2 측 격벽(200b)을 포함할 수 있다.
- [0041] 제1 측 격벽(200a)은 제1 기관(100)의 제1 방향(X)으로 연장되고, 제1 방향(X)과 직교하는 제2 방향(Y)을 따라 이격되게 배치될 수 있다. 일 예에 따르면, 제1 측 격벽(200a)은 제2 측 격벽(200b)보다 폭이 넓고 높이가 낮게 형성될 수 있다. 그리고, 제2 측 격벽(200b)은 제2 방향(Y)으로 연장되고, 제1 방향(X)을 따라 이격되게 배치될 수 있다. 일 예에 따르면, 제2 측 격벽(200b)은 제1 측 격벽(200a)보다 폭이 좁고 높이가 높게 형성될 수 있다. 예를 들어, 투명 디스플레이 장치는 제1 방향(X)의 길이가 제2 방향(Y)의 길이보다 길게 형성되고, 투명 플렉서

를 기관이 사용되어 롤링 또는 벤딩될 수 있다. 일반적으로, 투명 디스플레이 장치가 제2 방향(Y)으로 롤링 또는 벤딩되는 경우, 제2 방향(Y)을 따라 디스플레이 패널 내에 스트레스가 발생할 수 있다. 따라서, 투명 디스플레이 장치가 제2 방향(Y)으로 롤링 또는 벤딩되는 경우, 제1 축 격벽(200a)은 제2 축 격벽(200b)보다 폭이 넓고 높이가 낮게 형성되고, 제2 축 격벽(200b)은 제1 축 격벽(200a)보다 폭이 좁고 높이가 높게 형성됨으로써, 뒀으로써, 투명 디스플레이 장치의 롤링 또는 벤딩 시에 발생하는 스트레스를 감소시켜 강성을 보완함으로써, 유기 발광 소자의 박리를 방지할 수 있다. 결과적으로, 격벽(200)은 제1 축 격벽(200a)의 폭(d1) 및 높이(d2), 제2 축 격벽(200b)의 폭(d3) 및 높이(d4)를 조절함으로써, 투명 디스플레이 장치의 여러 방향으로 부가될 수 있는 스트레스를 완화하여 강성을 더욱 보완할 수 있다.

[0042] 일 예에 따르면, 제1 및 제2 축 격벽(200a, 200b)은 복수의 단위 픽셀(UP) 각각을 둘러싸므로써, 복수의 단위 픽셀(UP) 각각을 격리시킬 수 있다. 결과적으로, 투명 디스플레이 장치는 폭이 넓게 형성된 제1 축 격벽(200a) 및 높이가 높게 형성된 제2 축 격벽(200)을 포함함으로써, 투명 디스플레이 장치의 롤링 또는 벤딩 시에 발생하는 스트레스를 완화하고 강성을 보완하여 신뢰성을 향상시킬 수 있다.

[0043] 도 2는 본 출원의 제2 실시예에 따른 투명 디스플레이 장치를 나타내는 평면도이다. 본 출원의 제2 실시예는 제1 실시예와 격벽(200)의 구성을 달리하는 것으로, 이하에서는 격벽(200)의 구성을 중심으로 설명하며, 나머지 구성들에 대한 중복 설명은 생략하거나 간단히 설명한다.

[0044] 도 2를 참조하면, 디스플레이 장치는 제1 기관(100), 복수의 단위 픽셀(UP) 및 격벽(200)을 포함한다.

[0045] 제1 기관(100)은 복수의 픽셀 영역을 포함할 수 있다. 여기에서, 복수의 픽셀 영역 각각은 하나의 서브 픽셀(SP)에 해당할 수 있다. 구체적으로, 복수의 단위 픽셀(UP) 각각은 복수의 서브 픽셀(SP)(또는 복수의 픽셀 영역) 및 투과부(TR)를 포함할 수 있다. 그리고, 복수의 단위 픽셀(UP) 각각은 발광부(EL) 및 투과 영역(TA)으로 정의될 수 있다. 여기에서, 복수의 서브 픽셀(SP)(또는 복수의 픽셀 영역)은 발광부(EL)에 마련되고, 투과부(TR)는 투과 영역(TA)에 마련될 수 있다. 따라서, 복수의 서브 픽셀(SP)(또는 복수의 픽셀 영역) 각각은 광을 방출하는 최소 단위의 영역으로 정의될 수 있다. 복수의 단위 픽셀(UP) 각각은 서로 인접한 적어도 3개의 서브 픽셀(SP)을 포함할 수 있다. 예를 들어, 복수의 서브 픽셀(SP)은 적색 서브 픽셀, 녹색 서브 픽셀, 및 청색 서브 픽셀을 포함할 수 있다. 나아가, 복수의 서브 픽셀(SP)은 백색 서브 픽셀을 더 포함할 수 있다. 따라서, 제1 기관(100)은 복수의 서브 픽셀(SP)의 개수만큼 복수의 픽셀 영역을 포함할 수 있다.

[0046] 일 예에 따르면, 복수의 서브 픽셀(SP)은 제1 내지 제4 서브 픽셀(SP1, SP2, SP3, SP4)을 포함할 수 있다. 여기에서, 제1 내지 제4 서브 픽셀(SP1, SP2, SP3, SP4) 각각은 적색 서브 픽셀, 녹색 서브 픽셀, 청색 서브 픽셀 및 백색 서브 픽셀 중 서로 다른 하나의 서브 픽셀에 해당할 수 있다. 복수의 서브 픽셀(SP)은 제1 방향(X)을 따라 이격되게 배치되고, 제2 방향(Y)을 따라 반복하여 배치될 수 있다. 따라서, 복수의 서브 픽셀(SP)은 제1 방향(X)을 따라 번갈아 배치된 발광부(EL) 및 투과 영역(TA) 중 발광부(EL)에 마련될 수 있다.

[0047] 투과 영역(TA)은 격벽(200) 또는 블랙 매트릭스에 의해 정의되고, 투과부(TR)는 투과 영역(TA)에 마련될 수 있다. 투과부(TR)는 복수의 단위 픽셀(UP) 각각에 마련됨으로써, 단위 픽셀(UP)의 일부 영역을 투명하게 하여, 단위 픽셀(UP)의 투명도를 증가시킬 수 있다.

[0048] 격벽(200)은 복수의 서브 픽셀(SP) 각각을 둘러쌀 수 있다. 즉, 복수의 서브 픽셀(SP) 각각은 격벽(200)에 의해 정의될 수 있다. 복수의 단위 픽셀(UP) 각각은 복수의 서브 픽셀(SP) 및 투과부(TR)를 포함할 수 있다. 그리고, 복수의 단위 픽셀(UP) 각각은 발광부(EL) 및 투과 영역(TA)으로 정의될 수 있다. 여기에서, 복수의 서브 픽셀(SP)은 발광부(EL)에 마련되고, 투과부(TR)는 투과 영역(TA)에 마련될 수 있다. 따라서, 격벽(200)은 복수의 서브 픽셀(SP) 각각을 둘러싸므로써, 복수의 서브 픽셀(SP) 각각을 격리시키며, 복수의 서브 픽셀(SP)을 투과부(TR)로부터 격리시킬 수 있다.

[0049] 일 예에 따르면, 하나의 단위 픽셀(UP)의 하나의 서브 픽셀(SP)은 다른 서브 픽셀(SP), 투과부(TR) 및 다른 단위 픽셀(UP)의 서브 픽셀과 격벽(200)에 의해 분리될 수 있다. 예를 들어, 복수의 단위 픽셀(UP)은 제1 방향(X)으로 인접한 제1 및 제2 단위 픽셀(UP1, UP2)을 포함할 수 있다. 그리고, 격벽(200)은 제1 및 제2 단위 픽셀(UP1, UP2) 각각의 제1 내지 제4 서브 픽셀(SP1, SP2, SP3, SP4) 각각을 둘러쌀 수 있다. 따라서, 제1 단위 픽셀(UP1)의 투과부(TR)는 제1 단위 픽셀(UP1)의 제1 내지 제4 서브 픽셀(SP1, SP2, SP3, SP4) 각각을 둘러싸는 격벽(200) 및 제2 단위 픽셀(UP2)의 제1 내지 제4 서브 픽셀(SP1, SP2, SP3, SP4) 각각을 둘러싸는 격벽(200)의 사이에 배치될 수 있다. 결과적으로, 투명 디스플레이 장치는 격벽(200)을 통해 복수의 서브 픽셀(SP) 각각을 둘러싸므로써, 하나의 서브 픽셀(SP)에서 발생한 박리 및 투습이 다른 서브 픽셀(SP) 또는 투과부(TR)로 전

파되는 것을 방지할 수 있다. 이와 같이, 투명 디스플레이 장치는 디스플레이 패널 내의 스트레스를 감소시키고 유기 발광 소자의 박리 및 투습 전과를 방지하여 픽셀의 불량을 최소화시키고 투명 디스플레이 장치의 신뢰성을 향상시킬 수 있다.

- [0050] 격벽(200)은 상부 폭이 하부 폭보다 넓은 역테이퍼 구조를 가질 수 있다. 그리고, 격벽(200)은 폭과 높이가 서로 다른 제1 측 격벽(200a) 및 제2 측 격벽(200b)을 포함할 수 있다. 제1 측 격벽(200a) 및 제2 측 격벽(200b)의 구성은 도 1에 개시된 바와 동일하다.
- [0051] 일 예에 따르면, 제1 및 제2 측 격벽(200a, 200b)은 복수의 서브 픽셀(SP) 각각을 둘러싸므로써, 복수의 서브 픽셀(SP) 각각을 격리시킬 수 있다. 결과적으로, 투명 디스플레이 장치는 폭이 넓게 형성된 제1 측 격벽(200a) 및 높이가 높게 형성된 제2 측 격벽(200b)을 포함함으로써, 투명 디스플레이 장치의 롤링 또는 벤딩 시에 발생하는 스트레스를 완화하고 강성을 보완하여 신뢰성을 향상시킬 수 있다.
- [0052] 도 3은 본 출원의 제3 실시예에 따른 투명 디스플레이 장치를 나타내는 평면도이다. 본 출원의 제3 실시예는 제1 및 제2 실시예와 격벽(200)의 구성을 달리하는 것으로, 이하에서는 격벽(200)의 구성을 중심으로 설명하며, 나머지 구성들에 대한 중복 설명은 생략하거나 간단히 설명한다.
- [0053] 도 3을 참조하면, 디스플레이 장치는 제1 기관(100), 복수의 단위 픽셀(UP) 및 격벽(200)을 포함한다.
- [0054] 제1 기관(100)은 복수의 픽셀 영역을 포함할 수 있다. 여기에서, 복수의 픽셀 영역 각각은 하나의 서브 픽셀(SP) 또는 투과부(TR)에 해당할 수 있다. 구체적으로, 복수의 단위 픽셀(UP) 각각은 복수의 픽셀 영역을 포함할 수 있다. 여기에서, 복수의 픽셀 영역 각각은 서브 픽셀(SP) 또는 투과부(TR)에 해당할 수 있다. 그리고, 복수의 단위 픽셀(UP) 각각은 발광부(EL) 및 투과 영역(TA)으로 정의될 수 있다. 여기에서, 복수의 서브 픽셀(SP)은 발광부(EL)에 마련되고, 투과부(TR)는 투과 영역(TA)에 마련될 수 있다. 따라서, 복수의 픽셀 영역 각각은 발광부(EL) 또는 투과 영역(TA)에 마련될 수 있다. 복수의 단위 픽셀(UP) 각각은 서로 인접한 적어도 3개의 서브 픽셀(SP)을 포함할 수 있다. 예를 들어, 복수의 서브 픽셀(SP)은 적색 서브 픽셀, 녹색 서브 픽셀, 및 청색 서브 픽셀을 포함할 수 있다. 나아가, 복수의 서브 픽셀(SP)은 백색 서브 픽셀을 더 포함할 수 있다. 따라서, 제1 기관(100)은 복수의 서브 픽셀(SP)의 개수 및 투과부(TR)의 개수의 합만큼 복수의 픽셀 영역을 포함할 수 있다.
- [0055] 일 예에 따르면, 복수의 서브 픽셀(SP)은 제1 내지 제4 서브 픽셀(SP1, SP2, SP3, SP4)을 포함할 수 있다. 여기에서, 제1 내지 제4 서브 픽셀(SP1, SP2, SP3, SP4) 각각은 적색 서브 픽셀, 녹색 서브 픽셀, 청색 서브 픽셀 및 백색 서브 픽셀 중 서로 다른 하나의 서브 픽셀에 해당할 수 있다. 복수의 서브 픽셀(SP)은 제1 방향(X)을 따라 이격되게 배치되고, 제2 방향(Y)을 따라 반복하여 배치될 수 있다. 따라서, 복수의 서브 픽셀(SP)은 제1 방향(X)을 따라 번갈아 배치된 발광부(EL) 및 투과 영역(TA) 중 발광부(EL)에 마련될 수 있다.
- [0056] 투과 영역(TA)은 격벽(200) 또는 블랙 매트릭스에 의해 정의되고, 투과부(TR)는 투과 영역(TA)에 마련될 수 있다. 투과부(TR)는 복수의 단위 픽셀(UP) 각각에 마련됨으로써, 단위 픽셀(UP)의 일부 영역을 투명하게 하여, 단위 픽셀(UP)의 투명도를 증가시킬 수 있다.
- [0057] 격벽(200)은 복수의 서브 픽셀(SP) 각각 및 투과부(TR)를 개별적으로 둘러쌀 수 있다. 그리고, 복수의 단위 픽셀(UP) 각각은 발광부(EL) 및 투과 영역(TA)으로 정의될 수 있다. 여기에서, 복수의 서브 픽셀(SP)은 발광부(EL)에 마련되고, 투과부(TR)는 투과 영역(TA)에 마련될 수 있다. 따라서, 격벽(200)은 각각의 서브 픽셀(SP) 및 투과부(TR)를 개별적으로 둘러싸므로써, 각각의 서브 픽셀(SP) 및 각각의 투과부(TR)를 격리시킬 수 있다.
- [0058] 일 예에 따르면, 하나의 단위 픽셀(UP)의 하나의 서브 픽셀(SP)은 다른 서브 픽셀(SP), 다른 단위 픽셀(UP)의 서브 픽셀(SP)과 격벽(200)에 의해 분리될 수 있다. 그리고, 하나의 단위 픽셀(UP)의 투과부(TR)는 복수의 서브 픽셀(SP), 다른 단위 픽셀(UP)의 복수의 서브 픽셀(SP) 및 투과부(TR)와 격벽(200)에 의해 분리될 수 있다. 예를 들어, 복수의 단위 픽셀(UP)은 제1 방향(X)으로 인접한 제1 및 제2 단위 픽셀(UP1, UP2), 제2 방향(Y)으로 인접한 제1 및 제3 단위 픽셀(UP1, UP3)을 포함할 수 있다. 그리고, 격벽(200)은 제1 내지 제3 단위 픽셀(UP1, UP2, UP3) 각각의 제1 내지 제4 서브 픽셀(SP1, SP2, SP3, SP4) 각각 및 투과부(TR)를 개별적으로 둘러쌀 수 있다. 따라서, 제1 단위 픽셀(UP1)의 투과부(TR)는 제1 단위 픽셀(UP1)의 제1 내지 제4 서브 픽셀(SP1, SP2, SP3, SP4) 각각을 둘러싸는 격벽(200) 및 제2 단위 픽셀(UP2)의 제1 내지 제4 서브 픽셀(SP1, SP2, SP3, SP4) 각각을 둘러싸는 격벽(200)의 사이에 배치되면서, 제3 단위 픽셀(UP3)의 투과부(TR)의 상단을 둘러싸는 격벽(200)을 통해 제3 단위 픽셀(UP3)의 투과부(TR)와 분리될 수 있다. 결과적으로, 투명 디스플레이 장치는 격벽(200)을 통해 복수의 서브 픽셀(SP) 및 투과부(TR)를 각각 둘러싸므로써, 하나의 서브 픽셀(SP) 또는 하나의 투과부(TR)에서 발생한 박리 및 투습이 다른 서브 픽셀(SP) 또는 투과부(TR)로 전과되는 것을 방지할 수 있다. 이

와 같이, 투명 디스플레이 장치는 디스플레이 패널 내의 스트레스를 감소시키고 유기 발광 소자의 박리 및 투습 전파를 방지하여 픽셀의 불량을 최소화시키고 투명 디스플레이 장치의 신뢰성을 향상시킬 수 있다.

[0059] 격벽(200)은 상부 폭이 하부 폭보다 넓은 역테이퍼 구조를 가질 수 있다. 그리고, 격벽(200)은 폭과 높이가 서로 다른 제1 측 격벽(200a) 및 제2 측 격벽(200b)을 포함할 수 있다. 제1 측 격벽(200a) 및 제2 측 격벽(200b)의 구성은 도 1에 개시된 바와 동일하다.

[0060] 일 예에 따르면, 제1 및 제2 측 격벽(200a, 200b)은 각각의 서브 픽셀(SP) 및 투과부(TR)를 개별적으로 둘러싸므로써, 각각의 서브 픽셀(SP) 및 각각의 투과부(TR)를 격리시킬 수 있다. 결과적으로, 투명 디스플레이 장치는 폭이 넓게 형성된 제1 측 격벽(200a) 및 높이가 높게 형성된 제2 측 격벽(200)을 포함함으로써, 충전층(640)과의 접착력 및 마찰력을 증가시켜 충전층(640)을 안정적으로 지지하며, 투명 디스플레이 장치의 롤링 또는 벤딩 시에 발생하는 스트레스를 완화하고 강성을 보완하여 신뢰성을 향상시킬 수 있다.

[0061] 도 4는 도 3에 도시된 선 I-I'의 단면도이다.

[0062] 도 4를 참조하면, 투명 디스플레이 장치는 제1 기판(100), 멀티 버퍼층(110), 격벽(200), 박막 트랜지스터(T), 신호 패드(410), 제1 보조 전극(420), 패드 전극(430), 저장 커패시터(440), 제1 및 제2 평탄화층(510, 520), बैं크(530), 충전층(540), 유기 발광 소자(E), 컬러 필터(710), 블랙 매트릭스(720) 및 제2 기판(800)을 포함한다.

[0063] 제1 기판(100)은 베이스 기판으로서, 구부러지거나 휘 수 있는 투명 플렉서블 기판일 수 있다. 일 예에 따르면, 제1 기판(100)은 투명 폴리이미드(Polyimide) 재질을 포함할 수 있으나, 이에 한정되지 않고 폴리에틸렌 테레프탈레이트 (Polyethylene terephthalate) 등의 투명 플라스틱 재질로 이루어질 수 있다. 그리고, 폴리이미드 재질의 제1 기판(100)은 고온의 증착 공정이 이루어짐을 감안할 때, 고온에서 견딜 수 있는 내열성이 우수한 폴리이미드가 이용될 수 있다.

[0064] 일 예에 따르면, 제1 기판(100)은 글라스 기판일 수 있다. 예를 들어, 제1 기판(100)은 이산화규소(SiO₂) 또는 산화알루미늄(Al₂O₃)을 주성분으로서 포함할 수 있다.

[0065] 멀티 버퍼층(110)은 제1 기판(100) 상에 마련될 수 있다. 멀티 버퍼층(110)은 제1 기판(100)을 통해 유기 발광 소자(E)에 침투하는 수분을 차단하기 위하여, 제1 기판(100)의 전면 전체에 형성될 수 있다. 멀티 버퍼층(110)은 복수의 무기막이 적층되어 형성될 수 있다.

[0066] 멀티 버퍼층(110)은 제1 버퍼층(111), 제2 버퍼층(112) 및 제3 버퍼층(113)을 포함할 수 있다.

[0067] 제1 버퍼층(111)은 제1 기판(100) 상에 배치될 수 있다. 제1 버퍼층(111)은 금속 버퍼층(Metal buffer layer)일 수 있다. 예를 들어, 제1 버퍼층(111)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x), 또는 실리콘산질화막(SiON)으로 구현될 수 있다.

[0068] 제2 버퍼층(112)은 제1 버퍼층(111) 상에 마련될 수 있다. 제2 버퍼층(112)은 금속 버퍼층(Metal buffer layer)일 수 있고, 제1 버퍼층(111)과 동일한 물질이거나, 상이한 물질로 구현될 수 있다.

[0069] 제3 버퍼층(113)은 제2 버퍼층(112) 상에 마련될 수 있다. 제3 버퍼층(113)은 금속 버퍼층(Metal buffer layer)일 수 있고, 제1 버퍼층(111) 또는 제2 버퍼층(112)과 동일한 물질이거나, 상이한 물질로 구현될 수 있다. 따라서, 멀티 버퍼층(110)은 제1 기판(100) 상에 복수의 버퍼층을 포함함으로써, 유기 발광 소자(E)에 침투하는 수분을 차단하여, 투명 디스플레이 장치의 수분 투습도(WVTR, Water Vapor Transmission Rate)를 향상시킬 수 있다.

[0070] 격벽(200)은 제1 격벽(210) 및 제2 격벽(220)을 포함할 수 있다.

[0071] 제1 격벽(210)은 제2 평탄화층(520) 상에 배치되고, 제2 기판(800) 쪽으로 돌출될 수 있다. 예를 들어, 제1 격벽(210)은 제4 보조 전극(660)의 증착이 완료된 후, 제4 보조 전극(660) 상에 마련될 수 있다. 그리고, 유기 발광층(630) 및 캐소드 전극(640)은 제1 격벽(210)이 형성된 후, 제1 격벽(210)의 상면에 순차적으로 적층될 수 있다. 이때, 제1 격벽(210)은 제4 보조 전극(660)으로부터 제2 기판(800)을 향하여 돌출되기 때문에, 서로 인접한 복수의 픽셀 영역 각각의 유기 발광층(630) 및 캐소드 전극(640)은 제1 격벽(210)에 의해 분리될 수 있다. 따라서, 투명 디스플레이 장치는 별도의 마스크 공정 없이 유기 발광층(630) 및 캐소드 전극(640)을 용이하게 패터닝할 수 있다. 여기에서, 캐소드 전극(640)은 제1 격벽(210) 및 유기 발광층(630)의 상면 및 측면을 둘러쌀 수 있다. 그리고, 제1 격벽(210)은 बैं크(530)와 소정 거리를 두고 이격될 수 있고, 제4 보조 전극(660) 및 캐소

드 전극(640)은 제1 격벽(210)과 बैं크(530) 사이의 이격된 공간을 통해 접촉할 수 있다.

[0072] 구체적으로, 유기 발광층(630)의 증착 시에, 제1 격벽(210)의 상면은 처마(Eaves)와 같은 역할을 할 수 있고, 제1 격벽(210)은 처마(Eaves)의 아래 영역에 유기 발광층(630)이 증착되는 것을 방지할 수 있다. 따라서, 제1 격벽(210)의 상면이 제1 격벽(210)과 बैं크(530) 사이의 이격된 공간과 중첩되도록 배치되는 경우, 유기 발광층(630)은 제1 격벽(210)과 बैं크(530) 사이의 이격된 공간으로 침투할 수 없고, 제4 보조 전극(660)은 제1 격벽(210)과 बैं크(530) 사이의 이격된 공간을 통해 노출될 수 있다. 여기에서, 유기 발광층(630)은 증발법(Evaporation)과 같은 증착 물질의 직진성이 우수한 증착 공정을 통해 형성될 수 있기 때문에, 유기 발광층(630)은 증착 공정을 통해 제1 격벽(210)과 बैं크(530) 사이의 공간에 증착되지 않을 수 있다. 결과적으로, 투명 디스플레이 장치는 제1 격벽(210)을 형성함으로써, 별도의 마스크 공정 없이 유기 발광층(630) 및 캐소드 전극(640)을 복수의 픽셀 영역마다 분리하여 형성할 수 있다.

[0073] 그리고, 제1 격벽(210)은 처마(Eaves) 역할을 하기 위해서, 제1 격벽(210)의 상부 폭은 하부 폭보다 넓게 형성될 수 있다. 일 예에 따르면, 제1 격벽(210)은 하부 격벽 및 상부 격벽을 포함할 수 있다. 하부 격벽은 제4 보조 전극(660) 상에 형성되고, बैं크(530)와 동일한 물질로 동일한 공정을 통해 형성될 수 있다. 상부 격벽은 하부 격벽 상에 형성되고, 상부 격벽의 상부 폭은 하부 폭보다 넓게 형성될 수 있다. 따라서, 상부 격벽의 상면이 증착이 수행되는 방향에서 제1 격벽(210)과 बैं크(530) 사이의 이격된 공간을 가리도록 구성됨으로써, 상부 격벽은 처마(Eaves) 역할을 수행할 수 있다.

[0074] 제2 격벽(220)은 제1 격벽(210)과 중첩될 수 있다. 구체적으로, 제2 격벽(220)은 제2 기관(800)으로부터 제1 격벽(210) 쪽으로 돌출될 수 있다. 예를 들어, 제2 격벽(220)은 충전층(540)을 기준으로 제1 격벽(210)과 대칭 구조를 형성할 수 있다. 그리고, 제1 및 제2 격벽(210, 220)은 충전층(540)을 사이에 두고 서로 마주할 수 있다. 따라서, 제1 격벽(210)은 충전층(540)의 하부를 고정 및 지지하고, 제2 격벽(220)은 충전층(540)의 상부를 고정 및 지지함으로써, 제1 격벽(210)만 존재할 때보다 유기 발광 소자(E)에 전달되는 스트레스를 더 감소시킬 수 있고, 투명 디스플레이 장치의 강성을 더욱 보완하여 투명 디스플레이 장치의 신뢰성을 향상시킬 수 있다. 결과적으로, 투명 디스플레이 장치는 역테이퍼 구조를 갖고 서로 중첩되는 제1 및 제2 격벽(210, 220)을 통해 제1 격벽(210)만 존재할 때보다 투명 디스플레이 장치의 스트레스를 더 완화하고 강성을 더욱 보완하여 신뢰성을 향상시킬 수 있다.

[0075] 일 예에 따르면, 제2 격벽(220)은 제1 격벽(210)과 동일한 형상을 갖거나, 상이한 형상을 가질 수 있다. 이하에서는, 제1 격벽(210)의 여러 가지 형상을 개시하고, 제2 격벽(220)은 그 중 하나의 형상을 독립적으로 가질 수 있다. 그리고, 제2 격벽(220)은 제1 격벽(210)과 동일한 공정을 통해 형성될 수 있다.

[0076] 박막 트랜지스터(T)는 멀티 버퍼층(110) 상의 발광부(EL)에 마련될 수 있다. 박막 트랜지스터(T)는 반도체층(310), 게이트 절연막(320), 게이트 전극(330), 제1 보호층(340), 소스 전극(350), 드레인 전극(360) 및 제2 보호층(370)을 포함할 수 있다.

[0077] 반도체층(310)은 제1 기관(100)의 발광부(EL)에 마련될 수 있다. 반도체층(310)은 게이트 전극(330), 소스 전극(350) 및 드레인 전극(360)과 중첩되도록 배치될 수 있다. 반도체층(310)은 소스 전극(350) 및 드레인 전극(360)과 직접 접촉하고, 게이트 전극(330)과 게이트 절연막(320)을 사이에 두고 마주할 수 있다.

[0078] 일 예에 따르면, 반도체층(310)은 소스/드레인 영역(311) 및 채널 영역(312) 및 을 포함할 수 있다. 채널 영역(312)은 반도체층(310)의 중앙 영역에 형성되고, 소스/드레인 영역(311)은 채널 영역(312)을 사이에 두고 서로 나란하게 형성될 수 있다. 소스/드레인 영역(311)은 소스 전극(350) 및 드레인 전극(360)과 중첩되고, 채널 영역(312)은 게이트 전극(330)과 중첩될 수 있다.

[0079] 게이트 절연막(320)은 반도체층(310) 상에 마련될 수 있다. 구체적으로, 게이트 절연막(320)은 반도체층(310)의 채널 영역(312) 상에 배치될 수 있고, 반도체층(310)과 게이트 전극(330)을 절연시킬 수 있다.

[0080] 게이트 전극(330)은 게이트 절연막(320) 상에 마련될 수 있다. 게이트 전극(330)은 게이트 절연막(320)을 사이에 두고, 반도체층(310)의 채널 영역(312)과 중첩될 수 있다.

[0081] 일 예에 따르면, 게이트 전극(330)은 하부 게이트 전극(331) 및 상부 게이트 전극(332)을 포함할 수 있다.

[0082] 하부 게이트 전극(331)은 게이트 절연막(320)과 상부 게이트 전극(332) 사이에 형성되어 게이트 절연막(320)과 상부 게이트 전극(332) 사이의 접촉력을 증진시킬 수 있고, 상부 게이트 전극(332)의 하면이 부식되는 것을 방지할 수 있다.

- [0083] 상부 게이트 전극(332)은 하부 게이트 전극(331)의 상면에 형성될 수 있다. 일 예에 따르면, 상부 게이트 전극(332)의 두께는 하부 게이트 전극(331)의 두께보다 두껍게 형성됨으로써, 게이트 전극(330)의 전체 저항이 감소할 수 있다.
- [0084] 제1 보호층(340)은 게이트 전극(330) 상에 마련될 수 있다. 제1 보호층(340)은 박막 트랜지스터(T)를 보호하는 기능을 수행할 수 있다. 제1 보호층(340)은 반도체층(310)과 소스 전극(350) 또는 드레인 전극(360)을 접촉시키기 위하여 해당 영역이 제거될 수 있다. 예를 들어, 제1 보호층(340)은 소스 전극(350)이 관통하는 제1 콘택홀 및 드레인 전극(360)이 관통하는 제2 콘택홀을 포함할 수 있다.
- [0085] 소스 전극(350) 및 드레인 전극(360)은 제1 보호층(340) 상에서 서로 이격되어 마련될 수 있다. 소스 전극(350)은 제1 보호층(340)에 마련된 제1 콘택홀을 통해 반도체층(310)의 소스/드레인 영역(311)의 일단과 접촉하고, 드레인 전극(360)은 제1 보호층(340)에 마련된 제2 콘택홀을 통해 반도체층(310)의 소스/드레인 영역(311)의 타단과 접촉할 수 있다. 그리고, 소스 전극(350)은 제2 보호층(370)의 제3 콘택홀 및 제1 평탄화층(510)의 제4 콘택홀을 통해 제2 보조 전극(610)과 직접 접촉할 수 있다.
- [0086] 일 예에 따르면, 소스 전극(350)은 하부 소스 전극(351) 및 상부 소스 전극(352)을 포함할 수 있다.
- [0087] 하부 소스 전극(351)은 제1 보호층(340)과 상부 소스 전극(352) 사이에 형성되어 제1 보호층(340)과 상부 소스 전극(352) 사이의 접착력을 증진시킬 수 있다. 그리고, 하부 소스 전극(351)은 상부 소스 전극(352)의 하면을 보호함으로써 상부 소스 전극(352)의 하면이 부식되는 것을 방지할 수 있다.
- [0088] 상부 소스 전극(352)은 하부 소스 전극(351)의 상면에 형성될 수 있다. 상부 소스 전극(352)은 하부 소스 전극(351)에 비하여 상대적으로 저항이 낮은 금속으로 이루어질 수 있다. 상부 소스 전극(352)의 두께는 소스 전극(350)의 전체 저항을 줄이기 위하여, 하부 소스 전극(351)의 두께보다 두껍게 형성될 수 있다.
- [0089] 드레인 전극(360)은 전술한 소스 전극(350)과 유사하게 하부 드레인 전극(361) 및 상부 드레인 전극(362)을 포함할 수 있다.
- [0090] 하부 드레인 전극(361)은 제1 보호층(340)과 상부 드레인 전극(362) 사이에 형성되어 제1 보호층(340)과 상부 드레인 전극(362) 사이의 접착력을 증진시킬 수 있고, 상부 드레인 전극(362)의 하면이 부식되는 것을 방지할 수 있다.
- [0091] 상부 드레인 전극(362)은 하부 드레인 전극(361)의 상면에 형성될 수 있다. 상부 드레인 전극(362)은 하부 드레인 전극(361)보다 두껍게 형성되어, 드레인 전극(360)의 전체 저항을 감소시킬 수 있다.
- [0092] 제2 보호층(370)은 제1 보호층(340), 소스 전극(350) 및 드레인 전극(360) 상에 마련될 수 있다. 제2 보호층(370)은 소스 전극(350) 및 드레인 전극(360)을 보호하는 기능을 수행할 수 있다. 제2 보호층(370)은 제2 보조 전극(610)이 관통하는 제3 콘택홀을 포함할 수 있다. 여기에서, 제2 보호층(370)의 제3 콘택홀은 제2 보조 전극(610)을 관통시키기 위하여 제1 평탄화층(510)의 제4 콘택홀과 연결될 수 있다.
- [0093] 신호 패드(410)는 상기 게이트 절연막(120) 상에 형성되어 있다. 상기 신호 패드(410)는 전술한 액티브 영역(AA)의 게이트 전극(130)과 동일한 층에 형성될 수 있다.
- [0094] 신호 패드(410)는 하부 신호 패드(411) 및 상부 신호 패드(412)를 포함할 수 있다.
- [0095] 하부 신호 패드(411)는 멀티 버퍼층(110) 및 상부 신호 패드(412) 사이에 형성되어 멀티 버퍼층(110) 및 상부 신호 패드(412) 사이의 접착력을 증진시킬 수 있다. 그리고, 하부 신호 패드(411)는 상부 신호 패드(412)의 하면이 부식되는 것을 방지할 수 있다.
- [0096] 상부 신호 패드(412)는 하부 신호 패드(411)의 상면에 형성될 수 있다. 구체적으로, 상부 신호 패드(412)는 하부 신호 패드(411)에 비하여 상대적으로 저항이 낮은 금속으로 이루어질 수 있다. 그리고, 상부 신호 패드(412)는 신호 패드(410)의 전체 저항을 줄이기 위하여, 하부 신호 패드(411)보다 두껍게 형성될 수 있다.
- [0097] 제1 보조 전극(420)은 제1 보호층(340) 상에 마련될 수 있다. 예를 들어, 제1 보호층(340)은 제1 보조 전극(420)이 관통하는 제5 콘택홀을 더 포함할 수 있다. 따라서, 제1 보조 전극(420)은 제1 보호층(340)에 마련된 제5 콘택홀을 통해 신호 패드(410)와 접촉할 수 있다. 그리고, 제1 보조 전극(420)은 제2 보호층(370)의 제6 콘택홀을 통해 패드 전극(430)과 접촉할 수 있다.
- [0098] 일 예에 따르면, 제1 보조 전극(420)은 하부 제1 보조 전극(421) 및 상부 제1 보조 전극(422)을 포함할 수

있다.

- [0099] 하부 제1 보조 전극(421)은 제1 보호층(340)과 상부 제1 보조 전극(422) 사이에 형성되어 제1 보호층(340)과 상부 제1 보조 전극(422) 사이의 접착력을 증진시킬 수 있다. 그리고, 하부 제1 보조 전극(421)은 상부 제1 보조 전극(422)의 하면을 보호함으로써 상부 제1 보조 전극(422)의 하면이 부식되는 것을 방지할 수 있다.
- [0100] 상부 제1 보조 전극(422)은 하부 제1 보조 전극(421)의 상면에 형성될 수 있다. 상부 제1 보조 전극(422)은 하부 제1 보조 전극(421)에 비하여 상대적으로 저항이 낮은 금속으로 이루어질 수 있다. 상부 제1 보조 전극(422)의 두께는 제1 보조 전극(420)의 전체 저항을 줄이기 위하여, 하부 제1 보조 전극(421)의 두께보다 두껍게 형성될 수 있다.
- [0101] 패드 전극(430)은 제2 보호층(370) 상에 형성될 수 있다. 예를 들어, 제2 보호층(370)은 패드 전극(430)이 관통하는 제6 컨택홀을 더 포함할 수 있다. 따라서, 패드 전극(430)은 제2 보호층(370) 상에 마련된 제6 컨택홀을 통하여 제1 보조 전극(420)과 접촉할 수 있다.
- [0102] 패드 전극(430)은 하부 패드 전극(431), 상부 패드 전극(432), 및 커버 패드 전극(433)을 포함할 수 있다.
- [0103] 하부 패드 전극(431)은 제2 보호층(370)의 제6 컨택홀을 통해 노출된 상부 제1 보조 전극(422)의 상면을 덮도록 형성됨으로써 상부 제1 보조 전극(422)의 부식을 방지할 수 있다. 따라서, 하부 패드 전극(431)이 상부 제1 보조 전극(422)의 부식을 방지할 수 있기 때문에, 제1 보조 전극(420)은 전술한 2층 구조로 형성될 수 있다.
- [0104] 상부 패드 전극(432)은 하부 패드 전극(431)과 커버 패드 전극(433) 사이에 형성될 수 있다. 일 예에 따르면, 상부 패드 전극(432)은 하부 패드 전극(431)과 커버 패드 전극(433)에 비하여 상대적으로 저항이 낮은 금속으로 이루어질 수 있다. 상부 패드 전극(432)은 패드 전극(430)의 전체 저항을 줄이기 위하여, 하부 패드 전극(431) 및 커버 패드 전극(433) 각각보다 두껍게 형성될 수 있다.
- [0105] 커버 패드 전극(433)은 상부 패드 전극(432) 상에 형성될 수 있다. 구체적으로, 커버 패드 전극(433)은 상부 패드 전극(432)이 외부로 노출되는 것을 방지할 수 있다. 따라서, 커버 패드 전극(433)은 상부 패드 전극(432)의 상면 및 측면을 덮도록 형성됨으로써 상부 패드 전극(432)이 부식되는 것을 방지할 수 있다.
- [0106] 추가적으로, 커버 패드 전극(433)은 하부 패드 전극(431)의 측면을 덮도록 형성될 수 있다. 예를 들어, 커버 패드 전극(433)의 산화도는 하부 패드 전극(431)의 산화도보다 낮을 수 있다. 그리고, 커버 패드 전극(433)은 하부 패드 전극(431)보다 내식성이 강한 물질로 이루어질 수 있다.
- [0107] 저장 커패시터(440)는 제1 커패시터 전극 및 제2 커패시터 전극을 포함할 수 있다. 구체적으로, 저장 커패시터(440)는 제1 보호층(340)을 사이에 두고 서로 마주하는 제1 및 제2 커패시터 전극을 포함할 수 있다.
- [0108] 제1 커패시터 전극은 하부 제1 커패시터 전극(441) 및 상부 제1 커패시터 전극(442)을 포함할 수 있다.
- [0109] 하부 제1 커패시터 전극(441)은 멀티 버퍼층(110) 및 상부 제1 커패시터 전극(442) 사이에 형성되어 멀티 버퍼층(110) 및 상부 제1 커패시터 전극(442) 사이의 접착력을 증진시킬 수 있다. 그리고, 하부 제1 커패시터 전극(441)은 상부 제1 커패시터 전극(442)의 하면이 부식되는 것을 방지할 수 있다.
- [0110] 상부 제1 커패시터 전극(442)은 하부 제1 커패시터 전극(441)의 상면에 형성될 수 있다. 구체적으로, 상부 제1 커패시터 전극(442)은 하부 제1 커패시터 전극(441)에 비하여 상대적으로 저항이 낮은 금속으로 이루어질 수 있다. 그리고, 상부 제1 커패시터 전극(442)은 제1 커패시터 전극의 전체 저항을 줄이기 위하여, 하부 제1 커패시터 전극(441)보다 두껍게 형성될 수 있다.
- [0111] 제2 전극은 하부 제2 커패시터 전극(443) 및 상부 제2 커패시터 전극(444)을 포함할 수 있다.
- [0112] 하부 제2 커패시터 전극(443)은 제1 보호층(340) 및 상부 제2 커패시터 전극(444) 사이에 형성되어 제1 보호층(340) 및 상부 제2 커패시터 전극(444) 사이의 접착력을 증진시킬 수 있다. 그리고, 하부 제2 커패시터 전극(443)은 상부 제2 커패시터 전극(444)의 하면이 부식되는 것을 방지할 수 있다.
- [0113] 상부 제2 커패시터 전극(444)은 하부 제2 커패시터 전극(443)의 상면에 형성될 수 있다. 구체적으로, 상부 제2 커패시터 전극(444)은 하부 제2 커패시터 전극(443)에 비하여 상대적으로 저항이 낮은 금속으로 이루어질 수 있다. 그리고, 상부 제2 커패시터 전극(444)은 제2 커패시터 전극의 전체 저항을 줄이기 위하여, 하부 제2 커패시터 전극(443)보다 두껍게 형성될 수 있다.
- [0114] 평탄화층(500)은 박막 트랜지스터(T) 상에 마련되어, 박막 트랜지스터(T)의 상단을 평탄화시킬 수 있다. 일 예

에 따르면, 평탄화층(500)은 제1 평탄화층(510) 및 제2 평탄화층(520)을 포함할 수 있다.

- [0115] 제1 평탄화층(510)은 박막 트랜지스터(T) 상에 마련되어, 박막 트랜지스터(T)의 상단을 평탄화시킬 수 있다. 제2 보조 전극(610) 및 제3 보조 전극(650)은 제1 평탄화층(510)의 상단에서 서로 이격되게 마련될 수 있다. 예를 들어, 제1 평탄화층(510)은 제2 보조 전극(610)이 관통하는 제4 컨택홀을 포함할 수 있다. 여기에서, 제1 평탄화층(510)의 제4 컨택홀은 제2 보조 전극(610)을 관통시키기 위하여 제2 보호층(370)의 제3 컨택홀과 연결될 수 있다.
- [0116] 제2 평탄화층(520)은 제1 평탄화층(510), 제2 보조 전극(610) 및 제3 보조 전극(650) 상에 마련되어, 제1 평탄화층(510), 제2 보조 전극(610) 및 제3 보조 전극(650)의 상단을 평탄화시킬 수 있다. 그리고, 제2 평탄화층(520)은 제2 보조 전극(610) 및 제3 보조 전극(650)을 보호할 수 있다. 예를 들어, 제2 평탄화층(520)은 애노드 전극(620)이 관통하는 제7 컨택홀을 포함할 수 있다. 추가적으로, 제2 평탄화층(520)은 제4 보조 전극(660)이 관통하는 제8 컨택홀을 포함할 수 있다.
- [0117] बैं크(530)는 평탄화층(500) 상에 마련될 수 있다. बैं크(530)는 서로 인접한 애노드 전극(620)들 사이에 마련되어, 애노드 전극(620)을 구획할 수 있다. 따라서, बैं크(530)는 서로 인접한 애노드 전극들(620)을 전기적으로 절연할 수 있다.
- [0118] 충전층(540)은 제1 기판(100) 및 제2 기판(800) 사이의 공간에 채워질 수 있다. 충전층(540)은 제1 기판(100) 및 제2 기판(800) 사이에 배치되어 광 손실을 방지하고, 제1 기판(100) 및 제2 기판(800) 간의 접촉력을 증가시킬 수 있다. 그리고, 충전층(540)은 제1 기판(100) 및 제2 기판(800)이 투명 플렉서블 기판으로 구현되는 경우, 디스플레이 패널의 내부에 발생하는 스트레스를 완화할 수 있다.
- [0119] 유기 발광 소자(E)는 평탄화층(500) 상에 마련되고, 박막 트랜지스터(T)와 전기적으로 연결될 수 있다. 유기 발광 소자(E)는 제2 보조 전극(610), 애노드 전극(620), 유기 발광층(630), 캐소드 전극(640), 제3 보조 전극(650) 및 제4 보조 전극(660)을 포함할 수 있다.
- [0120] 제2 보조 전극(610)은 제1 평탄화층(510) 상에 마련되고, 박막 트랜지스터(T)의 소스 전극(350)과 전기적으로 연결될 수 있다. 제2 보조 전극(610)은 제1 평탄화층(510)에 마련된 제4 컨택홀을 통해 박막 트랜지스터(T)의 소스 전극(350)에 접촉될 수 있다.
- [0121] 제2 보조 전극(610)은 하부 제2 보조 전극(611), 상부 제2 보조 전극(612), 및 커버 제2 보조 전극(613)을 포함할 수 있다.
- [0122] 하부 제2 보조 전극(611)은 제1 평탄화층(510)의 제4 컨택홀을 통해 노출된 소스 전극(350)의 상면을 덮도록 형성됨으로써 소스 전극(350)의 부식을 방지할 수 있다.
- [0123] 상부 제2 보조 전극(612)은 하부 제2 보조 전극(611)과 커버 제2 보조 전극(613) 사이에 형성될 수 있다. 일 예에 따르면, 상부 제2 보조 전극(612)은 하부 제2 보조 전극(611)과 커버 제2 보조 전극(613)에 비하여 상대적으로 저항이 낮은 금속으로 이루어질 수 있다. 상부 제2 보조 전극(612)은 제2 보조 전극(610)의 전체 저항을 줄이기 위하여, 하부 제2 보조 전극(611)과 커버 제2 보조 전극(613) 각각보다 두껍게 형성될 수 있다.
- [0124] 커버 제2 보조 전극(613)은 상부 제2 보조 전극(612) 상에 형성될 수 있다. 구체적으로, 커버 제2 보조 전극(613)은 상부 제2 보조 전극(612)이 외부로 노출되는 것을 방지할 수 있다. 따라서, 커버 제2 보조 전극(613)은 상부 제2 보조 전극(612)의 상면 및 측면을 덮도록 형성됨으로써 상부 제2 보조 전극(612)이 부식되는 것을 방지할 수 있다.
- [0125] 추가적으로, 커버 제2 보조 전극(613)은 하부 제2 보조 전극(611)의 측면을 덮도록 형성될 수 있다. 예를 들어, 커버 제2 보조 전극(613)의 산화도는 하부 제2 보조 전극(611)의 산화도보다 낮을 수 있다. 그리고, 커버 제2 보조 전극(613)은 하부 제2 보조 전극(611)보다 내식성이 강한 물질로 이루어질 수 있다.
- [0126] 애노드 전극(620)은 제2 평탄화층(520) 상에 마련되고, 제2 보조 전극(610)과 전기적으로 연결될 수 있다. 따라서, 애노드 전극(620)은 제2 보조 전극(610)을 매개로 하여 박막 트랜지스터(T)의 소스 전극(350)과 전기적으로 연결될 수 있다. 애노드 전극(620)은 제2 보조 전극(610)을 통해 소스 전극(350)과 연결됨으로써, 투명 디스플레이 장치가 대면적 디스플레이 장치로 구현되는 경우, 투명 디스플레이 장치는 복수의 픽셀 영역 모두에서 구성들 간의 신호 및 전원을 용이하게 전달할 수 있다. 그리고, 애노드 전극(620)은 제2 평탄화층(520)에 마련된 제7 컨택홀을 통해 제2 보조 전극(610)에 접촉될 수 있다.

- [0127] 유기 발광층(630)은 애노드 전극(620) 상에 마련될 수 있다. 유기 발광층(630)은 픽셀 영역별로 구분되지 않고 전체 픽셀에 공통되도록 형성될 수 있다. 일 예에 따르면, 유기 발광층(630)은 정공 수송층(Hole transporting layer), 유기 발광층(Organic light emitting layer), 전자 수송층(Electron transporting layer)을 포함할 수 있다. 일 예에 따르면, 유기 발광층(630)은 발광층의 발광 효율 및 수명 등을 향상시키기 위한 적어도 하나 이상의 기능층을 더 포함할 수 있다.
- [0128] 캐소드 전극(640)은 유기 발광층(630) 상에 마련될 수 있다. 캐소드 전극(640)은 픽셀 영역별로 구분되지 않고 전체 픽셀에 공통되는 전극 형태로 구현될 수 있다. 즉, 캐소드 전극(640)은 유기 발광층(630) 뿐만 아니라 बैं크(530) 상에도 형성될 수 있다.
- [0129] 제3 보조 전극(650)은 제1 평탄화층(510) 상에 마련되고, 제4 보조 전극(660)과 전기적으로 연결될 수 있다. 제3 보조 전극(650)은 제2 평탄화층(520)에 마련된 제8 컨택홀을 통해 제4 보조 전극(660)에 접촉될 수 있다.
- [0130] 제3 보조 전극(650)은 하부 제3 보조 전극(651), 상부 제3 보조 전극(652), 및 커버 제3 보조 전극(653)을 포함할 수 있다.
- [0131] 하부 제3 보조 전극(651)은 제1 평탄화층(510)의 평탄면 상에 마련될 수 있다. 그리고, 하부 제3 보조 전극(651)의 산화도는 상부 제3 보조 전극(652)의 산화도보다 낮을 수 있다.
- [0132] 상부 제3 보조 전극(652)은 하부 제3 보조 전극(651)과 커버 제3 보조 전극(653) 사이에 형성될 수 있다. 일 예에 따르면, 상부 제3 보조 전극(652)은 하부 제3 보조 전극(651)과 커버 제3 보조 전극(653)에 비하여 상대적으로 저항이 낮은 금속으로 이루어질 수 있다. 상부 제3 보조 전극(652)은 제3 보조 전극(650)의 전체 저항을 줄이기 위하여, 하부 제3 보조 전극(651)과 커버 제3 보조 전극(653) 각각보다 두껍게 형성될 수 있다.
- [0133] 커버 제3 보조 전극(653)은 상부 제3 보조 전극(652) 상에 형성될 수 있다. 구체적으로, 커버 제3 보조 전극(653)은 상부 제3 보조 전극(652)이 외부로 노출되는 것을 방지할 수 있다. 따라서, 커버 제3 보조 전극(653)은 상부 제3 보조 전극(652)의 상면 및 측면을 덮도록 형성됨으로써 상부 제3 보조 전극(652)이 부식되는 것을 방지할 수 있다.
- [0134] 추가적으로, 커버 제3 보조 전극(653)은 하부 제3 보조 전극(651)의 측면을 덮도록 형성될 수 있다. 예를 들어, 커버 제3 보조 전극(653)의 산화도는 하부 제3 보조 전극(651)의 산화도보다 낮을 수 있다. 그리고, 커버 제3 보조 전극(653)은 하부 제3 보조 전극(651)보다 내식성이 강한 물질로 이루어질 수 있다.
- [0135] 제4 보조 전극(660)은 제2 평탄화층(520) 상에 마련되고, 제3 보조 전극(650)과 전기적으로 연결될 수 있다. 구체적으로, 제4 보조 전극(660)은 제2 평탄화층(520)에 마련된 제8 컨택홀을 통해 제3 보조 전극(650)에 접촉될 수 있다. 그리고, 제4 보조 전극(660)은 격벽(200)에 의해 분리된 복수의 캐소드 전극(640)과 전기적으로 연결될 수 있다. 제4 보조 전극(660)은 격벽(200)에 의해 분리된 복수의 캐소드 전극(640)과 연결됨으로써, 투명 디스플레이 장치가 대면적 디스플레이 장치로 구현되는 경우, 투명 디스플레이 장치는 복수의 픽셀 영역 모두에서 구성들 간의 신호 및 전원을 용이하게 전달할 수 있다.
- [0136] 컬러 필터(710)는 충전층(540)과 제2 기판(800) 사이에 배치될 수 있다. 컬러 필터(710)는 유기 발광 소자(E) 상에 배치되어, 유기 발광 소자(E)에서 발광하는 백색 광의 색을 변환시킬 수 있다. 예를 들어, 컬러 필터(710)는 적색 컬러 필터, 녹색 컬러 필터, 및 청색 컬러 필터로 이루어질 수 있다. 따라서, 복수의 서브 픽셀(SP) 중 적색 서브 픽셀, 녹색 서브 픽셀, 및 청색 서브 픽셀은 컬러 필터(710)를 포함할 수 있고, 백색 서브 픽셀은 컬러 필터 없이 구현될 수 있다.
- [0137] 블랙 매트릭스(720)는 충전층(540)과 제2 기판(800) 사이에 배치될 수 있다. 블랙 매트릭스(720)는 유기 발광 소자(E)와 중첩되지 않도록 컬러 필터(710)의 양측에 배치되어, 광이 비표시 영역(NDA)으로 새어나가는 것을 방지하고 빛샘 현상 및 시감 저하를 개선할 수 있다.
- [0138] 제2 기판(800)은 충전층(540)의 상단 전체에 마련될 수 있다. 제2 기판(800)은 제1 기판(100) 상에 구비된 박막 트랜지스터(T) 및 유기 발광 소자(E) 등을 외부 수분, 공기 등으로부터 차단하도록 제1 기판(100) 상에 배치될 수 있다. 일 예에 따르면, 제2 기판(800)은 제1 기판(100)과 대향하도록 위치하고, 제1 기판(100) 및 제2 기판(800)은 충전층(540)과 그 가장자리를 따라 배치되는 실링 부재(미도시)에 의해 서로 접합될 수 있다. 예를 들어, 제2 기판(800)은 유리 기판 또는 플라스틱 기판일 수 있다.
- [0139] 도 5는 본 출원의 일 예에 따른 투명 디스플레이 장치에서, 제1 격벽을 나타내는 단면도이다.

- [0140] 도 5를 참조하면, 제1 격벽(210)은 제2 평탄화층(520) 상에 배치되고, 제2 기관(800) 쪽으로 돌출될 수 있다. 예를 들어, 제1 격벽(210)은 제4 보조 전극(660)의 증착이 완료된 후, 제4 보조 전극(660) 상에 마련될 수 있다. 그리고, 유기 발광층(630) 및 캐소드 전극(640)은 제1 격벽(210)이 형성된 후, 제1 격벽(210)의 상면에 순차적으로 적층될 수 있다. 이때, 제1 격벽(210)은 상부 폭이 하부 폭보다 넓은 역테이퍼 구조를 가지면서 제4 보조 전극(660)으로부터 제2 기관(800)을 향하여 돌출되기 때문에, 서로 인접한 복수의 픽셀 영역 각각의 유기 발광층(630) 및 캐소드 전극(640)은 제1 격벽(210)에 의해 분리될 수 있다. 따라서, 투명 디스플레이 장치는 별도의 마스크 공정 없이 유기 발광층(630) 및 캐소드 전극(640)을 용이하게 패턴 증착할 수 있다.
- [0141] 일 예에 따르면, 복수의 픽셀 영역 각각의 유기 발광층(630) 및 캐소드 전극(640)은 역테이퍼 구조로 형성된 제1 격벽(210)에 의해 분리됨될 수 있다. 이 때, 캐소드 전극(640)은 제1 격벽(210) 및 유기 발광층(630)의 상면 및 측면을 둘러쌀 수 있다. 그리고, 제1 격벽(210)은 बैं크(530)와 소정 거리를 두고 이격될 수 있고, 제4 보조 전극(660) 및 캐소드 전극(640)은 제1 격벽(210)과 बैं크(530) 사이의 이격된 공간(CA)을 통해 접촉할 수 있다. 따라서, 제1 격벽(210)에 의해 분리된 복수의 캐소드 전극(640) 각각은 제4 보조 전극(660)과 전기적으로 연결될 수 있다. 결과적으로, 제4 보조 전극(660) 및 격벽(200)에 의해 분리된 복수의 캐소드 전극(640)이 연결됨으로써, 투명 디스플레이 장치가 대면적 디스플레이 장치로 구현되는 경우, 투명 디스플레이 장치는 복수의 픽셀 영역 모두에서 구성들 간의 전기적 연결을 보완하여, 복수의 픽셀 영역의 구성들 간의 신호 및 전원을 용이하게 전달할 수 있다.
- [0142] 구체적으로, 유기 발광층(630)의 증착 시에, 제1 격벽(210)의 상면은 처마(Eaves)와 같은 역할을 할 수 있고, 제1 격벽(210)은 처마(Eaves)의 아래 영역(CA)에 유기 발광층(630)이 증착되는 것을 방지할 수 있다. 따라서, 제1 격벽(210)의 상면이 제1 격벽(210)과 बैं크(530) 사이의 이격된 공간과 중첩되도록 배치되는 경우, 유기 발광층(630)은 제1 격벽(210)과 बैं크(530) 사이의 이격된 공간(CA)으로 침투할 수 없고, 제4 보조 전극(660)은 제1 격벽(210)과 बैं크(530) 사이의 이격된 공간(CA)을 통해 노출될 수 있다. 여기에서, 유기 발광층(630)은 증발법(Evaporation)과 같은 증착 물질의 직진성이 우수한 증착 공정을 통해 형성될 수 있기 때문에, 유기 발광층(630)은 증착 공정을 통해 제1 격벽(210)과 बैं크(530) 사이의 공간(CA)에 증착되지 않을 수 있다. 결과적으로, 투명 디스플레이 장치는 제1 격벽(210)을 형성함으로써, 별도의 마스크 공정 없이 유기 발광층(630) 및 캐소드 전극(640)을 복수의 픽셀 영역마다 분리하여 형성할 수 있다.
- [0143] 그리고, 제1 격벽(210)은 처마(Eaves) 역할을 하기 위해서, 제1 격벽(210)의 상부 폭은 하부 폭보다 넓게 형성될 수 있다. 일 예에 따르면, 제1 격벽(210)은 하부 격벽(210-1) 및 상부 격벽(210-2)을 포함할 수 있다. 하부 격벽(210-1)은 제4 보조 전극(660) 상에 형성되고, बैं크(530)와 동일한 물질로 동일한 공정을 통해 형성될 수 있다. 상부 격벽(210-2)은 하부 격벽(210-1) 상에 형성되고, 상부 격벽(210-2)의 상부 폭은 하부 폭보다 넓게 형성될 수 있다. 따라서, 상부 격벽(210-2)의 상면은 증착이 수행되는 방향에서 제1 격벽(210)과 बैं크(530) 사이의 이격된 공간(CA)을 가리도록 구성됨으로써, 상부 격벽은 처마(Eaves) 역할을 수행할 수 있다.
- [0144] 도 6a 내지 도 6d는 본 출원의 일 예에 따른 투명 디스플레이 장치에서, 제1 격벽의 추가 실시예를 나타내는 단면도이다.
- [0145] 도 6a 및 도 6b를 참조하면, 격벽(200)은 상부 폭이 하부 폭보다 넓은 역테이퍼 구조를 가질 수 있다. 그리고, 격벽(200)은 폭과 높이가 서로 다른 제1 측 격벽(200a) 및 제2 측 격벽(200b)을 포함할 수 있다.
- [0146] 제1 측 격벽(200a)은 제1 기관(100)의 제1 방향(X)으로 연장되고, 제1 방향(X)과 직교하는 제2 방향(Y)을 따라 이격되게 배치될 수 있다. 일 예에 따르면, 제1 측 격벽(200a)의 상부 폭(d1)은 제2 측 격벽(200b)의 상부 폭(d3)보다 넓을 수 있다. 그리고, 제1 측 격벽(200a)의 높이(d2)는 제2 측 격벽(200b)의 높이(d4)보다 낮을 수 있다. 그리고, 제2 측 격벽(200b)은 제2 방향(Y)으로 연장되고, 제1 방향(X)을 따라 이격되게 배치될 수 있다. 일 예에 따르면, 제2 측 격벽(200b)의 상부 폭(d3)은 제1 측 격벽(200a)의 상부 폭(d1)보다 좁을 수 있다. 그리고, 제2 측 격벽(200b)의 높이(d4)는 제1 측 격벽(200a)의 높이(d2)보다 높을 수 있다. 예를 들어, 투명 디스플레이 장치는 제1 방향(X)의 길이가 제2 방향(Y)의 길이보다 길게 형성되고, 투명 플렉서블 기관이 사용되어 롤링 또는 벤딩될 수 있다. 일반적으로, 투명 디스플레이 장치가 제2 방향(Y)으로 롤링 또는 벤딩되는 경우, 제2 방향(Y)을 따라 디스플레이 패널 내에 스트레스가 발생할 수 있다. 따라서, 투명 디스플레이 장치가 제2 방향(Y)으로 롤링 또는 벤딩되는 경우, 제1 측 격벽(200a)은 제2 측 격벽(200b)보다 폭이 넓고 높이가 낮게 형성되고, 제2 측 격벽(200b)은 제1 측 격벽(200a)보다 폭이 좁고 높이가 높게 형성됨으로써, 투명 디스플레이 장치의 롤링 또는 벤딩 시에 발생하는 스트레스를 감소시켜 강성을 보완함으로써, 유기 발광 소자의 박리를 방지할 수 있다. 결과적으로, 격벽(200)은 제1 측 격벽(200a)의 폭(d1) 및 높이(d2), 제2 측 격벽(200b)의 폭(d3) 및 높

이(d4)를 조절함으로써, 투명 디스플레이 장치의 여러 방향으로 부가될 수 있는 스트레스를 완화하여 강성을 더욱 보완할 수 있다.

[0147] 예를 들어, 투명 디스플레이 장치가 제1 방향(X)의 길이가 제2 방향(Y)의 길이보다 길게 형성되는 경우, 제2 측 격벽(200b)은 상부 폭(d3)이 제1 측 격벽(200a)의 상부 폭(d1)보다 좁고, 높이(d4)가 제1 측 격벽(200a)의 높이(d2)보다 높게 형성됨으로써, 투명 디스플레이 장치의 강성을 보완할 수 있다.

[0148] 도 6c를 참조하면, 격벽(200c)은 하부 격벽 및 상부 격벽을 포함하고, 상부 격벽은 베이스 격벽(201) 및 돌출 격벽(203)을 포함할 수 있다. 구체적으로, 하부 격벽은 제4 보조 전극(660) 상에 형성되고, बैं크(530)와 동일한 물질로 동일한 공정을 통해 형성될 수 있다. 베이스 격벽(201)은 하부 격벽 상에 형성되고, 베이스 격벽(201)의 상부 폭은 하부 폭보다 넓게 형성될 수 있다. 그리고, 돌출 격벽(203)은 베이스 격벽(201) 상에 마련되고, 베이스 격벽(201)의 폭보다 좁은 폭을 갖는 역테이퍼 구조로 구현될 수 있다. 이와 같이, 상부 격벽은 베이스 격벽(201) 및 돌출 격벽(203)을 갖는 이중 역테이퍼 구조로 형성됨으로써, 도 6a 및 도 6b의 격벽보다 충전층(540)과의 접촉 면적 및 마찰 면적을 증가시켜 충전층(540)을 안정적으로 지지할 수 있고, 투명 디스플레이 장치의 강성을 더욱 보완하여 신뢰성을 향상시킬 수 있다.

[0149] 도 6d를 참조하면, 격벽(200d)은 플라즈마 처리(Plasma treatment) 및 화학 표면 처리(Chemical surface treatment)를 통해 상부 격벽(205)의 상면에 작용기(Functional group)(207)를 형성할 수 있다. 여기에서, 작용기(Functional group)(207)는 플라즈마 처리를 통하여 격벽 표면 분자를 활성화시켜 -OH와 같은 작용기를 형성하여 표면 에너지를 높이거나, 화학 표면 처리를 통해 -F같은 친수성 작용기의 분자를 표면에 부착 또는 치환시켜 충전층과의 친화력을 높일 수 있다. 따라서, 격벽(200d)은 상부 격벽(205)의 상면에 작용기(207)가 형성됨으로써, 충전층(540)과의 접착력 및 마찰력을 증가시켜 충전층(540)을 안정적으로 지지할 수 있고, 투명 디스플레이 장치의 강성을 더욱 보완하여 신뢰성을 향상시킬 수 있다.

[0150] 도 7은 본 출원의 일 예에 따른 투명 디스플레이 장치에서, 격벽의 제조 과정을 설명하는 도면이다.

[0151] 도 7을 참조하면, 격벽의 재료(200)는 임시 기판(10) 상에 마련될 수 있다. 예를 들어, 격벽의 재료(200)는 네거티브 포토레지스트(Negative photoresist)로 구현될 수 있다. 네거티브 포토레지스트의 일부 영역은 마스크(20)를 통해 개시제(Initiator) 또는 중합 개시제(Polymerization initiator)에 노출될 수 있다. 중합 개시제(Polymerization initiator)에 노출된 영역은 열 경화(Thermal hardening) 단계에서 역테이퍼 형상으로 경화될 수 있다. 마지막으로, 격벽(200)은 액액(Liquid chemical) 침투 과정을 통해 역테이퍼 형상을 제외한 나머지 부분이 제거될 수 있다. 격벽(200)은 상기 과정을 통해 역테이퍼 형상을 가질 수 있다.

[0152] 결과적으로, 본 출원에 따른 투명 디스플레이 장치는 격벽을 통해 복수의 픽셀 영역 각각을 둘러싸으로써, 디스플레이 패널 내의 스트레스를 감소시키고 유기 발광 소자의 박리 및 투습 전파를 방지하여 디스플레이 패널의 신뢰성을 향상시킬 수 있고, 역테이퍼 구조를 갖는 제1 및 제2 격벽을 통해 투명 디스플레이 장치의 강성을 보완할 수 있다. 그리고, 박리 및 압점 전파를 방지하여 픽셀의 불량률을 최소화할 수 있다.

[0153] 이상에서 설명한 본 출원은 전술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 출원의 기술적 사항을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 출원이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다. 그러므로, 본 출원의 범위는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 출원의 범위에 포함되는 것으로 해석되어야 한다.

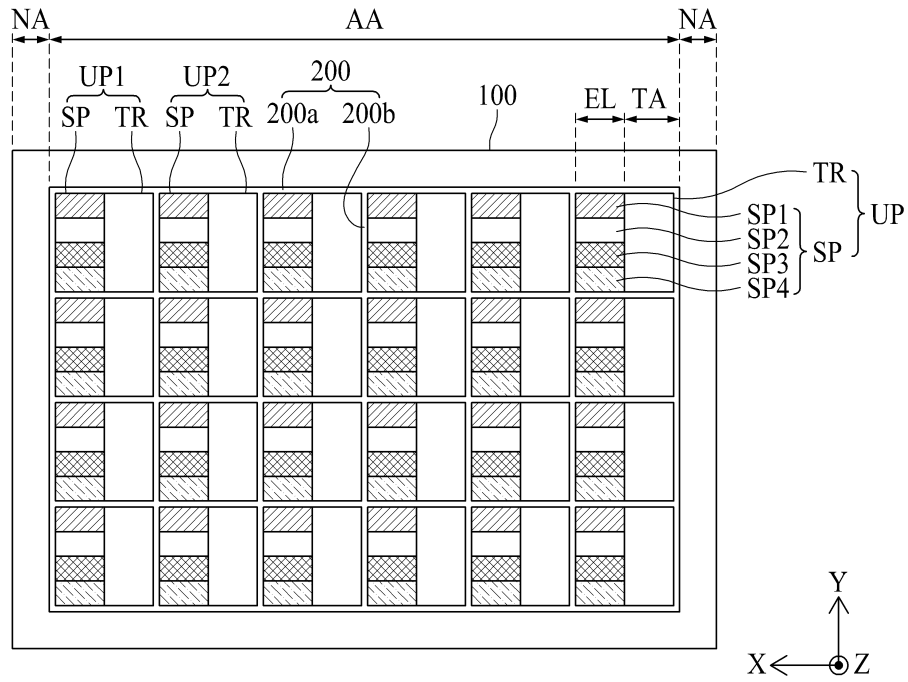
부호의 설명

[0154] 100: 제1 기판 110: 멀티 버퍼층
200: 격벽 T: 박막 트랜지스터
410: 신호 패드 420: 제1 보조 전극
430: 패드 전극 440: 저장 커패시터
510, 520: 제1 및 제2 평탄화층 530: बैं크
540: 충전층 E: 유기 발광 소자
710: 컬러 필터 720: 블랙 매트릭스

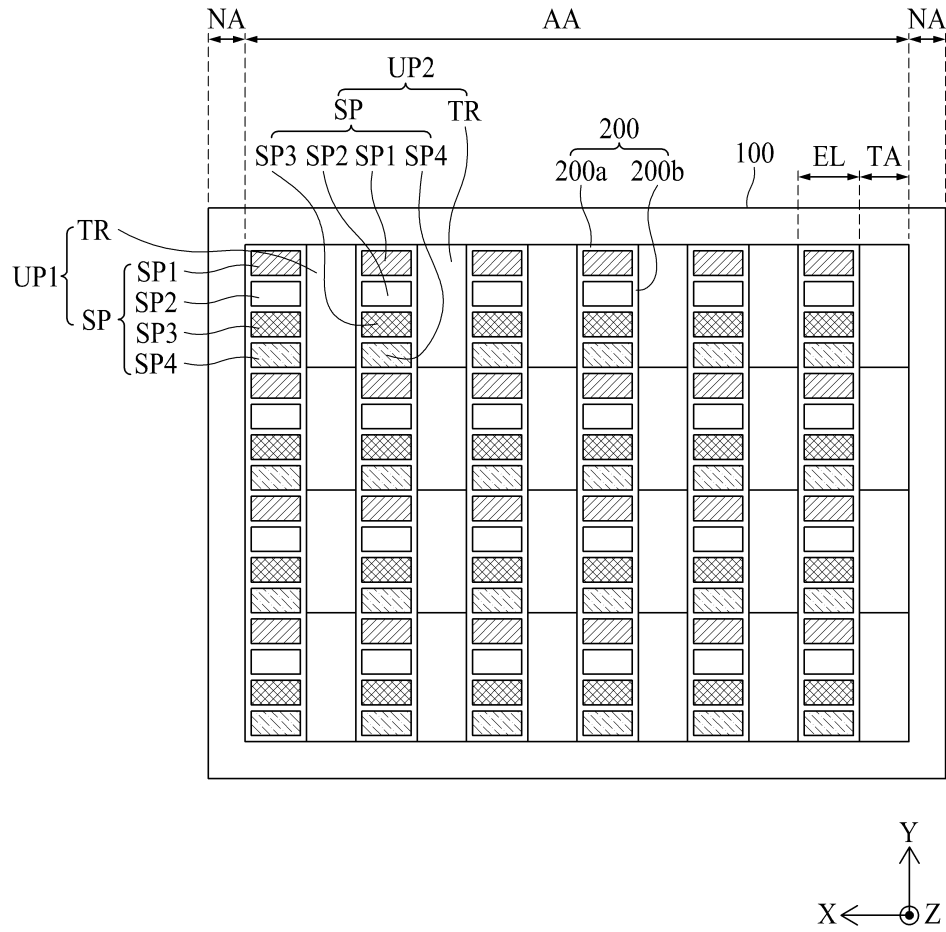
800: 제2 기판

도면

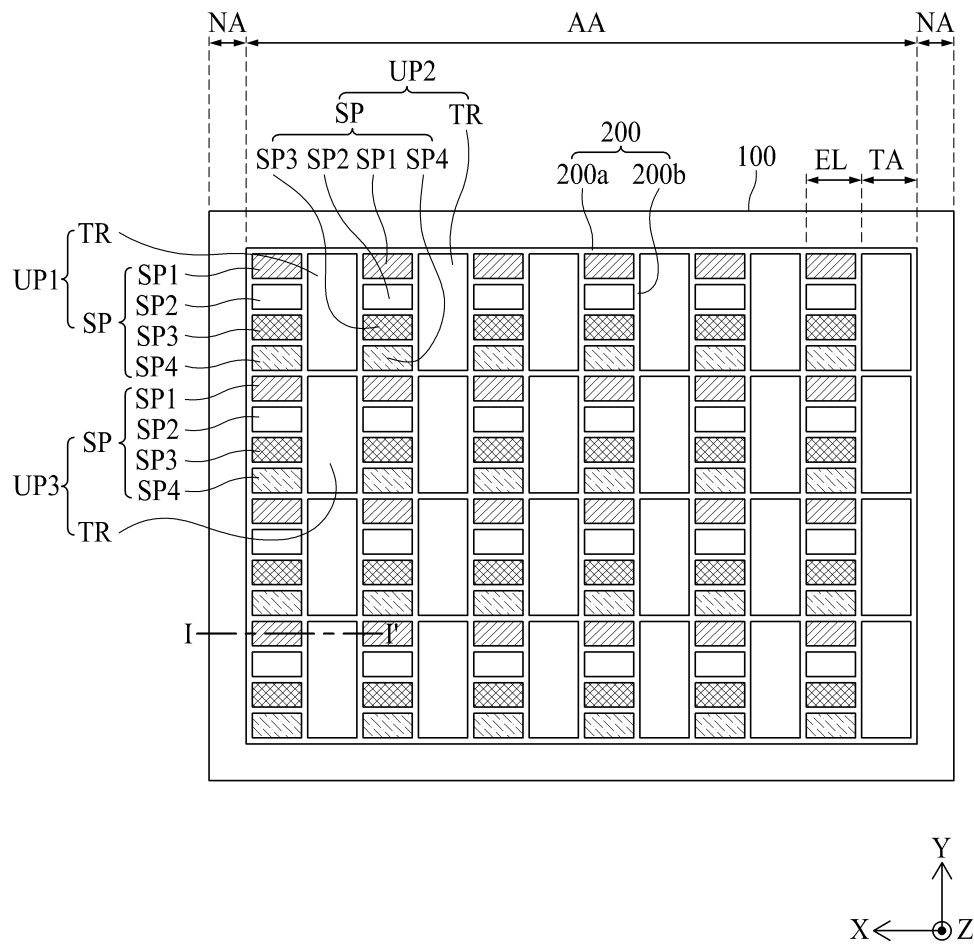
도면1



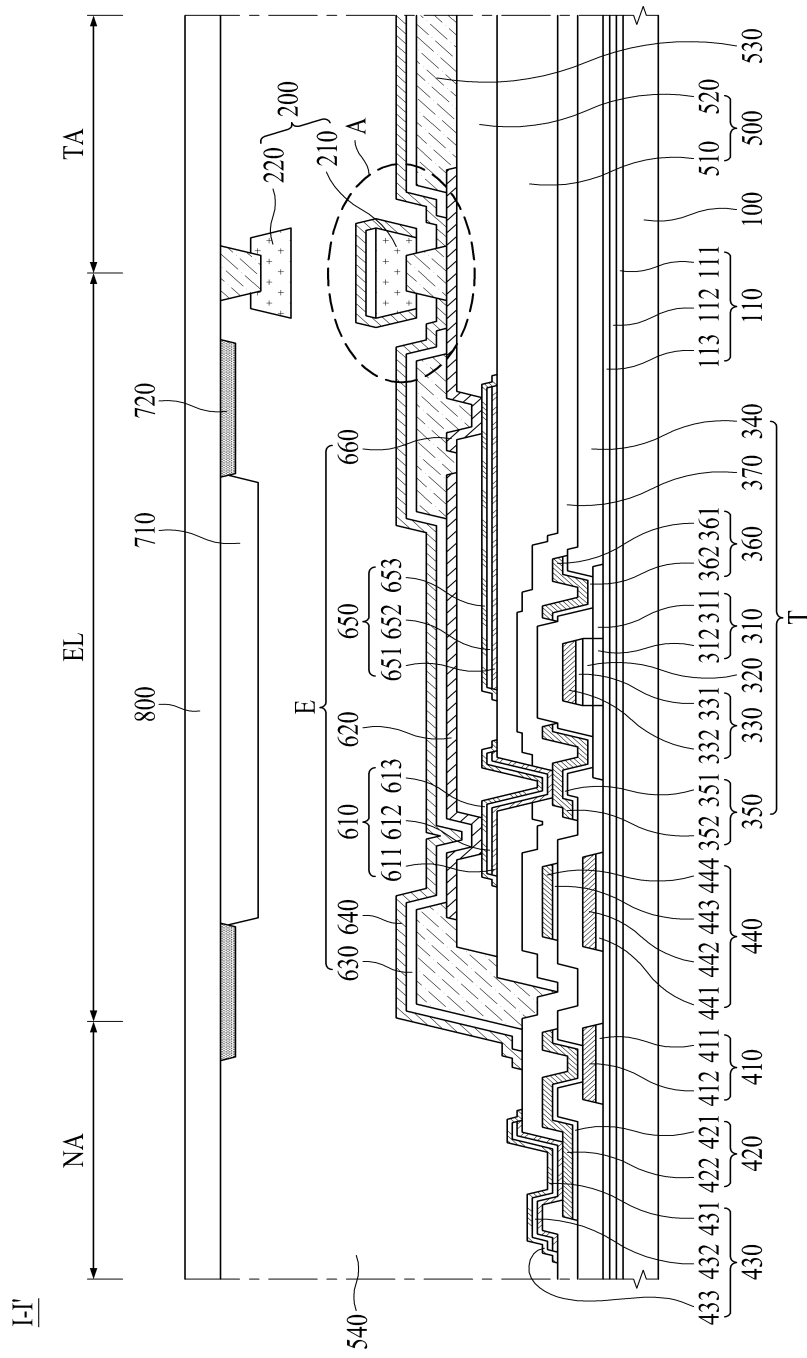
도면2



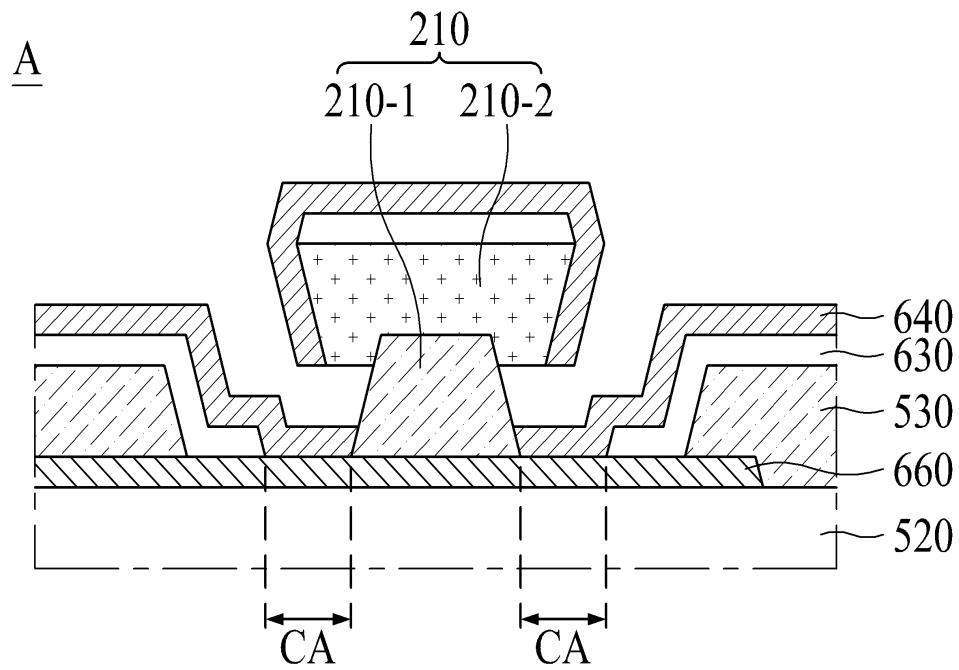
도면3



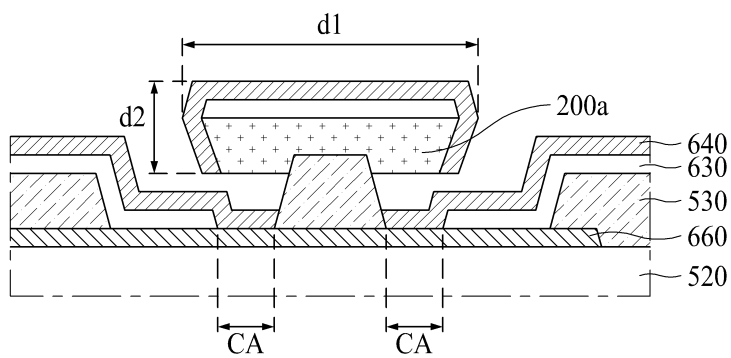
도면4



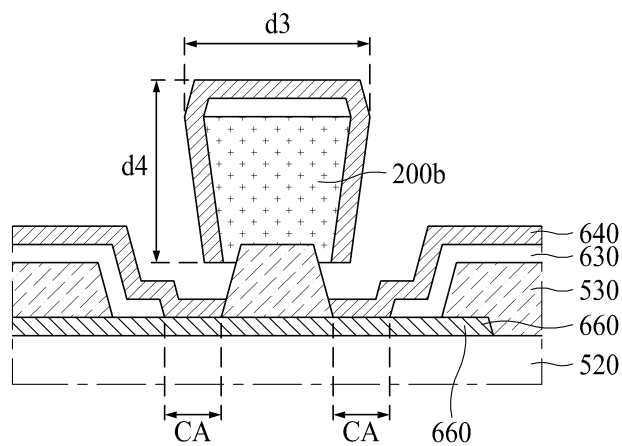
도면5



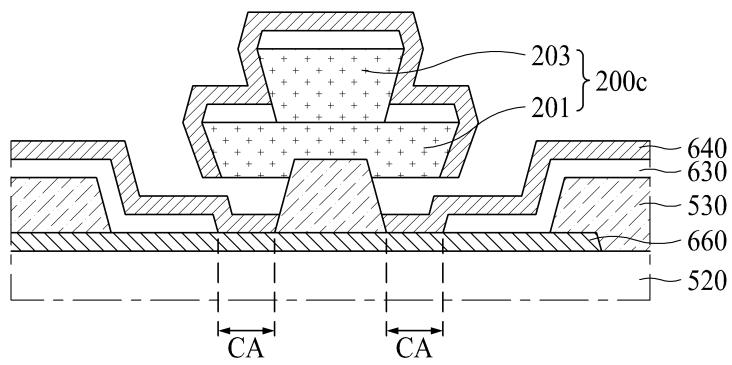
도면6a



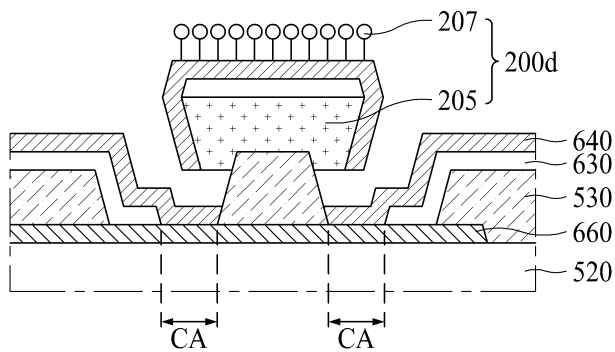
도면6b



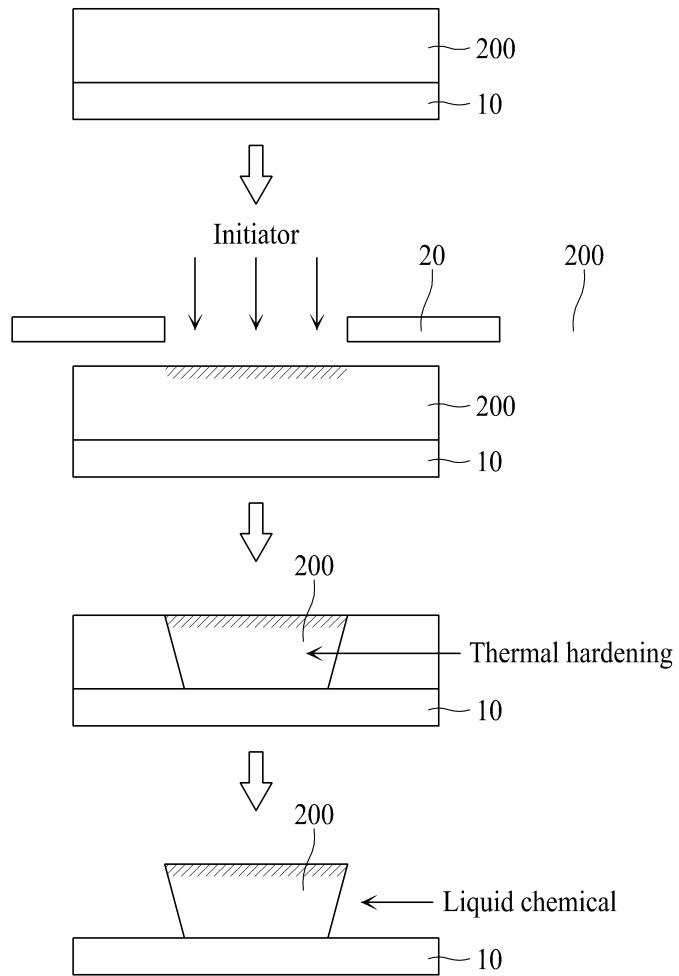
도면6c



도면6d



도면7



专利名称(译)	透明显示设备		
公开(公告)号	KR1020190048776A	公开(公告)日	2019-05-09
申请号	KR1020170143982	申请日	2017-10-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	정현주		
发明人	정현주		
IPC分类号	H01L51/52 H01L27/32		
CPC分类号	H01L51/5237 H01L27/3211 H01L27/3262 H01L51/5203 H01L27/1248 H01L27/322 H01L27/3246 H01L27/326 H01L51/5228 H01L51/5246 H01L51/5253 H01L27/1255 H01L27/3265 H01L51/5212		
外部链接	Espacenet		

摘要(译)

根据本申请的示例的透明显示装置包括：第一基板，其包括多个像素区域；包围所述多个像素区域中的每个的第一分隔壁；覆盖层，其覆盖所述第一分隔壁和所述多个像素区域；以及填充层。通过包括结合到第二基板的第二基板，可以减小显示面板中的应力，并且可以防止有机发光器件的剥离和湿气渗透传播，从而提高显示面板的可靠性。

