



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0042871
(43) 공개일자 2018년04월27일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01)
(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2300/043 (2013.01)
(21) 출원번호 10-2016-0134858
(22) 출원일자 2016년10월18일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이현석
서울특별시 노원구 노원로22길 53 (중계동,
주공10단지아파트) 1027동 1007호
설정업
경기도 파주시 후곡로 50 421동 901호 (금촌동, 후
곡마을아파트)
(74) 대리인
특허법인로얄

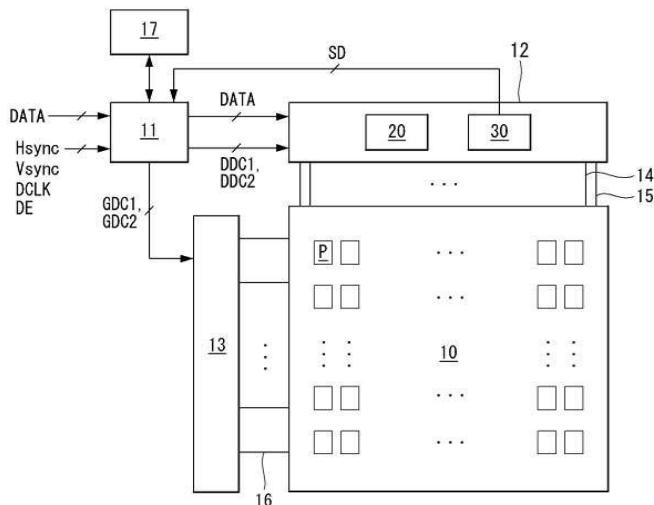
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 유기발광 표시장치와 그 구동방법

(57) 요 약

본 발명의 유기발광 표시장치는 다수의 화소들이 구비된 표시패널; 서로 종속적으로 접속된 다수의 스테이지들을 구비하며, 디스플레이 오프 구간에서 센싱용 케이트 쉬프트 클럭에 따른 센싱용 스캔 제어신호를 생성하여 상기 표시패널의 센싱 대상 화소라인에 위치하는 화소들에 인가하는 케이트 구동회로; 및 상기 센싱용 스캔 제어신호에 따라 상기 화소들의 전기적 특성을 센싱하여 센싱 데이터를 획득하는 센싱부를 구비하고, 상기 센싱용 케이트 쉬프트 클럭은, 상기 화소들에 입력 영상 데이터를 기입하기 위한 디스플레이용 스캔 제어신호를 생성하는 데 필요한 디스플레이용 케이트 쉬프트 클럭과 다르다.

대 표 도 - 도1



(52) CPC특허분류

G09G 2300/0828 (2013.01)

G09G 2310/061 (2013.01)

명세서

청구범위

청구항 1

다수의 화소들이 구비된 표시패널;

서로 종속적으로 접속된 다수의 스테이지들을 구비하며, 디스플레이 오프 구간에서 센싱용 게이트 쉬프트 클럭에 따른 센싱용 스캔 제어신호를 생성하여 상기 표시패널의 센싱 대상 화소라인에 위치하는 화소들에 인가하는 게이트 구동회로; 및

상기 센싱용 스캔 제어신호에 따라 상기 화소들의 전기적 특성을 센싱하여 센싱 데이터를 획득하는 센싱부를 구비하고,

상기 센싱용 게이트 쉬프트 클럭은, 상기 화소들에 입력 영상 데이터를 기입하기 위한 디스플레이용 스캔 제어신호를 생성하는 데 필요한 디스플레이용 게이트 쉬프트 클럭과 다른 유기발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 디스플레이 오프 구간은,

상기 센싱 대상 화소라인을 찾기 위해 상기 게이트 스타트 펄스가 인가되는 첫번째 스테이지부터 상기 센싱용 스캔 제어신호를 출력하는 센싱 스테이지 직전까지의 제1 군의 스테이지들에 상기 디스플레이용 게이트 쉬프트 클럭들을 인가하여 상기 제1 군의 스테이지들을 순차적으로 구동시키는 제1 기간과,

상기 센싱용 게이트 쉬프트 클럭과 상기 제1 군의 스테이지들 중의 어느 하나로부터의 캐리 신호를 상기 센싱 스테이지에 인가하여 상기 센싱용 스캔 제어신호를 생성하는 제2 기간과,

상기 센싱 스테이지 직후부터 마지막번째 스테이지까지의 제2 군의 스테이지들에 상기 디스플레이용 게이트 쉬프트 클럭들을 인가하여 상기 제2 군의 스테이지들을 순차적으로 구동시키는 제3 기간을 포함하는 유기발광 표시장치.

청구항 3

제 2 항에 있어서,

상기 제2 기간에서 상기 게이트 구동회로에 상기 디스플레이용 게이트 쉬프트 클럭들의 입력은 중지되는 유기발광 표시장치.

청구항 4

제 2 항에 있어서,

상기 센싱용 게이트 쉬프트 클럭은 제1 펄스, 및 상기 제1 펄스에 이은 제2 펄스를 포함하는 유기발광 표시장치.

청구항 5

제 4 항에 있어서,

상기 제1 펄스의 상기 센싱용 게이트 쉬프트 클럭에 동기하여 블랙 계조용 데이터전압을 상기 표시패널의 센싱 대상 화소라인에 위치하는 화소들에 인가하고,

상기 제2 펄스의 상기 센싱용 게이트 쉬프트 클럭에 동기하여 센싱용 데이터전압을 상기 표시패널의 센싱 대상 화소라인에 위치하는 화소들에 인가하는 데이터전압 공급부를 더 구비하는 유기발광 표시장치.

청구항 6

제 5 항에 있어서,

상기 데이터전압 공급부는, 상기 제3 기간의 상기 디스플레이용 게이트 쉬프트 클럭들 중 위상이 가장 빠른 디스플레이용 게이트 쉬프트 클럭에 동기하여 상기 블랙 계조용 데이터전압을 상기 표시패널의 센싱 대상 화소라인에 위치하는 화소들에 인가하는 유기발광 표시장치.

청구항 7

제 1 항에 있어서,

상기 디스플레이 오프 구간은 상기 화소들에 영상 데이터가 기입되지 않는 수직 블랭크 기간을 지시하는 유기발광 표시장치.

청구항 8

디스플레이 오프 구간에서 센싱용 게이트 쉬프트 클럭에 따른 센싱용 스캔 제어신호를 생성하여 표시패널의 센싱 대상 화소라인에 위치하는 화소들에 인가하는 단계; 및

상기 센싱용 스캔 제어신호에 따라 상기 화소들의 전기적 특성을 센싱하여 센싱 데이터를 획득하는 단계를 구비하고,

상기 센싱용 게이트 쉬프트 클럭은, 상기 화소들에 입력 영상 데이터를 기입하기 위한 디스플레이용 스캔 제어신호를 생성하는 데 필요한 디스플레이용 게이트 쉬프트 클럭과 다른 유기발광 표시장치의 구동방법.

청구항 9

제 8 항에 있어서,

상기 디스플레이 오프 구간은,

상기 센싱 대상 화소라인을 찾기 위해 상기 게이트 스타트 펄스가 인가되는 첫번째 스테이지부터 상기 센싱용 스캔 제어신호를 출력하는 센싱 스테이지 직전까지의 제1 군의 스테이지들에 상기 디스플레이용 게이트 쉬프트 클럭들을 인가하여 상기 제1 군의 스테이지들을 순차적으로 구동시키는 제1 기간과,

상기 센싱용 게이트 쉬프트 클럭과 상기 제1 군의 스테이지들 중의 어느 하나로부터의 캐리 신호를 상기 센싱 스테이지에 인가하여 상기 센싱용 스캔 제어신호를 생성하는 제2 기간과,

상기 센싱 스테이지 직후부터 마지막번째 스테이지까지의 제2 군의 스테이지들에 상기 디스플레이용 게이트 쉬프트 클럭들을 인가하여 상기 제2 군의 스테이지들을 순차적으로 구동시키는 제3 기간을 포함하는 유기발광 표시장치의 구동방법.

청구항 10

제 9 항에 있어서,

상기 제2 기간에서 상기 디스플레이용 게이트 쉬프트 클럭들의 입력은 중지되는 유기발광 표시장치의 구동방법.

청구항 11

제 9 항에 있어서,

상기 센싱용 게이트 쉬프트 클럭은 제1 펄스, 및 상기 제1 펄스에 이은 제2 펄스를 포함하는 유기발광 표시장치의 구동방법.

청구항 12

제 11 항에 있어서,

상기 제1 펄스의 상기 센싱용 게이트 쉬프트 클럭에 동기하여 블랙 계조용 데이터전압을 상기 표시패널의 센싱 대상 화소라인에 위치하는 화소들에 인가하는 단계; 및

상기 제2 펄스의 상기 센싱용 게이트 쉬프트 클럭에 동기하여 센싱용 데이터전압을 상기 표시패널의 센싱 대상 화소라인에 위치하는 화소들에 인가하는 단계를 더 구비하는 유기발광 표시장치의 구동방법.

청구항 13

제 9 항에 있어서,

상기 제3 기간의 상기 디스플레이용 게이트 쉬프트 클럭들 중 위상이 가장 빠른 디스플레이용 게이트 쉬프트 클럭에 동기하여 상기 블랙 계조용 데이터전압을 상기 표시패널의 센싱 대상 화소라인에 위치하는 화소들에 인가하는 단계를 더 구비하는 유기발광 표시장치의 구동방법.

청구항 14

제 8 항에 있어서,

상기 디스플레이 오프 구간은 상기 화소들에 영상 데이터가 기입되지 않는 수직 블랭크 기간을 지시하는 유기발광 표시장치의 구동방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광 표시장치와 그 구동방법에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스 타입(active matrix type)의 유기발광 표시장치는 스스로 발광하는 유기발광다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 자발광 소자인 OLED는 애노드전극 및 캐소드전극과, 이를 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)으로 이루어진다. 애노드전극과 캐소드전극에 전원전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0004] 유기발광 표시장치는 OLED와 구동 TFT(Thin Film Transistor)를 각각 포함한 화소들을 매트릭스 형태로 배열하고 영상 데이터의 계조에 따라 화소들에서 구현되는 영상의 휘도를 조절한다. 구동 TFT는 자신의 게이트전극과 소스전극 사이에 걸리는 전압(이하, "게이트-소스 간 전압"이라 함)에 따라 OLED에 흐르는 구동전류를 제어한다. 구동전류에 따라 OLED의 발광량이 결정되며, OLED의 발광량에 따라 영상의 휘도가 결정된다.

[0005] 일반적으로 구동 TFT가 포화 영역에서 동작할 때, 구동 TFT의 드레인-소스 사이에 흐르는 구동 전류(Ids)는 아래의 수학식 1과 같이 표현된다.

[0006] [수학식 1]

$$Ids = 1/2 * (\mu * C * W/L) * (Vgs - Vth)^2$$

[0008] 수학식 1에서, μ 는 전자 이동도를, C 는 게이트 절연막의 정전 용량을, W 는 구동 TFT의 채널 폭을, 그리고 L 은 구동 TFT의 채널 길이를 각각 나타낸다. 그리고, Vgs 는 구동 TFT의 게이트-소스 간 전압을 나타내고, Vth 는 구동 TFT의 문턱전압(또는 임계전압)을 나타낸다. 화소 구조에 따라서, 구동 TFT의 게이트-소스 간 전압(Vgs)이 데이터전압과 기준전압 간의 차 전압이 될 수 있다. 데이터전압은 영상 데이터의 계조에 대응되는 아날로그 전압이고 기준전압은 고정된 전압이므로, 데이터전압에 따라 구동 TFT의 게이트-소스 간 전압(Vgs)이 프로그래밍(또는 설정)된다. 그리고, 프로그래밍된 게이트-소스 간 전압(Vgs)에 따라 구동 전류(Ids)가 결정된다.

[0009] 구동 TFT의 문턱 전압(Vth), 구동 TFT의 전자 이동도(μ), 및 OLED의 문턱 전압 등과 같은 화소의 전기적 특성은 구동 전류(Ids)를 결정하는 팩터(factor)가 되므로 모든 화소들에서 동일해야 한다. 하지만, 공정 특성, 시변 특성 등 다양한 원인에 의해 화소들 간에 전기적 특성이 달라질 수 있다. 이러한 전기적 특성 편차는 휘도 편차를 초래하여 원하는 화상에 제약이 된다.

[0010] 화소들 간의 휘도 편차를 보상하기 위해, 화소의 전기적 특성을 센싱하고, 그 센싱 결과를 기초로 입력 영상의

디지털 데이터를 보정하는 외부 보상 기술이 알려져 있다. 휘도 편차가 보상되기 위해서는, 화소에 인가되는 데 이터전압이 Δx 만큼 변화될 때 Δy 만큼의 전류 변화가 보장되어야 한다. 따라서, 외부 보상 기술은 화소별 Δx 를 연산하여 동일한 구동 전류가 OLED에 인가되도록 하여 같은 밝기를 구현하는 것이다. 즉, 외부 보상 기술은 계조 값을 조절하여 각 화소별 밝기가 같아지도록 보상하는 것이다.

[0011] 종래의 외부 보상 기술은 디스플레이 구동이 시작되기 전의 파워 온 시퀀스 기간에서 수행되거나, 또는 디스플레이 구동이 끝난 후의 파워 오프 시퀀스 기간에서 수행되었다. 이렇게 디스플레이 구동 기간 이외에서 센싱 및 보상이 수행되면, 디스플레이 구동 중에 화소의 전기적 특성이 변하는 것을 실시간으로 보상하기는 어렵다. 디스플레이 구동이 진행되는 과정에서 구동 TFT의 전기적 특성은 계속해서 변하기 때문에 보상 성능을 높이기 위해서는 실시간으로 구동 TFT의 전기적 특성 변화를 보상해 주어야 한다.

발명의 내용

해결하려는 과제

[0012] 따라서, 본 발명의 목적은 디스플레이 구동이 진행되는 도중에 실시간으로 화소의 전기적 특성을 센싱 및 보상하여 보상 성능을 높일 수 있도록 한 유기발광 표시장치와 그 구동방법을 제공하는 데 있다.

[0013] 본 발명의 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0014] 상기 목적을 달성하기 위하여, 본 발명의 유기발광 표시장치는 다수의 화소들이 구비된 표시패널; 서로 종속적으로 접속된 다수의 스테이지들을 구비하며, 디스플레이 오프 구간에서 센싱용 게이트 쉬프트 클럭에 따른 센싱 용 스캔 제어신호를 생성하여 상기 표시패널의 센싱 대상 화소라인에 위치하는 화소들에 인가하는 게이트 구동 회로; 및 상기 센싱용 스캔 제어신호에 따라 상기 화소들의 전기적 특성을 센싱하여 센싱 데이터를 획득하는 센싱부를 구비하고, 상기 센싱용 게이트 쉬프트 클럭은, 상기 화소들에 입력 영상 데이터를 기입하기 위한 디스플레이용 스캔 제어신호를 생성하는 데 필요한 디스플레이용 게이트 쉬프트 클럭과 다르다.

[0015] 상기 디스플레이 오프 구간은, 상기 센싱 대상 화소라인을 찾기 위해 상기 게이트 스타트 펄스가 인가되는 첫번째 스테이지부터 상기 센싱용 스캔 제어신호를 출력하는 센싱 스테이지 직전까지의 제1 군의 스테이지들에 상기 디스플레이용 게이트 쉬프트 클럭들을 인가하여 상기 제1 군의 스테이지들을 순차적으로 구동시키는 제1 기간과, 상기 센싱용 게이트 쉬프트 클럭과 상기 제1 군의 스테이지들 중의 어느 하나로부터의 캐리 신호를 상기 센싱 스테이지에 인가하여 상기 센싱용 스캔 제어신호를 생성하는 제2 기간과, 상기 센싱 스테이지 직후부터 마지막번째 스테이지까지의 제2 군의 스테이지들에 상기 디스플레이용 게이트 쉬프트 클럭들을 인가하여 상기 제2 군의 스테이지들을 순차적으로 구동시킨다.

[0016] 상기 제2 기간에서 상기 게이트 구동회로에 상기 디스플레이용 게이트 쉬프트 클럭들의 입력은 중지된다.

[0017] 상기 센싱용 게이트 쉬프트 클럭은 제1 펄스, 및 상기 제1 펄스에 이은 제2 펄스를 포함한다.

[0018] 본 발명의 유기발광 표시장치는 상기 제1 펄스의 상기 센싱용 게이트 쉬프트 클럭에 동기하여 블랙 계조용 데이터전압을 상기 표시패널의 센싱 대상 화소라인에 위치하는 화소들에 인가하고, 상기 제2 펄스의 상기 센싱용 게이트 쉬프트 클럭에 동기하여 센싱용 데이터전압을 상기 표시패널의 센싱 대상 화소라인에 위치하는 화소들에 인가하는 데이터전압 공급부를 더 구비한다.

[0019] 상기 데이터전압 공급부는, 상기 제3 기간의 상기 디스플레이용 게이트 쉬프트 클럭들 중 위상이 가장 빠른 디스플레이용 게이트 쉬프트 클럭에 동기하여 상기 블랙 계조용 데이터전압을 상기 표시패널의 센싱 대상 화소라인에 위치하는 화소들에 인가한다.

[0020] 상기 디스플레이 오프 구간은 상기 화소들에 영상 데이터가 기입되지 않는 수직 블랭크 기간을 지시한다.

[0021] 본 발명의 유기발광 표시장치의 구동방법은, 디스플레이 오프 구간에서 센싱용 게이트 쉬프트 클럭에 따른 센싱 용 스캔 제어신호를 생성하여 표시패널의 센싱 대상 화소라인에 위치하는 화소들에 인가하는 단계; 및 상기 센싱용 스캔 제어신호에 따라 상기 화소들의 전기적 특성을 센싱하여 센싱 데이터를 획득하는 단계를 구비하고, 상기 센싱용 게이트 쉬프트 클럭은, 상기 화소들에 입력 영상 데이터를 기입하기 위한 디스플레이용 스캔 제어 신호를 생성하는 데 필요한 디스플레이용 게이트 쉬프트 클럭과 다르다.

발명의 효과

- [0022] 본 발명은 디스플레이 구동이 진행되는 도중의 디스플레이 오프 구간에서 실시간으로 화소의 전기적 특성을 셈싱 및 보상하여 보상 성능을 높일 수 있다.
- [0023] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

- [0024] 도 1은 본 발명의 일 실시예에 따른 유기발광 표시장치를 보여주는 블록도이다.
- 도 2는 본 발명의 실시예에 따른 데이터전압 공급부, 셈싱부 및 화소의 일 접속 구성을 보여주는 도면이다.
- 도 3은 본 발명의 실시예에 따른 데이터전압 공급부, 셈싱부 및 화소의 다른 접속 구성을 보여주는 도면이다.
- 도 4는 보상에 필요한 타이밍 콘트롤러의 내부 구성을 보여주는 도면이다.
- 도 5는 화상이 표시되는 디스플레이 구간과, 실시간 셈싱이 이뤄지는 디스플레이 오프 구간을 보여주는 도면이다.
- 도 6은 수직 블랭크 기간에서 실시간 셈싱을 수행하는 콘셉을 보여주는 도면이다.
- 도 7은 게이트 구동회로의 사이즈를 줄이는데 적합합화소 어레이의 일 예를 보여주는 도면이다.
- 도 8은 도 7의 화소 어레이를 구성하는 화소의 일 등가회로를 보여주는 도면이다.
- 도 9는 도 7의 화소 어레이를 구동하기 위한 게이트 구동회로의 일 예시 구성을 보여주는 도면이다.
- 도 10은 수직 블랭크 기간 동안에 이뤄지는 실시간 셈싱 동작을 설명하기 위한 제반 신호들의 파형을 보여주는 도면이다.
- 도 11 내지 도 13은 외부 보상 모듈의 다양한 구현 예들을 보여주는 도면들이다.

발명을 실시하기 위한 구체적인 내용

- [0025] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0026] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0027] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0028] 위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0029] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이를 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0030] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0031] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 기술적

으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.

[0032] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.

[0033] 도 1은 본 발명의 일 실시예에 따른 유기발광 표시장치를 보여주는 블록도이다. 도 2는 본 발명의 실시예에 따른 데이터전압 공급부, 센싱부 및 화소의 일 접속 구성을 보여주는 도면이다. 도 3은 본 발명의 실시예에 따른 데이터전압 공급부, 센싱부 및 화소의 다른 접속 구성을 보여주는 도면이다. 그리고, 도 4는 보상에 필요한 타이밍 콘트롤러의 내부 구성을 보여주는 도면이다.

[0034] 도 1을 참조하면, 본 발명의 일 실시예에 따른 유기발광 표시장치는 표시패널(10), 타이밍 콘트롤러(11), 데이터 구동회로(12), 게이트 구동회로(13), 및 메모리(17)를 포함하도록 구성될 수 있다.

[0035] 표시패널(10)에는 복수의 화소(P)들, 복수의 데이터라인들(14), 복수의 기준라인들(15) 및 복수의 게이트라인들(16)이 구비된다.

[0036] 표시패널(10)의 화소(P)들은 매트릭스 형태로 배치되어 화소 어레이(Pixel array)를 구성한다. 각 화소(P)는 데이터전압이 공급되는 데이터라인들(14) 중 어느 하나에, 기준전압이 공급되는 기준라인들(15) 중 어느 하나에, 그리고 스캔 제어신호가 공급되는 게이트라인들(16) 중 어느 하나에 연결된다. 각 화소(P)는 전원생성부로부터 고전위 구동전원과 저전위 구동전원을 공급받도록 구성된다. 예를 들면, 전원생성부는 고전위 구동전원 배선 또는 패드부를 통해서 고전위 구동전원을 공급할 수 있다. 그리고 저전위 구동전원 배선 또는 패드부를 통해서 저전위 구동전원을 공급할 수 있다.

[0037] 실시예에서, 유기발광 표시장치는 적어도 하나의 외부 보상 회로를 포함할 수 있다. 외부 보상 회로를 기술은 화소(P)들에 구비된 구동 TFT 및/또는 OLED의 전기적 특성을 센싱하고 그 센싱 값에 따라 입력 영상 데이터(DAT A)를 보정하는 기술을 의미한다. 예를 들어, 외부 보상 회로는 구동 TFT의 전기적 특성으로써 구동 TFT의 문턱 전압과 구동 TFT의 전자 이동도를 센싱하고 그에 따른 화소(P)간 휘도 편차를 보상하도록 구성될 수 있다. 또한 외부 보상 회로는 OLED의 문턱전압을 센싱하고 그에 따른 화소(P)간 휘도 편차를 보상하도록 구성될 수 있다. 이러한 외부 보상 회로는 메모리(17), 데이터전압 공급부(20), 센싱부(30), 타이밍 콘트롤러(11)등을 포함할 수 있다.

[0038] 데이터 구동회로(12)는 표시패널(10)에 데이터전압을 공급하는 데이터전압 공급부(20)를 포함하며, 외부 보상을 위해 센싱부(30)를 더 포함할 수 있다.

[0039] 데이터전압 공급부(20)는 데이터라인들(14)을 통해 화소들(P)에 연결된다. 데이터전압 공급부(20)는 복수의 디지털-아날로그 컨버터들(이하, DAC)을 포함한다. 데이터전압 공급부(20)는 디스플레이 구동 시 타이밍 콘트롤러(11)로부터 입력되는 디지털 영상 데이터(DATA)를 디지털-아날로그 컨버터(DAC)를 통해 디스플레이용 데이터전압으로 변환하여 데이터라인들(14)에 공급한다. 데이터전압 공급부(20)는 센싱 구동 시 타이밍 콘트롤러(11)의 제어에 따라 디지털-아날로그 컨버터(DAC)를 통해 센싱용 데이터전압을 생성하여 데이터라인들(14)에 공급한다. 센싱용 데이터전압은 센싱 구동 시 각 화소(P)에 구비된 구동 TFT의 게이트전극에 인가되는 전압이다.

[0040] 센싱부(30)는 기준 라인들(15)을 통해 화소들(P)에 연결된다. 센싱부(30)는 디스플레이 구동 시 기준 전압(Vpre)을 생성하여 디스플레이용 스캔 제어신호에 따라 기준 라인들(15)에 공급한다. 센싱부(30)는 센싱 구동 시 센싱용 스캔 제어신호에 따라 기준 라인들(15)을 통해 화소들(P)의 구동 TFT 및/또는 OLED의 전기적 특성을 센싱한다. 센싱부(30)는 전압 센싱형 또는 전류 센싱형으로 구현될 수 있다.

[0041] 전압 센싱형은 도 2와 같이 샘플 앤 홀드 회로(SH)와 아날로그-디지털 컨버터(이하, ADC), 및 제1 및 제2 스위치(SW1, SW2)를 포함하여, 구동 TFT의 구동전류에 따른 구동 TFT의 소스전극 전압, 즉 기준 라인(15)의 라인 커패시터에 저장된 구동 TFT의 소스전극 전압을 센싱한다. 제1 및 제2 스위치(SW1, SW2)는 선택적으로 온 된다. 제1 스위치(SW1)는 기준 전압(Vpre)을 기준 라인(15)에 공급하기 위한 스위치이고, 제2 스위치(SW2)는 센싱 구동 시에 온 되는 스위치이다. ADC는 샘플 앤 홀드 회로(SH)에서 샘플링된 아날로그 센싱값들을 디지털 센싱값들(SD)로 변환한다.

[0042] 전류 센싱형은 도 3과 같이 샘플 앤 홀드 회로의 앞단에 전류 적분기를 더 포함하여 센싱 라인에 흐르는 구동 TFT의 구동전류를 직접 센싱한다. 도 3을 참조하면, 전류 센싱형은 전류 적분기와 샘플&홀드부를 포함할 수 있다. 전류 적분기는 기준 라인(15)을 통해 유입되는 전류 정보를 적분하여 아날로그 센싱 전압을 생성한다. 전류 적분기는 기준 라인(15)으로부터 구동 TFT의 전류를 입력받는 반전 입력단자(-), 기준전압(Vpre)을 입력받는

비 반전 입력단자(+) 및 출력 단자를 포함한 앰프(AMP)와, 앰프(AMP)의 반전 입력단자(-)와 출력 단자 사이에 접속된 적분 커패시터(Cfb)와, 적분 커패시터(Cfb)의 양단에 접속된 리셋 스위치(RST)를 포함한다. 전류 적분기는 샘플&홀드부를 통해 ADC에 연결된다. 샘플&홀드부는 앰프(AMP)로부터 출력되는 아날로그 센싱 전압을 샘플링하여 샘플링 커패시터(Cs)에 저장하는 샘플링 스위치(SAM), 샘플링 커패시터(Cs)에 저장된 센싱 전압을 ADC에 전달하기 위한 헀딩 스위치(HOLD)를 포함할 수 있다. ADC는 샘플&홀드부에서 샘플링된 아날로그 센싱값들을 디지털 센싱값들(SD)로 변환한다.

- [0043] 게이트 구동회로(13)는 디스플레이 구동시 게이트라인들(16)에 공급될 디스플레이용 스캔 제어신호를 생성한다. 디스플레이용 스캔 제어신호는 디스플레이용 데이터전압의 공급 타이임에 동기되는 신호이다. 게이트 구동회로(13)는 센싱 구동시 게이트라인들(16)에 공급될 센싱용 스캔 제어신호를 생성한다. 센싱용 스캔 제어신호는 센싱용 데이터전압의 공급 타이임에 동기되는 신호이다.
- [0044] 게이트 구동회로(13)는 레벨 쉬프터와, 및 게이트 쉬프트 레지스터를 구비한다.
- [0045] 레벨 쉬프터는 타이밍 콘트롤러(11)로부터 게이트 스타트펄스(Gate Start Pulse), N상(N은 2이상의 정수) 게이트 쉬프트 클럭들(Gate Shift Clock)을 포함한 제어신호를 입력받는다. 레벨 쉬프터는 제어신호의 TTL(Transistor-Transistor- Logic)로직 레벨 전압을 게이트 쉬프트 레지스터의 TFT를 스위칭시킬 수 있는 게이트 하이 전압과 게이트 로우 전압으로 레벨 쉬프팅한다. 레벨 쉬프터는 레벨 쉬프팅 된 게이트 스타트펄스, N상 게이트 쉬프트 클럭들을 게이트 쉬프트 레지스터에 공급한다.
- [0046] 게이트 쉬프트 레지스터는 게이트 스타트펄스에 따라 정해지는 구동 기간 내에서 게이트 스타트펄스를 N상 게이트 쉬프트 클럭들에 따라 쉬프트시켜 순차적으로 스캔 제어신호를 출력하는 스테이지들로 구성된다. 스테이지들은 서로 접속되며, 최상단 스테이지는 게이트 스타트 펄스에 의해 동작이 활성화되고, 나머지 스테이지들은 앞단 스테이지들 중 어느 하나의 출력 신호(캐리 신호)에 따라 동작이 활성화 될 수 있다.
- [0047] 이러한 게이트 쉬프트 레지스터(14)는 GIP(Gate In Panel) 방식으로 표시패널(10)의 하부 기판 상에 직접 형성될 수 있다. GIP 방식에서, 레벨 쉬프터는 PCB 상에 실장될 수 있다. 게이트 쉬프트 레지스터는 표시패널(10)에서 화소 어레이 바깥의 비 표시영역(즉, 베젤 영역)에 형성되며, 화소 어레이와 동일한 TFT 공정으로 형성될 수 있다.
- [0048] 타이밍 콘트롤러(11)는 어플리케이션 프로세서(또는, 호스트 시스템)로부터 입력되는 영상 데이터(DATA), 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블신호(DE) 등의 타이밍 신호들을 입력 받도록 구성될 수 있으나, 이에 제한되지 않는다.
- [0049] 타이밍 콘트롤러(11)는 입력된 신호들에 기초하여 디스플레이 구동시 데이터 구동회로(12)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC1)와, 센싱 구동시 데이터 구동회로(12)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC2)와, 디스플레이 구동시 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC1)와, 센싱 구동시 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC2)를 생성하도록 구성될 수 있다.
- [0050] 데이터 타이밍 제어신호(DDC1, DDC2)는 소스 스타트 펄스(Source Start Pulse), 소스 샘플링 클럭(Source Sampling Clock), 및 소스 출력 인에이블신호(Source Output Enable) 등을 포함한다. 소스 스타트 펄스는 데이터 구동회로(12)의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭은 라이징 또는 폴링 에지에 기준하여 데이터의 샘플링 타이밍을 제어하는 클럭신호이다. 소스 출력 인에이블신호는 데이터 구동회로(12)의 출력 타이밍을 제어한다.
- [0051] 게이트 타이밍 제어신호(GDC1, GDC2)는 게이트 스타트 펄스(Gate Start Pulse), N 상게이트 쉬프트 클럭(Gate Shift Clock) 등을 포함한다. 게이트 스타트 펄스는 첫 번째 출력을 생성하는 게이트 구동회로(13)의 스테이지에 인가되어 그 스테이지의 동작을 제어한다. N상 게이트 쉬프트 클럭은 스테이지들에 공통으로 입력되는 클럭신호로써 게이트 스타트 펄스를 쉬프트시키기 위한 클럭신호이다. N상 게이트 쉬프트 클럭들은 디스플레이용 게이트 쉬프트 클럭과 센싱용 게이트 쉬프트 클럭이 합쳐진 형태로 구성된다. 센싱용 게이트 쉬프트 클럭은 미리 설정된 특정의 센싱 타이밍에 동기되어 발생된다.
- [0052] 타이밍 콘트롤러(11)는 화소(P)의 전기적 특성을 센싱하고 그에 따른 보상 값을 업데이트하기 위한 센싱 구동과, 보상 값이 반영된 입력 영상을 표시하기 위한 디스플레이 구동을 제어할 수 있다. 예를 들면, 타이밍 콘트롤러(11)는 센싱 구동과 디스플레이 구동을 정해진 제어 시퀀스에 따라 분리하도록 구성될 수 있다. 이를 위해, 타이밍 콘트롤러(11)는 디스플레이 구동을 위한 타이밍 제어신호들(DDC1, GDC1)과 센싱 구동을 위한 타이

밍 제어신호들(DDC2, GDC2)을 서로 다르게 생성할 수 있다. 단 이에 제한되지 않는다.

[0053] 예를 들면, 타이밍 콘트롤러(11)의 제어에 의해, 센싱 구동은 실시간 디스플레이 구동 중의 디스플레이 오프 기간에서 수행될 수 있다. 디스플레이 오프 기간은 수직 블랭크 기간일 수 있다. 수직 블랭크 기간은 입력 영상 데이터(DATA)가 기입되지 않는 기간으로서, 1 프레임분의 입력 영상 데이터(DATA)가 기입되는 디스플레이 구간들(다시 말해, 수직 액티브 구간들) 사이마다 배치된다. 실시간 디스플레이 구동 중에 화소의 전기적 특성 변화를 보상하면, 보상의 정확도가 높아진다.

[0054] 디스플레이 오프 기간은 수직 블랭크 기간에 한정되지 않는다. 예를 들면, 타이밍 콘트롤러(11)는 미리 정해진 감지 프로세스에 따라 대기모드, 슬립모드, 저전력모드 등을 감지하고, 센싱 구동을 위한 제반 동작을 제어할 수 있다. 즉, 센싱 구동은 시스템 전원이 인가되고 있는 도중에 표시장치의 화면만 꺼진 상태, 예컨대, 대기모드, 슬립모드, 저전력모드 등에서 수행될 수도 있다.

[0055] 타이밍 콘트롤러(11)는 데이터 보상을 위해 도 4와 같이 보상계수 산출부(40)와 데이터 보정부(50)를 더 구비할 수 있다. 보상계수 산출부(40)는 센싱부(30)로부터 입력되는 디지털 센싱 값들(SD)을 기초로 화소(P)의 전기적 특성 변화를 보상할 수 있는 보상계수를 계산하여 메모리(17)에 저장할 수 있다. 보상계수에는 옵셋과 게인이 포함될 수 있다. 데이터 보정부(50)는 메모리(17)에 저장된 옵셋과 게인을 기초로 입력 영상 데이터(DATA)를 보정할 수 있다. 이를 위해, 데이터 보정부(50)는 곱셈기(MTX)와 덧셈기(ADD)를 포함할 수 있다. 곱셈기(MTX)는 입력 영상 데이터(DATA)에 게인을 곱한다. 덧셈기(ADD)는 게인이 곱해진 입력 영상 데이터(DATA)에 옵셋을 더한다. 데이터 보정부(50)는 보정된 입력 영상 데이터(DATA)를 데이터 구동회로(20)에 공급할 수 있다.

[0056] 한편, 보상계수 산출부(40)와 데이터 보정부(50)는 타이밍 콘트롤러(11) 외부에 실장될 수도 있다. 일 예로서, 보상계수 산출부(40)와 데이터 보정부(50)는 어플리케이션 프로세서에 내장될 수도 있다.

[0057] 메모리(17)는 타이밍 콘트롤러(11)에서 산출된 보상계수(옵셋, 게인)를 저장한다. 메모리(50)는 플래시 메모리로 구현될 수 있으나, 이에 한정되지 않는다.

[0058] 도 5는 화상이 표시되는 디스플레이 구간과, 실시간 센싱이 이뤄지는 디스플레이 오프 구간을 보여주는 도면이다. 그리고, 도 6은 수직 블랭크 기간에서 실시간 센싱을 수행하는 콘셉을 보여주는 도면이다.

[0059] 도 5 및 도 6을 참조하면, 본 발명은 1 프레임 중의 디스플레이 구간(DP) 내에서 디스플레이용 스캔 제어신호 따라 순차적으로 디스플레이용 데이터전압을 표시패널의 모든 화소들에 기입하여 화상을 표시한다. 그리고, 본 발명은 1 프레임 중에서 디스플레이 구간(DP)을 제외한 수직 블랭크 기간(VB) 동안, 센싱용 스캔 제어신호에 따라 센싱 대상 화소라인에 배치된 화소들에 센싱용 데이터전압을 기입하여 그 화소들의 전기적 특성을 센싱한다. 이러한 실시간 센싱은 센싱 대상 화소라인을 대상으로 수직 블랭크 기간(VB) 내에서 이뤄진다. 이때, 센싱 대상 화소라인은 1 프레임마다 적어도 한 화소라인을 포함할 수 있다. 센싱 대상 화소라인은 데이터 리프레쉬 순서에 따른 방향, 즉 데이터 스캔방향)에 따라 순차적으로 선택될 수 있고, 또한 데이터 스캔 방향에 상관없이 비 순차적으로 선택될 수도 있다. 여기서, 화소들의 전기적 특성은 구동 TFT의 문턱전압 및 이동도, OLED의 문턱전압 등을 포함한다.

[0060] 도 7은 게이트 구동회로의 사이즈를 줄이는데 적합한 화소 어레이의 일 예를 보여주는 도면이다. 도 8은 도 7의 화소 어레이를 구성하는 화소의 일 등가회로를 보여주는 도면이다. 그리고, 도 9는 도 7의 화소 어레이를 구동하기 위한 게이트 구동회로의 일 예시 구성을 보여주는 도면이다.

[0061] 도 7을 참조하면, 본 발명의 일 화소 어레이는 화소들(P)로 이루어진 다수의 화소라인들(L1,L2,L3,L4)을 포함한다. 각 화소 라인(L1,L2,L3,L4)에서, 수평으로 이웃한 화소들(P)은 각각 서로 다른 데이터라인(14)에 접속된다. 각 화소 라인(L1,L2,L3,L4)에서, 수평으로 이웃한 화소들(P)은 M(M은 2 이상의 양의 정수)개씩 서로 다른 기준라인(15)에 접속됨으로써, 표시패널의 개구율을 높일 수 있다.

[0062] 도 8을 참조하면, 각 화소 라인(L1,L2,L3,L4)에서, 수평으로 이웃한 화소들(P)은 제1 게이트라인(16A)과 제2 게이트라인(16B)에 접속될 수 있다. 제1 게이트라인(16A)은 각 화소 라인(L1,L2,L3,L4)에 개별적으로 접속될 수 있고, 제2 게이트라인(16B)은 인접한 화소라인들에 공유될 수 있다. 다시 말해, 제1 및 제2 화소 라인(L1,L2)은 한 개의 제2 게이트라인(16B)을 공유할 수 있고, 제3 및 제4 화소 라인(L3,L4)은 또 다른 한 개의 제2 게이트라인(16B)을 공유할 수 있다. 이렇게 일부 게이트라인을 공유하도록 화소 어레이를 설계하면, 표시패널의 개구율을 증가시킬 수 있고, 또한 게이트 구동회로를 간소화하여 게이트 구동회로가 실장되는 베젤 영역을 줄이는 데 효과적이다.

- [0063] 도 8을 참조하면, 화소 어레이를 구성하는 화소들(P) 각각은, OLED, 구동 TFT(Thin Film Transistor)(DT), 스토리지 커패시터(Cst), 제1 스위치 TFT(ST1), 및 제2 스위치 TFT(ST2)를 구비할 수 있다. 도 8의 화소 구성은 일 예시에 불과하며, 본 발명의 기술적 사상은 화소 구성에 제한되지 않는다.
- [0064] OLED는 구동 TFT(DT)의 게이트 전극인 제1 노드(N1)에 접속된 애노드전극과, 저전위 구동전압(VSS)의 입력단에 접속된 캐소드전극과, 애노드전극과 캐소드전극 사이에 위치하는 유기화합물층을 포함한다.
- [0065] 구동 TFT(DT)는 게이트-소스 간 전압(Vgs)에 따라 OLED에 입력되는 전류를 제어한다. 구동 TFT(DT)는 제1 노드(N1)인 게이트전극, 고전위 구동전압(VDD)의 입력단에 접속된 드레인전극, 및 제2 노드(N2)인 소스전극을 구비한다. 스토리지 커패시터(Cst)는 제1 노드(N1)와 제2 노드(N2) 사이에 접속된다. 제1 스위치 TFT(ST1)는 제1 스캔 제어신호(SCAN1)에 응답하여 데이터라인(14) 상의 데이터전압(Vdata) 또는 센싱용 데이터전압(Vdata_SEN)을 제1 노드(N1)에 인가한다. 제1 스위치 TFT(ST1)는 제1 게이트라인(16A)에 접속된 게이트전극, 데이터라인(14)에 접속된 드레인전극, 및 제1 노드(N1)에 접속된 소스전극을 구비한다. 제2 스위치 TFT(ST2)는 제2 스캔 제어신호(SCAN2)에 응답하여 제2 노드(N2)와 기준라인(15) 간의 전류 흐름을 스위칭한다. 제2 스위치 TFT(ST2)는 제2 게이트라인(16B)에 접속된 게이트전극, 기준라인(15)에 접속된 드레인전극, 및 제2 노드(N2)에 접속된 소스전극을 구비한다.
- [0066] 도 9를 참조하면, 본 발명의 일 실시예에 따른 게이트 구동회로(13)는, 제1 게이트라인들(16A)에 공급될 제1 스캔 제어신호(SCAN1)를 생성하는 제1 스캔 드라이버(13A)와, 제2 게이트라인(16B)들에 공급될 제2 스캔 제어신호(SCAN2)를 생성하는 제2 스캔 드라이버(13B)를 포함한다.
- [0067] 구체적으로, 게이트 구동회로(13)는, 화소 어레이의 화소 라인들(L1 ~ L2100)만큼의 스테이지들(SCAN1-STG1 ~ SCAN1-STG2100)을 갖는 제1 스캔 드라이버(13A)와, 화소 라인들(L1 ~ L2100)의 절반만큼의 스테이지들(SCAN2-STG1 ~ SCAN1-STG1050)을 갖는 제2 스캔 드라이버(13B)를 포함한다.
- [0068] SCAN1-DUM, SCAN2-DUM, EM-DUM, SCAN1-MNT, SCAN2-MNT, EM-MNT은 더미 스테이지를 의미한다. L Dummy는 더미 화소 라인을 지시한다. 그리고, 스테이지들에 인가되는 VGH, VEH, VGL은 구동 전원을 지시한다. 단 이에 제한되지 않으며, 더미 스테이지는 선택적으로 포함하거나 제외할 수 있다. 더미 스테이지 및 더미 화소 라인은 화소 어레이의 제1 외곽(상측면) 및 제2 외곽(하측면)에 구성될 수 있다. 또는 화소 어레이의 더미 스테이지 및 더미 화소 라인에 의해서 더미 화소 라인과 인접한 화소 라인의 신호가 안정화 될 수 있다. 따라서 인접한 화소 라인의 킥 백을 저감하는데 도움을 줄 수 있다. 더미 화소 라인의 화소는 화소 어레이의 화소(P)와 유사하나, 발광하지 않도록 구성된 것을 특징으로 한다. 즉, 더미 화소 라인은 적어도 OLED를 포함하지 않거나 또는 데이터전압은 인가받지 않도록 구성되거나 또는 스캔 제어신호를 인가받지 않도록 구성된다.
- [0069] 제1 스캔 드라이버(13A)는 디스플레이 구동 시 게이트 제어신호(GDC)에 따라 디스플레이용 제1 스캔 제어신호(SCAN1)를 생성하고, 센싱 구동 시 게이트 제어신호(GDC)에 따라 센싱용 제1 스캔 제어신호(SCAN1)를 생성하는 쉬프트 레지스터로 구현될 수 있다. 디스플레이용 제1 스캔 제어신호(SCAN1)와 센싱용 제1 스캔 제어신호(SCAN1)는 다를 수 있다.
- [0070] 예를 들면, 제1 스캔 드라이버(13A)를 구성하는 스테이지들(SCAN1-STG1 ~ SCAN1-STG2100) 각각은 1개의 화소 라인에 개별적으로 연결될 수 있다. 제2 스캔 드라이버(13B)를 구성하는 스테이지들(SCAN2-STG1 ~ SCAN1-STG1050) 각각은 2개의 화소 라인들에 공통으로 연결될 수 있다. 본 발명은, 제2 스캔 드라이버(13B)의 스테이지 개수를 제1 스캔 드라이버(13A)의 스테이지 개수에 비해 절반으로 저감함으로써, 네로우 베젤을 구현할 수 있는 장점이 있다.
- [0071] 제1 스캔 드라이버(13A)의 스테이지들(SCAN1-STG1 ~ SCAN1-STG2100)은 제1 게이트 스타트 펄스(G1Vst)를 제1 게이트 쉬프트 클럭군(G1CLK1 ~ G1CLK4)에 따라 순차적으로 쉬프트 시켜, 디스플레이용 제1 스캔 제어신호(SCAN1) 또는 센싱용 제1 스캔 제어신호(SCAN1)를 생성한다.
- [0072] 제2 스캔 드라이버(13B)는 디스플레이 구동 시 게이트 제어신호(GDC)에 따라 제2 스캔 제어신호(SCAN2)를 생성하고, 센싱 구동 시 게이트 제어신호(GDC)에 따라 센싱용 제2 스캔 제어신호(SCAN2)를 생성하는 쉬프트 레지스터로 구현될 수 있다. 디스플레이 구동용 제2 스캔 제어신호(SCAN2)와 센싱용 제2 스캔 제어신호(SCAN2)는 다를 수 있다.
- [0073] 예를 들면, 제2 스캔 드라이버(13B)의 스테이지들(SCAN2-STG1 ~ SCAN2-STG1050)은 제2 스타트 펄스(G2Vst)를 제2 게이트 쉬프트 클럭군(G2CLK1 ~ G2CLK4)에 따라 순차적으로 쉬프트 시켜, 디스플레이용 제2 스캔 제어신호

(SCAN2) 또는 센싱용 제1 스캔 제어신호(SCAN2)를 생성한다.

[0074] 도 10은 수직 블랭크 기간 동안에 이뤄지는 실시간 센싱 동작을 설명하기 위한 제반 신호들의 파형을 보여주는 도면이다.

[0075] 도 10을 참조하면, 게이트 구동회로(13)에 인가되는 제1 게이트 쉬프트 클럭군(G1CLK1 ~ G1CLK4)에는 디스플레이용 게이트 쉬프트 클럭들과 센싱용 게이트 쉬프트 클럭이 포함된다. 그리고, 제2 게이트 쉬프트 클럭군(G2CLK1 ~ G2CLK4)에도 디스플레이용 게이트 쉬프트 클럭들과 센싱용 게이트 쉬프트 클럭이 포함된다.

[0076] 센싱용 스캔 제어신호를 생성하기 위한 센싱용 게이트 쉬프트 클럭은, 디스플레이용 스캔 제어신호를 생성하기 위한 디스플레이용 게이트 쉬프트 클럭과 다르다. 디스플레이용 게이트 쉬프트 클럭들 각각이 동일 펄스폭을 갖는 단일 펄스로 구현되는 데 반해, 센싱용 게이트 쉬프트 클럭은 연속된 제1 펄스(P1)와 제2 펄스(P2)의 조합으로 구성될 수 있다. 제1 펄스(P1)와 제2 펄스(P2)의 펄스폭은 서로 같을 수도 있고 서로 다를 수도 있다.

[0077] 실시간 센싱 동작이 수행되는 디스플레이 오프 구간(즉, 수직 블랭크 구간(VB))은, 제1 기간(X1), 제2 기간(X2), 및 제3 기간(X3)을 포함할 수 있다.

[0078] 제1 기간(X1)은 센싱 대상 화소라인을 찾기 위해, 센싱 대상 화소라인을 구동하기 위한 특정 스테이지(이하, 센싱 스테이지라고 한다.)의 전단에 연결된 스테이지들이 구동되는 기간이다. 제1 기간(X1)에서, 게이트 스트리트 펄스(G1Vst, G2Vst)가 인가되는 첫번째 스테이지부터 센싱용 스캔 제어신호를 출력하는 센싱 스테이지 직전까지의 제1 군의 스테이지들에 디스플레이용 게이트 쉬프트 클럭들을 인가함으로써 제1 군의 스테이지들이 순차적으로 구동된다.

[0079] 제2 기간(X2)은 센싱 대상 화소라인을 구동하기 위한 센싱 스테이지를 구동하기 위한 구간이다. 제2 기간(X2)에서, 센싱용 게이트 쉬프트 클럭과 상기 제1 군의 스테이지들 중의 어느 하나로부터의 캐리 신호가 상기 센싱 스테이지에 인가되어 상기 센싱용 스캔 제어신호가 생성된다. 제2 기간(X2)에서 디스플레이용 게이트 쉬프트 클럭들은 게이트 구동회로에 입력되지 않는다.

[0080] 제2 기간(X2)에서 생성되는 센싱용 스캔 제어신호에 따라 센싱 동작이 수행된다. 센싱용 스캔 제어신호는 제1 펄스(P1)의 센싱용 게이트 쉬프트 클럭과 제2 펄스(P2)의 센싱용 게이트 쉬프트 클럭에 동기된다.

[0081] 제2 기간(X2)에서 데이터전압 공급부는 제1 펄스(P1)의 센싱용 게이트 쉬프트 클럭에 동기하여 블랙 계조용 데이터전압(Vdata_black)을 표시패널의 센싱 대상 화소라인에 위치하는 화소들에 인가함으로써, 센싱에 앞서 기준라인과 화소들의 제2 노드의 전위(구동 TFT의 소스전극 전압)를 초기화할 수 있다. 이어서, 데이터전압 공급부는 제2 펄스(P2)의 센싱용 게이트 쉬프트 클럭에 동기하여 센싱용 데이터전압(Vdata_SEN)을 표시패널의 센싱 대상 화소라인에 위치하는 화소들에 인가할 수 있다. 센싱부는 샘플링(SEN) 신호에 따라 화소들의 전기적 특성치를 센싱하고, 그 센싱된 아날로그 센싱전압을 ADC를 통해 센싱 데이터로 변환한다.

[0082] 제3 기간(X3)은 차기 프레임에서 정상적인 디스플레이 구동이 구현되도록 상기 센싱 스테이지 후단의 잔여 스테이지들을 모두 구동시킴으로써 게이트 구동회로를 초기화시키는 구간이다. 이러한 제3 기간(X3) 동작이 없다면, 차기 프레임의 디스플레이 구동시 게이트 구동회로가 정상 동작하지 못하고, 동시에 2개씩의 스캔 제어신호가 생성되는 문제가 생길 수 있다. 이를 방지하기 위해 제3 기간(X3)에서, 센싱 스테이지 직후부터 마지막번째 스테이지까지의 제2 군의 스테이지들에 디스플레이용 게이트 쉬프트 클럭들이 인가되어 상기 제2 군의 스테이지들이 순차적으로 구동된다.

[0083] 제3 기간(X3)에서 데이터전압 공급부는 제3 기간의 디스플레이용 게이트 쉬프트 클럭들 중 위상이 가장 빠른 디스플레이용 게이트 쉬프트 클럭에 동기하여 블랙 계조용 데이터전압(Vdata_black) 또는 원래의 디스플레이용 데이터전압(Vdata_RC)을 표시패널의 센싱 대상 화소라인에 위치하는 화소들에 인가함으로써, 센싱 대상 화소라인의 OLED들이 디스플레이 오프 기간에서 불필요하게 발광하는 것을 방지한다.

[0084] 제2 기간(X2) 동안 각 화소의 구동 TFT에 흐르는 구동 전류에 의해 구동 TFT의 소스전극 전압은 충분히 높아진 상태로 제3 기간(X3)이 시작된다. 따라서, 제3 기간(X3)에서 화소들에 구비된 제2 노드의 전위는, 구동 TFT의 게이트전극, 즉 제1 노드에 인가되는 블랙 계조용 데이터전압(Vdata_black) 또는, 원래의 디스플레이용 데이터전압(Vdata_RC)의 전위보다 높기 때문에, 제3 기간(X3)동안 구동 TFT는 턴 오프되고 센싱 대상 화소라인의 OLED들은 불필요한 발광이 방지될 수 있다.

[0085] 도 11 내지 도 13은 외부 보상 모듈의 다양한 구현 예들을 보여주는 도면들이다.

[0086] 도 11을 참조하면, 본 발명의 유기발광 표시장치는 외부 보상 모듈을 구현하기 위해, 칩 온 필름(Chip On Film, COF)에 실장된 드라이버 IC(DIC)와, 연성 인쇄기판(Flexible Printed Circuit Board, FPCB)에 실장된 저장 메모리 및 전원 IC(PIC)와, 시스템 인쇄기판(System Printed Circuit Board, SPCB)에 실장된 호스트 시스템을 구비할 수 있다.

[0087] 드라이버 IC(DIC)는 전술한 소스 드라이버(12)와 타이밍 콘트롤러(11)가 1칩화 된 것으로, 센싱부, 제어부, 보상부, 및 보상 메모리를 포함한다. 제어부는 센싱 구동시 센싱부로부터 입력되는 디지털 센싱값들을 기초로 화소의 전기적 특성 변화를 보상할 수 있는 보상 계수를 계산하고, 이 보상 계수를 저장 메모리에 저장한다. 제어부는 게이트 드라이버의 동작에 필요한 각종 제어신호들을 생성한다. 보상부는 디스플레이 구동시 저장 메모리로부터 보상 파라미터를 읽어 들여 보상 메모리에 저장하고, 이 보상 파라미터를 기초로 입력 영상의 디지털 데이터를 보정한다. 제어부와 보상부는 전술한 타이밍 콘트롤러(11)에 해당된다. 저장 메모리는 ROM(Read Only Memory)으로 구현되며, 일 예로 플래시 메모리(Flash Memory)일 수 있다. 보상 메모리는 RAM(Random Access Memory)으로 구현되며, 일 예로 DDR SDRAM(Double Date Rate Synchronous Dynamic RAM)일 수 있다.

[0088] 전원 IC(PIC)는 모듈을 동작시키는 데 필요한 각종 구동전원을 생성한다.

[0089] 호스트 시스템은 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블신호(DE) 등의 타이밍 신호들과 함께, 입력 영상의 디지털 데이터를 드라이버 IC(DIC)에 전송한다. 호스트 시스템은 어플리케이션 프로세서로 대체될 수 있다.

[0090] 도 12를 참조하면, 본 발명의 유기발광 표시장치는 외부 보상 모듈을 구현하기 위해, 칩 온 필름(COF)에 실장된 드라이버 IC(DIC)와, 연성 인쇄기판(FPCB)에 실장된 저장 메모리 및 전원 IC(PIC)와, 시스템 인쇄기판(SPCB)에 실장된 호스트 시스템을 구비할 수 있다. 도 12의 외부 보상 모듈은, 보상부와 보상 메모리를 드라이버 IC(DIC)에 탑재하지 않고 호스트 시스템에 탑재하는 점에서 도 11과 다르다. 도 12의 외부 보상 모듈은, 드라이버 IC(DIC)의 구성을 간소화하는 점에서 의미가 있다.

[0091] 도 13을 참조하면, 본 발명의 유기발광 표시장치는 외부 보상 모듈을 구현하기 위해, 칩 온 필름(COF)에 실장된 소스 IC(SIC)와, 연성 인쇄기판(FPCB)에 실장된 저장 메모리, 보상 IC, 보상 메모리 및 전원 IC(PIC)와, 시스템 인쇄기판(SPCB)에 실장된 호스트 시스템을 구비할 수 있다. 도 13의 외부 보상 모듈은, 소스 IC(SIC)에 센싱부만을 실장하여 그 구성을 더욱 간소화하고, 제어부와 보상부는 별도로 제작된 보상 IC에 실장한다. 그리고, 보상 IC, 저장 메모리, 보상 메모리를 연성 인쇄기판(FPCB)에 함께 실장함으로써, 보상 파라미터의 업 로딩 및 다운 로딩 동작을 용이하게 한다.

[0092] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

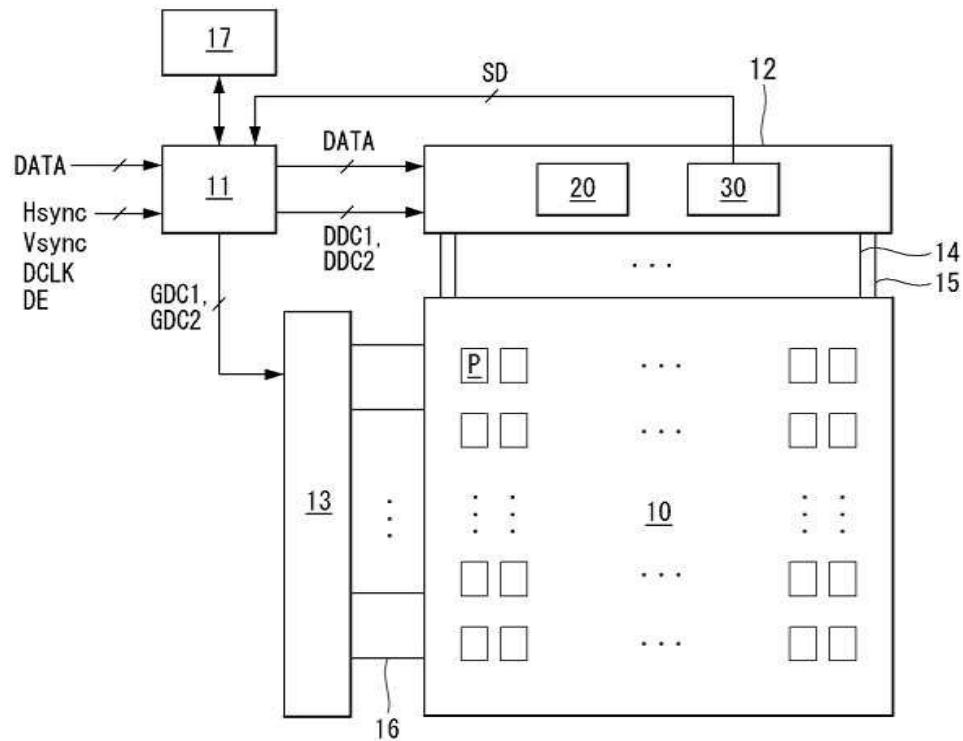
[0093] 10 : 표시패널 11: 타이밍 콘트롤러

12 : 데이터 구동회로 13 : 게이트 구동회로

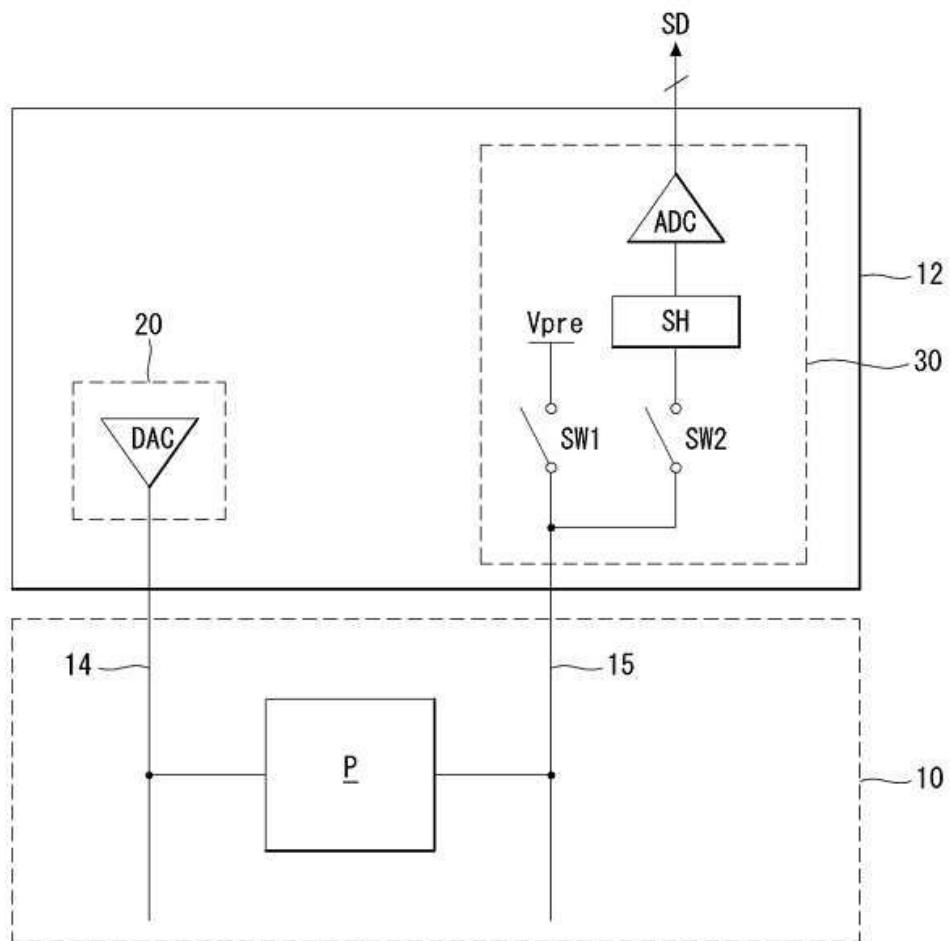
20 : 데이터전압 공급부 30 : 센싱부

도면

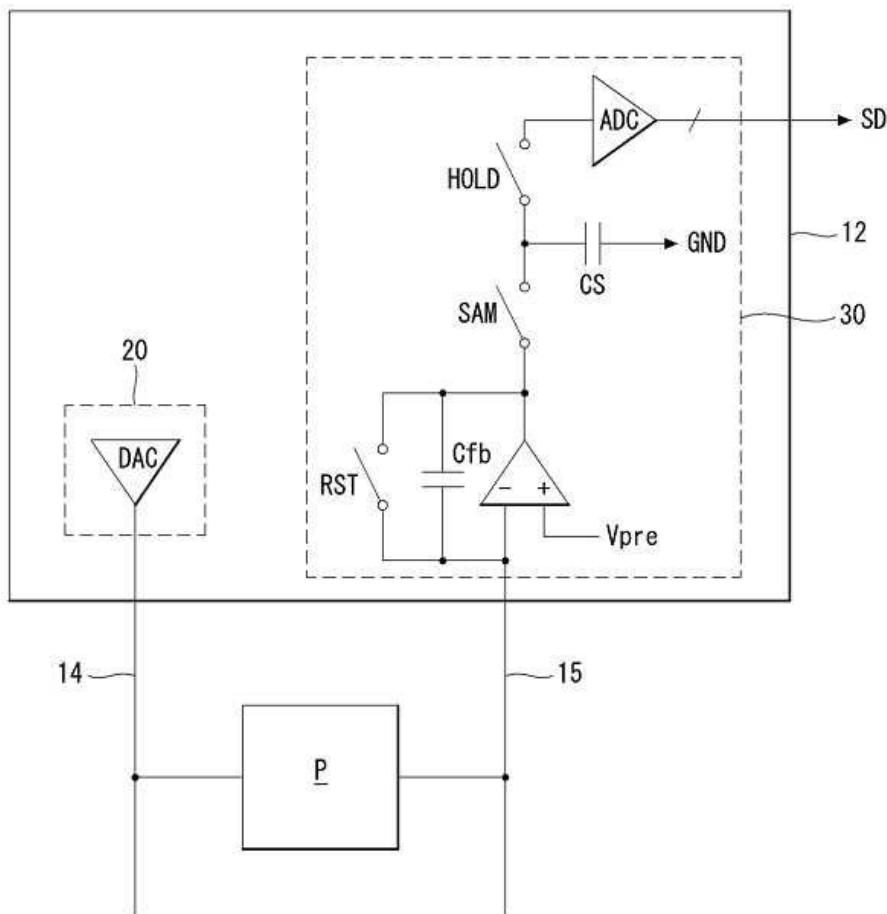
도면1



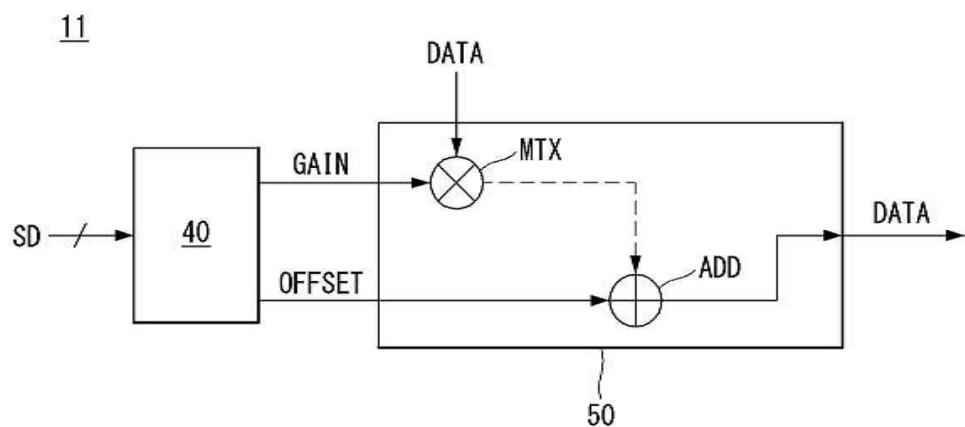
도면2



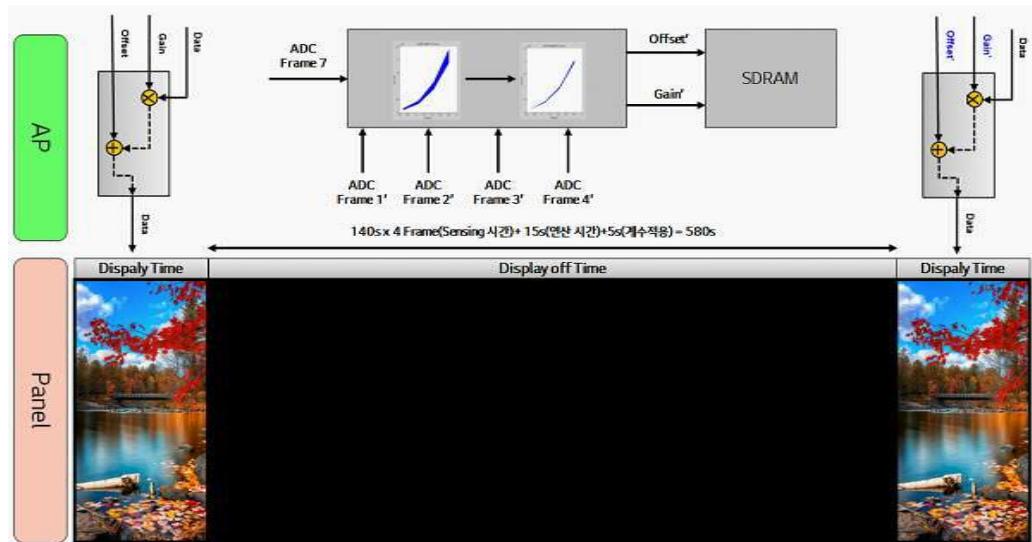
도면3



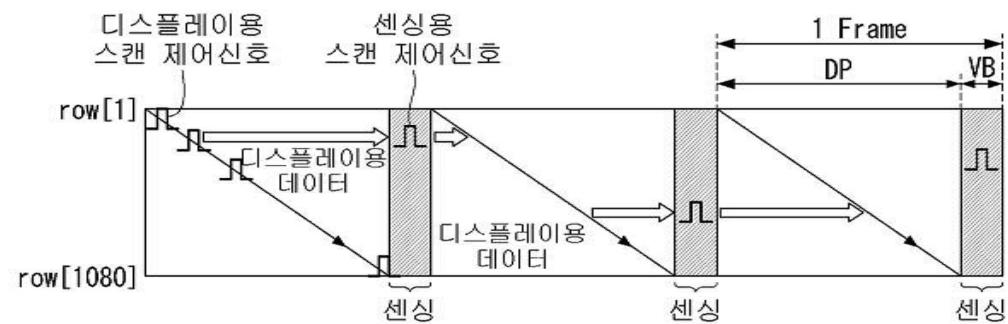
도면4



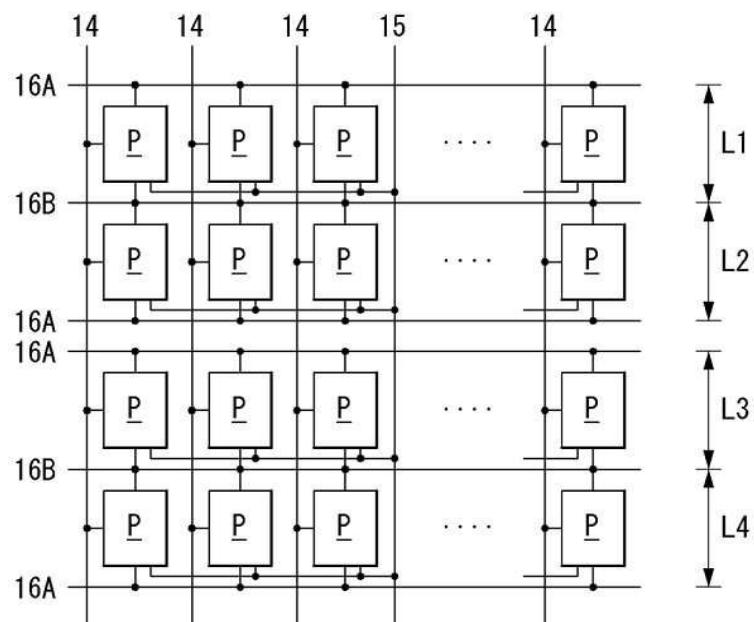
도면5



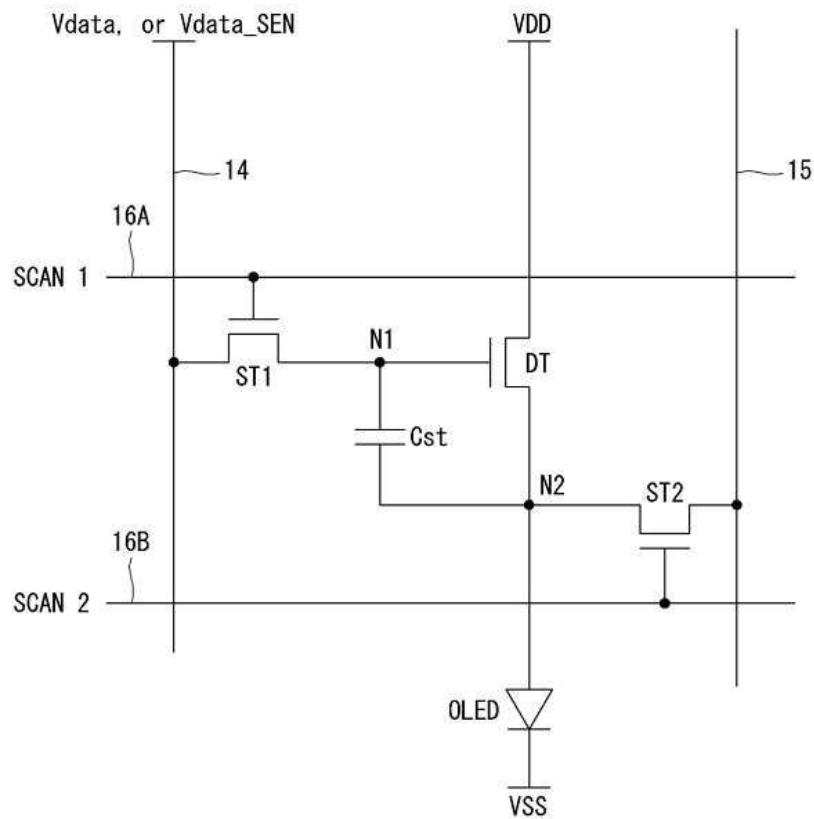
도면6



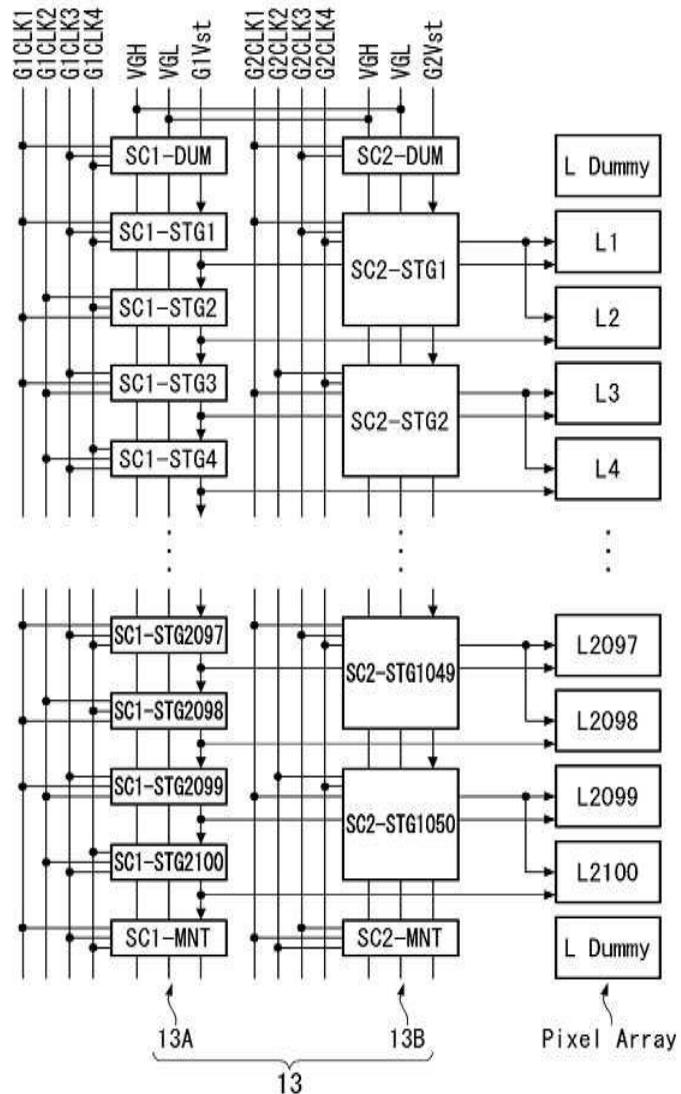
도면7



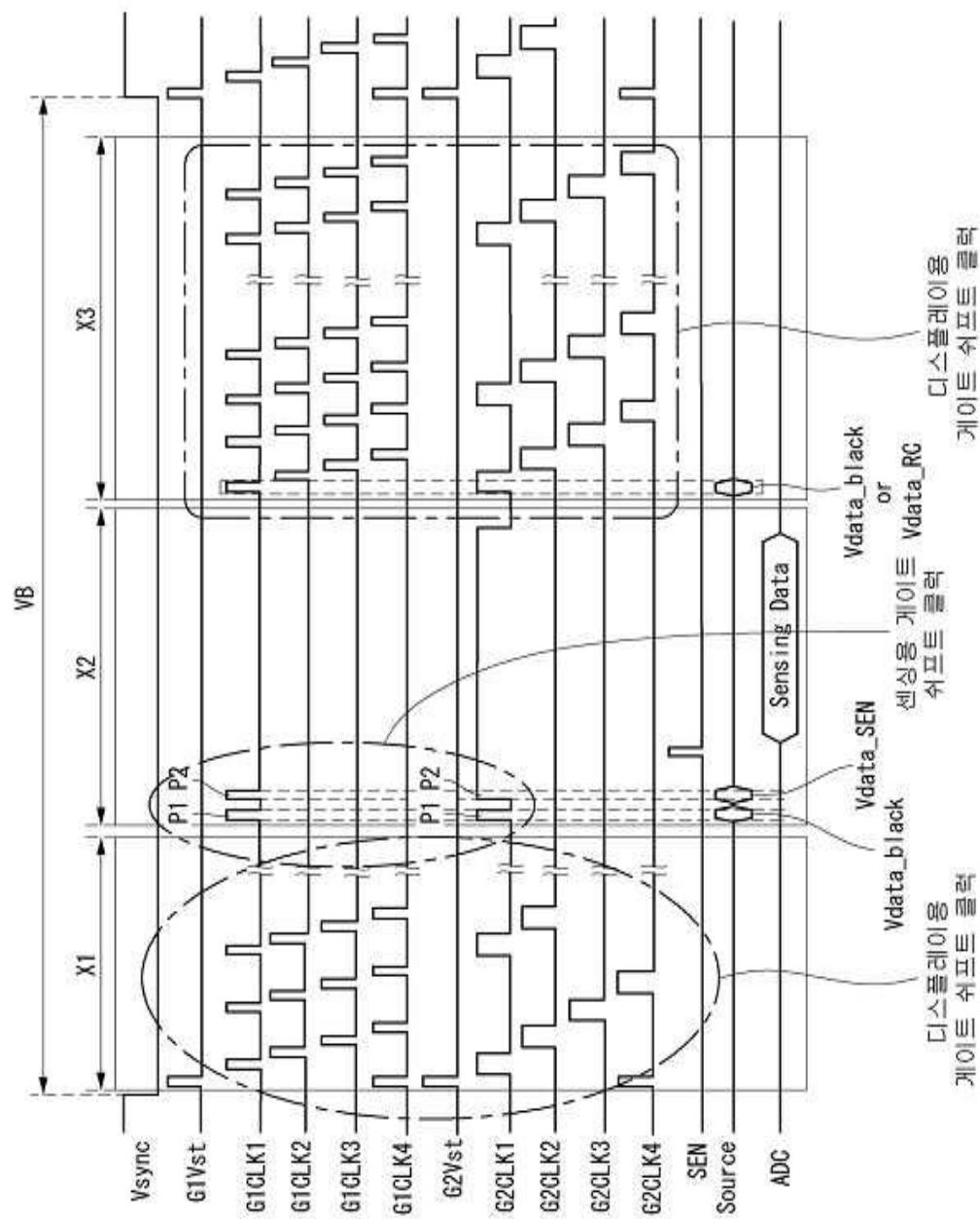
도면8



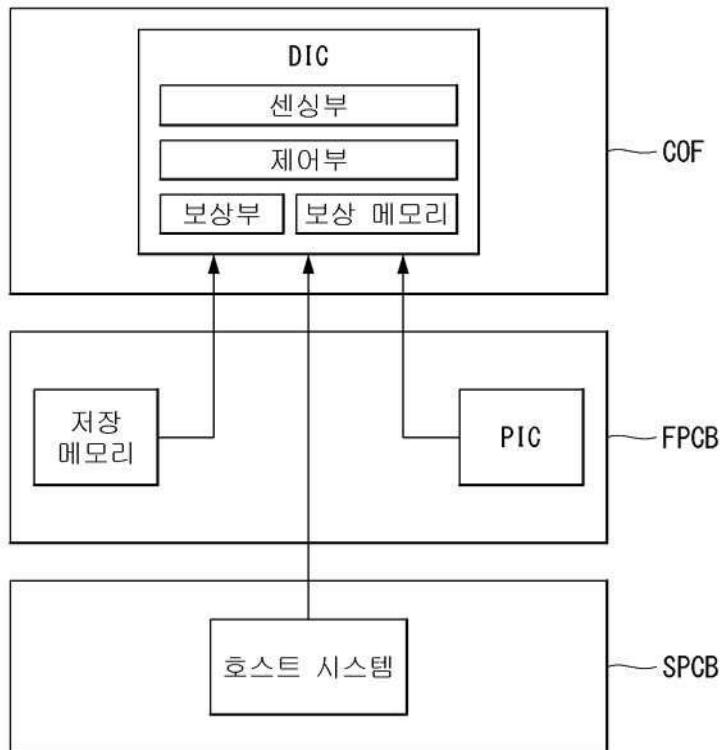
도면9



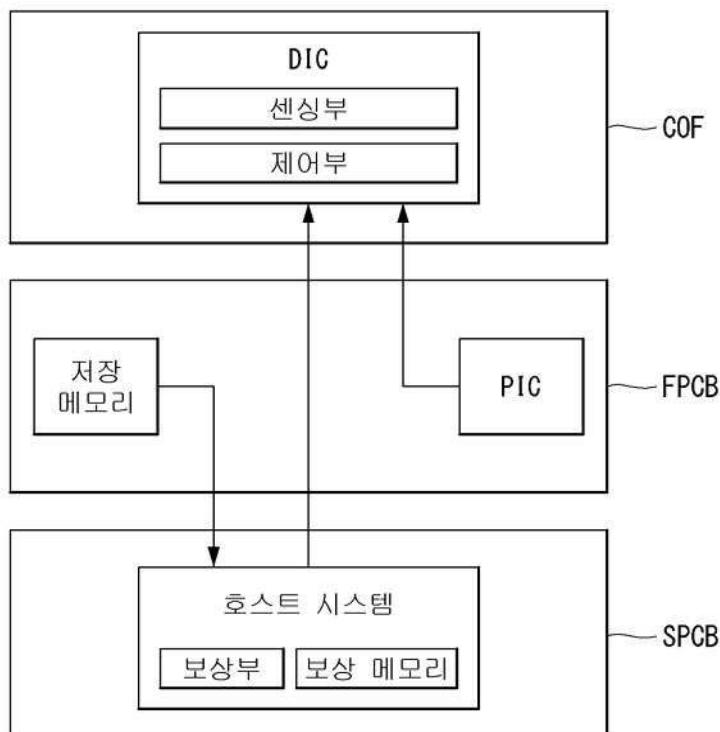
도면10



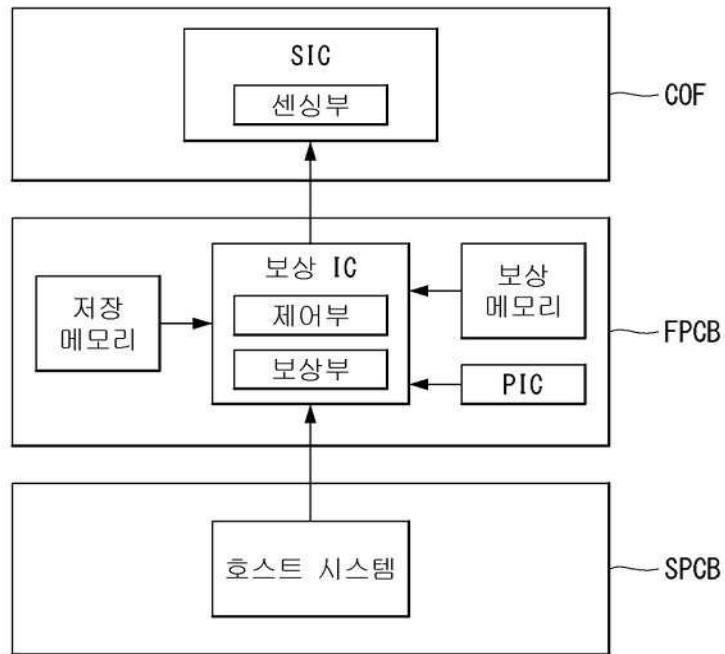
도면11



도면12



도면13



专利名称(译)	OLED显示装置及其驱动方法		
公开(公告)号	KR1020180042871A	公开(公告)日	2018-04-27
申请号	KR1020160134858	申请日	2016-10-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE HYUN SUK 이현석 SUK JUNG YOUNG 석정엽		
发明人	이현석 석정엽		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2300/043 G09G2300/0828 G09G2310/061		
外部链接	Espacenet		

摘要(译)

本发明的有机发光显示器包括具有多个像素的显示面板;栅极驱动电路，用于根据栅极移位时钟产生用于感测的扫描控制信号，用于在显示器关闭间隔中进行感测，并将所产生的扫描控制信号施加到位于显示面板中待感测的像素线上。感测单元，用于根据感测扫描控制信号感测像素的电特性，获取感测数据，感测栅极移位时钟包括用于显示的输入图像数据的扫描控制信号，并且与用于产生信号所需的显示的栅极移位时钟不同。

