

(52) CPC특허분류

G01R 31/2812 (2013.01)

H01L 27/3265 (2013.01)

H01L 51/0031 (2013.01)

H01L 51/5206 (2013.01)

H01L 51/56 (2013.01)

H01L 2251/568 (2013.01)

(72) 발명자

박선

경기도 수원시 영통구 태장로82번길 32, 동수원엘
지빌리지1차 102동 1903호 (맏포동)

허종무

경기도 화성시 영통로27번길 53, 신영통현대2차아
파트 204동 902호 (반월동)

명세서

청구범위

청구항 1

기관;

상기 기관의 상부에 배치되는 반도체 패턴;

상기 반도체 패턴과 다른 층에 배치되는 도전성 라인;

상기 도전성 라인 및 상기 반도체 패턴의 상부에 배치되는 화소 전극; 및

상기 화소 전극과 동일 층에 배치되는 연결 전극을 포함하고,

상기 연결 전극은 상기 반도체 패턴 및 상기 도전성 라인과 연결되는 유기 발광 표시 장치.

청구항 2

제1항에 있어서,

상기 연결 전극은 상기 반도체 패턴 및 상기 도전성 라인과 직접 접촉하는 유기 발광 표시 장치.

청구항 3

제1항에 있어서,

상기 연결 전극 및 상기 화소 전극은 서로 동일한 물질을 포함하는 유기 발광 표시 장치.

청구항 4

제3항에 있어서,

상기 도전성 라인은 상기 반도체 패턴의 상부에 배치되는 유기 발광 표시 장치.

청구항 5

제1항에 있어서,

상기 도전성 라인과 일 전극이 전기적으로 연결되는 스위칭 소자를 더 포함하는 유기 발광 표시 장치.

청구항 6

제5항에 있어서,

상기 도전성 라인은 상기 스위칭 소자에 데이터 신호를 제공하는 데이터 라인을 포함하는 유기 발광 표시 장치.

청구항 7

제5항에 있어서,

상기 도전성 라인은 상기 스위칭 소자에 구동 전압을 제공하는 구동 전압 라인을 포함하는 유기 발광 표시 장치.

청구항 8

제5항에 있어서,

상기 스위칭 소자의 타 전극과 전기적으로 연결되는 일 전극을 포함하는 스토리지 커패시터를 더 포함하고,

상기 스토리지 커패시터의 일 전극은 상기 화소 전극과 적어도 일부가 중첩되는 유기 발광 표시 장치.

청구항 9

기관;

상기 기관의 상부에 배치되는 제1 반도체 패턴;

상기 제1 반도체 패턴의 상부에 배치되는 데이터 라인;

상기 데이터 라인의 상부에 배치되는 화소 전극; 및

상기 제1 반도체 패턴 및 상기 데이터 라인과 접촉하는 제1 연결 전극을 포함하고,

상기 제1 연결 전극은 상기 화소 전극과 동일 층에 배치되는 유기 발광 표시 장치.

청구항 10

제9항에 있어서,

상기 연결 전극 및 상기 화소 전극은 서로 동일한 물질을 포함하는 유기 발광 표시 장치.

청구항 11

제9항에 있어서,

상기 데이터 라인과 전기적으로 연결되는 일 전극, 상기 연결 전극 및 상기 제1 반도체 패턴을 포함하는 제1 스위칭 소자; 및

상기 제1 스위칭 소자의 타 전극과 전기적으로 연결되며, 상기 화소 전극과 적어도 일부가 중첩되는 일 전극을 포함하는 스토리지 커패시터를 더 포함하고,

상기 제1 스위칭 소자의 타 전극 및 상기 스토리지 커패시터의 일 전극은 서로 동일 층에 형성되는 유기 발광 표시 장치.

청구항 12

제11항에 있어서,

상기 제1 반도체 패턴과 동일 층에 배치되는 제2 반도체 패턴;

상기 데이터 라인과 동일 층에 배치되는 구동 전압 라인; 및

상기 제2 반도체 패턴 및 상기 구동 전압 라인과 접촉하는 제2 연결 전극을 더 포함하고,

상기 제2 연결 전극은 상기 화소 전극과 동일 층에 배치되는 유기 발광 표시 장치.

청구항 13

제12항에 있어서,

상기 제1 연결 전극은 상기 제1 반도체 패턴 및 상기 데이터 라인과 직접 접촉하고, 상기 제2 연결 전극은 상기 제2 반도체 패턴 및 상기 구동 전압 라인과 직접 접촉하는 유기 발광 표시 장치.

청구항 14

기관의 상부에 반도체 패턴을 형성하는 단계;

상기 반도체 패턴의 상부에 도전성 라인을 형성하는 단계;

상기 도전성 라인의 일 단부에 제1 검사 신호를 제공하는 단계; 및

상기 도전성 라인의 일 단부에 대향되는 타 단부에서 제2 검사 신호를 검출하는 단계; 및

상기 제1 및 제2 검사 신호를 비교하는 단계를 포함하는 유기 발광 표시 장치의 오픈 쇼트 검사방법.

청구항 15

제14항에 있어서,

상기 반도체 패턴 및 상기 도전성 라인은 절연되는 유기 발광 표시 장치의 오픈 쇼트 검사방법.

청구항 16

제14항에 있어서,

상기 제1 및 제2 검사 신호를 비교하는 단계 이후에, 상기 도전성 라인의 상부에 화소 전극 및 연결 전극을 형성하는 단계를 더 포함하고,

상기 화소 전극 및 상기 연결 전극은 서로 동일 층에 배치되는 유기 발광 표시 장치의 오픈 쇼트 검사방법.

청구항 17

제16항에 있어서,

상기 화소 전극 및 상기 연결 전극은 동일한 마스크 공정을 통해 형성되는 유기 발광 표시 장치의 오픈 쇼트 검사방법.

청구항 18

제16항에 있어서,

상기 연결 전극은 상기 반도체 패턴 및 상기 도전성 라인과 직접 접촉하는 유기 발광 표시 장치의 오픈 쇼트 검사방법.

청구항 19

제14항에 있어서,

상기 도전성 라인은 데이터 신호를 제공받는 데이터 라인을 포함하는 유기 발광 표시 장치의 오픈 쇼트 검사방법.

청구항 20

제14항에 있어서,

상기 도전성 라인은 구동 전압을 제공받는 구동 전압 라인을 포함하는 유기 발광 표시 장치의 오픈 쇼트 검사방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치 및 이의 오픈 쇼트 검사방법에 관한 것이다.

배경 기술

[0002] 표시 장치는 멀티미디어의 발달과 함께 그 중요성이 증대되고 있다. 이에 부응하여 액정 표시 장치(Liquid Crystal Display, LCD), 유기 발광 표시 장치(Organic Light Emitting Display, OLED) 등과 같은 여러 종류의 표시 장치가 사용되고 있다.

[0003] 그 중 유기 발광 표시 장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 소자를 이용하여 영상을 표시한다. 유기 발광 표시 장치는 빠른 응답 속도를 가지며, 휘도 및 시야각이 크고, 동시에 낮은 소비 전력으로 구동되는 장점이 있다.

[0004] 유기 발광 표시 장치는 일반적으로 적색, 녹색 및 청색의 세 가지 서브 화소부로 구성되는 단위 화소부들을 포함한다. 각 서브 화소부는 복수의 박막 트랜지스터 및 각종 메탈 라인이 배치된 구동 소자에 의해 독립적으로 구동된다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하고자 하는 과제는 오픈 쇼트 검사 시 정확성이 향상된 유기 발광 표시 장치 및 이의 오픈 쇼트

검사방법을 제공한다.

[0006] 본 발명의 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0007] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 유기 발광 표시 장치는, 기관; 상기 기관의 상부에 배치되는 반도체 패턴; 상기 반도체 패턴과 다른 층에 배치되는 도전성 라인; 상기 도전성 라인 및 상기 반도체 패턴의 상부에 배치되는 화소 전극; 및 상기 화소 전극과 동일 층에 배치되는 연결 전극을 포함하고, 상기 연결 전극은 상기 반도체 패턴 및 상기 도전성 라인과 연결된다.

[0008] 상기 과제를 해결하기 위한 본 발명의 다른 실시예에 따른 유기 발광 표시 장치는, 기관; 상기 기관의 상부에 배치되는 제1 반도체 패턴; 상기 제1 반도체 패턴의 상부에 배치되는 데이터 라인; 상기 데이터 라인의 상부에 배치되는 화소 전극; 및 상기 제1 반도체 패턴 및 상기 데이터 라인과 접촉하는 제1 연결 전극을 포함하고, 상기 제1 연결 전극은 상기 화소 전극과 동일 층에 배치된다.

[0009] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 오픈 쇼트 검사방법은, 기관의 상부에 반도체 패턴을 형성하는 단계; 상기 반도체 패턴의 상부에 도전성 라인을 형성하는 단계; 상기 도전성 라인의 일 단부에 제1 검사 신호를 제공하는 단계; 및 상기 도전성 라인의 일 단부에 대향되는 타 단부에서 제2 검사 신호를 검출하는 단계; 및 상기 제1 및 제2 검사 신호를 비교하는 단계를 포함한다.

[0010] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0011] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 오픈 쇼트 검사 시 정확성을 향상시킬 수 있다.

[0012] 본 발명의 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

[0013] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소부를 나타낸 등가 회로도이다.

도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소부를 개략적으로 나타낸 레이아웃도이다.

도 4은 도 3에 도시한 I-I'선을 따라 자른 단면도이다.

도 5는 도 3에 도시한 II-II'선을 따라 자른 단면도이다.

도 6은 도 3에 도시한 III-III'선을 따라 자른 단면도이다.

도 7은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 오픈 쇼트 검사 방법을 설명하기 위한 도면이다.

도 8은 도 7에 도시된 오픈 쇼트 검사 시의 화소부의 일 예를 개략적으로 나타낸 레이아웃도이다.

도 9는 도 8에 도시된 I-I'선 및 II-II'선을 따라 자른 단면도이다.

도 10은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 오픈 쇼트 검사 결과를 설명하기 위한 도면이다.

도 11은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 화소부를 개략적으로 나타낸 레이아웃도이다.

도 12는 도 11에 도시된 IV-IV'선을 따라 자른 단면도이다.

도 13은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 오픈 쇼트 검사 방법을 설명하기 위한 도면이다.

도 14는 도 13에 도시된 오픈 쇼트 검사 시의 화소부의 일 예를 개략적으로 나타낸 레이아웃도이다.

도 15는 도 14에 도시된 IV-IV'선을 따라 자른 단면도이다.

도 16은 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치의 화소부를 개략적으로 나타낸 레이아웃도이다.

도 17은 도 16에 도시된 V1-V1'선 및 V2-V2'선을 따라 자른 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0014] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0015] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다.
- [0016] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "위(on)", "상(on)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작 시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래"로 기술된 소자는 다른 소자의 "위"에 놓여질 수 있다. 또한 도면을 기준으로 다른 소자의 "좌측"에 위치하는 것으로 기술된 소자는 시점에 따라 다른 소자의 "우측"에 위치할 수도 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있으며, 이 경우 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.
- [0017] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 또한 "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는다.
- [0018] 명세서 전체를 통하여 동일하거나 유사한 부분에 대해서는 동일한 도면 부호를 사용한다.
- [0019] 이하, 첨부된 도면을 참조로 하여 본 발명의 실시예들에 대해 설명한다.
- [0020] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 개략적으로 나타낸 블록도이다.
- [0021] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 표시 패널(11), 데이터 드라이버(12), 스캔 드라이버(13), 및 타이밍 제어부(14)를 포함할 수 있다.
- [0022] 표시 패널(11)은 화상을 표시하는 영역이다. 표시 패널(11)은 제1 내지 제n 스캔 라인(SL1 내지 SLn, n은 2 이상의 자연수)을 통해 스캔 드라이버(120)와 연결될 수 있다. 또한, 표시 패널(11)은 제1 내지 제m 데이터 라인(DL1 내지 DLm, m은 2 이상의 자연수)을 통해 데이터 드라이버(12)와 연결될 수 있다. 표시 패널(11)은 화소부(PXij)를 포함하는 복수의 화소부를 포함할 수 있다. 복수의 화소부는 일 실시예로 각각 제1 내지 제n 스캔 라인(SL1 내지 SLn) 중 하나 및 제1 내지 제m 데이터 라인(DL1 내지 DLm) 중 하나와 전기적으로 연결될 수 있다.
- [0023] 제1 내지 제m 데이터 라인(DL1 내지 DLm)은 제1 방향(d1)을 따라 연장될 수 있다. 제1 내지 제n 스캔 라인(SL1 내지 SLn)은 제2 방향(d2)을 따라 연장될 수 있다. 제1 방향(d1)은 제2 방향(d2)과 일 실시예로 교차될 수 있다. 도 1을 기준으로, 제1 방향(d1)을 열 방향으로, 제2 방향(d2)을 행 방향으로 예시한다. 복수의 화소부는 하나의 기관 상에서 서로 절연된 상태로 배치될 수 있으며, 일 실시예로 매트릭스(matrix) 형태로 배치될 수 있다.
- [0024] 스캔 드라이버(13)는 타이밍 제어부(14)로부터 제1 제어 신호(CONT1)를 제공받을 수 있다. 스캔 드라이버(13)는 제공받은 제1 제어 신호(CONT1)에 따라 제1 내지 제n 스캔 신호(S1 내지 Sn)를 표시 패널(11)에 제공할 수 있다.
- [0025] 데이터 드라이버(12)는 일 실시예로 쉬프트 레지스터(shift register), 래치(latch) 및 디지털-아날로그 변환부(DAC) 등을 포함할 수 있다. 데이터 드라이버(12)는 타이밍 제어부(14)로부터 제2 제어 신호(CONT2) 및 영상 데

이터(DATA)를 제공받을 수 있다. 데이터 드라이버(12)는 제2 제어 신호(CONT2)에 대응하여 기준 전압을 선택할 수 있으며, 선택된 기준 전압에 따라 입력되는 디지털 파형의 영상 데이터(DATA)를 제1 내지 제m 데이터 신호(D1 내지 Dm)로 변환할 수 있다. 데이터 드라이버(12)는 생성된 복수의 데이터 신호(D1 내지 Dm)를 표시 패널(11)로 제공할 수 있다.

- [0026] 타이밍 제어부(14, timing controller)는 외부로부터 영상 신호(R.G.B) 및 제어 신호(CS)를 입력 받을 수 있다. 제어 신호(CS)는 일 실시예로 수직 동기 신호(Vsync), 수평 동기 신호, 메인 클럭 신호 및 데이터 인에이블 신호 등을 포함할 수 있다. 타이밍 제어부(14)는 외부로부터 제공받은 신호들을 표시 패널(11)의 동작 조건에 적합하도록 처리한 이후, 영상 데이터(DATA), 제1 제어 신호(CONT1) 및 제2 제어 신호(CONT2)를 생성할 수 있다.
- [0027] 제1 제어 신호(CONT1)는 제1 내지 제n 스캔 신호(S1 내지 Sn)의 출력 시작을 지시하는 스캔 개시 신호 및 스캔 온 펄스의 출력 시기를 제어하는 게이트 클럭 신호 등을 포함할 수 있다. 제2 제어 신호(CONT2)는 영상 데이터(DATA)의 입력 시작을 지시하는 수평 동기 시작 신호 및 제1 내지 제m 데이터 라인(DL1 내지 DLm)에 제1 내지 제m 데이터 신호(D1 내지 Dm)의 인가를 제어하는 로드 신호 등을 포함할 수 있다.
- [0028] 도면에는 도시하지 않았으나, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 전원 제공부를 더 포함할 수 있다. 전원 제공부는 타이밍 제어부(14)로부터 제공받은 제어 신호에 따라 복수의 화소부에 제1 구동 전압(ELVDD) 및 제2 구동 전압(ELVSS)을 제공할 수 있다.
- [0029] 도 2는 도 1에 도시한 화소부의 일 실시예를 나타낸 등가 회로도이다. 도 1 및 도 2에서는, 제j 데이터 라인(DLj) 및 제i 스캔 라인(SLi)과 각각 전기적으로 연결되는 화소부(PXij)를 기준으로 설명하기로 한다.
- [0030] 화소부(PXij)는 제1 방향(d1)으로 연장되는 제j 데이터 라인(DLj) 및 제2 방향(d2)으로 연장되는 제i 스캔 라인(SLi)과 전기적으로 연결될 수 있다.
- [0031] 화소부(PXij)는 제1 스위칭 소자(TR1), 제2 스위칭 소자(TR2), 유기 발광 소자(OLED) 및 스토리지 커패시터(Cst)를 포함할 수 있다. 제1 스위칭 소자(TR1) 및 제2 스위칭 소자(TR2)는 일 실시예로 박막 트랜지스터와 같은 삼 단자 소자일 수 있다. 일 실시예로, 제1 스위칭 소자(TR1) 및 제2 스위칭 소자(TR2)는 NMOS 타입의 박막 트랜지스터일 수 있다. 이하, 제1 스위칭 소자(TR1) 및 제2 스위칭 소자(TR2)가 NMOS 박막 트랜지스터인 것으로 예를 들어 설명하기로 한다.
- [0032] 제1 스위칭 소자(TR1)는 제j 데이터 라인(DLj, j는 1 이상의 자연수), 제i 스캔 라인(SLi, i는 1 이상의 자연수) 및 제2 스위칭 소자(TR2)와 전기적으로 연결될 수 있다. 보다 상세하게는, 제1 스위칭 소자(TR1)는 제i 스캔 라인(SLi)과 전기적으로 연결되는 제어 전극, 제j 데이터 라인(DLj)과 전기적으로 연결되는 일 전극 및 제2 스위칭 소자(TR2)의 제어 전극과 전기적으로 연결되는 타 전극을 포함할 수 있다.
- [0033] 제2 스위칭 소자(TR2)는 제1 스위칭 소자(TR1)의 타 전극과 전기적으로 연결되는 제어 전극, 제1 구동 전압(ELVDD)이 제공되는 구동 전압 라인과 전기적으로 연결되는 일 전극 및 유기 발광 소자(OLED)와 전기적으로 연결되는 타 전극을 포함할 수 있다.
- [0034] 스토리지 커패시터(Cst)는 일 전극이 제1 스위칭 소자(TR1)의 타 전극과 전기적으로 연결될 수 있으며, 타 전극이 유기 발광 소자(OLED)와 전기적으로 연결될 수 있다.
- [0035] 제1 스위칭 소자(TR1)는 제i 스캔 라인(SLi)으로부터 제공받은 제i 스캔 신호(Si)에 따라 턴 온 되어, 제j 데이터 라인(DLj)으로부터 제공받은 제j 데이터 신호(Dj)를 스토리지 커패시터(Cst)에 제공할 수 있다. 스토리지 커패시터(Cst)는 제공받은 제j 데이터 신호(Dj)와 유기 발광 소자(OLED)의 일 전극 사이의 전압 차를 충전할 수 있다.
- [0036] 제2 스위칭 소자(TR2)는 스토리지 커패시터(Cst)에 충전되는 전압에 따라, 제1 구동 전압(ELVDD)이 제공되는 제1 구동 전압단(도면 미도시)으로부터 유기 발광 소자(OLED)를 거쳐 제2 구동 전압(ELVSS)이 제공되는 제2 구동 전압단(도면 미도시)에 제공되는 구동 전류의 전류량을 제어할 수 있다. 즉, 제1 스위칭 소자(TR1)는 스위칭 트랜지스터일 수 있으며, 제2 스위칭 소자(TR2)는 구동 트랜지스터일 수 있다.
- [0037] 도 3은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소부를 개략적으로 나타낸 레이아웃도이다. 도 4은 도 3에 도시한 I-I'선을 따라 자른 단면도이다. 도 5는 도 3에 도시한 II-II'선을 따라 자른 단면도이다. 도 6은 도 3에 도시한 III-III'선을 따라 자른 단면도이다.

- [0038] 도 3 내지 도 6을 참조하면, 기판(110)은 일 실시예로 절연 기판일 수 있다. 기판(110)은 유리 기판, 석영 기판, 세라믹 기판 또는 플라스틱 기판을 포함할 수 있다. 기판(110)은 다른 실시예로 벤딩(bending), 폴딩(folding)이나 롤링(rolling)이 가능한 플렉서블(flexible) 기판일 수 있다. 이 경우 기판(110)은 폴리이미드(polyimide)를 포함하여 이루어질 수 있으나, 이에 제한되는 것은 아니다.
- [0039] 버퍼층(120)은 기판(110)의 상부에 배치될 수 있다. 버퍼층(120)은 불순 원소의 침투를 방지할 수 있으며, 표면을 평탄화할 수 있다. 버퍼층(120)은 일 실시예로 질화 규소(SiNx)막, 산화 규소(SiO₂)막, 산질화규소(SiO_xN_y)막 중 어느 하나를 포함할 수 있다. 버퍼층(120)은 기판(110)의 종류 또는 공정 조건 등에 따라 생략될 수도 있다.
- [0040] 제1 반도체 패턴(ACT1) 및 제2 반도체 패턴(ACT2)을 포함하는 반도체층은 버퍼층(120)의 상부에 배치될 수 있다. 제1 반도체 패턴(ACT1)은 제1 소스 전극(SE1), 제1 드레인 전극(DE1) 및 제1 게이트 전극(GE1)과 함께 제1 스위칭 소자(TR1)를 형성할 수 있다. 제1 반도체 패턴(ACT1)은 제1 스위칭 소자(TR1)의 채널이 형성되는 영역을 포함한다. 제2 반도체 패턴(ACT2)은 제2 소스 전극(SE2), 제2 드레인 전극(DE2) 및 제2 게이트 전극(GE2)과 함께 제2 스위칭 소자(TR2)를 형성할 수 있다. 제2 반도체 패턴(ACT2)은 제2 스위칭 소자(TR2)의 채널이 형성되는 영역을 포함한다.
- [0041] 제1 반도체 패턴(ACT1) 및 제2 반도체 패턴(ACT2)은 일 실시예로 비정질 실리콘, 다결정 실리콘, 단결정 실리콘, 저온 다결정 실리콘 중 선택되는 하나 또는 적어도 두 개를 혼합하여 형성될 수 있다. 제1 반도체 패턴(ACT1) 및 제2 반도체 패턴(ACT2)은 다른 실시예로 산화물 반도체를 포함할 수 있다.
- [0042] 제1 절연막(130)은 제1 반도체 패턴(ACT1) 및 제2 반도체 패턴(ACT2)의 상부에 배치될 수 있다. 제1 절연막(130)은 일 실시예로 게이트 절연막일 수 있다. 제1 절연막(130)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiNx) 등의 무기 절연물질, BCB(BenzoCycloButene), 아크릴계 물질, 및 폴리이미드와 같은 유기 절연 물질로 이루어진 군에서 선택된 어느 하나 또는 하나 이상의 물질을 혼합하여 형성할 수 있다.
- [0043] 제i 스캔 라인(SLi), 제1 게이트 전극(GE1), 제2 게이트 전극(GE2), 제1 드레인 전극(DE1) 및 스토리지 커패시터(Cst)의 일 전극(Csta)을 포함하는 게이트 도전체는 제1 절연막(130)의 상부에 배치될 수 있다.
- [0044] 제1 게이트 전극(GE1)은 제i 스캔 라인(SLi)과 전기적으로 연결될 수 있으며, 제i 스캔 라인(SLi)으로부터 제1 반도체 패턴(ACT1) 방향으로 돌출될 수 있다. 이에 따라, 제1 게이트 전극(GE1)은 제1 반도체 패턴(ACT1)과 적어도 일부가 중첩될 수 있다.
- [0045] 제2 게이트 전극(GE2)은 제1 드레인 전극(DE1)으로부터 연장될 수 있다. 또한, 스토리지 커패시터(Cst)의 일 전극(Csta)은 제i 스캔 라인(SLi)으로부터 연장될 수 있다. 즉, 제1 드레인 전극(DE1), 제2 게이트 전극(GE2) 및 스토리지 커패시터(Cst)의 일 전극(Csta)은 서로 전기적으로 연결될 수 있으며, 일 실시예로 동일한 마스크 공정에 의해 일체로 형성될 수 있다.
- [0046] 제1 드레인 전극(DE1)은 제1 반도체 패턴(ACT1)과 적어도 일부가 중첩될 수 있다. 제2 게이트 전극(GE2)은 제2 반도체 패턴(ACT2)과 적어도 일부가 중첩될 수 있다. 또한, 스토리지 커패시터(Cst)의 일 전극(Csta)은 후술하는 화소 전극(PE)과 적어도 일부가 중첩될 수 있다. 여기서, 화소 전극(PE)은 유기 발광 소자(OLED, 도 1 참조)의 일 전극이며, 예를 들어 애노드(anode) 전극일 수 있다.
- [0047] 게이트 도전체는 예컨대, 알루미늄 합금을 포함하는 알루미늄(Al) 계열의 금속, 은 합금을 포함하는 은(Ag) 계열의 금속, 구리 합금을 포함하는 구리(Cu) 계열의 금속, 몰리브덴 합금을 포함하는 몰리브덴(Mo) 계열 금속, 크롬(Cr), 티탄(Ti), 및 탄탈륨(Ta) 중 어느 하나 이상을 포함할 수 있다.
- [0048] 제2 절연막(140)은 게이트 도전체의 상부에 배치될 수 있다. 제2 절연막(140)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiNx) 등의 무기 절연물질, BCB(BenzoCycloButene), 아크릴계 물질, 및 폴리이미드와 같은 유기 절연 물질로 이루어진 군에서 선택된 어느 하나 또는 하나 이상의 물질을 혼합하여 형성할 수 있다.
- [0049] 제j 데이터 라인(DLj), 구동 전압 라인(ELVDDL), 제1 소스 전극(SE1), 제2 소스 전극(SE2), 제2 드레인 전극(DE2)을 포함하는 데이터 도전체는 제2 절연막(140)의 상부에 배치될 수 있다. 제j 데이터 라인(DLj), 구동 전압 라인(ELVDDL), 제1 소스 전극(SE1), 제2 소스 전극(SE2), 제2 드레인 전극(DE2)은 서로 동일 층에 배치될 수 있다.
- [0050] 제1 소스 전극(SE1)은 제1 드레인 전극(DE1)과 서로 다른 층에 배치될 수 있다. 제1 소스 전극(SE1)은 일 단부가 제j 데이터 라인(DLj)과 전기적으로 연결될 수 있으며, 타 단부가 후술하는 제1 연결 전극(CE1)을 통해 제1

반도체 패턴(ACT1)과 전기적으로 연결될 수 있다.

- [0051] 제2 소스 전극(SE2)은 구동 전압 라인(ELVDDL)과 전기적으로 연결될 수 있다. 제2 드레인 전극(DE2)은 제6 콘택홀(CNT6)을 통해 화소 전극(PE)과 전기적으로 연결될 수 있다. 제2 소스 전극(SE2) 및 제2 드레인 전극(DE2)은 제2 절연막(140)의 상부에 서로 이격되어 배치될 수 있다. 제2 소스 전극(SE2) 및 제2 드레인 전극(DE2)은 제2 반도체 패턴(ACT2)과 중첩될 수 있으며, 제2 반도체 패턴(ACT2)과 각각 제4 콘택홀(CNT4) 및 제5 콘택홀(CNT5)을 통해 전기적으로 연결될 수 있다.
- [0052] 데이터 도전체는 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질로 이루어진 군 중 선택된 하나 이상을 포함할 수 있다. 데이터 도전체는 일 실시예로 니켈(Ni), 코발트(Co), 티탄(Ti), 은(Ag), 구리(Cu), 몰리브덴(Mo), 알루미늄(Al), 베릴륨(Be), 니오브(Nb), 금(Au), 철(Fe), 셀렌(Se) 또는 탄탈륨(Ta) 등으로 이루어진 단일막 또는 다중막 구조를 가질 수 있다. 또한, 상기 금속에 티탄(Ti), 지르코늄(Zr), 텅스텐(W), 탄탈륨(Ta), 니오브(Nb), 백금(Pt), 하프늄(Hf), 산소(O) 및 질소(N)로 이루어진 군에서 선택된 하나 이상의 원소를 포함시켜 형성한 합금이 데이터 도전체의 재료로서 이용될 수 있다.
- [0053] 평탄화층(150)은 데이터 도전체의 상부에 배치될 수 있다. 평탄화층(150)은 일 실시예로 유기 물질을 포함할 수 있다. 예를 들어, 평탄화층(150)은 폴리이미드(polyimide), 폴리아크릴(polyacryl) 및 폴리실록산(polysiloxane) 중 선택된 어느 하나 이상을 포함하여 이루어질 수 있다.
- [0054] 화소 전극(PE) 및 제1 연결 전극(CE1)은 평탄화층(150)의 상부에 배치될 수 있다. 보다 상세하게는, 화소 전극(PE) 및 제1 연결 전극(CE1)은 서로 동일 층에 배치될 수 있다. 즉, 화소 전극(PE) 및 제1 연결 전극(CE1)은 서로 동일한 마스크 공정에 의해 동시에 형성될 수 있다.
- [0055] 화소 전극(PE)은 제6 콘택홀(CNT6)에 의해 노출된 제2 드레인 전극(DE2)과 전기적으로 연결될 수 있다. 즉, 화소 전극(PE)은 정공 주입 전극인 애노드(anode)일 수 있다.
- [0056] 제1 연결 전극(CE1)은 제1 소스 전극(SE1)과 제1 반도체 패턴(ACT1)과 각각 연결된다. 보다 상세하게는, 제1 연결 전극(CE1)은 제1 콘택홀(CNT1)을 통해 노출되는 제1 소스 전극(SE1)의 적어도 일부와 연결된다. 또한, 제1 연결 전극(CE1)은 제2 콘택홀(CNT2)을 통해 노출되는 제1 반도체 패턴(ACT1)의 적어도 일부와 연결된다. 즉, 제1 소스 전극(SE1)과 제1 반도체 패턴(ACT1)은 제1 연결 전극(CE1)을 통해 간접적으로 서로 연결될 수 있다.
- [0057] 화소 전극(PE) 및 제1 연결 전극(CE1)은 일 실시예로 ITO 및 IZO 등의 투명 도전 물질이나, 알루미늄, 은, 크롬 또는 그 합금 등의 반사성 금속으로 형성될 수 있다.
- [0058] 이에 따라, 제1 스위칭 소자(TR1)의 제1 소스 전극(SE1)은 제j 데이터 라인(DLj)으로부터 제공받은 신호를 제1 연결 전극(CE1)을 통해 제1 반도체 패턴(ACT1)으로 제공할 수 있다. 제1 반도체 패턴(ACT1)으로 제공된 신호는 제1 드레인 전극(DE1)을 통해 제2 스위칭 소자(TR2)의 제2 게이트 전극(GE2) 및 스토리지 커패시터(Cst)의 일 전극(Csta)에 각각 제공될 수 있다.
- [0059] 도면에는 도시하지 않았으나, 화소 전극(PE) 및 제1 연결 전극(CE1)의 상부에는 화소 정의막이 배치될 수 있다. 화소 정의막은 화소 전극(PE)의 일부를 노출시킨다. 화소 정의막은 폴리아크릴계(polyacrylates resin) 및 폴리이미드계(polyimides) 등의 수지로 형성될 수 있다. 또한, 화소 정의막에 의해 노출된 화소 전극(PE)의 상부에 유기 발광층(도면 미도시)이 배치될 수 있으며, 유기 발광층의 상부에 공통 전극이 배치될 수 있다. 여기서, 화소 전극(PE), 유기 발광층 및 공통 전극은 유기 발광 소자(OLED)를 형성할 수 있다.
- [0060] 도 7은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 오픈 쇼트 검사 방법을 설명하기 위한 도면이다. 도 8은 도 7에 도시된 오픈 쇼트 검사 시의 화소부의 일 예를 개략적으로 나타낸 레이아웃도이다. 도 9는 도 8에 도시된 I-I'선 및 II-II'선을 따라 자른 단면도이다. 도 1 내지 도 6에서 설명한 내용과 중복되는 설명은 생략하기로 한다. 또한, 도 7에서는 제j 데이터 라인(DLj) 및 제j 데이터 라인(DLj)과 전기적으로 연결되는 제1 내지 제n 화소부(PX1ja 내지 PXnja)를 예로 들어 설명하기로 한다. 여기서, 제1 내지 제n 화소부(PX1ja 내지 PXnja)는 서로 다른 스캔 라인과 각각 전기적으로 연결된다.
- [0061] 도 7을 참조하면, 제1 검사 신호(ts1)는 제j 데이터 라인(DLj)의 일 단부로 제공되는 신호로 정의된다. 여기서, 제j 데이터 라인(DLj)의 일 단부는 제1 화소부(PX1ja)와 상대적으로 가까운 영역으로 정의된다. 제2 검사 신호(ts2)는 제j 데이터 라인(DLj)의 일 단부로 제공된 제1 검사 신호(ts1)가 제j 데이터 라인(DLj)을 거쳐 제j 데이터 라인(DLj)의 타 단부에서 검출되는 신호로 정의된다. 즉, 제j 데이터 라인(DLj)의 오픈 쇼트(open/short) 검사는 제1 검사 신호(ts1)와 제2 검사 신호(ts2)의 파형 차이의 비교를 통해 수행될 수 있다.

- [0062] 다만, 도 8 및 도 9를 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 화소 전극(PE) 및 제1 연결 전극(CE1)이 형성되지 않은 상태에서 오픈 쇼트 검사를 수행한다. 즉, 화소 전극(PE) 및 제1 연결 전극(CE1)은 다른 구성에 비해 상대적으로 나중에 형성되므로, 제j 데이터 라인(DLj)의 오픈 쇼트 검사는 화소 전극(PE) 및 제1 연결 전극(CE1)이 형성되지 않은 상태로 수행된다.
- [0063] 따라서, 제j 데이터 라인(DLj) 및 제1 반도체 패턴(ACT1)이 서로 연결되지 않은 상태이므로, 제j 데이터 라인(DLj)의 오픈 쇼트 검사 시 제1 반도체 패턴(ACT1) 및 제1 반도체 패턴(ACT1)과 전기적으로 연결되는 다른 구성(예를 들어, 제1 드레인 전극(DE1), 스토리지 커패시터(Cst)의 일 전극(Csta) 등)에 의한 영향을 배제시킬 수 있다. 이를 통해, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 오픈 쇼트 검사 시 보다 정확한 결과를 얻을 수 있다.
- [0064] 한편, 도 8 및 도 9에서는 오픈 쇼트 검사 시, 평탄화층(150), 제1 컨택홀(CNT1), 제2 컨택홀(CNT2) 및 제6 컨택홀(CNT6)이 형성된 것으로 설명하고 있으나, 반드시 이에 제한되는 것은 아니다. 즉, 제j 데이터 라인(DLj)의 오픈 쇼트 검사 시에, 제1 반도체 패턴(ACT1)과 제j 데이터 라인(DLj)이 전기적으로 절연되는 경우라면, 평탄화층(150)이 형성되지 않은 상태에서 오픈 쇼트 검사가 수행될 수도 있다.
- [0065] 도 10은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 오픈 쇼트 검사 결과를 설명하기 위한 도면이다. 도 10의 (a)는 비교 예에 따른 유기 발광 표시 장치의 오픈 쇼트 검사 결과를 나타낸 도면이며, 도 10의 (b)는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 오픈 쇼트 검사 결과를 나타낸 도면이다. 여기서, 도 10의 (a)는 제i 스캔 라인과 전기적으로 연결되는 스위칭 소자의 반도체 패턴이 제j 데이터 라인과 직접 연결된 경우이다.
- [0066] 도 10의 (a)를 참조하면, A 영역에서 노이즈(noise)가 생성된 것을 알 수 있다. 즉, 비교 예에 따른 유기 발광 표시 장치는 제j 데이터 라인이, 제i 스캔 라인과 전기적으로 연결되는 스위칭 소자의 반도체 패턴과 직접 연결되므로, 오픈 쇼트 검사 시 제j 데이터 라인 외의 다른 구성들에 의한 영향이 발생되게 된다. 이에 따라, 오픈 쇼트 검사 결과의 정확성이 떨어지게 된다.
- [0067] 이에 반해, 도 10의 (b)를 참조하면, 도 10의 (a)와 같이 노이즈가 생성되지 않을 수 있다. 즉, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 오픈 쇼트 검사 시 제j 데이터 라인(DLj)과 제1 반도체 패턴(ACT1)이 절연된 상태이므로, 제j 데이터 라인(DLj) 외의 다른 구성들에 의한 영향이 배제될 수 있다. 이를 통해, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 비교 예에 따른 유기 발광 표시 장치에 비해 오픈 쇼트 검사 결과의 정확성이 높을 수 있다.
- [0068] 도 11은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 화소부를 개략적으로 나타낸 레이아웃도이다. 도 12는 도 11에 도시된 IV-IV'선을 따라 자른 단면도이다. 도 11 및 도 12에서는 도 1 내지 도 10에서 설명한 내용과 중복되는 내용은 생략하기로 한다. 한편, 설명의 편의를 위해 제1 내지 제6 컨택홀을 CNT1' 내지 CNT6'으로 도면에 도시하며, 다른 구성은 도 1 내지 도 10에서 사용한 도면 부호와 동일한 도면 부호를 사용하기로 한다.
- [0069] 도 11 및 도 12를 참조하면, 제1 스위칭 소자(TR1)의 제1 소스 전극(SE1)은 제1 컨택홀(CNT1')을 통해 제1 반도체 패턴(ACT1)과 직접 연결된다. 이에 따라, 제j 데이터 라인(DLj)으로부터 제1 스위칭 소자(TR1)의 제1 소스 전극(SE1)에 제공된 데이터 신호는 제1 반도체 패턴(ACT1)에 직접 제공될 수 있다.
- [0070] 한편, 구동 전압 라인(ELVDDL)과 전기적으로 연결되는 제2 스위칭 소자(TR2)의 제2 소스 전극(SE2)은 제2 연결 전극(CE2)을 통해 제2 반도체 패턴(ACT2)과 전기적으로 연결된다. 보다 상세하게는, 제2 스위칭 소자(TR2)의 제2 소스 전극(SE2)은 제3 컨택홀(CNT3')을 통해 제2 연결 전극(CE2)과 전기적으로 연결된다. 또한, 제2 반도체 패턴(ACT2)은 제4 컨택홀(CNT4')을 통해 제2 반도체 패턴(ACT2)과 전기적으로 연결된다. 이에 따라, 구동 전압 라인(ELVDDL)으로부터 제2 스위칭 소자(TR2)의 제2 소스 전극(SE2)에 제공된 제1 구동 전압(ELVDD)은 제2 연결 전극(CE2)을 통해 제2 반도체 패턴(ACT2)에 제공될 수 있다.
- [0071] 여기서, 제2 연결 전극(CE2)은 평탄화층(150)의 상부에 배치될 수 있다. 보다 상세하게는, 제2 연결 전극(CE2)은 화소 전극(PE)과 서로 동일 층에 배치될 수 있다. 제2 연결 전극(CE2)은 일 실시예로 ITO 및 IZO 등의 투명 도전 물질이나, 알루미늄, 은, 크롬 또는 그 합금 등의 반사성 금속으로 형성될 수 있다.
- [0072] 도 13은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 오픈 쇼트 검사 방법을 설명하기 위한 도면이다. 도 14는 도 13에 도시된 오픈 쇼트 검사 시의 화소부의 일 예를 개략적으로 나타낸 레이아웃도이다. 도 15는 도

14에 도시된 IV-IV'선을 따라 자른 단면도이다. 도 1 내지 도 10에서 설명한 내용과 중복되는 설명은 생략하기로 한다. 또한, 도 13에서는 구동 전압 라인(ELVDDL) 및 구동 전압 라인(ELVDDL)과 전기적으로 연결되는 제1 내지 제n 화소부(PX1jb 내지 PXnjb)를 예로 들어 설명하기로 한다. 여기서, 제1 내지 제n 화소부(PX1jb 내지 PXnjb)는 서로 다른 스캔 라인과 각각 전기적으로 연결된다.

[0073] 도 13을 참조하면, 제3 검사 신호(ts3)는 구동 전압 라인(ELVDDL)의 일 단부로 제공되는 신호로 정의된다. 여기서, 구동 전압 라인(ELVDDL)의 일 단부는 제1 화소부(PX1jb)와 상대적으로 가까운 영역으로 정의된다. 제4 검사 신호(ts4)는 구동 전압 라인(ELVDDL)의 일 단부로 제공된 제3 검사 신호(ts3)가 구동 전압 라인(ELVDDL)을 거쳐 구동 전압 라인(ELVDDL)의 타 단부에서 검출되는 신호로 정의된다. 즉, 구동 전압 라인(ELVDDL)의 오픈 쇼트(open/short) 검사는 제3 검사 신호(ts3)와 제4 검사 신호(ts4)의 파형 차이의 비교를 통해 수행될 수 있다.

[0074] 다만, 도 14 및 도 15를 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 화소 전극(PE) 및 제2 연결 전극(CE2)이 형성되지 않은 상태에서 오픈 쇼트 검사를 수행한다. 즉, 화소 전극(PE) 및 제2 연결 전극(CE2)은 다른 구성에 비해 상대적으로 나중에 형성되므로, 구동 전압 라인(ELVDDL)의 오픈 쇼트 검사는 화소 전극(PE) 및 제2 연결 전극(CE2)이 형성되지 않은 상태로 수행된다.

[0075] 따라서, 구동 전압 라인(ELVDDL) 및 제2 반도체 패턴(ACT2)이 서로 연결되지 않은 상태이므로, 구동 전압 라인(ELVDDL)의 오픈 쇼트 검사 시 제2 반도체 패턴(ACT2) 및 제2 반도체 패턴(ACT2)과 전기적으로 연결되는 다른 구성에 의한 영향을 배제시킬 수 있다.

[0076] 한편, 도 14 및 도 15에서는 오픈 쇼트 검사 시, 평탄화층(150), 제3 컨택홀(CNT3'), 제4 컨택홀(CNT4') 및 제6 컨택홀(CNT6')이 형성된 것으로 설명하고 있으나, 반드시 이에 제한되는 것은 아니다. 즉, 구동 전압 라인(ELVDDL)의 오픈 쇼트 검사 시에, 제2 반도체 패턴(ACT2)과 구동 전압 라인(ELVDDL)이 전기적으로 절연되는 경우라면, 평탄화층(150)이 형성되지 않은 상태에서 오픈 쇼트 검사가 수행될 수도 있다.

[0077] 도 16은 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치의 화소부를 개략적으로 나타낸 레이아웃도이다. 도 17은 도 16에 도시된 V1-V1'선 및 V2-V2'선을 따라 자른 단면도이다. 도 16 및 도 17에서는 도 1 내지 도 15에서 설명한 내용과 중복되는 설명은 생략한다. 한편, 설명의 편의를 위해, 제1 내지 제7 컨택홀은 CNT1 내지 CNT7로 도면에 도시하며, 다른 구성은 도 1 내지 도 10에서 사용한 도면 부호와 동일한 도면 부호를 사용하기로 한다.

[0078] 도 16 및 도 17을 참조하면, 본 발명의 또 다른 유기 발광 표시 장치는 제1 연결 전극(CE1) 및 제2 연결 전극(CE2)을 모두 포함할 수 있다.

[0079] 제1 연결 전극(CE1) 및 제2 연결 전극(CE2)은 화소 전극(PE)과 동일 층에 배치될 수 있다. 즉, 제1 연결 전극(CE1) 및 제2 연결 전극(CE2)은 화소 전극(PE)과 동일한 마스크 공정에 의해 형성될 수 있다.

[0080] 제1 스위칭 소자(TR1)의 제1 소스 전극(SE1)은 제1 연결 전극(CE1)을 통해 제1 반도체 패턴(ACT1)과 전기적으로 연결될 수 있다. 제2 스위칭 소자(TR2)의 제2 소스 전극(SE2)은 제2 연결 전극(CE2)을 통해 제2 반도체 패턴(ACT2)과 전기적으로 연결될 수 있다. 이에 따라, 제j 데이터 라인(DLj)으로부터 제1 스위칭 소자(TR1)의 제1 소스 전극(SE1)에 제공된 데이터 신호는 제1 연결 전극(CE1)을 통해, 제1 반도체 패턴(ACT1)에 제공될 수 있다. 또한, 구동 전압 라인(ELVDDL)으로부터 제2 스위칭 소자(TR2)의 제2 소스 전극(SE2)에 제공된 제1 구동 전압(ELVDD)은 제2 연결 전극(CE2)을 통해, 제2 반도체 패턴(ACT2)에 제공될 수 있다.

[0081] 한편, 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치는 제1 연결 전극(CE1), 제2 연결 전극(CE2) 및 화소 전극(PE)이 형성되지 않은 상태에서 오픈 쇼트 검사를 수행할 수 있다. 보다 상세하게는, 제1 연결 전극(CE1)이 형성되지 않은 상태이므로, 제j 데이터 라인(DLj)과 제1 반도체 패턴(ACT1)은 서로 절연된다. 또한, 제2 연결 전극(CE2)이 형성되지 않은 상태이므로, 구동 전압 라인(ELVDDL)과 제2 반도체 패턴(ACT2)은 서로 절연된다.

[0082] 이에 따라, 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치는 제j 데이터 라인(DLj) 및 구동 전압 라인(ELVDDL) 중 적어도 하나의 오픈 쇼트 검사를 수행할 수 있다. 전술한 바와 같이, 제j 데이터 라인(DLj)과 제1 반도체 패턴(ACT1)은 서로 절연되므로, 제j 데이터 라인(DLj)의 오픈 쇼트 검사 시, 제j 데이터 라인(DLj) 외의 다른 구성에 의한 영향을 배제시킬 수 있다. 또한, 구동 전압 라인(ELVDDL)의 오픈 쇼트 검사 시, 구동 전압 라인(ELVDDL) 외의 다른 구성에 의한 영향을 배제시킬 수 있다.

[0083] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식

을 가진 자는 본 발명의 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이지 않는 것으로 이해해야 한다.

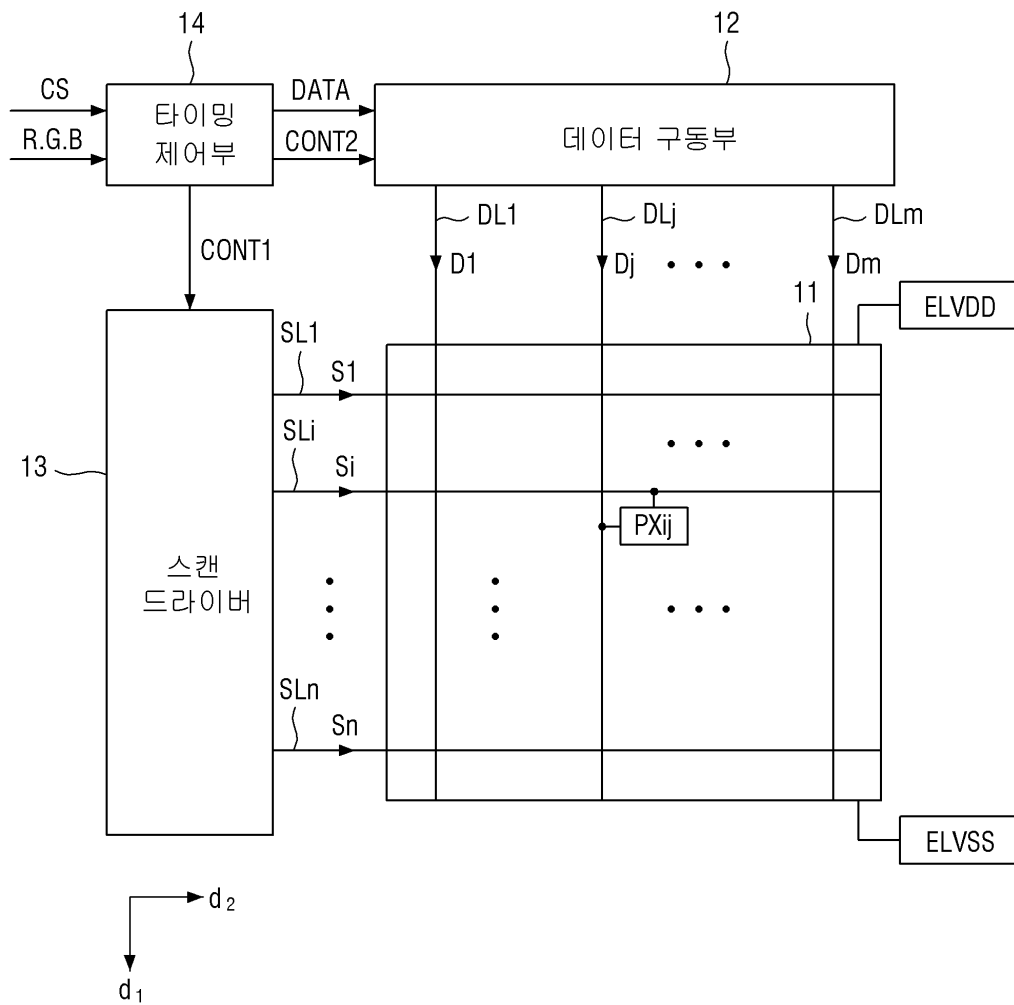
부호의 설명

- 11: 표시 패널;
- 12: 데이터 드라이버;
- 13: 스캔 드라이버;
- 14: 타이밍 제어부;
- PXij: 화소부;
- TR1: 제1 스위칭 소자;
- TR2: 제2 스위칭 소자;
- ELVDDL: 구동 전압 라인;
- PE: 화소 전극;
- CE1: 제1 연결 전극;
- CE2: 제2 연결 전극;

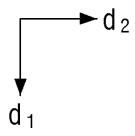
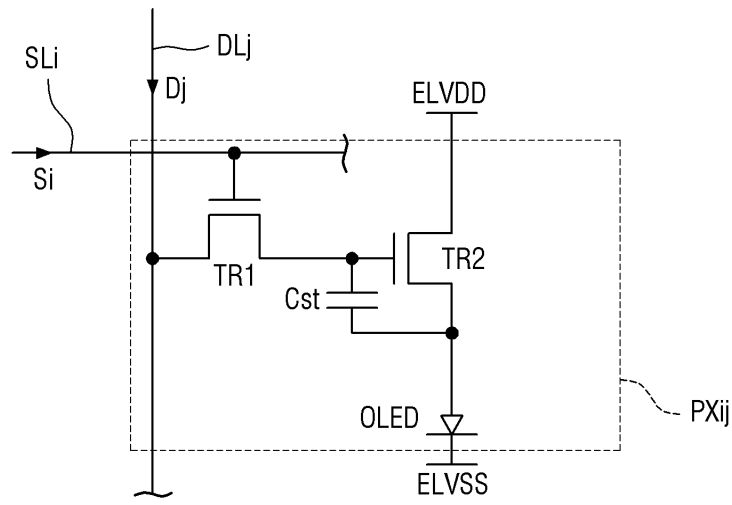
[0084]

도면

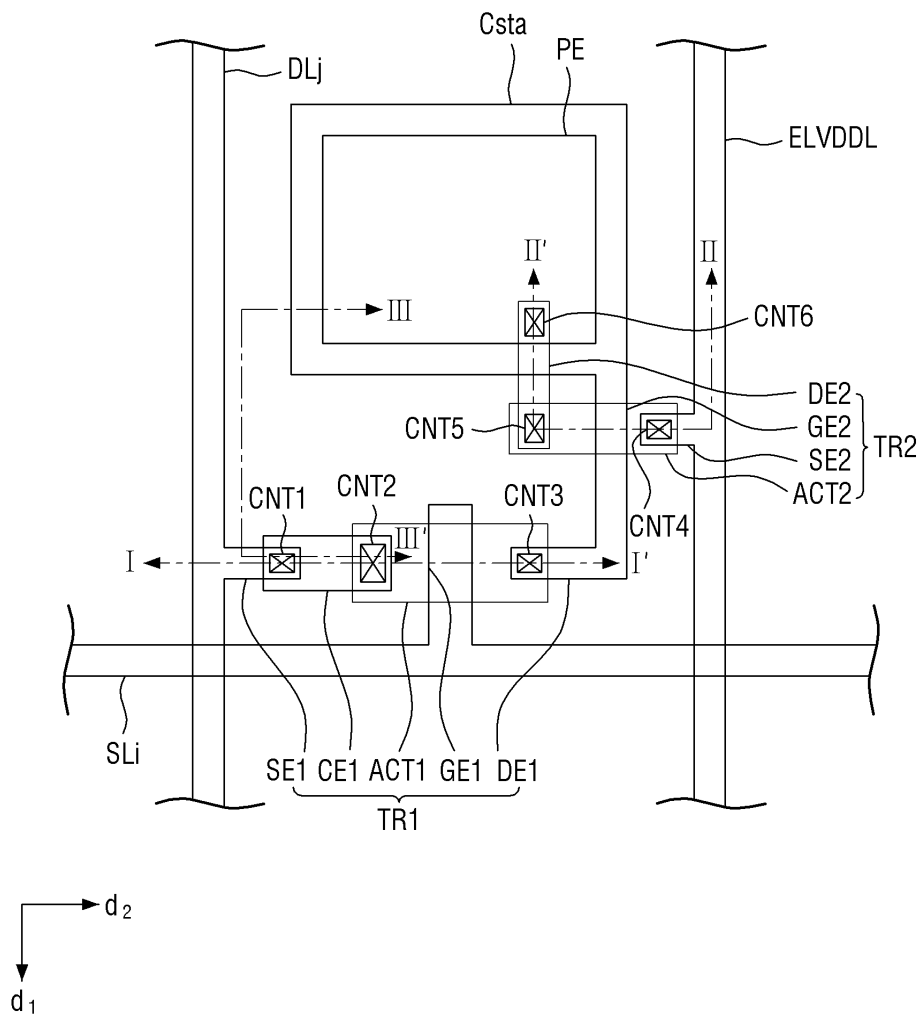
도면1



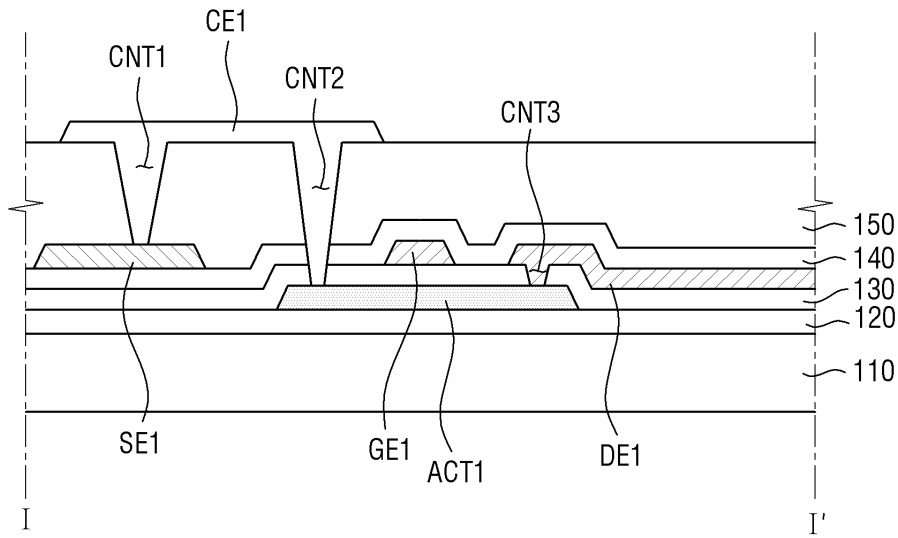
도면2



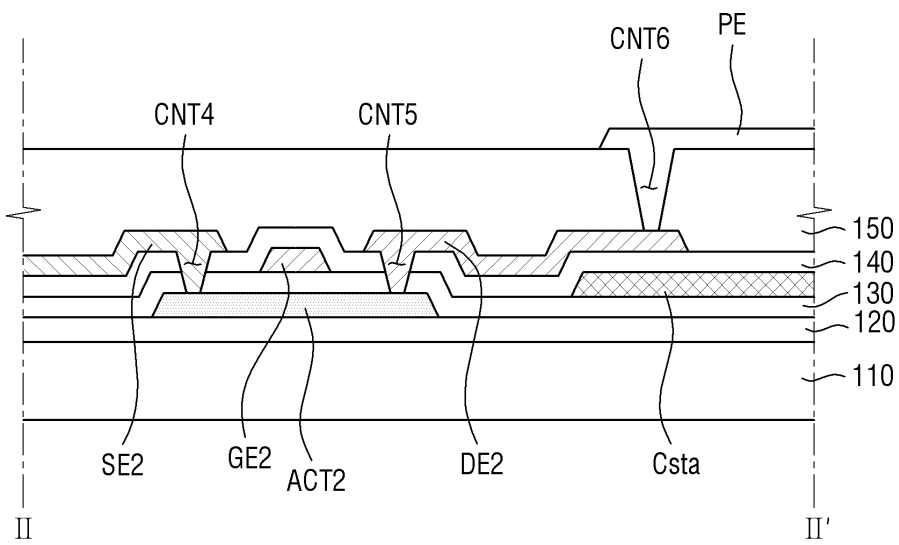
도면3



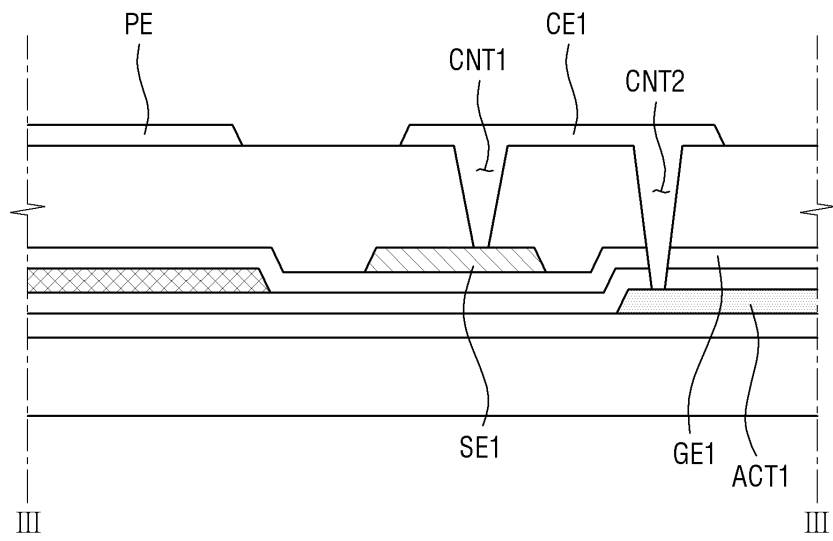
도면4



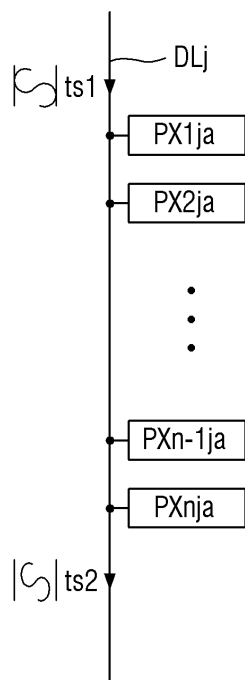
도면5



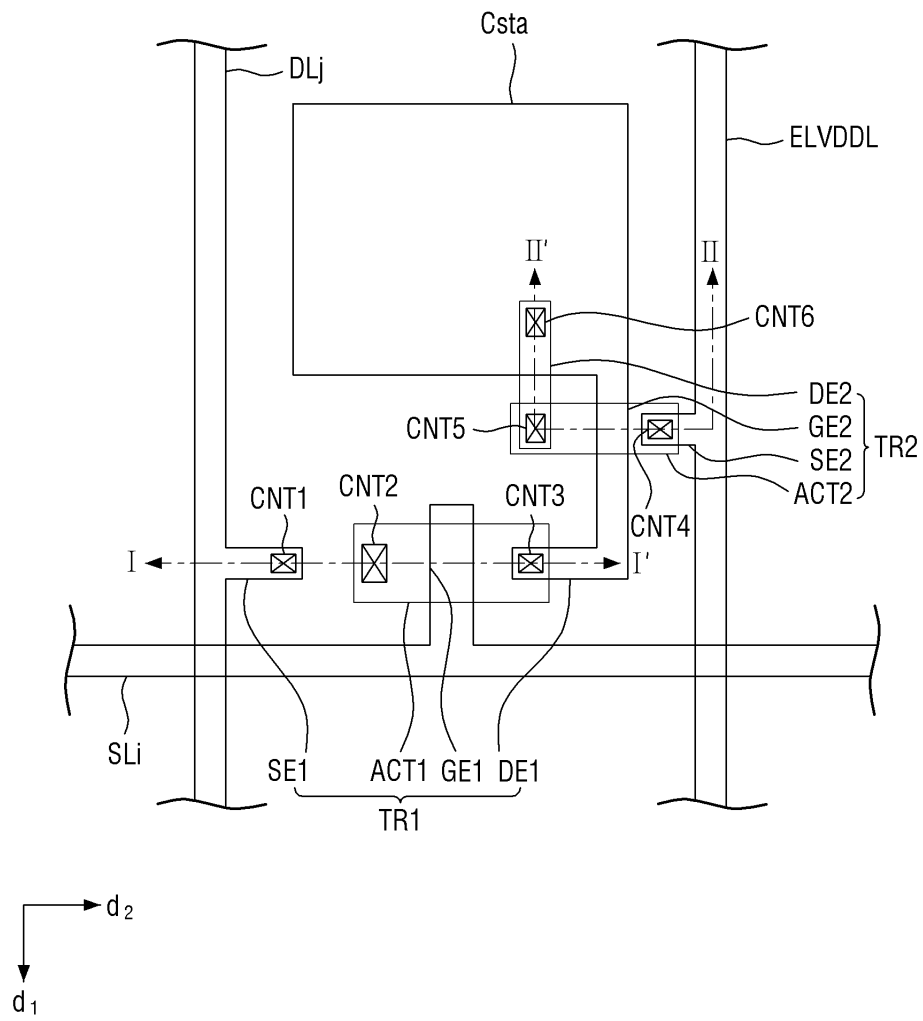
도면6



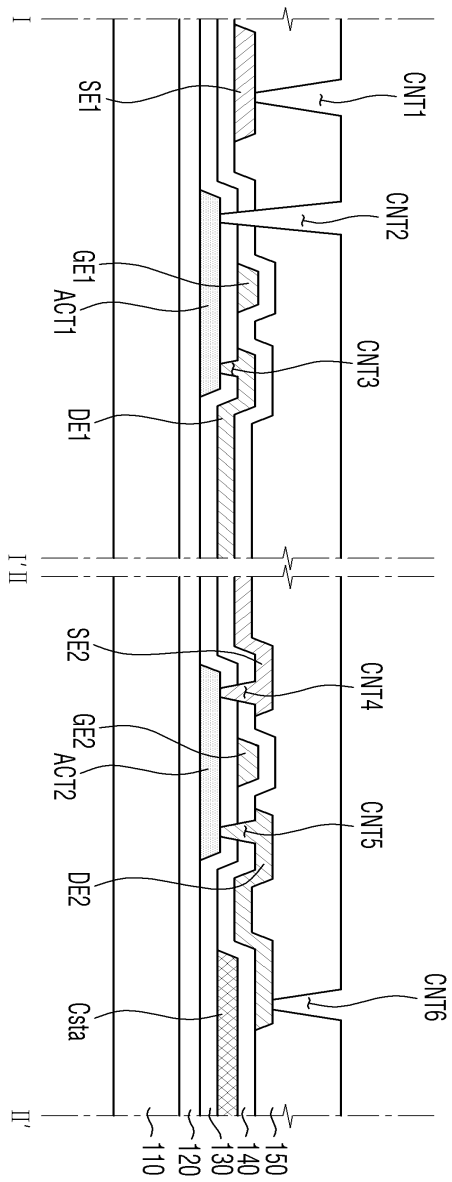
도면7



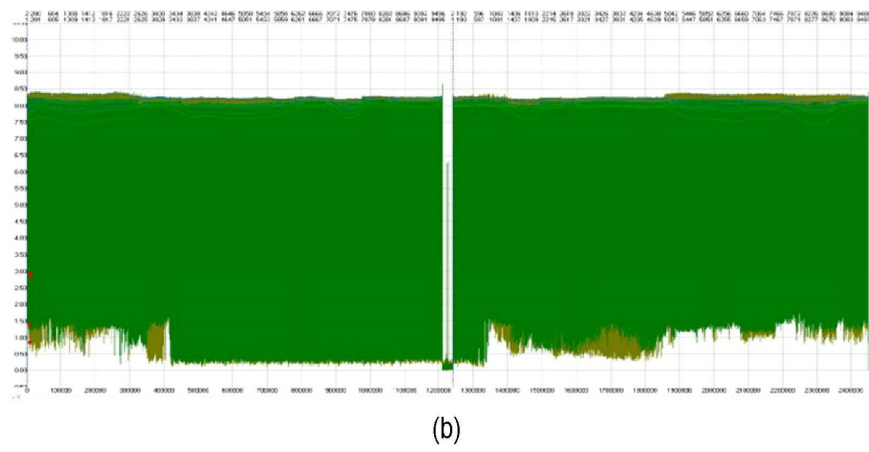
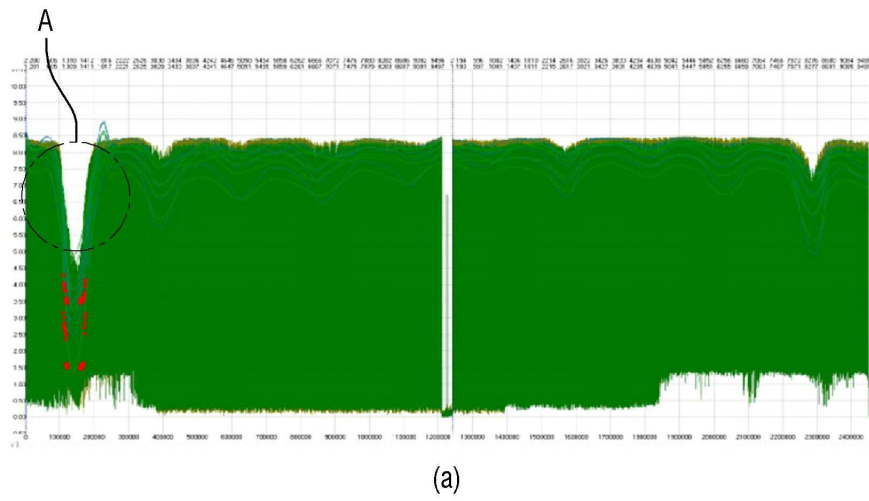
도면8



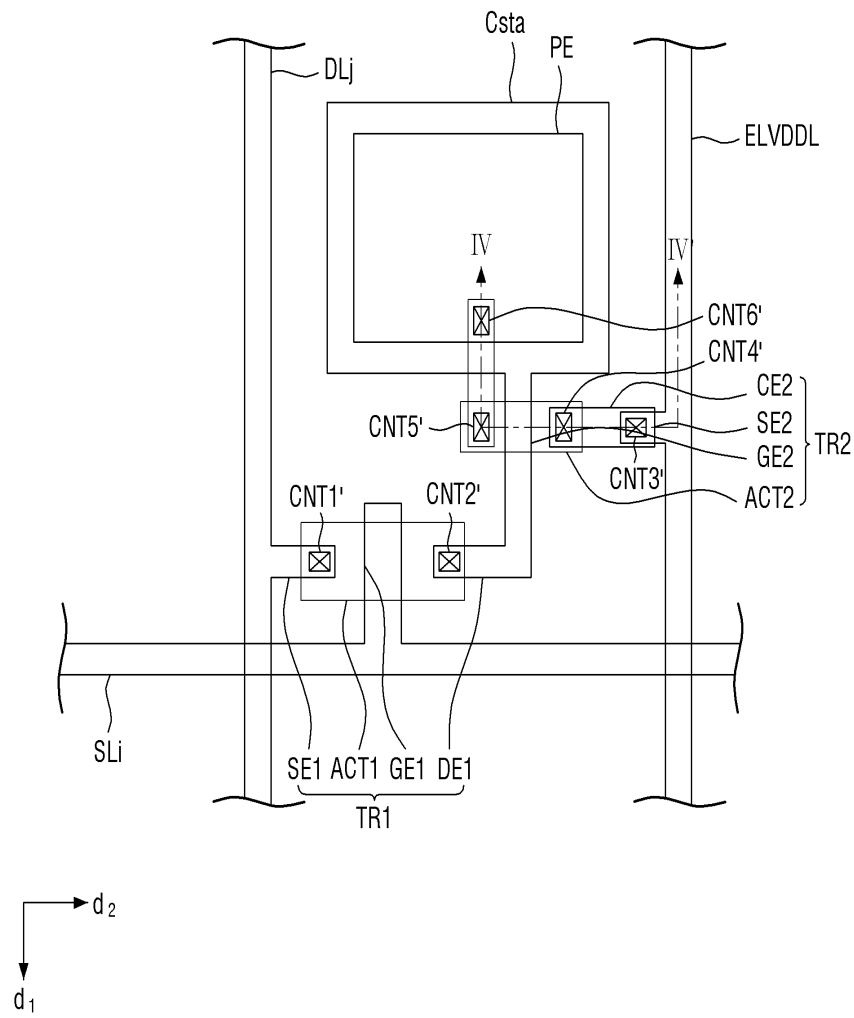
도면9



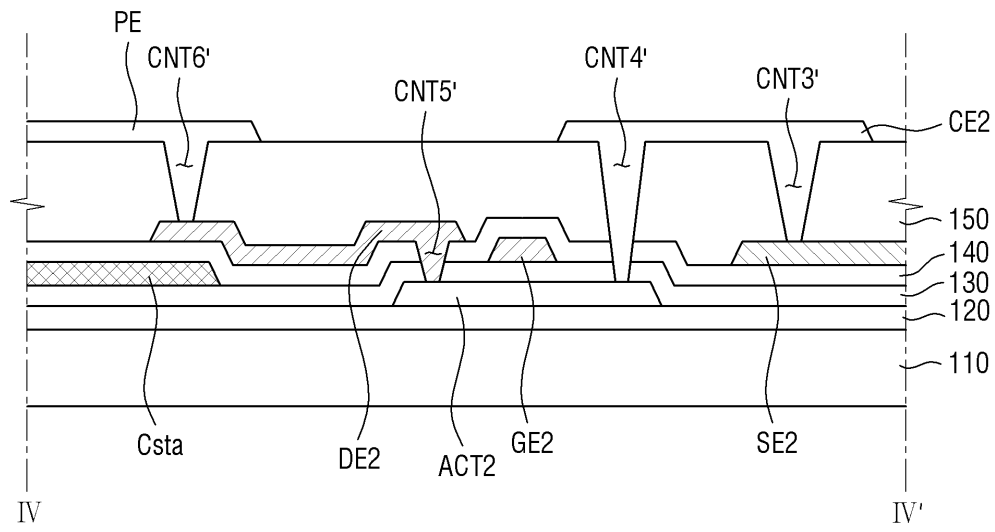
도면10



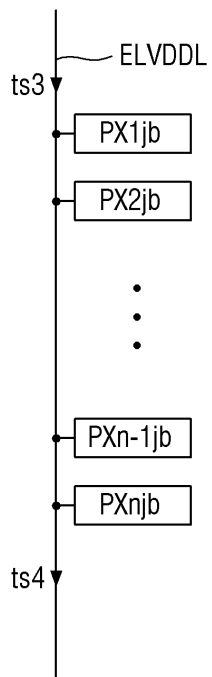
도면11



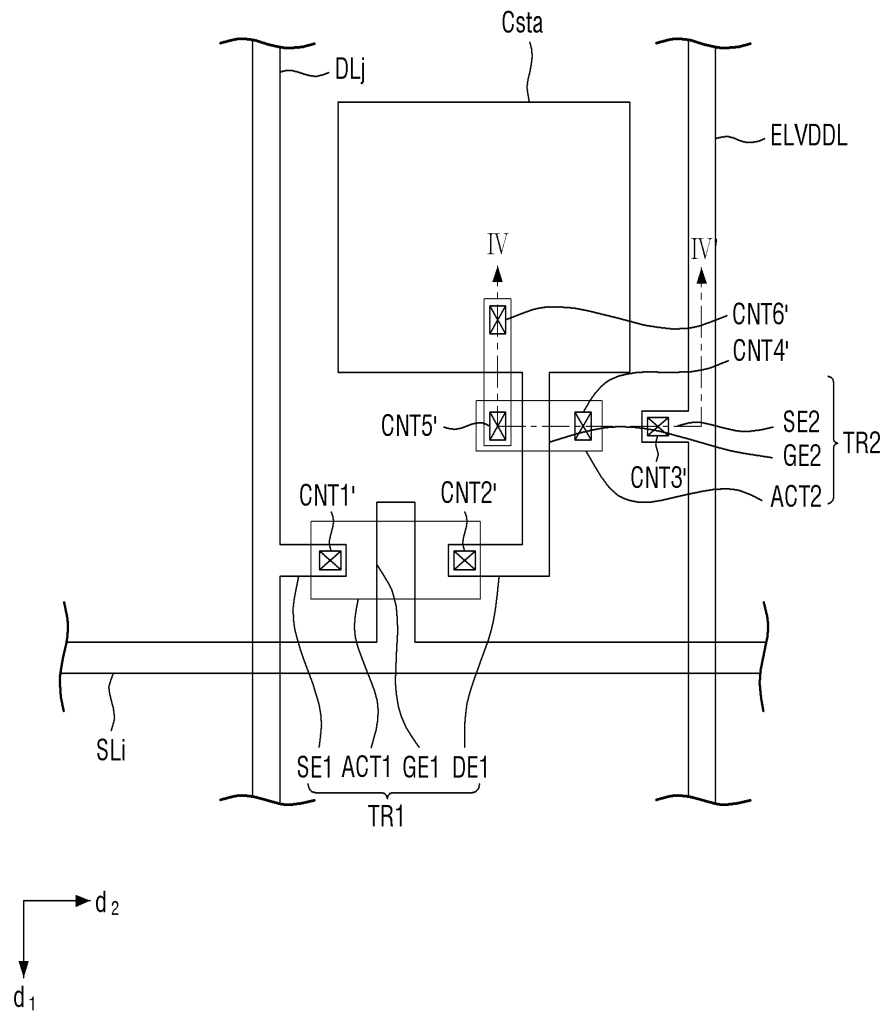
도면12



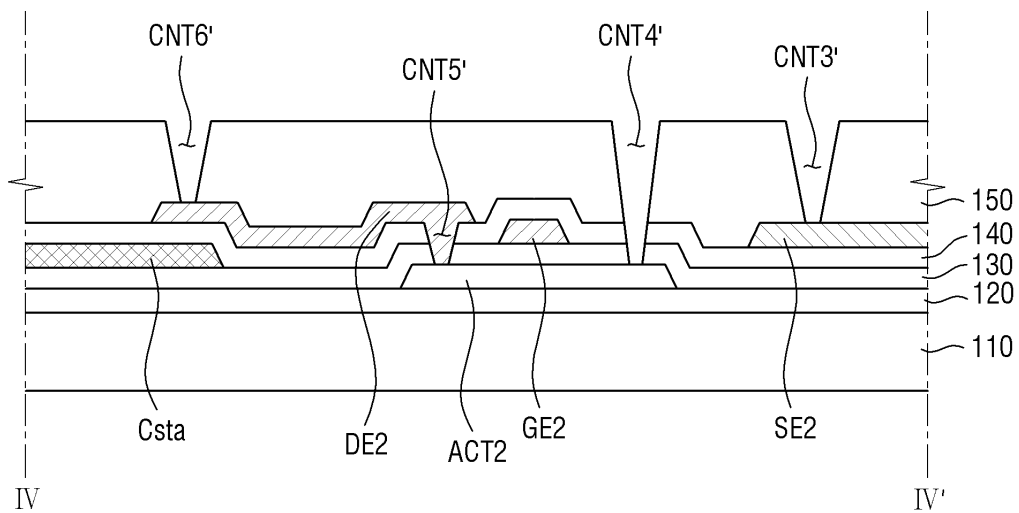
도면13



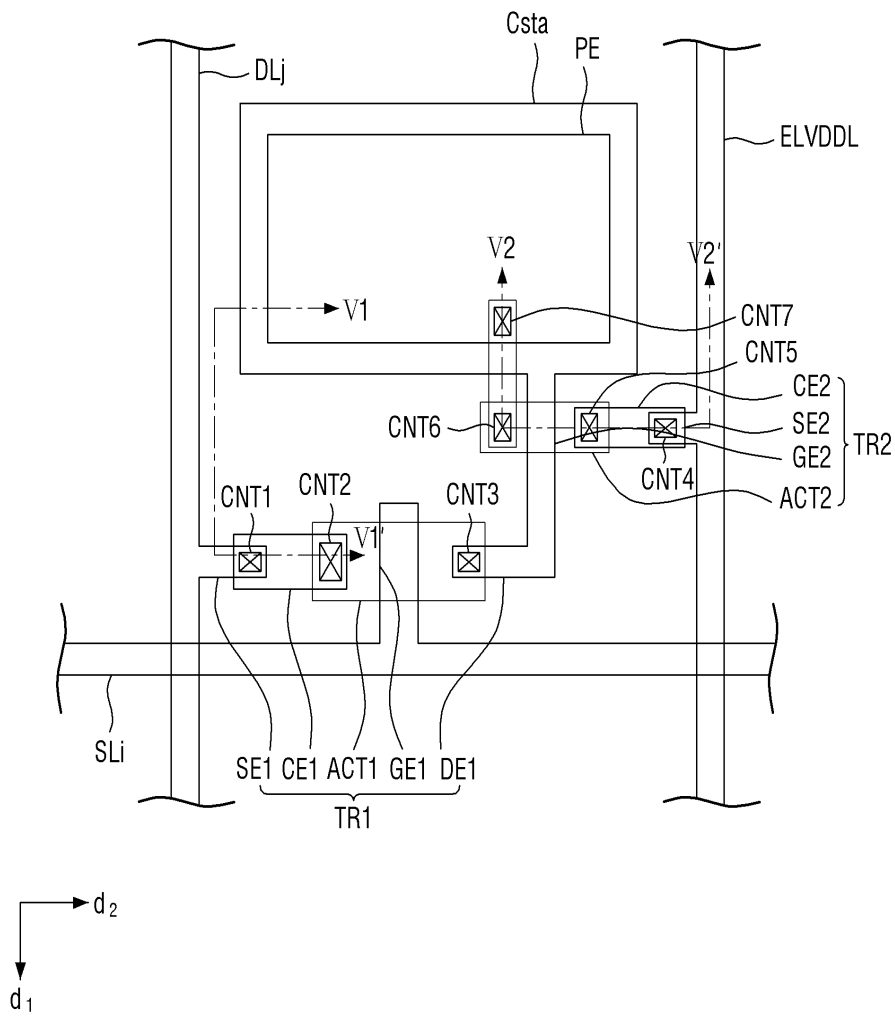
도면14



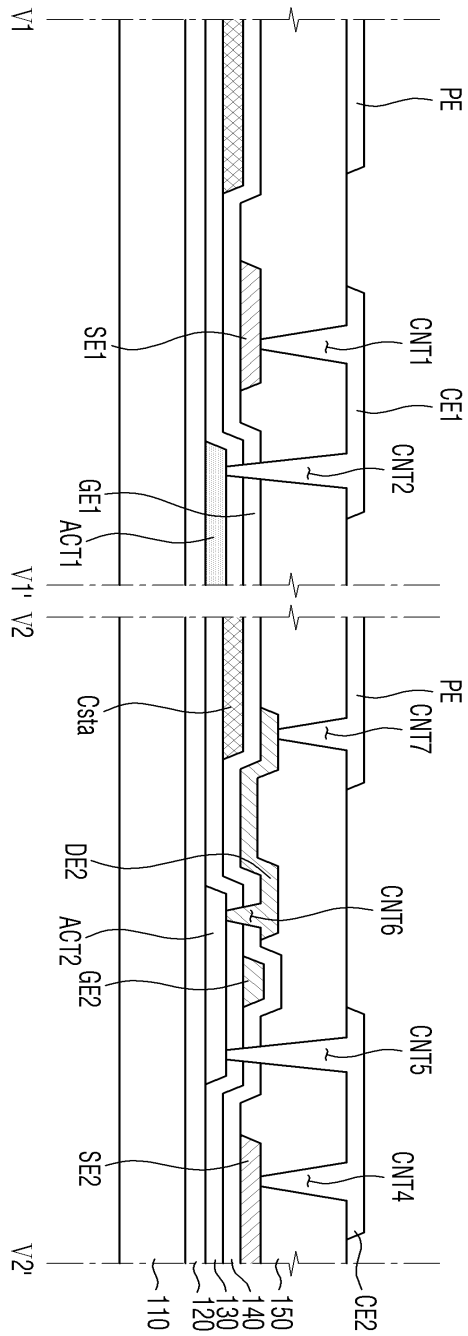
도면15



도면16



도면17



根据本发明优选实施例的有机发光显示装置是衬底，放置在衬底的上部中的半导体图案，布置在与半导体图案不同的层中的导线和布置在衬底中的连接电极包括放置在半导体图案和导线的上部中的像素电极以及与像素电极相同的层，并且连接电极连接到半导体图案和导线。

