



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0025399
(43) 공개일자 2018년03월09일

(51) 국제특허분류(Int. Cl.)
G09G 3/3291 (2016.01)

(52) CPC특허분류
G09G 3/3291 (2013.01)
G09G 2320/02 (2013.01)

(21) 출원번호 10-2016-0110704

(22) 출원일자 2016년08월30일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김혁준

경기도 고양시 일산동구 무궁화로 7-45 (장항동, 양우로테오시티플러스) 429호

홍석현

경기도 수원시 권선구 금호로15번길 15 101동 1202호 (금곡동, 신미주아파트)

임명기

경기도 안산시 상록구 반석로 44 107동 1803호 (본오동, 신안1차아파트)

(74) 대리인

특허법인로알

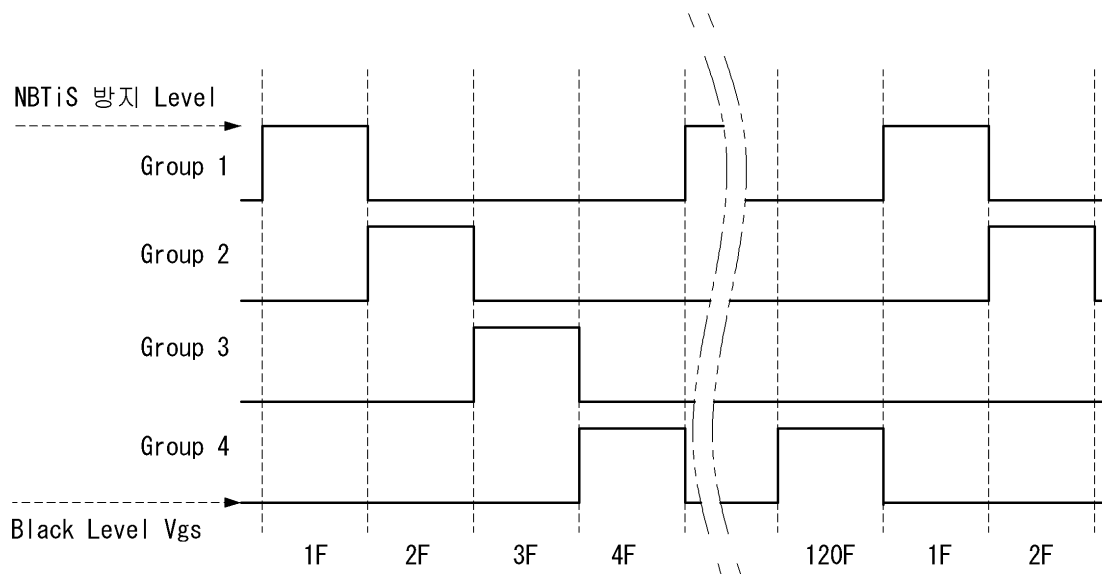
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 유기전계발광표시장치 및 이의 구동방법

(57) 요약

본 발명은 표시 패널, 데이터 구동부 및 타이밍 제어부를 포함하는 유기전계발광표시장치를 제공한다. 표시 패널은 영상을 표시하기 위한 서브 픽셀들을 갖는다. 데이터 구동부는 서브 픽셀들의 데이터라인들에 데이터신호를 공급한다. 타이밍 제어부는 데이터 구동부에 데이터신호를 공급하고 데이터 구동부를 제어한다. 데이터 구동부는 타이밍 제어부로부터 출력된 스트레스 보상신호에 대응하여 서브 픽셀들에 포함된 구동 트랜지스터들의 스트레스 방지를 위한 스트레스 방지전압을 출력하되, 스트레스 방지전압은 프레임마다 선택된 M(M은 1 이상 정수)개의 서브 픽셀에 인가된다.

대표도 - 도12



명세서

청구범위

청구항 1

영상을 표시하기 위한 서브 픽셀들을 갖는 표시 패널;

상기 서브 픽셀들의 데이터라인들에 데이터신호를 공급하는 데이터 구동부; 및

상기 데이터 구동부에 상기 데이터신호를 공급하고 상기 데이터 구동부를 제어하는 타이밍 제어부를 포함하고,

상기 데이터 구동부는 상기 타이밍 제어부로부터 출력된 스트레스 보상신호에 대응하여 상기 서브 픽셀들에 포함된 구동 트랜지스터들의 스트레스 방지를 위한 스트레스 방지전압을 출력하되,

상기 스트레스 방지전압은 프레임마다 선택된 M(M은 1 이상 정수)개의 서브 픽셀에 인가되는 유기전계발광표시장치.

청구항 2

제1항에 있어서,

상기 스트레스 방지전압은

프레임마다 서브 픽셀 단위로 구성된 제1그룹 내지 제N그룹(N은 4 이상의 정수)의 적어도 하나의 서브 픽셀에 포함된 구동 트랜지스터에 인가되는 유기전계발광표시장치.

청구항 3

제2항에 있어서,

상기 제1그룹 내지 상기 제N그룹 중 하나는 오름차순, 내림차순 및 무작위 순 중 하나로 선택되고,

상기 스트레스 방지전압은 선택된 그룹의 적어도 하나의 서브 픽셀에 포함된 구동 트랜지스터에 인가되는 유기전계발광표시장치.

청구항 4

제1항에 있어서,

상기 스트레스 방지전압은

영상에 따라 출력되지 않는 생략구간을 갖는 유기전계발광표시장치.

청구항 5

제1항에 있어서,

상기 스트레스 방지전압은

프레임마다 백색 서브 픽셀, 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀 중 선택된 하나의 서브 픽셀에 포함된 구동 트랜지스터에 인가되는 유기전계발광표시장치.

청구항 6

제1항에 있어서,

상기 타이밍 제어부는

입력되는 데이터신호의 분석결과를 기반으로 상기 스트레스 방지전압의 인가 유무를 판단하는 영상 분석부와,

상기 스트레스 보상신호를 생성 및 변조하되, 상기 영상 분석부의 판단 결과에 기초하여 I(I는 1 이상 정수) 프레임 동안 상기 스트레스 방지신호의 출력을 생략하는 신호 변조부를 포함하는 유기전계발광표시장치.

청구항 7

제1항에 있어서,

상기 스트레스 방지전압은

상기 서브 픽셀들에 포함된 구동 트랜지스터들의 NBTIS(Negative Bias Thermal Illumination Stress) 방지를 위한 포지티브 전압으로 선택되는 유기전계발광표시장치.

청구항 8

표시 패널의 모든 서브 픽셀에 포함된 구동 트랜지스터들에 블랙전압을 공급하는 단계; 및

상기 표시 패널의 서브 픽셀들에 포함된 구동 트랜지스터들의 스트레스 방지를 위한 스트레스 방지전압을 출력하는 단계를 포함하되,

상기 스트레스 방지전압은

프레임마다 서브 픽셀 단위로 구성된 제1그룹 내지 제N그룹(N은 4 이상의 정수)의 적어도 하나의 서브 픽셀에 포함된 구동 트랜지스터에 인가되는 유기전계발광표시장치의 구동방법.

청구항 9

제8항에 있어서,

상기 제1그룹 내지 상기 제N그룹 중 하나는 오름차순, 내림차순 및 무작위 순 중 하나로 선택되고,

상기 스트레스 방지전압은 선택된 그룹의 적어도 하나의 서브 픽셀에 포함된 구동 트랜지스터에 인가되는 유기전계발광표시장치의 구동방법.

청구항 10

제8항에 있어서,

상기 스트레스 방지전압은

영상에 따라 출력되지 않는 생략구간을 갖는 유기전계발광표시장치의 구동방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기전계발광표시장치 및 이의 구동방법에 관한 것이다.

배경 기술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 유기전계발광표시장치(Organic Light Emitting Display: OLED), 액정표시장치(Liquid Crystal Display: LCD) 및 플라즈마표시장치(Plasma Display Panel: PDP) 등과 같은 표시장치의 사용이 증가하고 있다.

[0003] 앞서 설명한 표시장치 중 유기전계발광표시장치에는 복수의 서브 픽셀을 포함하는 표시 패널과 표시 패널을 구동하는 구동부가 포함된다. 구동부에는 표시 패널에 스캔신호(또는 게이트신호)를 공급하는 스캔구동부 및 표시 패널에 데이터신호를 공급하는 데이터 구동부 등이 포함된다.

[0004] 유기전계발광표시장치는 매트릭스 형태로 배치된 서브 픽셀들에 스캔신호 및 데이터신호 등이 공급되면, 선택된 서브 픽셀이 발광을 하게 됨으로써 영상을 표시할 수 있게 된다.

[0005] 유기전계발광표시장치는 장시간 사용시 서브 픽셀 내에 포함된 소자의 특성(문턱전압, 전류 이동도 등)이 변하는 문제가 있다. 이를 보상하고자 종래에는 서브 픽셀 내에 포함된 소자의 특성을 센싱 하는 센싱회로를 추가하는 방식이 제안된바 있다. 그런데 종래의 유기전계발광표시장치는 센싱회로의 보상 동작으로 인한 화질 문제가 유발되고 있어 이의 개선이 요구된다.

발명의 내용

해결하려는 과제

- [0006] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 구동 트랜지스터의 네거티브 바이어스 스트레스(Negative Bias Stress)를 감소시켜 NBTiS에 따른 불량 이슈(Issue)를 제거하여 표시품질을 향상하는 것이다.

과제의 해결 수단

- [0007] 상술한 과제 해결 수단으로 본 발명은 표시 패널, 데이터 구동부 및 타이밍 제어부를 포함하는 유기전계발광표시장치를 제공한다. 표시 패널은 영상을 표시하기 위한 서브 픽셀들을 갖는다. 데이터 구동부는 서브 픽셀들의 데이터라인들에 데이터신호를 공급한다. 타이밍 제어부는 데이터 구동부에 데이터신호를 공급하고 데이터 구동부를 제어한다. 데이터 구동부는 타이밍 제어부로부터 출력된 스트레스 보상신호에 대응하여 서브 픽셀들에 포함된 구동 트랜지스터들의 스트레스 방지를 위한 스트레스 방지전압을 출력하되, 스트레스 방지전압은 프레임마다 선택된 M(M은 1 이상 정수)개의 서브 픽셀에 인가된다.
- [0008] 스트레스 방지전압은 프레임마다 서브 픽셀 단위로 구성된 제1그룹 내지 제N그룹(N은 4 이상의 정수)의 적어도 하나의 서브 픽셀에 포함된 구동 트랜지스터에 인가될 수 있다.
- [0009] 제1그룹 내지 제N그룹 중 하나는 오름차순, 내림차순 및 무작위 순 중 하나로 선택되고, 스트레스 방지전압은 선택된 그룹의 적어도 하나의 서브 픽셀에 포함된 구동 트랜지스터에 인가될 수 있다.
- [0010] 스트레스 방지전압은 영상에 따라 출력되지 않는 생략구간을 가질 수 있다.
- [0011] 스트레스 방지전압은 프레임마다 백색 서브 픽셀, 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀 중 선택된 하나의 서브 픽셀에 포함된 구동 트랜지스터에 인가될 수 있다.
- [0012] 타이밍 제어부는 입력되는 데이터신호의 분석결과를 기반으로 스트레스 방지전압의 인가 유무를 판단하는 영상 분석부와, 스트레스 보상신호를 생성 및 변조하되, 영상 분석부의 판단 결과에 기초하여 I(I는 1 이상 정수) 프레임 동안 스트레스 방지신호의 출력을 생략하는 신호 변조부를 포함할 수 있다.
- [0013] 스트레스 방지전압은 서브 픽셀들에 포함된 구동 트랜지스터들의 NBTiS(Negative Bias Thermal Illumination Stress) 방지를 위한 포지티브 전압으로 선택될 수 있다.
- [0014] 다른 측면에서 본 발명은 유기전계발광표시장치의 구동방법을 제공한다. 유기전계발광표시장치의 구동방법은 표시 패널의 모든 서브 픽셀에 포함된 구동 트랜지스터들에 블랙전압을 공급하는 단계; 및 표시 패널의 서브 픽셀들에 포함된 구동 트랜지스터들의 스트레스 방지를 위한 스트레스 방지전압을 출력하는 단계를 포함한다. 스트레스 방지전압은 프레임마다 서브 픽셀 단위로 구성된 제1그룹 내지 제N그룹(N은 4 이상의 정수)의 적어도 하나의 서브 픽셀에 포함된 구동 트랜지스터에 인가된다.
- [0015] 제1그룹 내지 제N그룹 중 하나는 오름차순, 내림차순 및 무작위 순 중 하나로 선택되고, 스트레스 방지전압은 선택된 그룹의 적어도 하나의 서브 픽셀에 포함된 구동 트랜지스터에 인가될 수 있다.
- [0016] 스트레스 방지전압은 영상에 따라 출력되지 않는 생략구간을 가질 수 있다.

발명의 효과

- [0017] 본 발명은 표시 패널의 전체를 제어하는 거시단위가 아닌 서브 픽셀 단위를 제어하는 미시단위로 한정하여 스트레스 방지전압을 인가하므로 플리커(Flicker)는 물론 블랙(Black) 뜸 현상 등을 완화 또는 개선하여 표시품질을 향상할 수 있다. 또한, 본 발명은 구동 트랜지스터의 네거티브 바이어스 스트레스(Negative Bias Stress)를 감소시켜 NBTiS에 따른 불량 이슈(Issue)를 제거할 수 있다. 또한, 본 발명은 표시 패널에 포함된 소자를 외부에서 보상하는 외부 보상 동작의 시인성 문제를 감소할 수 있다. 또한, 본 발명은 외부 보상 시 구동 트랜지스터의 보상 마진을 확보할 수 있다.

도면의 간단한 설명

- [0018] 도 1은 유기전계발광표시장치의 개략적인 블록도.
도 2는 서브 픽셀의 개략적인 회로 구성도.

도 3은 서브 픽셀의 상세 회로 구성 예시도.

도 4는 표시 패널의 단면 예시도.

도 5는 서브 픽셀의 평면 예시도.

도 6은 본 발명의 실시예에 따른 외부 보상 회로를 개략적으로 나타낸 블록도.

도 7은 데이터 보상부를 갖는 타이밍 제어부의 개략적인 블록도.

도 8은 실험예에 따른 구동 트랜지스터의 스트레스 방지 방식을 설명하기 위한 파형도.

도 9는 실험예의 문제점을 설명하기 위한 도면.

도 10은 본 발명의 제1실시예의 개념을 설명하기 위한 도면.

도 11은 본 발명의 제1실시예를 설명하기 위해 표시 패널의 표시영역을 4개의 면으로 나눈 예시도.

도 12는 본 발명의 제1실시예에 따른 구동 트랜지스터의 스트레스 방지전압 인가 방식을 설명하기 위한 파형 예시도.

도 13은 도 12의 스트레스 방지전압 인가 방식을 더욱 구체적으로 나타낸 파형 예시도.

도 14는 본 발명의 제2실시예에 따른 구동 트랜지스터의 스트레스 방지전압 인가 방식을 설명하기 위한 파형 예시도.

도 15는 도 14의 스트레스 방지전압 인가 방식을 더욱 구체적으로 나타낸 파형 예시도.

도 16은 본 발명의 제3실시예에 따른 구동 트랜지스터의 스트레스 방지전압 인가 방식을 설명하기 위한 파형 예시도.

도 17은 본 발명의 제4실시예에 따른 외부 보상 회로를 개략적으로 나타낸 블록도.

도 18은 본 발명의 제4실시예에 따른 구동 트랜지스터의 스트레스 방지전압 인가 방식을 설명하기 위한 파형 예시도.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0020] 본 발명에 따른 유기전계발광표시장치는 텔레비전, 영상 플레이어, 개인용 컴퓨터(PC), 홈시어터, 스마트폰 등으로 구현된다. 이하에서 설명되는 유기전계발광표시장치는 영상 표시 동작과 외부 보상 동작을 수행한다.
- [0021] 외부 보상 동작은 영상 표시 동작 중의 수직 블랭크 구간에서 수행되거나, 영상 표시가 시작되기 전의 파워 온 시퀀스 구간에서 수행되거나, 영상 표시가 끝난 후의 파워 오프 시퀀스 구간에서 수행될 수 있다. 수직 블랭크 구간은 영상 표시를 위한 데이터신호가 기입되지 않는 구간으로서, 1 프레임분의 데이터신호가 기입되는 수직 액티브 구간들 사이마다 배치된다.
- [0022] 파워 온 시퀀스 기간은 장치를 구동하기 위한 전원이 턴온 된 후부터 영상이 표시될 때까지의 구간을 의미한다. 파워 오프 시퀀스 구간은 영상 표시가 끝난 후부터 장치를 구동하기 위한 전원이 턴오프 될 때까지의 구간을 의미한다.
- [0023] 이러한 외부 보상 동작을 수행하는 외부 보상 방식은 구동 트랜지스터를 소스 팔로워(Source Follower) 방식으로 동작시킨 후 센싱라인의 라인 커패시터(기생 커패시터)에 저장되는 전압(구동 TFT의 소오스 전압)을 센싱한다.
- [0024] 외부 보상 방식은 구동 트랜지스터의 문턱전압 편차를 보상하기 위해, 구동 트랜지스터의 소오스노드 전위가 세치레이션(saturation state)될 때(즉, 구동 TFT의 전류(Ids)가 제로가 될 때)의 소오스 전압을 센싱한다. 그리고 외부 보상 방식은 구동 트랜지스터의 이동도 편차를 보상하기 위해, 구동 트랜지스터의 소오스노드가 세치레이션 상태에 도달되기 전의 선형 상태의 값을 센싱한다.
- [0025] 이하에서 설명되는 박막 트랜지스터는 게이트전극을 제외하고 타입에 따라 소오스전극과 드레인전극 또는 드레인전극과 소오스전극으로 명명될 수 있는바, 이를 한정하지 않기 위해 제1전극과 제2전극으로 설명한다.

- [0026] 도 1은 유기전계발광표시장치의 개략적인 블록도이고, 도 2는 서브 픽셀의 개략적인 회로 구성도이며, 도 3은 서브 픽셀의 상세 회로 구성 예시도이고, 도 4는 표시 패널의 단면 예시도이며, 도 5는 서브 픽셀의 평면 예시도이고, 도 6은 본 발명의 실시예에 따른 외부 보상 회로를 개략적으로 나타낸 블록도이며, 도 7은 데이터 보상부를 갖는 타이밍 제어부의 개략적인 블록도이다.
- [0027] 도 1에 도시된 바와 같이, 유기전계발광표시장치에는 영상 처리부(110), 타이밍 제어부(120), 데이터 구동부(130), 스캔 구동부(140) 및 표시 패널(150)이 포함된다.
- [0028] 영상 처리부(110)는 외부로부터 공급된 데이터신호(DATA)와 더불어 데이터 인에이블 신호(DE) 등을 출력한다. 영상 처리부(110)는 데이터 인에이블 신호(DE) 외에도 수직 동기신호, 수평 동기신호 및 클럭신호 중 하나 이상을 출력할 수 있으나 이 신호들은 설명의 편의상 생략 도시한다.
- [0029] 타이밍 제어부(120)는 영상 처리부(110)로부터 데이터 인에이블 신호(DE) 또는 수직 동기신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호와 더불어 데이터신호(DATA)를 공급받는다. 타이밍 제어부(120)는 구동신호에 기초하여 스캔 구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다.
- [0030] 데이터 구동부(130)는 타이밍 제어부(120)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어부(120)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 변환하여 출력한다. 데이터 구동부(130)는 데이터라인들(DL1 ~ DLn)을 통해 데이터신호(DATA)를 출력한다. 데이터 구동부(130)는 IC(Integrated Circuit) 형태로 형성될 수 있다.
- [0031] 스캔 구동부(140)는 타이밍 제어부(120)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 스캔신호를 출력한다. 스캔 구동부(140)는 스캔라인들(GL1 ~ GLm)을 통해 스캔신호를 출력한다. 스캔 구동부(140)는 IC(Integrated Circuit) 형태로 형성되거나 표시 패널(150)에 게이트인패널(Gate In Panel) 방식으로 형성된다.
- [0032] 표시 패널(150)은 데이터 구동부(130) 및 스캔 구동부(140)로부터 공급된 데이터신호(DATA) 및 스캔신호에 대응하여 영상을 표시한다. 표시 패널(150)은 영상을 표시할 수 있도록 동작하는 서브 픽셀들(SP)을 포함한다.
- [0033] 서브 픽셀들(SP)은 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함하거나 백색 서브 픽셀, 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함한다. 서브 픽셀들(SP)은 발광 특성에 따라 하나 이상 다른 발광 면적을 가질 수 있다.
- [0034] 도 2에 도시된 바와 같이, 하나의 서브 픽셀에는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 보상회로(CC) 및 유기 발광다이오드(OLED)가 포함된다.
- [0035] 스위칭 트랜지스터(SW)는 제1스캔라인(GL1)을 통해 공급된 스캔신호에 응답하여 제1데이터라인(DL1)을 통해 공급되는 데이터신호가 커패시터(Cst)에 데이터전압으로 저장되도록 스위칭 동작한다. 구동 트랜지스터(DR)는 커패시터(Cst)에 저장된 데이터전압에 따라 제1전원라인(EVDD)과 제2전원라인(EVSS) 사이로 구동 전류가 흐르도록 동작한다. 유기 발광다이오드(OLED)는 구동 트랜지스터(DR)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.
- [0036] 보상회로(CC)는 구동 트랜지스터(DR)의 문턱전압 등을 보상하기 위해 서브 픽셀 내에 추가된 회로이다. 보상회로(CC)는 하나 이상의 트랜지스터로 구성된다. 보상회로(CC)의 구성은 외부 보상 방법에 따라 매우 다양한바 이에 대한 예시를 설명하면 다음과 같다.
- [0037] 도 3에 도시된 바와 같이, 보상회로(CC)에는 센싱 트랜지스터(ST)와 센싱라인(VREF)(또는 레퍼런스라인)이 포함된다. 센싱 트랜지스터(ST)는 구동 트랜지스터(DR)의 소오스노드와 유기 발광다이오드(OLED)의 애노드전극 사이(이하 센싱노드)에 접속된다. 센싱 트랜지스터(ST)는 센싱라인(VREF)을 통해 전달되는 초기화전압(또는 센싱전압)을 구동 트랜지스터(DR)의 소오스노드(또는 센싱노드)에 공급하거나 구동 트랜지스터(DR)의 소오스노드의 전압 또는 전류를 센싱할 수 있도록 동작한다.
- [0038] 스위칭 트랜지스터(SW)는 제1데이터라인(DL1)에 제1전극이 연결되고, 구동 트랜지스터(DR)의 게이트전극에 제2전극이 연결된다. 구동 트랜지스터(DR)는 제1전원라인(EVDD)에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다. 커패시터(Cst)는 구동 트랜지스터(DR)의 게이트전극에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다. 유기 발광다이오드(OLED)는 구동 트랜지스터(DR)의 제2전극에 애노드전극이 연결되고 제2전원라인(EVSS)에 캐소드전극이 연결된다. 센싱 트랜지스터(ST)는 센

싱라인(VREF)에 제1전극이 연결되고 센싱노드인 유기 발광다이오드(OLED)의 애노드전극 및 구동 트랜지스터(DR)의 제2전극에 제2전극이 연결된다.

- [0039] 센싱 트랜지스터(ST)의 동작 시간은 외부 보상 알고리즘(또는 보상 회로의 구성)에 따라 스위칭 트랜지스터(SW)와 유사/동일하거나 다를 수 있다. 일례로, 스위칭 트랜지스터(SW)는 제1a스캔라인(GL1a)에 게이트전극이 연결되고, 센싱 트랜지스터(ST)는 제1b스캔라인(GL1b)에 게이트전극이 연결될 수 있다. 다른 예로, 스위칭 트랜지스터(SW)의 게이트전극에 연결된 제1a스캔라인(GL1a)과 센싱 트랜지스터(ST)의 게이트전극에 연결된 제1b스캔라인(GL1b)은 공통으로 공유하도록 연결될 수 있다.
- [0040] 센싱라인(VREF)은 데이터 구동부에 연결될 수 있다. 이 경우, 데이터 구동부는 실시간, 영상의 비표시기간 또는 N 프레임(N은 1 이상 정수) 기간 동안 서브 픽셀의 센싱노드를 센싱하고 센싱결과를 생성할 수 있게 된다. 한편, 스위칭 트랜지스터(SW)와 센싱 트랜지스터(ST)는 동일한 시간에 턴온될 수 있다. 이 경우, 데이터 구동부의 시분할 방식에 의거 센싱라인(VREF)을 통한 센싱 동작과 데이터신호를 출력하는 데이터 출력 동작은 상호 분리(구분) 된다.
- [0041] 이 밖에, 센싱결과에 따른 보상 대상은 디지털 형태의 데이터신호, 아날로그 형태의 데이터신호 또는 감마 등이 될 수 있다. 그리고 센싱결과를 기반으로 보상신호(또는 보상전압) 등을 생성하는 보상 회로는 데이터 구동부의 내부, 타이밍 제어부의 내부 또는 별도의 회로로 구현될 수 있다.
- [0042] 광차단층(LS)은 구동 트랜지스터(DR)의 채널영역 하부에만 배치되거나 구동 트랜지스터(DR)의 채널영역 하부뿐만 아니라 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)의 채널영역 하부에도 배치될 수 있다. 광차단층(LS)은 단순히 외광을 차단할 목적으로 사용하거나, 광차단층(LS)을 다른 전극이나 라인과의 연결을 도모하고, 커패시터 등을 구성하는 전극으로 활용할 수 있다.
- [0043] 기타, 도 3에서는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 유기 발광다이오드(OLED), 센싱 트랜지스터(ST)를 포함하는 3T(Transistor)1C(Capacitor) 구조의 서브 픽셀을 일례로 설명하였지만, 보상회로(CC)가 추가된 경우 3T2C, 4T2C, 5T1C, 6T2C 등으로 구성될 수도 있다.
- [0044] 도 4에 도시된 바와 같이, 제1기관(또는 박막 트랜지스터 기관)(150a)의 표시영역(AA) 상에는 도 3에서 설명된 회로를 기반으로 서브 픽셀들이 형성된다. 표시영역(AA) 상에 형성된 서브 픽셀들은 보호필름(또는 보호기관)(150b)에 의해 밀봉된다. 기타 미설명된 NA는 비표시영역을 의미한다. 제1기관(150a)은 유리나 연성을 갖는 재료로 선택될 수 있다.
- [0045] 서브 픽셀들은 표시영역(AA) 상에서 적색(R), 백색(W), 청색(B) 및 녹색(G)의 순으로 수평 또는 수직하게 배치된다. 그리고 서브 픽셀들은 적색(R), 백색(W), 청색(B) 및 녹색(G)이 하나의 픽셀(P)이 된다. 그러나 서브 픽셀들의 배치 순서는 발광재료, 발광면적, 보상회로의 구성(또는 구조) 등에 따라 다양하게 변경될 수 있다. 또한, 서브 픽셀들은 적색(R), 청색(B) 및 녹색(G)이 하나의 픽셀(P)이 될 수 있다.
- [0046] 도 4 및 도 5에 도시된 바와 같이, 제1기관(150a)의 표시영역(AA) 상에는 발광영역(EMA)과 회로영역(DRA)을 갖는 제1서브 픽셀(SPn1) 내지 제4서브 픽셀(SPn4)이 형성된다. 발광영역(EMA)에는 유기 발광다이오드가 형성되고, 회로영역(DRA)에는 스위칭 및 구동 트랜지스터를 포함하는 박막 트랜지스터가 형성된다. 발광영역(EMA)과 회로영역(DRA)에 형성된 소자들은 다수의 금속층 및 절연층을 증착하는 공정 등에 의해 형성된다.
- [0047] 제1서브 픽셀(SPn1) 내지 제4서브 픽셀(SPn4)은 회로영역(DRA)에 위치하는 스위칭 및 구동 트랜지스터 등의 동작에 대응하여 발광영역(EMA)에 위치하는 유기 발광다이오드가 빛을 발광하게 된다. 제1서브 픽셀(SPn1) 내지 제4서브 픽셀(SPn4) 사이에 위치하는 "WA"는 전원라인이나 데이터 라인이 배치되는 배선영역이다.
- [0048] 제1서브 픽셀(SPn1)의 좌측에는 제1전원라인(EVDD)이 위치할 수 있고, 제2서브 픽셀(SPn2)의 우측에는 센싱라인(VREF)이 위치할 수 있고, 제1서브 픽셀(SPn1) 및 제2서브 픽셀(SPn2) 사이에는 제1 및 제2데이터라인(DL1, DL2)이 위치할 수 있다.
- [0049] 제3서브 픽셀(SPn3)의 좌측에는 센싱라인(VREF)이 위치할 수 있고, 제4서브 픽셀(SPn4)의 우측에는 제1전원라인(EVDD)이 위치할 수 있고, 제3서브 픽셀(SPn3) 및 제4서브 픽셀(SPn4) 사이에는 제3 및 제4데이터라인(DL3, DL4)이 위치할 수 있다.
- [0050] 제1서브 픽셀(SPn1)은 좌측에 위치하는 제1전원라인(EVDD), 자신의 우측에 위치하는 제1데이터라인(DL1) 및 제2서브 픽셀(SPn2)의 우측에 위치하는 센싱라인(VREF)에 전기적으로 연결될 수 있다. 제2서브 픽셀(SPn2)은 제1서브 픽셀(SPn1)의 좌측에 위치하는 제1전원라인(EVDD), 자신의 좌측에 위치하는 제2데이터라인(DL2) 및 자신의

우측에 위치하는 센싱라인(VREF)에 전기적으로 연결될 수 있다.

- [0051] 제3서브 픽셀(SPn3)은 좌측에 위치하는 센싱라인(VREF), 자신의 우측에 위치하는 제3데이터라인(DL3) 및 제4서브 픽셀(SPn4)의 우측에 위치하는 제1전원라인(EVDD)에 전기적으로 연결될 수 있다. 제4서브 픽셀(SPn4)은 제3서브 픽셀(SPn3)의 좌측에 위치하는 센싱라인(VREF), 자신의 좌측에 위치하는 제4데이터라인(DL4) 및 자신의 우측에 위치하는 제1전원라인(EVDD)에 전기적으로 연결될 수 있다.
- [0052] 제1서브 픽셀(SPn1) 내지 제4서브 픽셀(SPn4)은 제2서브 픽셀(SPn2) 및 제3서브 픽셀(SPn3) 사이에 위치하는 센싱라인(VREF)에 공유(또는 공통) 접속될 수 있으나 이에 한정되지 않는다. 또한, 스캔라인(GL1)은 한 개의 라인만 배치된 것을 일례로 하였으나 이에 한정되지 않는다.
- [0053] 이 밖에, 제1전원라인(EVDD), 센싱라인(VREF)과 같은 배선들은 물론 박막 트랜지스터를 구성하는 전극들은 서로 다른 층에 위치하지만 콘택홀(비어홀)을 통한 접속으로 인하여 전기적으로 연결된다. 콘택홀은 하부에 위치하는 전극, 신호라인 또는 전원라인 등의 일부를 노출하도록 건식 또는 습식 식각 공정 등에 의해 형성된다.
- [0054] 도 6에 도시된 바와 같이, 데이터 구동부(140)에는 서브 픽셀(SP)에 데이터 신호를 출력하는 제1회로부(140a)와 데이터신호를 보상하기 위해 서브 픽셀(SP)을 센싱하는 제2회로부(140b)가 포함된다.
- [0055] 제1회로부(140a)는 디지털 데이터신호를 아날로그 데이터신호(Vdata)로 변환하여 출력할 수 있는 디지털 아날로그 변환회로(141, DAC) 등을 포함한다. 제1회로부(140a)의 출력단은 제1데이터라인(DL1)에 연결된다.
- [0056] 제2회로부(140b)는 전압출력회로(SW1), 샘플링회로(SW2) 및 아날로그 디지털 변환회로(143, ADC) 등을 포함한다. 전압출력회로(SW1)는 충전제어신호(PRE)에 대응하여 동작한다. 샘플링회로(SW2)는 샘플링제어신호(SAMP)에 대응하여 동작한다.
- [0057] 전압출력회로(SW1)는 전압원(VREFF)에 의해 생성된 제1초기화 전압을 제1센싱라인(VREF1)에 그리고 제2초기화 전압을 제1데이터라인(DL1)을 통해 각각 출력하는 역할을 한다. 전압원(VREFF)에 의해 생성된 제1초기화 전압과 제2초기화 전압은 제1전위전압과 제2전위전압 사이의 전압으로 생성된다.
- [0058] 제1초기화 전압과 제2초기화 전압은 유사 또는 동일한 전압으로 설정될 수 있다. 제1초기화 전압은 표시 패널의 외부 보상시 사용하기 위해 그라운드 레벨에 가까운 전압으로 설정되고 제2초기화 전압은 표시 패널의 노말 구동시 사용하기 위해 초기화 전압보다 좀 더 높은 전압으로 설정될 수 있다. 전압출력회로(SW1)는 제1초기화 전압과 제2초기화 전압을 출력할 때에만 동작한다. 전압출력회로(SW1)는 단순히 스위치(SW1)와 전압원(VREFF)만 도시하였으나 이에 한정되지 않는다.
- [0059] 샘플링회로(SW2)는 제1센싱라인(VREF1)을 통해 서브 픽셀(SP)을 센싱하는 역할을 한다. 샘플링회로(SW2)는 샘플링 방식으로 유기 발광다이오드(OLED)의 문턱전압, 구동 트랜지스터(DR)의 문턱전압 또는 이동도 등을 센싱한 이후 센싱값을 아날로그 디지털 변환회로(143)에 전달한다. 샘플링회로(SW2)는 단순히 스위치(SW2) 형태로 도시하였으나 이에 한정되지 않고 능동소자와 수동소자로 구현될 수 있다.
- [0060] 아날로그 디지털 변환회로(143)는 샘플링회로(SW2)로부터 센싱값을 전달받고 아날로그 형태의 전압값을 디지털 형태의 전압값으로 변환한다. 아날로그 디지털 변환회로(143)는 디지털 체계로 변환된 센싱값을 출력한다. 아날로그 디지털 변환회로(143)로부터 출력된 센싱값은 보상 구동부(180)에 공급된다.
- [0061] 보상 구동부(180)는 데이터 구동부(140a, 140b)의 제2회로부(140b)로부터 전달된 디지털 형태의 센싱값에 기초하여 외부 보상에 필요한 보상 처리를 수행한다.
- [0062] 보상 구동부(180)는 센싱값에 기초하여 외부 보상에 필요한 보상값을 생성하거나 보상값을 수정 또는 조절한다. 보상 구동부(180)는 판단부(185)와 보상값 생성부(187)를 포함한다.
- [0063] 판단부(185)는 센싱값에 기초하여 외부 보상의 유무나 외부 보상이 필요한 서브 픽셀의 위치 등을 판단한다. 보상값 생성부(187)는 판단부(185)로부터 전달된 정보에 대응하여 보상값(SEN)을 생성한다. 보상값 생성부(187)는 타이밍 제어부(120)에 보상값(SEN)을 제공한다.
- [0064] 타이밍 제어부(120)는 보상값 생성부(187)로부터 제공된 보상값(SEN)에 기초하여 데이터신호 등을 보상한다. 타이밍 제어부(120)는 보상의 유무에 따라 보상 데이터신호(CDATA)를 출력하거나 데이터신호(DATA)를 출력한다.
- [0065] 타이밍 제어부(120)는 외부 보상과 더불어 표시 패널 상에 리얼 블랙(Real Black)을 구현하기 위해 블랙 데이터신호를 출력한다. 데이터 구동부(140a, 140b)는 타이밍 제어부(120)로부터 출력된 블랙 데이터신호에 대응하여

구동 트랜지스터의 게이트 및 소오스전극에 블랙전압(Black Vgs)을 형성하게 된다. 블랙전압은 그라운드 레벨에 대응되거나 그라운드 레벨에 가까운 전압이 선택될 수 있다. 블랙전압(Black Vgs)은 표시 패널 상에 존재하는 모든 서브 픽셀들에 공급된다.

- [0066] 아울러, 타이밍 제어부(120)는 구동 트랜지스터(DR)의 스트레스를 보상하기 위한 스트레스 보상신호를 출력한다. 서브 픽셀들에 포함된 구동 트랜지스터(DR)의 경우 블랙전압과 같은 네거티브전압을 지속적으로 받게 되면 문턱전압이 네거티브 방향으로 이동하게 된다. 구동 트랜지스터(DR)의 NBTiS(Negative Bias Thermal Illumination Stress) 방지를 위해 데이터 구동부(140a, 140b)는 일정 레벨의 포지티브 전압을 출력해 주어야 한다.
- [0067] 데이터 구동부(140a, 140b)는 타이밍 제어부(120)로부터 출력된 스트레스 보상신호에 대응하여 구동 트랜지스터(DR)의 NBTiS 방지 및 개선(감소)을 위한 스트레스 방지전압(SPV)을 출력한다. 스트레스 방지전압(SPV)은 데이터 라인들을 통해 전달되고 각 서브 픽셀들에 포함된 구동 트랜지스터(DR)에 공급된다.
- [0068] 스위칭 트랜지스터(SW)는 제1a스캔라인(GL1a)을 통해 공급된 스캔신호(SCAN)에 대응하여 턴온되고 센싱 트랜지스터(ST)는 제1b스캔라인(GL1b)을 통해 공급된 센싱신호(SENSE)에 대응하여 턴온된다. 스캔신호(SCAN)와 센싱신호(SENSE)의 구동 타이밍은 구동 방법에 따라 다를 수 있고 본 발명의 특징에 해당하지 아니한바 이에 대한 설명은 생략한다. 다만, 스트레스 방지전압(SPV)을 구동 트랜지스터(DR)에 공급하기 위해 스위칭 트랜지스터(SW)는 턴온 상태가 되어야 한다.
- [0069] 도 6 및 도 7에 도시된 바와 같이, 보상 구동부(180)는 타이밍 제어부(120)의 내부에 포함될 수 있다. 이와 같은 경우, 데이터 구동부(140a, 140b)의 제2회로부(140b)는 센싱값을 타이밍 제어부(120)에 전달한다.
- [0070] <실험예>
- [0071] 도 8은 실험예에 따른 구동 트랜지스터의 스트레스 방지 방식을 설명하기 위한 파형도이고, 도 9는 실험예의 문제점을 설명하기 위한 도면이다.
- [0072] 도 8 및 도 9에 도시된 바와 같이, 실험예는 표시 패널의 모든 서브 픽셀들에 포함된 구동 트랜지스터(DR)의 게이트 및 소오스전극에 일정한 주기(예컨대 120F; F는 프레임)로 스트레스 방지전압이 형성되도록 한다. 스트레스 방지전압은 구동 트랜지스터(DR)의 NBTiS 방지 및 개선(감소)을 할 수 있는 포지티브 전압(예컨대 3.1V)으로 선택된다.
- [0073] 실험예와 같이 모든 서브 픽셀들에 포함된 구동 트랜지스터(DR)의 게이트 및 소오스전극에 스트레스 방지전압이 형성되면, 구동 트랜지스터(DR)의 문턱전압 이동 등에 의해 표시 패널 상에 부정형(an indeterminate form) 얼룩이 발생하는 문제는 해소되는 것으로 나타났다. 그런데 실험예는 도 9와 같이 모든 서브 픽셀들의 구동 트랜지스터(DR)에 스트레스 방지전압을 일정한 주기를 갖고 인가함에 따라 표시 패널 상에 시간 주기성(120F마다) 플리커(Flicker)가 인지되는 것으로 나타났다.
- [0074] 또한, 실험예는 적색 서브 픽셀(R), 백색 서브 픽셀(W), 녹색 서브 픽셀(G) 및 청색 서브 픽셀(B)을 기반으로 표시 패널을 구현하고, 이들에 스트레스 방지전압을 인가하기 위해 면 단위로 전압을 가변(Modulation)한다. 그런데 실험예와 같이 스트레스 방지전압을 면 단위로 가변하면, 표시 패널 상에 완벽한 블랙이 표시되지 않고 색이 뜨는 블랙(Black) 뜸 현상 또한 인지되는 것으로 나타났다.
- [0075] 그러므로 실험예는 구동 트랜지스터의 NBTiS 방지 및 개선(감소)은 물론 부정형 얼룩이 발생하는 문제를 해소할 수 있었으나, 표시 패널 상에 플리커(Flicker) 및 블랙(Black) 뜸 현상이 인지되고 있어 이의 개선이 요구된다.
- [0076] <제1실시예>
- [0077] 도 10은 본 발명의 제1실시예의 개념을 설명하기 위한 도면이고, 도 11은 본 발명의 제1실시예를 설명하기 위해 표시 패널의 표시영역을 4개의 면으로 나눈 예시도이며, 도 12는 본 발명의 제1실시예에 따른 구동 트랜지스터의 스트레스 방지전압 인가 방식을 설명하기 위한 파형 예시도이고, 도 13은 도 12의 스트레스 방지전압 인가 방식을 더욱 구체적으로 나타낸 파형 예시도이다.
- [0078] 도 10 및 도 11에 도시된 바와 같이, 본 발명의 제1실시예는 실험예에서 나타나는 플리커(Flicker) 및 블랙(Black) 뜸 현상과 같은 시인성 문제를 해결하기 위해 서브 픽셀 단위로 그룹을 구성한다. 예컨대, 표시 패널(150)은 제1그룹(Group 1) 내지 제N그룹(Group N)(N은 4 이상의 정수)으로 그룹화될 수 있다.
- [0079] 하나의 그룹은 적색 서브 픽셀, 백색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함하는 하나의 픽셀로

정의될 수 있다. 그러나 하나의 그룹을 정의하는 픽셀의 개수는 표시 패널의 해상도 및 구동 환경 등에 따라 변경 또는 설정될 수 있다.

- [0080] 이하에서는 설명의 편의를 위해, 도 11과 같이 표시 패널의 표시영역(AA)을 4개의 면으로 나누고 이들을 제1 내지 제4그룹(Group 1 ~ Group 4)으로 정의한 후 설명한다.
- [0081] 도 11 및 도 12에 도시된 바와 같이, 본 발명의 제1실시예는 프레임마다 제1 내지 제4그룹(Group 1 ~ Group 4) 순의 오름차순으로 그룹을 선택하고, 선택된 그룹의 적어도 하나의 서브 픽셀에 포함된 구동 트랜지스터의 게이트 및 소오스전극에 스트레스 방지전압을 형성한다.
- [0082] 스트레스 방지전압은 구동 트랜지스터의 NBTiS 방지 및 개선(감소)을 할 수 있는 포지티브 전압으로 선택된다. 스트레스 방지전압으로 선택되는 전압 레벨(NBTiS 방지 Level)은 블랙전압으로 선택되는 전압 레벨(Black Level Vgs)보다 높으면 가능하다.
- [0083] 예컨대, 제1프레임(1F) 동안에는 제1그룹(Group 1)에 포함된 구동 트랜지스터의 게이트 및 소오스전극에 스트레스 방지전압이 형성된다. 제2프레임(2F) 동안에는 제2그룹(Group 2)에 포함된 구동 트랜지스터의 게이트 및 소오스전극에 스트레스 방지전압이 형성된다. 제3프레임(3F) 동안에는 제3그룹(Group 3)에 포함된 구동 트랜지스터의 게이트 및 소오스전극에 스트레스 방지전압이 형성된다. 제4프레임(4F) 동안에는 제4그룹(Group 4)에 포함된 구동 트랜지스터의 게이트 및 소오스전극에 스트레스 방지전압이 형성된다.
- [0084] 이와 같이, 제1실시예는 프레임마다 제1 내지 제4그룹(Group 1 ~ Group 4) 순의 오름차순으로 그룹을 선택하고 선택된 그룹에 포함된 구동 트랜지스터의 게이트 및 소오스전극에 스트레스 방지전압을 형성한다. 한편, 각 그룹은 적색 서브 픽셀, 백색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함하는 하나의 픽셀로 정의되는 바 스트레스 방지전압이 인가되는 형태를 더욱 구체적으로 살펴보면 다음과 같다.
- [0085] 도 13에 도시된 바와 같이, 제1그룹(Group 1)이 선택되는 제1프레임(1F) 동안 적색 서브 픽셀(R)에 포함된 구동 트랜지스터에 스트레스 방지전압이 인가된다. 제2그룹(Group 2)이 선택되는 제2프레임(2F) 동안 녹색 서브 픽셀(G)에 포함된 구동 트랜지스터에 스트레스 방지전압이 인가된다. 제3그룹(Group 3)이 선택되는 제3프레임(3F) 동안 청색 서브 픽셀(B)에 포함된 구동 트랜지스터에 스트레스 방지전압이 인가된다. 제4그룹(Group 4)이 선택되는 제4프레임(4F) 동안 백색 서브 픽셀(W)에 포함된 구동 트랜지스터에 스트레스 방지전압이 인가된다.
- [0086] 이상의 설명에 따르면, 제1실시예는 프레임마다 오름차순으로 그룹을 선택하고, 선택된 그룹 내에서도 특정 서브 픽셀에 포함된 구동 트랜지스터에 스트레스 방지전압을 인가하기 위한 전압 가변을 수행하므로 실험에 대비 보상 면을 축소할 수 있게 된다.
- [0087] 한편, 제1 내지 제4그룹(Group 1 ~ Group 1)의 서브 픽셀들에 포함된 구동 트랜지스터가 받는 스트레스는 다를 수 있다. 그러므로 제1 내지 제4그룹(Group 1 ~ Group 1)의 서브 픽셀들에 포함된 구동 트랜지스터에 공급되는 스트레스 방지전압 또한 이들이 받은 스트레스에 대응하여 가기 다른 전압으로 가변되어 공급될 수 있다.
- [0088] 한편, 도 13에서는 프레임마다 하나의 특정 서브 픽셀에 대해서만 스트레스 방지전압이 인가되는 것을 일례로 하였다. 그러나 하나의 그룹에는 4개의 서브 픽셀만 포함되는 것이 아니므로 특정 서브 픽셀은 하나 또는 그 이상 즉 M(M은 1 이상 정수)개로 해석되어야 한다.
- [0089] 또한, 도 13에서는 UHD모델을 일례로 함에 따라 제120프레임(120F)이 지난 이후 다시 제1프레임(1F)으로 돌아왔을 때에도 이전과 동일한 그룹과 서브 픽셀에 포함된 구동 트랜지스터에 스트레스 방지전압이 인가되는 것을 일례로 하였다. 그러나 이는 하나의 예시일 뿐 그룹 내의 다른 서브 픽셀에 포함된 구동 트랜지스터에 스트레스 방지전압이 인가되도록 그 대상이 변경될 수도 있다.
- [0090] 제1실시예와 같이 보상 면을 축소하면 사람이 인지하지 못하는 수준까지 범위(또는 대상)를 축소하고 축소된 범위에 대해서만 스트레스 방지전압이 인가된다. 달리 설명하면, 제1실시예는 표시 패널의 전체를 제어하는 거시 단위가 아닌 서브 픽셀 단위를 제어하는 미시단위로 한정하여 스트레스 방지전압을 인가하므로 실험예에서 나타나는 플리커(Flicker)는 물론 블랙(Black) 땀 현상까지 완화 또는 개선할 수 있게 된다. 덧붙여, 제1실시예와 같이 보상 면을 축소하면, 외부 보상 시 구동 트랜지스터의 보상 마진을 확보할 수 있다.
- [0091] 아울러, 실험예는 모든 서브 픽셀들에 포함된 구동 트랜지스터에 스트레스 방지전압을 인가하므로 모두 발광을 하게 된다. 하지만, 제1실시예는 프레임마다 순차적으로 그룹을 선택하고, 선택된 그룹 내에서도 특정 서브 픽셀에 포함된 구동 트랜지스터에 스트레스 방지전압을 인가하므로 실험예 대비 1/4(4 서브 픽셀 구조) 또는 1/3(3 서브 픽셀 구조)의 수준으로 발광 대상을 감소시킬 수 있다. 즉, 제1실시예는 외부 보상 동작의 시인성

문제를 감소(실험예의 방법 대비 휘도 3/4 감소, 발광 면적 가변 가능)할 수 있다.

- [0092] 한편, 스트레스 방지전압을 인가하기 위한 동작은 그룹의 단위가 작으면 작을수록 빠른 주파수(Frequency)가 필요하고 그룹의 단위가 커지면 커질수록 느린 주파수가 필요하다. 그리고 스트레스 방지전압으로 선택되는 전압 레벨(NBTiS 방지 Level)은 블랙전압으로 선택되는 전압 레벨(Black Level Vgs)과 관계하므로 그룹의 크기는 물론 주파수를 결정할 때에는 이를 고려할 필요가 있다.
- [0093] 본 발명의 제1실시예는 앞서 설명한 바와 같이 오름차순으로 그룹을 선택하는 방식 외에 다음의 실시예들과 같은 방식이 이용될 수도 있다.
- [0094] <제2실시예>
- [0095] 도 14는 본 발명의 제2실시예에 따른 구동 트랜지스터의 스트레스 방지전압 인가 방식을 설명하기 위한 파형 예시도이고, 도 15는 도 14의 스트레스 방지전압 인가 방식을 더욱 구체적으로 나타낸 파형 예시도이다.
- [0096] 도 11 및 도 14에 도시된 바와 같이, 본 발명의 제2실시예는 프레임마다 제4 내지 제1그룹(Group 4 ~ Group 1) 순의 내림차순으로 그룹을 선택하고, 선택된 그룹의 적어도 하나의 서브 픽셀에 포함된 구동 트랜지스터의 게이트 및 소오스전극에 스트레스 방지전압을 형성한다.
- [0097] 스트레스 방지전압은 구동 트랜지스터의 NBTiS 방지 및 개선(감소)을 할 수 있는 포지티브 전압으로 선택된다. 스트레스 방지전압으로 선택되는 전압 레벨(NBTiS 방지 Level)은 블랙전압으로 선택되는 전압 레벨(Black Level Vgs)보다 높으면 가능하다.
- [0098] 예컨대, 제1프레임(1F) 동안에는 제4그룹(Group 4)에 포함된 구동 트랜지스터의 게이트 및 소오스전극에 스트레스 방지전압이 형성된다. 제2프레임(2F) 동안에는 제3그룹(Group 3)에 포함된 구동 트랜지스터의 게이트 및 소오스전극에 스트레스 방지전압이 형성된다. 제3프레임(3F) 동안에는 제2그룹(Group 2)에 포함된 구동 트랜지스터의 게이트 및 소오스전극에 스트레스 방지전압이 형성된다. 제4프레임(4F) 동안에는 제1그룹(Group 1)에 포함된 구동 트랜지스터의 게이트 및 소오스전극에 스트레스 방지전압이 형성된다.
- [0099] 이와 같이, 제2실시예는 프레임마다 제4 내지 제1그룹(Group 4 ~ Group 1) 순의 내림차순으로 그룹을 선택하고 선택된 그룹에 포함된 구동 트랜지스터의 게이트 및 소오스전극에 스트레스 방지전압을 형성한다. 한편, 각 그룹은 적색 서브 픽셀, 백색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함하는 하나의 픽셀로 정의되는 바 스트레스 방지전압이 인가되는 형태를 더욱 구체적으로 살펴보면 다음과 같다.
- [0100] 도 15에 도시된 바와 같이, 제4그룹(Group 4)이 선택되는 제1프레임(1F) 동안 적색 서브 픽셀(R)에 포함된 구동 트랜지스터에 스트레스 방지전압이 인가된다. 제3그룹(Group 3)이 선택되는 제2프레임(2F) 동안 녹색 서브 픽셀(G)에 포함된 구동 트랜지스터에 스트레스 방지전압이 인가된다. 제2그룹(Group 2)이 선택되는 제3프레임(3F) 동안 청색 서브 픽셀(B)에 포함된 구동 트랜지스터에 스트레스 방지전압이 인가된다. 제1그룹(Group 1)이 선택되는 제4프레임(4F) 동안 백색 서브 픽셀(W)에 포함된 구동 트랜지스터에 스트레스 방지전압이 인가된다.
- [0101] 제2실시예 또한 표시 패널의 전체를 제어하는 거시단위가 아닌 서브 픽셀 단위를 제어하는 미시단위로 한정하여 스트레스 방지전압을 인가하므로 실험예에서 나타나는 플리커(Flicker)는 물론 블랙(Black) 락 현상까지 완화 또는 개선할 수 있게 된다.
- [0102] <제3실시예>
- [0103] 도 16은 본 발명의 제3실시예에 따른 구동 트랜지스터의 스트레스 방지전압 인가 방식을 설명하기 위한 파형 예시도이다.
- [0104] 도 11 및 도 16에 도시된 바와 같이, 본 발명의 제3실시예는 프레임마다 제2, 제1, 제4 및 제3그룹(Group 2, Group 1, Group 4, Group 3) 순 또는 이와 다른 순을 포함하는 무작위 순으로 그룹을 선택하고, 선택된 그룹의 적어도 하나의 서브 픽셀에 포함된 구동 트랜지스터의 게이트 및 소오스전극에 스트레스 방지전압을 형성한다.
- [0105] 스트레스 방지전압은 구동 트랜지스터의 NBTiS 방지 및 개선(감소)을 할 수 있는 포지티브 전압으로 선택된다. 스트레스 방지전압으로 선택되는 전압 레벨(NBTiS 방지 Level)은 블랙전압으로 선택되는 전압 레벨(Black Level Vgs)보다 높으면 가능하다.
- [0106] 예컨대, 제1프레임(1F) 동안에는 제2그룹(Group 2)에 포함된 구동 트랜지스터의 게이트 및 소오스전극에 스트레스 방지전압이 형성된다. 제2프레임(2F) 동안에는 제1그룹(Group 1)에 포함된 구동 트랜지스터의 게이트 및 소

오스전극에 스트레스 방지전압이 형성된다. 제3프레임(3F) 동안에는 제4그룹(Group 4)에 포함된 구동 트랜지스터의 게이트 및 소오스전극에 스트레스 방지전압이 형성된다. 제4프레임(4F) 동안에는 제3그룹(Group 3)에 포함된 구동 트랜지스터의 게이트 및 소오스전극에 스트레스 방지전압이 형성된다.

- [0107] 이와 같이, 제2실시예는 프레임마다 제2, 제1, 제4 및 제3그룹(Group 2, Group 1, Group 4, Group 3) 순 또는 이와 다른 순을 포함하는 무작위 순으로 그룹을 선택하고 선택된 그룹에 포함된 구동 트랜지스터의 게이트 및 소오스전극에 스트레스 방지전압을 형성한다.
- [0108] 제3실시예 또한 표시 패널의 전체를 제어하는 거시단위가 아닌 서브 픽셀 단위를 제어하는 미시단위로 한정하여 스트레스 방지전압을 인가하므로 실험예에서 나타나는 플리커(Flicker)는 물론 블랙(Black) 뜸 현상까지 완화 또는 개선할 수 있게 된다.
- [0109] 한편, 본 발명은 유기전계발광표시장치의 고화질 구현을 위하여 영상 분석 결과에 따라 스트레스 방지전압의 인가 유무를 고려할 수 있는데 이를 설명하면 다음과 같다.
- [0110] <제4실시예>
- [0111] 도 17은 본 발명의 제4실시예에 따른 외부 보상 회로를 개략적으로 나타낸 블록도이며, 도 18은 본 발명의 제4실시예에 따른 구동 트랜지스터의 스트레스 방지전압 인가 방식을 설명하기 위한 파형 예시도이다.
- [0112] 도 17에 도시된 바와 같이, 본 발명의 제4실시예에 따른 외부 보상 회로는 타이밍 제어부(120)의 내부에 영상 분석부(123)와 신호 변조부(126)가 더 포함되는 것을 제외하고 도 6의 외부 보상 회로와 유사하게 구현된다.
- [0113] 영상 분석부(123)는 타이밍 제어부(120)에 입력되는 데이터신호(DATA)를 분석하고 스트레스 방지전압의 인가 유무를 판단한다. 예컨대, 영상 분석부(123)는 표시 패널 상에 명암비(Contrast Ratio) 강조, HDR(High Dynamic Range), 리얼 블랙(Real Black)은 물론이고 높은 휘도나 색감 등을 구현해야 할 경우 스트레스 방지신호의 출력을 생략할 수 있다. 이를 위해, 영상 분석부(123)는 다양한 영상 분석 기법이나 필터 등을 기반으로 입력되는 데이터신호(DATA)를 분석할 수 있다.
- [0114] 신호 변조부(126)는 제1실시예 내지 제3실시예 중 하나의 방법에 대응하여 데이터 구동부(140a, 140b)로부터 스트레스 보상전압이 출력되도록 스트레스 보상신호를 생성한다. 신호 변조부(126)는 영상 분석부(123)의 판단 결과에 기초하여 스트레스 보상신호를 변조(또는 가변)한다. 신호 변조부(126)는 영상 분석부(123)로부터 전달된 분석정보에 대응하여 I(I는 1 이상 정수) 프레임 동안 스트레스 방지신호의 출력을 생략한다.
- [0115] 도 17 및 도 18에 도시된 바와 같이, 신호 변조부(126)에 의해 스트레스 방지신호의 출력이 생략되면 데이터 구동부(140a, 140b) 또한 구동 트랜지스터(DR)의 NBTiS 방지 및 개선(감소)을 위한 스트레스 방지전압(SPV)의 출력을 생략한다.
- [0116] 그 결과, 제1 내지 제4프레임(1F ~ 4F) 동안에는 스트레스 방지전압(NBTiS 방지 Level)이 출력되지만 이후 일정 프레임 동안 스트레스 방지전압(NBTiS 방지 Level)이 출력되지 않는다. 즉, 스트레스 방지전압(NBTiS 방지 Level)은 명암비(Contrast Ratio) 강조, HDR(High Dynamic Range), 리얼 블랙(Real Black)은 물론이고 높은 휘도나 색감 등을 구현할 때 생략구간(NS, NBTIS 방지보상 Skip)을 갖는다. 이와 더불어, 스트레스 방지전압(NBTiS 방지 Level)은 리얼 블랙의 표시를 해야 하거나 블랙 계통의 색이 많은 영상을 표시할 때 생략구간(NS, NBTIS 방지보상 Skip)을 갖는다.
- [0117] 제4실시예는 표시 패널의 전체를 제어하는 거시단위가 아닌 서브 픽셀 단위를 제어하는 미시단위로 한정하여 스트레스 방지전압을 인가하므로 실험예에서 나타나는 플리커(Flicker)는 물론 블랙(Black) 뜸 현상까지 완화 또는 개선할 수 있게 된다. 또한, 제4실시예는 영상이나 구동 환경에 따라 스트레스 방지전압을 출력하거나 생략하는 적응적 변조(Adaptive Modulation)방법을 이용하므로 표시품질을 향상할 수 있게 된다.
- [0118] 이상 본 발명은 표시 패널의 전체를 제어하는 거시단위가 아닌 서브 픽셀 단위를 제어하는 미시단위로 한정하여 스트레스 방지전압을 인가하므로 플리커(Flicker)는 물론 블랙(Black) 뜸 현상 등을 완화 또는 개선하여 표시품질을 향상할 수 있다. 또한, 본 발명은 구동 트랜지스터의 네거티브 바이어스 스트레스(Negative Bias Stress)를 감소시켜 NBTiS에 따른 불량 이슈(Issue)를 제거할 수 있다. 또한, 본 발명은 표시 패널에 포함된 소자를 외부에서 보상하는 외부 보상 동작의 시인성 문제를 감소할 수 있다. 또한, 본 발명은 외부 보상 시 구동 트랜지스터의 보상 마진을 확보할 수 있다.
- [0119] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속

하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

110: 영상 처리부 120: 타이밍 제어부

130: 데이터 구동부 140: 스캔 구동부

150: 표시 패널 AA: 표시영역

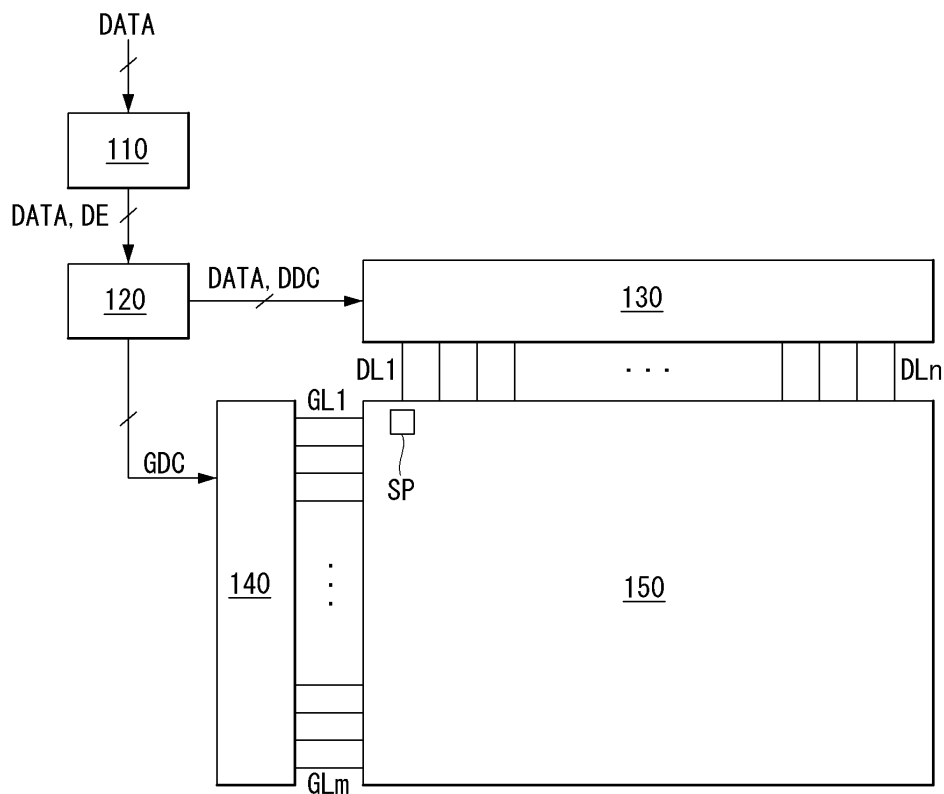
126: 신호 변조부 123: 영상 분석부

Group 1 ~ Group 4: 제1 내지 제4그룹

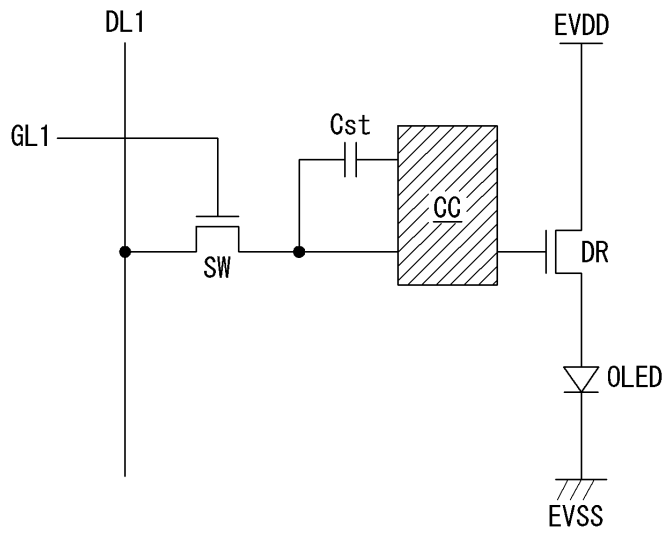
SPV, NBTiS 방지 Level: 스트레스 방지전압

도면

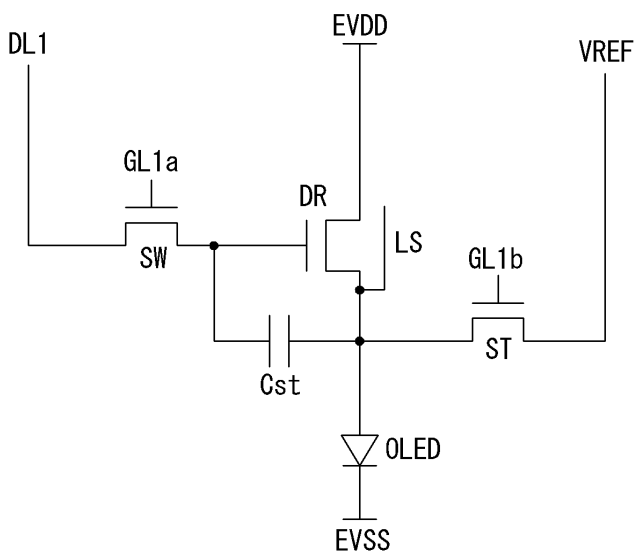
도면1



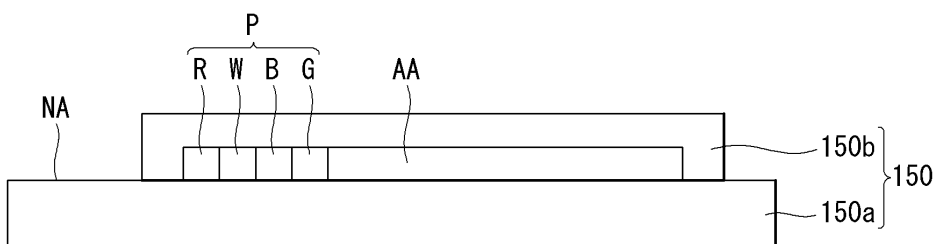
도면2



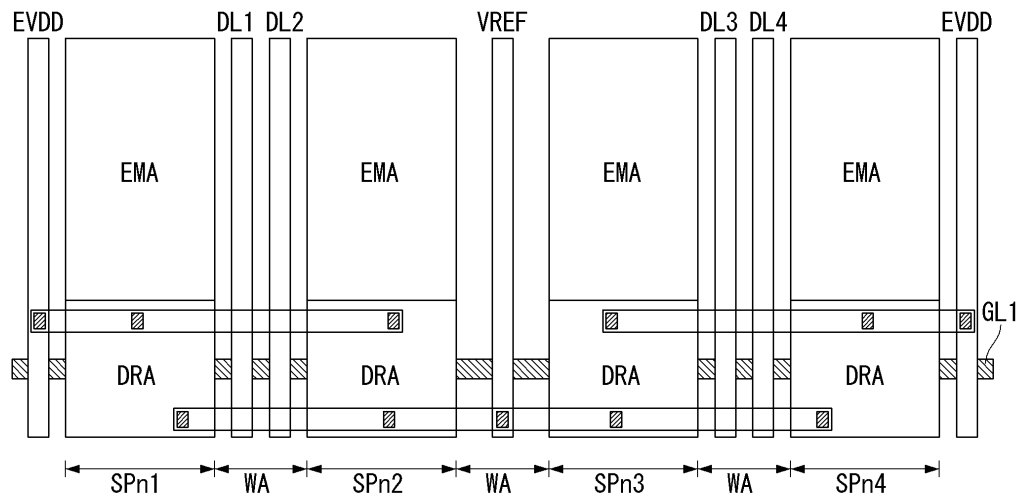
도면3



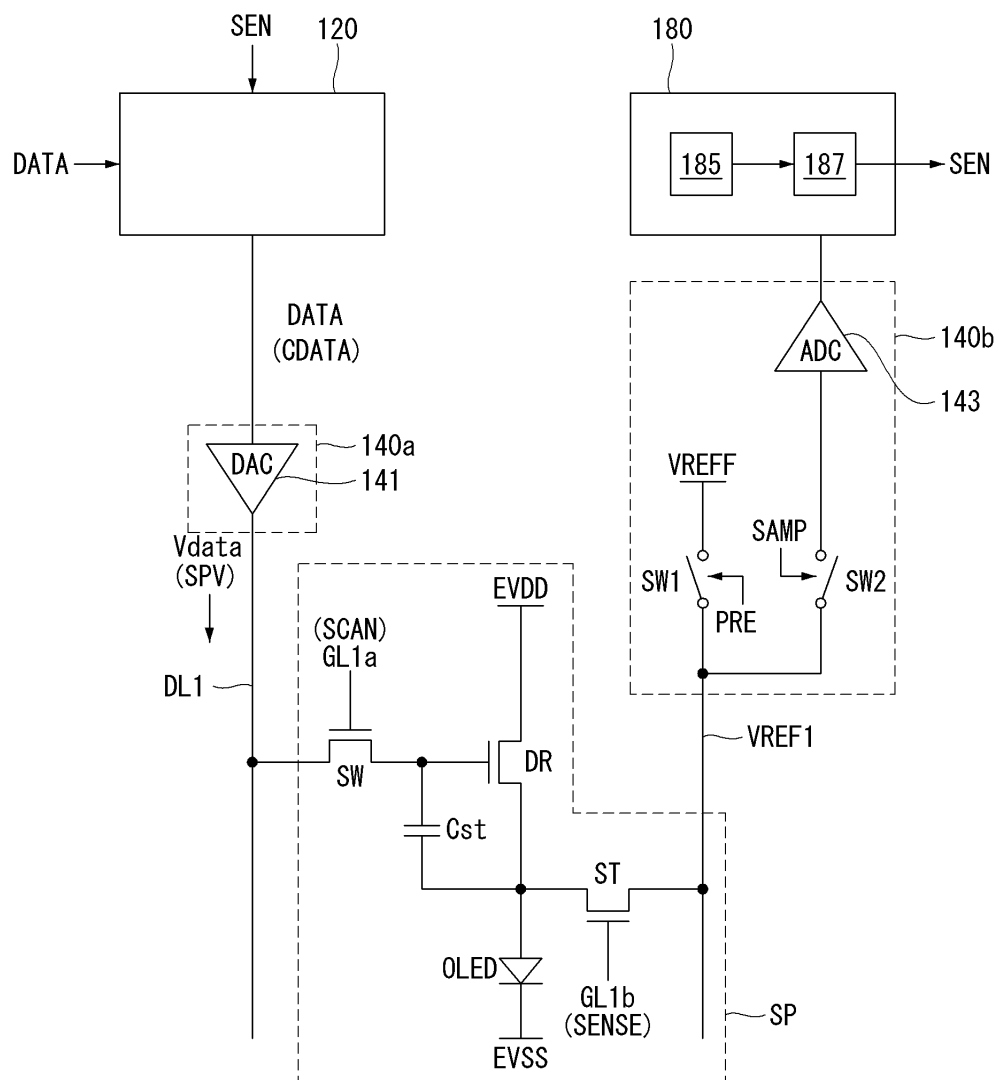
도면4



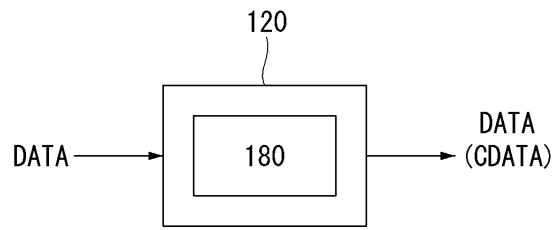
도면5



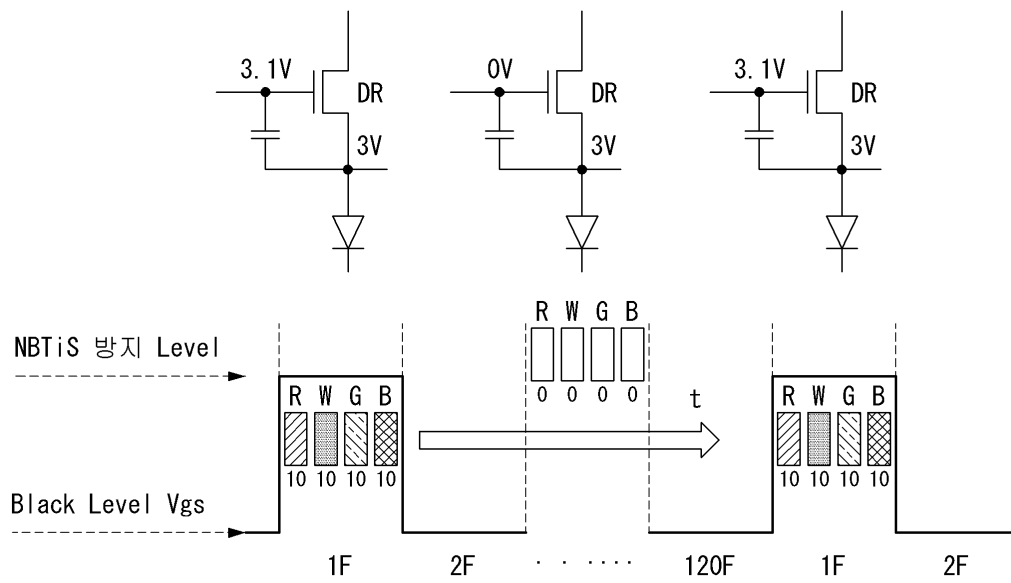
도면6



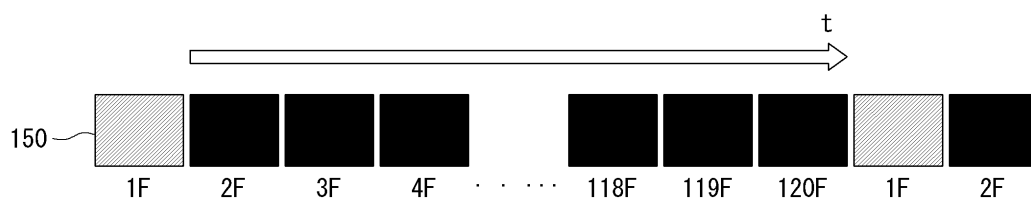
도면7



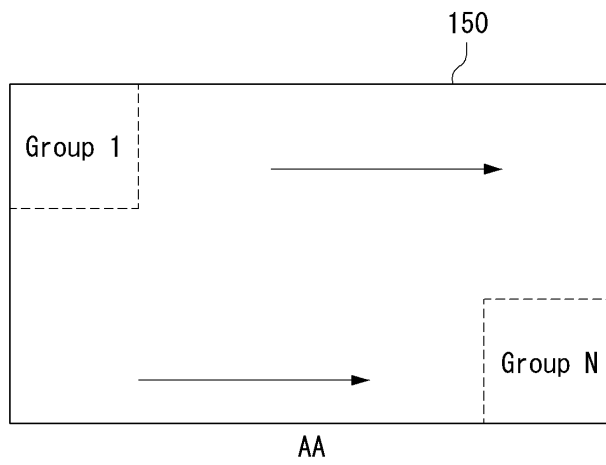
도면8



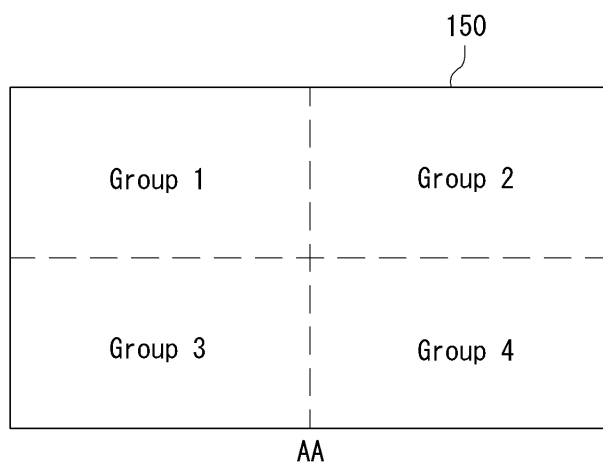
도면9



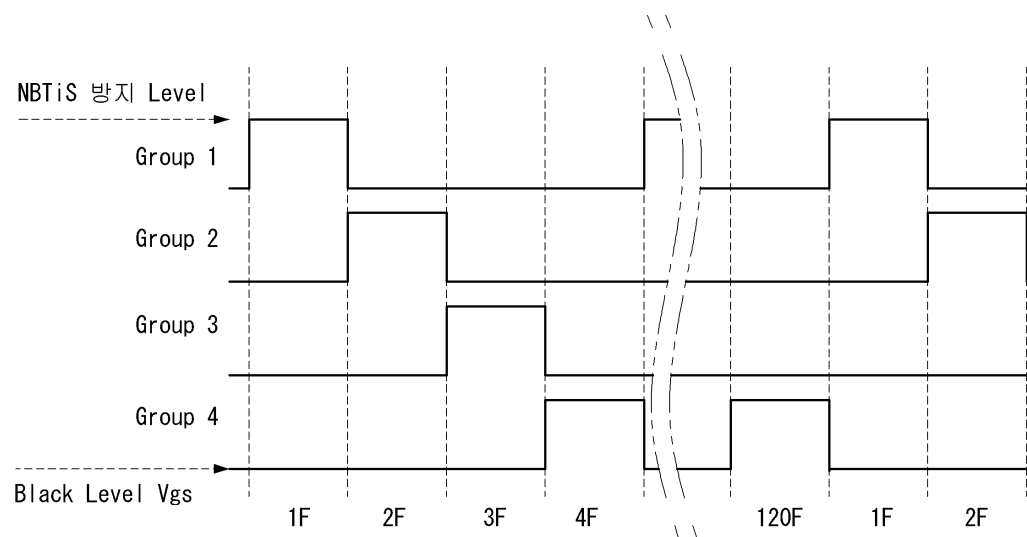
도면10



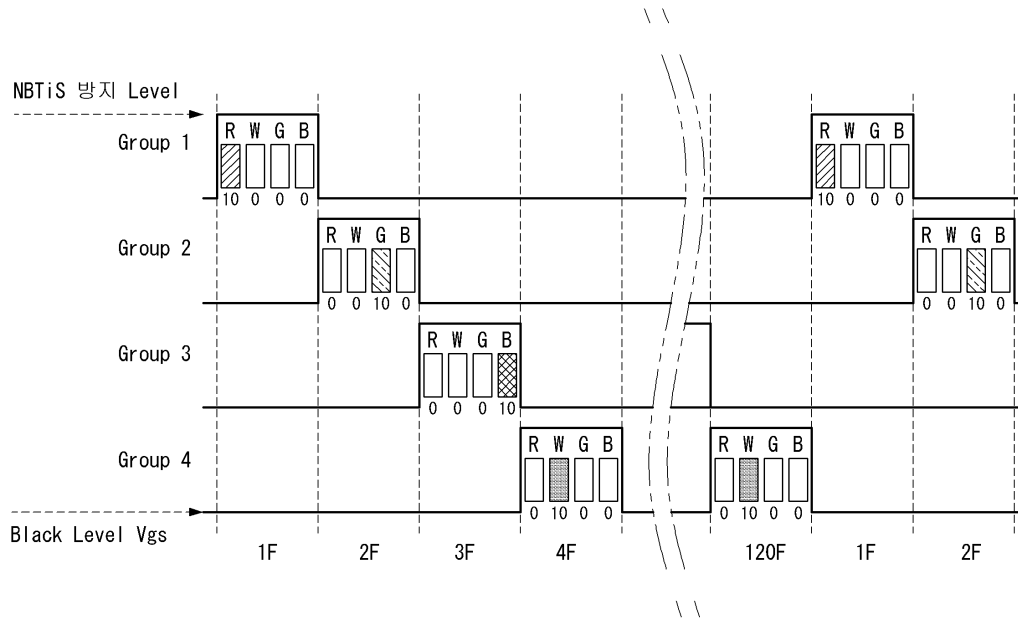
도면11



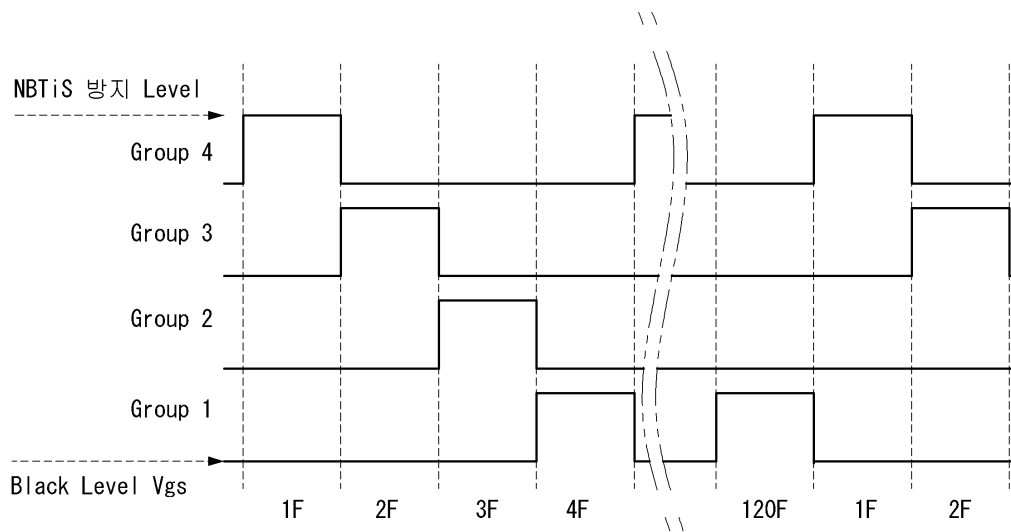
도면12



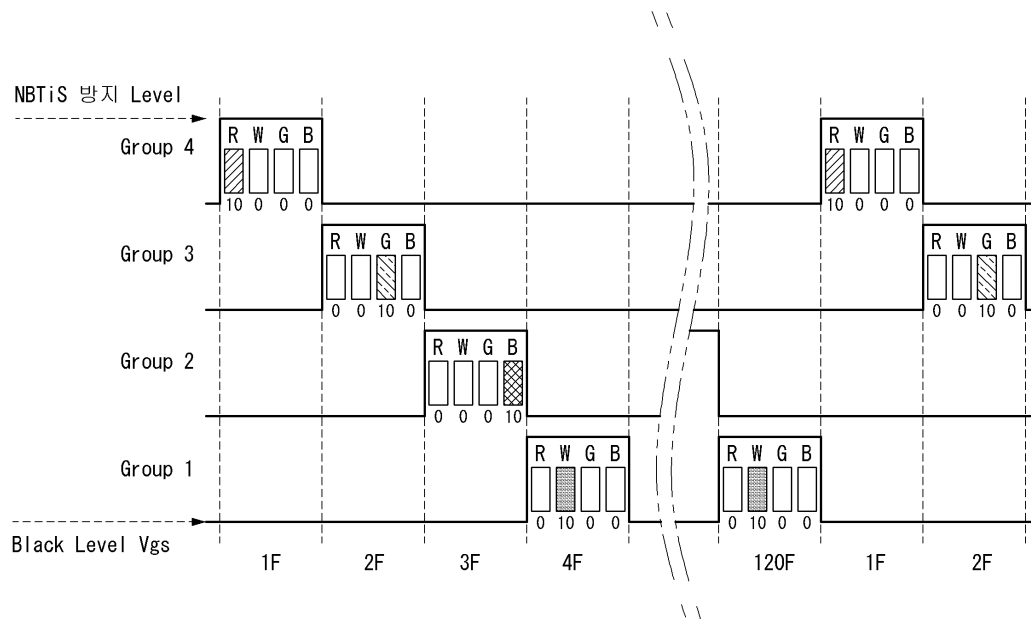
도면13



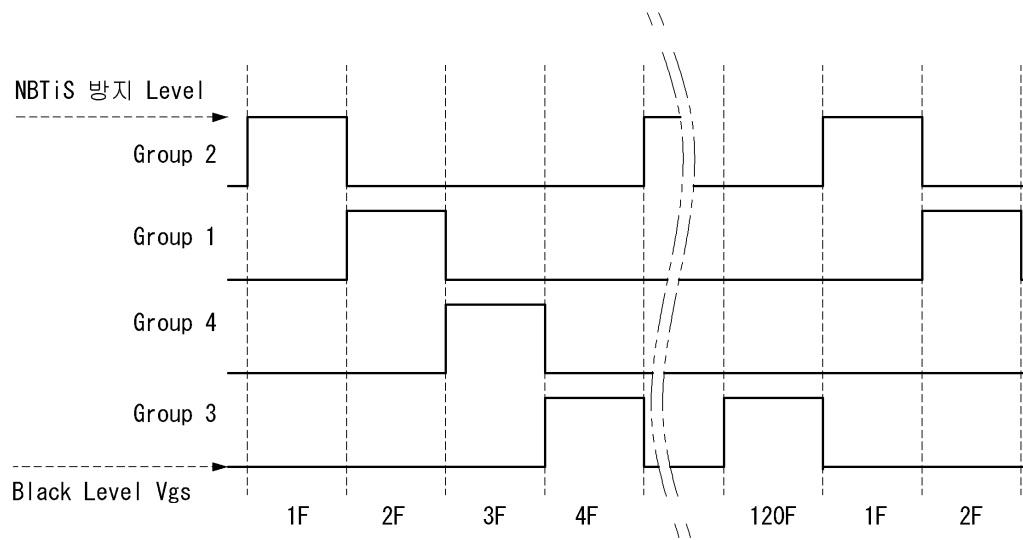
도면14



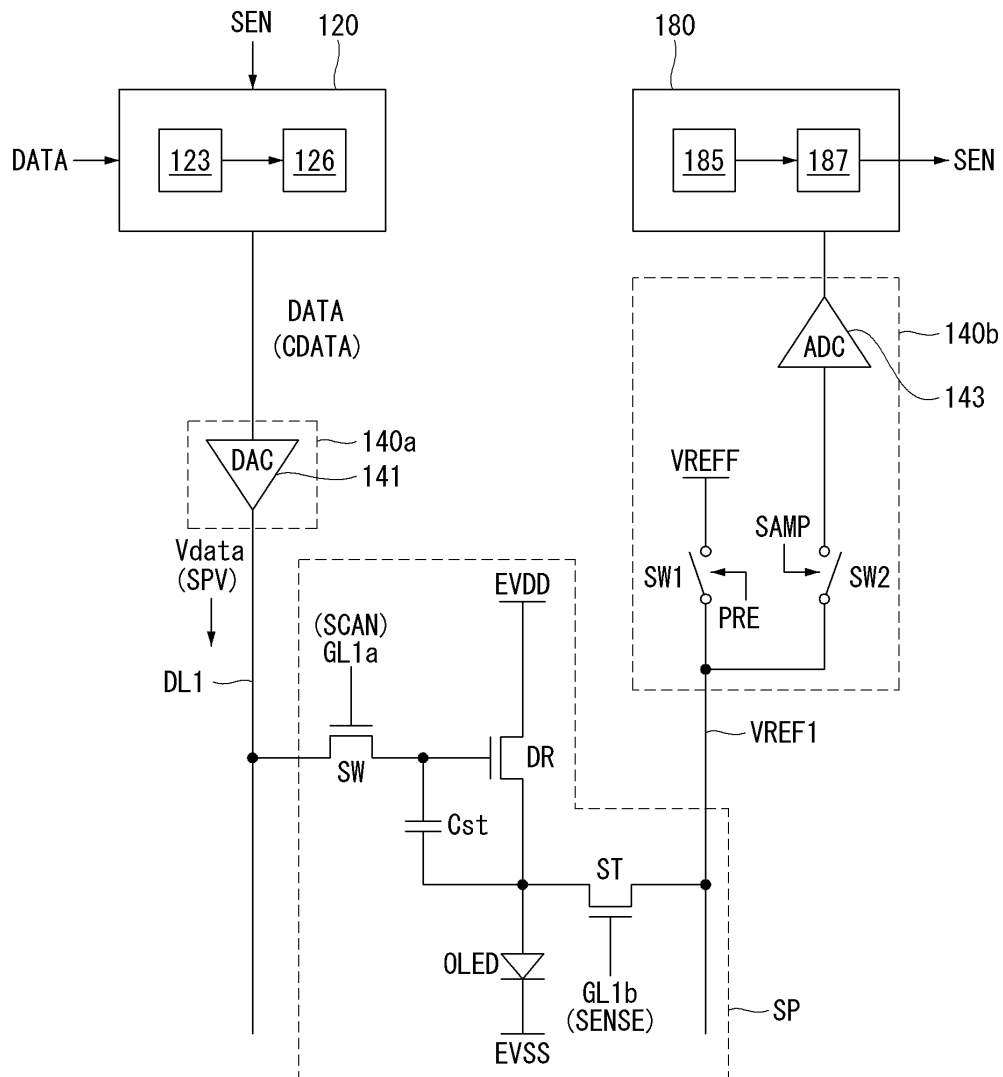
도면15



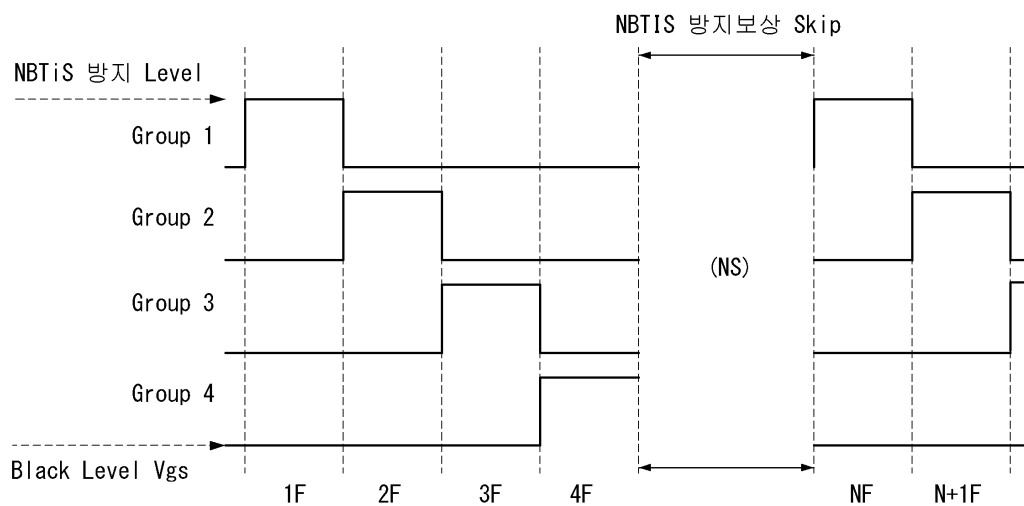
도면16



도면17



도면18



专利名称(译)	有机电致发光显示装置及其驱动方法		
公开(公告)号	KR1020180025399A	公开(公告)日	2018-03-09
申请号	KR1020160110704	申请日	2016-08-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM HYUCK JUN 김혁준 HONG SEOK HYUN 홍석현 LIM MYUNG GI 임명기		
发明人	김혁준 홍석현 임명기		
IPC分类号	G09G3/3291		
CPC分类号	G09G3/3291 G09G2320/02 G09G3/3208 G09G3/3275 G09G3/3233 G09G2300/0452 G09G2320/0295 G09G2320/043 G09G2320/0693 G09G3/3241 G09G2320/045 H01L51/50 H05B45/60		
外部链接	Espacenet		

摘要(译)

本发明提供一种有机发光显示装置，包括显示面板，数据驱动器和定时控制器。显示面板具有用于显示图像的子像素。数据驱动器将数据信号提供给子像素的数据线。定时控制单元将数据信号提供给数据驱动器并控制数据驱动器。数据驱动器输出应力防止电压，用于防止包括在与从定时控制器输出的应力补偿信号对应的子像素中的驱动晶体管的应力，其中应力 - Lt ;

