



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0100012
(43) 공개일자 2016년08월23일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01)

(52) CPC특허분류

H01L 27/3248 (2013.01)

H01L 27/3276 (2013.01)

(21) 출원번호 10-2015-0022432

(22) 출원일자 2015년02월13일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기 용인시 기흥구 삼성로1(농서동)

(72) 발명자

박경순

서울특별시 강동구 양재대로 1340, 319동 301호

김금남

서울특별시 강남구 광평로10길 50, 102동 201호

정민재

경기도 수원시 영통구 신원로 116, 센트럴파크 302호

(74) 대리인

박영우

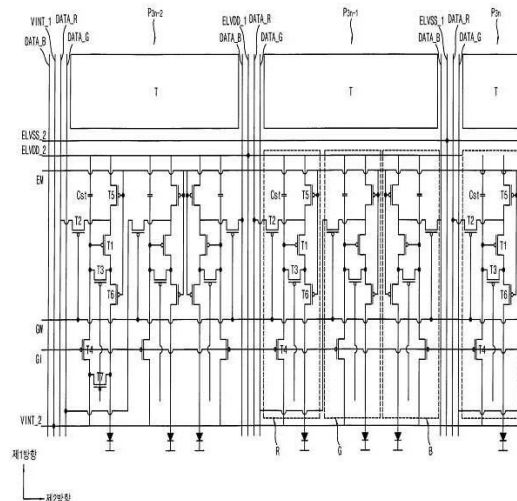
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

본 발명의 실시예들에 따른 유기 발광 표시 장치는 기관, 복수의 화소들, 제1 배선들 및 제2 배선들을 포함한다. 상기 복수의 화소들은 상기 기관의 상면에 평행한 제1 방향 및 제2 방향을 따라 배치된다. 상기 제1 배선들은 상기 기관 상에 배치되고, 상기 제1 방향을 따라 연장하며, 제1 저전압 전원 배선을 포함한다. 상기 제2 배선들은 상기 기관 상에 배치되고, 상기 제2 방향을 따라 연장하며, 상기 제1 저전압 전원 배선과 전기적으로 연결되는 제2 저전압 전원 배선을 포함한다.

대표도



(52) CPC특허분류
H01L 2227/32 (2013.01)

명세서

청구범위

청구항 1

기관;

상기 기관의 상면에 평행한 제1 방향 및 제2 방향을 따라 배치된 복수의 화소들;

상기 기관 상에 배치되고, 상기 제1 방향을 따라 연장하며, 제1 저전압 전원 배선을 포함하는 제1 배선들; 및

상기 기관 상에 배치되고, 상기 제2 방향을 따라 연장하며, 상기 제1 저전압 전원 배선과 전기적으로 연결되는 제2 저전압 전원 배선을 포함하는 제2 배선들을 포함하는 유기 발광 표시 장치.

청구항 2

제1항에 있어서,

상기 제1 배선들은 상기 제1 방향을 따라 연장하는 데이터 배선들, 제1 초기화 전압 배선 및 제1 고전압 전원 배선을 더 포함하는 유기 발광 표시 장치.

청구항 3

제2항에 있어서,

상기 제2 배선들은 상기 제2 방향을 따라 연장하며, 상기 제1 초기화 전압 배선에 전기적으로 연결되는 제2 초기화 전압 배선 및 상기 제1 고전압 전원 배선에 전기적으로 연결되는 제2 고전압 전원 배선을 더 포함하는 유기 발광 표시 장치.

청구항 4

제3항에 있어서,

상기 제1 저전압 전원 배선, 상기 제1 초기화 전압 배선 및 상기 제1 고전압 전원 배선은 상기 각각의 화소에 대응하여 배치되는 유기 발광 표시 장치.

청구항 5

제3항에 있어서, 상기 화소들은 상기 제2 방향을 따라 순차적으로 배열된 $3n-2$ 번째 화소, $3n-1$ 번째 화소 및 $3n$ 번째 화소를 포함하는 유기 발광 표시 장치(이때, n 은 자연수).

청구항 6

제5항에 있어서,

상기 제1 저전압 전원 배선은 상기 $3n-2$ 번째 화소, 상기 $3n-1$ 번째 화소 및 상기 $3n$ 번째 화소 중에서 선택된 하나 이상의 화소에 대응하여 배치되며,

상기 제1 초기화 전압 배선은 상기 $3n-2$ 번째 화소, 상기 $3n-1$ 번째 화소 및 상기 $3n$ 번째 화소 중에서 선택된 하나 이상의 화소에 대응하여 배치되고,

상기 제1 고전압 전원 배선은 상기 $3n-2$ 번째 화소, 상기 $3n-1$ 번째 화소 및 상기 $3n$ 번째 화소 중에서 선택된 하나 이상의 화소에 대응하여 배치되는 유기 발광 표시 장치.

청구항 7

제5항에 있어서,

상기 제1 저전압 전원 배선은 상기 $3n-2$ 번째 화소, 상기 $3n-1$ 번째 화소 및 상기 $3n$ 번째 화소 중에서 선택된 두 개 이상의 화소에 대응하여 배치되며,

상기 제1 초기화 전압 배선은 상기 $3n-2$ 번째 화소, 상기 $3n-1$ 번째 화소 및 상기 $3n$ 번째 화소 중에서 선택된 두 개 이상의 화소에 대응하여 배치되고,

상기 제1 고전압 전원 배선은 상기 $3n-2$ 번째 화소, 상기 $3n-1$ 번째 화소 및 상기 $3n$ 번째 화소 중에서 선택된 두 개 이상의 화소에 대응하여 배치되는 유기 발광 표시 장치.

청구항 8

제3항에 있어서, 상기 화소들은 상기 제2 방향을 따라 순차적으로 배열된 홀수 번째 화소 및 짝수 번째 화소를 포함하는 유기 발광 표시 장치.

청구항 9

제8항에 있어서,

상기 제1 저전압 전원 배선은 상기 홀수 번째 화소 및 상기 짝수 번째 화소 중에서 선택된 하나의 화소에 대응하여 배치되며,

상기 제1 초기화 전압 배선은 상기 홀수 번째 화소 및 상기 짝수 번째 화소 중에서 선택된 하나의 화소에 대응하여 배치되고,

상기 제1 고전압 전원 배선은 상기 홀수 번째 화소 및 상기 짝수 번째 화소에 대응하여 배치되는 유기 발광 표시 장치.

청구항 10

제8항에 있어서,

상기 제1 저전압 전원 배선은 상기 홀수 번째 화소 및 상기 짝수 번째 화소에 대응하여 배치되며,

상기 제1 초기화 전압 배선은 상기 홀수 번째 화소 및 상기 짝수 번째 화소 중에서 선택된 하나의 화소에 대응하여 배치되고,

상기 제1 고전압 전원 배선은 상기 홀수 번째 화소 및 상기 짝수 번째 화소 중에서 선택된 하나의 화소에 대응하여 배치되는 유기 발광 표시 장치.

청구항 11

제8항에 있어서,

상기 제1 저전압 전원 배선은 상기 홀수 번째 화소 및 상기 짝수 번째 화소 중에서 선택된 하나의 화소에 대응하여 배치되며,

상기 제1 초기화 전압 배선은 상기 홀수 번째 화소 및 상기 짝수 번째 화소에 대응하여 배치되고,

상기 제1 고전압 전원 배선은 상기 홀수 번째 화소 및 상기 짝수 번째 화소 중에서 선택된 하나의 화소에 대응하여 배치되는 유기 발광 표시 장치.

청구항 12

제1항에 있어서, 상기 각각의 화소들은 제1 서브 화소, 제2 서브 화소, 제3 서브 화소 및 투과부를 포함하는 유기 발광 표시 장치.

청구항 13

제12항에 있어서, 상기 제1 서브 화소, 상기 제2 서브 화소 및 상기 제3 서브 화소는 각기 화소 회로를 포함하고,

상기 각각의 화소 회로는 적어도 6개 이상의 트랜지스터들, 스토리지 커패시터 및 발광 다이오드를 포함하는 유기 발광 표시 장치.

청구항 14

제13항에 있어서, 상기 발광 다이오드는 제1 전극, 유기 발광층 및 제2 전극을 포함하며, 상기 제1 전극, 상기 유기 발광층 및 상기 제2 전극은 순차적으로 적층된 유기 발광 표시 장치.

청구항 15

제14항에 있어서, 상기 제2 전극은 상기 제1 저전압 전원 배선 및 상기 제2 저전압 전원 배선에 전기적으로 연결된 유기 발광 표시 장치.

청구항 16

제14항에 있어서, 상기 제2 전극은 상기 제1 서브 화소, 상기 제2 서브 화소 및 상기 제3 서브 화소 내에 배치되며, 상기 제2 전극은 상기 투과부를 노출시키는 유기 발광 표시 장치.

청구항 17

제14항에 있어서,

상기 제1 서브 화소, 상기 제2 서브 화소 및 상기 제3 서브 화소는 상기 제2 방향을 따라 서로 이격되어 배치되고,

상기 투과부는 상기 제1 서브 화소, 상기 제2 서브 화소 및 상기 제3 서브 화소로부터 상기 제1 방향을 따라 이격되어 배치되는 유기 발광 표시 장치.

청구항 18

제14항에 있어서,

상기 투과부는 상기 제1 서브 화소, 상기 제2 서브 화소 및 상기 제3 서브 화소보다 높은 투과율을 가지며,

상기 제1 배선들 및 상기 제2 배선들은 상기 투과부와 중첩되지 않는 유기 발광 표시 장치.

청구항 19

제13항에 있어서,

상기 각각의 트랜지스터는 액티브 패턴, 게이트 전극, 소스 전극 및 드레인 전극을 포함하고,

상기 제2 저전압 전원 배선은 상기 액티브 패턴과 동일한 물질을 포함하는 유기 발광 표시 장치.

청구항 20

제19항에 있어서, 상기 제1 저전압 전원 배선은 상기 소스 전극 및 상기 드레인 전극과 동일한 물질을 포함하는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치에 관한 것으로, 보다 상세하게는 향상된 전기적 특성을 갖는 투명 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 표시 장치는 화소가 출력하는 광에 기초하여 영상을 표시할 수 있고, 유기 발광 표시 장치는 유기 발광 다이오드를 갖는 화소를 포함할 수 있다. 유기 발광 다이오드는 유기 발광 다이오드가 포함하는 유기 물질에 상응하는 파장을 갖는 광을 출력할 수 있다. 예를 들어, 유기 발광 다이오드는 적색광, 녹색광, 및 청색광에 상응하는 유기 물질을 포함할 수 있고, 유기 발광 표시 장치는 상기 유기 물질에 의해 출력되는 광을 조합하여 영상을 표시할 수 있다.

[0003] 이러한 유기 발광 표시 장치에 대해, 장치 내부의 박막 트랜지스터나 유기 발광 소자를 투명한 형태로 만드는 투명 유기 발광 표시 장치에 대한 연구가 진행되고 있다.

발명의 내용

해결하려는 과제

- [0004] 본 발명의 일 목적은 향상된 전기적 특성을 갖는 유기 발광 표시 장치를 제공하는 것이다.
- [0005] 다만, 본 발명의 목적은 상기 목적들로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

- [0006] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 유기 발광 표시 장치는 기관, 복수의 화소들, 제1 배선들 및 제2 배선들을 포함한다. 상기 복수의 화소들은 상기 기관의 상면에 평행한 제1 방향 및 제2 방향을 따라 배치된다. 상기 제1 배선들은 상기 기관 상에 배치되고, 상기 제1 방향을 따라 연장하며, 제1 저전압 전원 배선을 포함한다. 상기 제2 배선들은 상기 기관 상에 배치되고, 상기 제2 방향을 따라 연장하며, 상기 제1 저전압 전원 배선과 전기적으로 연결되는 제2 저전압 전원 배선을 포함한다.
- [0007] 일 실시예에 의하면, 상기 제1 배선들은 상기 제1 방향을 따라 연장하는 데이터 배선들, 제1 초기화 전압 배선 및 제1 고전압 전원 배선을 더 포함할 수 있다.
- [0008] 일 실시예에 의하면, 상기 제2 배선들은 상기 제2 방향을 따라 연장하며, 상기 제1 초기화 전압 배선에 전기적으로 연결되는 제2 초기화 전압 배선 및 상기 제1 고전압 전원 배선에 전기적으로 연결되는 제2 고전압 전원 배선을 더 포함할 수 있다.
- [0009] 일 실시예에 의하면, 상기 제1 저전압 전원 배선, 상기 제1 초기화 전압 배선 및 상기 제1 고전압 전원 배선은 상기 각각의 화소에 대응하여 배치될 수 있다.
- [0010] 일 실시예에 의하면, 상기 화소들은 상기 제2 방향을 따라 순차적으로 배열된 $3n-2$ 번째 화소, $3n-1$ 번째 화소 및 $3n$ 번째 화소를 포함할 수 있다.
- [0011] 일 실시예에 의하면, 상기 제1 저전압 전원 배선은 상기 $3n-2$ 번째 화소, 상기 $3n-1$ 번째 화소 및 상기 $3n$ 번째 화소 중에서 선택된 하나 이상의 화소에 대응하여 배치되며, 상기 제1 초기화 전압 배선은 상기 $3n-2$ 번째 화소, 상기 $3n-1$ 번째 화소 및 상기 $3n$ 번째 화소 중에서 선택된 하나 이상의 화소에 대응하여 배치되고, 상기 제1 고전압 전원 배선은 상기 $3n-2$ 번째 화소, 상기 $3n-1$ 번째 화소 및 상기 $3n$ 번째 화소 중에서 선택된 하나 이상의 화소에 대응하여 배치될 수 있다.
- [0012] 일 실시예에 의하면, 상기 제1 저전압 전원 배선은 상기 $3n-2$ 번째 화소, 상기 $3n-1$ 번째 화소 및 상기 $3n$ 번째 화소 중에서 선택된 두 개 이상의 화소에 대응하여 배치되며, 상기 제1 초기화 전압 배선은 상기 $3n-2$ 번째 화소, 상기 $3n-1$ 번째 화소 및 상기 $3n$ 번째 화소 중에서 선택된 두 개 이상의 화소에 대응하여 배치되고, 상기 제1 고전압 전원 배선은 상기 $3n-2$ 번째 화소, 상기 $3n-1$ 번째 화소 및 상기 $3n$ 번째 화소 중에서 선택된 두 개 이상의 화소에 대응하여 배치될 수 있다.
- [0013] 일 실시예에 의하면, 상기 화소들은 상기 제2 방향을 따라 순차적으로 배열된 홀수 번째 화소 및 짝수 번째 화소를 포함할 수 있다.
- [0014] 일 실시예에 의하면, 상기 제1 저전압 전원 배선은 상기 홀수 번째 화소 및 상기 짝수 번째 화소 중에서 선택된 하나의 화소에 대응하여 배치되며, 상기 제1 초기화 전압 배선은 상기 홀수 번째 화소 및 상기 짝수 번째 화소 중에서 선택된 하나의 화소에 대응하여 배치되고, 상기 제1 고전압 전원 배선은 상기 홀수 번째 화소 및 상기 짝수 번째 화소에 대응하여 배치될 수 있다.
- [0015] 일 실시예에 의하면, 상기 제1 저전압 전원 배선은 상기 홀수 번째 화소 및 상기 짝수 번째 화소에 대응하여 배치되며, 상기 제1 초기화 전압 배선은 상기 홀수 번째 화소 및 상기 짝수 번째 화소 중에서 선택된 하나의 화소에 대응하여 배치되고, 상기 제1 고전압 전원 배선은 상기 홀수 번째 화소 및 상기 짝수 번째 화소 중에서 선택된 하나의 화소에 대응하여 배치될 수 있다.
- [0016] 일 실시예에 의하면, 상기 제1 저전압 전원 배선은 상기 홀수 번째 화소 및 상기 짝수 번째 화소 중에서 선택된 하나의 화소에 대응하여 배치되며, 상기 제1 초기화 전압 배선은 상기 홀수 번째 화소 및 상기 짝수 번째 화소에 대응하여 배치되고, 상기 제1 고전압 전원 배선은 상기 홀수 번째 화소 및 상기 짝수 번째 화소 중에서 선택

된 하나의 화소에 대응하여 배치될 수 있다.

- [0017] 일 실시예에 의하면, 상기 각각의 화소들은 제1 서브 화소, 제2 서브 화소, 제3 서브 화소 및 투과부를 포함할 수 있다.
- [0018] 일 실시예에 의하면, 상기 제1 서브 화소, 상기 제2 서브 화소 및 상기 제3 서브 화소는 각기 화소 회로를 포함하고, 상기 각각의 화소 회로는 적어도 6개 이상의 트랜지스터들, 스토리지 커패시터 및 발광 다이오드를 포함할 수 있다.
- [0019] 일 실시예에 의하면, 상기 발광 다이오드는 제1 전극, 유기 발광층 및 제2 전극을 포함하며, 상기 제1 전극, 상기 유기 발광층 및 상기 제2 전극은 순차적으로 적층될 수 있다.
- [0020] 일 실시예에 의하면, 상기 제2 전극은 상기 제1 저전압 전원 배선 및 상기 제2 저전압 전원 배선에 전기적으로 연결될 수 있다.
- [0021] 일 실시예에 의하면, 상기 제2 전극은 상기 제1 서브 화소, 상기 제2 서브 화소 및 상기 제3 서브 화소 내에 배치되며, 상기 제2 전극은 상기 투과부를 노출시킬 수 있다.
- [0022] 일 실시예에 의하면, 상기 제1 서브 화소, 상기 제2 서브 화소 및 상기 제3 서브 화소는 상기 제2 방향을 따라 서로 이격되어 배치되고, 상기 투과부는 상기 제1 서브 화소, 상기 제2 서브 화소 및 상기 제3 서브 화소로부터 상기 제1 방향을 따라 이격되어 배치될 수 있다.
- [0023] 일 실시예에 의하면, 상기 투과부는 상기 제1 서브 화소, 상기 제2 서브 화소 및 상기 제3 서브 화소보다 높은 투과율을 가지며, 상기 제1 배선들 및 상기 제2 배선들은 상기 투과부와 중첩되지 않을 수 있다.
- [0024] 일 실시예에 의하면, 상기 각각의 트랜지스터는 액티브 패턴, 게이트 전극, 소스 전극 및 드레인 전극을 포함할 수 있다. 상기 제2 저전압 전원 배선은 상기 액티브 패턴과 동일한 물질을 포함할 수 있다.
- [0025] 일 실시예에 의하면, 상기 제1 저전압 전원 배선은 상기 소스 전극 및 상기 드레인 전극과 동일한 물질을 포함할 수 있다.

발명의 효과

- [0026] 본 발명의 실시예들에 따른 유기 발광 표시 장치는 저전압 전원을 전달하기 위한, 제1 저전압 전원 배선과 제2 저전압 전원 배선을 포함한다. 상기 제1 저전압 전원 배선과 상기 제2 저전압 전원 배선은 상기 제1 방향과 상기 제2 방향을 따라서 서로 교차할 수 있고, 이에 따라 이들의 전기적 저항이 낮아질 수 있다.
- [0027] 다만, 본 발명의 효과는 상기 효과들로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

- [0028] 도 1은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 화소를 나타내는 개략도이다.
- 도 2a는 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 서브 화소의 회로도이다.
- 도 2b는 본 발명의 다른 예시적인 실시예들에 따른 유기 발광 표시 장치의 서브 화소의 회로도이다.
- 도 3은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 화소들의 회로도이다.
- 도 4는 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 단면도이다.
- 도 5는 본 발명의 다른 예시적인 실시예들에 따른 유기 발광 표시 장치의 화소들의 회로도이다.
- 도 6은 본 발명의 다른 예시적인 실시예들에 따른 유기 발광 표시 장치의 화소들의 회로도이다.
- 도 7은 본 발명의 다른 예시적인 실시예들에 따른 유기 발광 표시 장치의 화소들의 회로도이다.
- 도 8은 본 발명의 다른 예시적인 실시예들에 따른 유기 발광 표시 장치의 화소들의 회로도이다.
- 도 9은 본 발명의 다른 예시적인 실시예들에 따른 유기 발광 표시 장치의 화소들의 회로도이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 이하, 본 발명의 예시적인 실시예들을 첨부된 도면들을 참조하여 상세하게 설명하지만, 본 발명이 하기 실시예들에 의해 제한되는 것은 아니며, 해당 분야에서 통상의 지식을 가진 자라면 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 본 발명을 다양한 다른 형태로 구현할 수 있을 것이다.
- [0030] 본 명세서에 있어서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예들을 설명하기 위한 목적으로 예시된 것이고, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며, 본 명세서에 설명된 실시예들에 한정되는 것으로 해석되지 않으며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 어떤 구성 요소가 다른 구성 요소에 "연결되어" 있다거나 "접촉되어" 있다고 기재된 경우, 다른 구성 요소에 직접적으로 연결되어 있거나 또는 접촉되어 있을 수도 있지만, 중간에 또 다른 구성 요소가 존재할 수도 있다고 이해되어야 할 것이다. 또한, 어떤 구성 요소가 다른 구성 요소에 "직접 연결되어" 있다거나 "직접 접촉되어" 있다고 기재된 경우에는, 중간에 또 다른 구성 요소가 존재하지 않는 것으로 이해될 수 있다. 구성 요소들 간의 관계를 설명하는 다른 표현들, 예를 들면, "~사이에"와 "직접 ~사이에" 또는 "~에 인접하는"과 "~에 직접 인접하는" 등도 마찬가지로 해석될 수 있다.
- [0031] 본 명세서에서 사용되는 용어는 단지 예시적인 실시예들을 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도는 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다", "구비하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지는 않는다.
- [0032] 제1, 제2, 제3, 제4 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 이러한 구성 요소들은 상기 용어들에 의해 한정되는 것은 아니다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로 사용된다. 예를 들어, 본 발명의 권리 범위로부터 벗어나지 않고, 제1 구성 요소가 제2, 제3 또는 제4 구성 요소 등으로 명명될 수 있으며, 유사하게 제2, 제3 또는 제4 구성 요소도 교호적으로 명명될 수 있다.
- [0033] 도 1은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 화소를 나타내는 개략도이다.
- [0034] 도 1을 참조하면, 상기 유기 발광 표시 장치는 기관의 상면에 평행한 제1 방향 및 제2 방향을 따라 배열된 복수의 화소들(P)을 포함하고, 각각의 화소들(P)은 제1 서브 화소(R), 제2 서브 화소(G) 및 제3 서브 화소(B) 및 투과부(T)를 포함할 수 있다.
- [0035] 예시적인 실시예들에 있어서, 제1 서브 화소(R), 제2 서브 화소(G) 및 제3 서브 화소(B)은 각기 주로 적색광, 녹색광 및 청색광을 발생시키는 영역들에 해당될 수 있다. 즉, 제1 서브 화소(R) 내지 제3 서브 화소(B)에 위치하는 발광 구조물들로부터 각기 적색광, 녹색광 및 청색광이 방출될 수 있다.
- [0036] 예시적인 실시예들에 있어서, 제1 서브 화소(R), 제2 서브 화소(G) 및 제3 서브 화소(B)는 상기 제1 방향을 따라 연장된 다각형 형상을 가질 수 있다. 즉, 제1 서브 화소(R)의 상기 제1 방향으로의 길이는 상기 제2 방향으로의 폭보다 클 수 있고, 제2 서브 화소(G)의 상기 제1 방향으로의 길이는 상기 제2 방향으로의 폭보다 클 수 있으며, 제3 서브 화소(B)의 상기 제1 방향으로의 길이는 상기 제2 방향으로의 폭보다 클 수 있다.
- [0037] 예시적인 실시예들에 있어서, 제3 서브 화소(B)는 제1 서브 화소(R) 또는 제2 서브 화소(G)와 동일한 면적을 가질 수도 있다. 이와 달리, 제3 서브 화소(B)는 제1 서브 화소(R) 또는 제2 서브 화소(G)보다 넓은 면적을 가질 수도 있다.
- [0038] 제1 서브 화소(R), 제2 서브 화소(G) 및 제3 서브 화소(B)는 상기 제2 방향을 따라 순서대로 배치될 수 있다. 즉, 제1 서브 화소(R), 제2 서브 화소(G) 및 제3 서브 화소(B)는 서로 상기 제2 방향을 따라서 서로 떨어져서 배치될 수 있다.
- [0039] 한편, 투과부(T)는 서브 화소들(R, G, B)로부터 상기 제1 방향으로 떨어져서 배치될 수 있다. 예시적인 실시예들에 있어서, 투과부(T)는 화소(P)의 면적의 약 20% 내지 약 90%를 차지할 수 있다. 투과부(T)는 서브 화소들(R, G, B)보다 높은 투과율을 가질 수 있다. 이에 따라, 상기 유기 발광 표시 장치는 부분적으로 투명할 수 있

다.

- [0040] 다시 도 1을 참조하면, 상기 유기 발광 표시 장치는 화소(P) 내의 회로들에 전기적으로 연결된 제1 배선들(L1) 및 제2 배선들(L2)을 포함할 수 있다. 즉, 각각의 제1 서브 화소(R), 제2 서브 화소(G) 및 제3 서브 화소(B) 내에는 유기 발광 구조물과 이들을 전기적으로 제어하는 화소 회로가 배치될 수 있으며, 제1 배선들(L1) 및 제2 배선들(L2)은 상기 화소 회로들에 전기적으로 연결될 수 있다. 참고로, 상기 화소 회로들은 아래에서 도 2a 및 도 2b를 참조로 설명한다.
- [0041] 제1 배선들(L1)은 상기 제1 방향을 따라서 연장하며, 상기 제2 방향을 따라 배열될 수 있다. 예시적인 실시예들에 있어서, 제1 배선들(L1)은 상기 제2 방향으로 인접하는 화소들(P) 사이에 배치될 수 있으며, 투과부(T) 또는 서브 화소들(R, G, B)과 중첩되지 않도록 배치될 수 있다.
- [0042] 한편, 제2 배선들(L2)은 상기 제2 방향을 따라서 연장하며, 상기 제1 방향을 따라 배열될 수 있다. 예시적인 실시예들에 있어서, 제2 배선들(L2)은 서브 화소들(R, G, B)과 중첩되어 배치될 수 있고, 투과부(T)와 중첩되지 않도록 배치될 수 있다.
- [0043] 도 2a는 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 서브 화소의 회로도이다. 앞서 설명한 바와 같이, 상기 유기 발광 표시 장치의 각각의 화소의 각각의 서브 화소에는 회로들이 배치될 수 있다.
- [0044] 각각의 서브 화소들은 유기 발광 다이오드(ED), 제1 트랜지스터(TR1), 제2 트랜지스터(TR2), 제3 트랜지스터(TR3), 스토리지 커패시터(CST), 제4 트랜지스터(TR4), 제5 트랜지스터(TR5), 제6 트랜지스터(TR6), 및 제7 트랜지스터(TR7)를 포함할 수 있다.
- [0045] 유기 발광 다이오드(ED)는 구동 전류에 기초하여 광을 출력할 수 있다. 유기 발광 다이오드(ED)는 제1 단자 및 제2 단자를 포함할 수 있다. 실시예에 따라, 유기 발광 다이오드(ED)의 제2 단자는 저전압 전원(ELVSS)을 공급받을 수 있다. 일 실시예에서, 유기 발광 다이오드(ED)의 제1 단자는 애노드 단자이고, 제2 단자는 캐소드 단자일 수 있다. 다른 실시예에서, 유기 발광 다이오드의 제1 단자는 캐소드 단자이고, 제2 단자는 애노드 단자일 수 있다.
- [0046] 제1 트랜지스터(TR1)는 게이트 단자, 제1 단자, 및 제2 단자를 포함할 수 있다. 일 실시예에서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 다른 실시예에서, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.
- [0047] 제1 트랜지스터(TR1)는 상기 구동 전류를 생성할 수 있다. 일 실시예에서, 제1 트랜지스터(TR1)는 포화 영역에서 동작할 수 있다. 이 경우, 제1 트랜지스터(TR1)는 게이트 단자와 소스 단자 사이의 전압차에 기초하여 상기 구동 전류를 생성할 수 있다. 또한, 유기 발광 다이오드(ED)에 공급되는 상기 구동 전류의 크기에 기초하여 계조가 표현될 수 있다. 다른 실시예에서, 제1 트랜지스터는 선형 영역에서 동작할 수 있다. 이 경우, 일 프레임 내에서 유기 발광 다이오드에 구동 전류가 공급되는 시간의 합에 기초하여 계조가 표현될 수 있다.
- [0048] 제2 트랜지스터(TR2)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 게이트 단자는 현재 스테이지의 스캔 신호(GW)를 공급받을 수 있다. 제1 단자는 데이터 신호(VDATA)를 공급받을 수 있다. 제2 단자는 제1 트랜지스터(TR1)의 제1 단자에 연결될 수 있다. 일 실시예에서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 다른 실시예에서, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.
- [0049] 제2 트랜지스터(TR2)는 현재 스테이지의 스캔 신호(GW)의 활성화 구간 동안 데이터 신호(VDATA)를 제1 트랜지스터(TR1)의 제1 단자로 공급할 수 있다. 이 경우, 제2 트랜지스터(TR2)는 선형 영역에서 동작할 수 있다.
- [0050] 제3 트랜지스터(TR3)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 게이트 단자는 현재 스테이지의 스캔 신호(GW)를 공급받을 수 있다. 제1 단자는 제1 트랜지스터(TR1)의 제2 단자에 연결될 수 있다. 제2 단자는 제1 트랜지스터(TR1)의 게이트 단자에 연결될 수 있다. 일 실시예에서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 다른 실시예에서, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.
- [0051] 제3 트랜지스터(TR3)는 현재 스테이지의 스캔 신호(GW)의 활성화 구간 동안 제1 트랜지스터(TR1)의 게이트 단자와 제1 트랜지스터(TR1)의 제2 단자를 연결할 수 있다. 이 경우, 제3 트랜지스터(TR3)는 선형 영역에서 동작할 수 있다. 즉, 제3 트랜지스터(TR3)는 현재 스테이지의 스캔 신호(GW)의 활성화 구간 동안 제1 트랜지스터(TR1)를 다이오드 연결시킬 수 있다. 제1 트랜지스터(TR1)가 다이오드 연결되므로, 제1 트랜지스터(TR1)의 제1 단자와 제1 트랜지스터(TR1)의 게이트 단자 사이에 제1 트랜지스터(TR1)의 문턱 전압만큼의 전압차가 발생할 수 있다. 그 결과, 현재 스테이지의 스캔 신호(GW)의 활성화 구간 동안 제1 트랜지스터(TR1)의 제1 단자에 공급된 테

이터 신호(VDATA)의 전압에 상기 전압차(즉, 문턱 전압)만큼 합산된 전압이 제1 트랜지스터(TR1)의 게이트 단자에 공급될 수 있다. 즉, 데이터 신호(VDATA)는 제1 트랜지스터(TR1)의 문턱 전압만큼 보상할 수 있고, 보상된 데이터 신호(VDATA)가 제1 트랜지스터(TR1)의 게이트 단자에 공급될 수 있다. 상기 문턱 전압 보상을 수행함에 따라 제1 트랜지스터(TR1)의 문턱 전압 편차로 발생하는 구동 전류 불균일 문제가 해결될 수 있다.

[0052] 스토리지 커패시터(CST)는 고전압 전원(ELVDD)과 제1 트랜지스터(TR1)의 게이트 단자 사이에 연결될 수 있다. 스토리지 커패시터(CST)는 현재 스테이지의 스캔 신호(GW)의 비활성화 구간 동안 제1 트랜지스터(TR1)의 게이트 단자의 전압 레벨을 유지할 수 있다. 현재 스테이지의 스캔 신호(GW)의 비활성화 구간은 발광 신호(EM)의 활성화 구간을 포함할 수 있고, 발광 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)가 생성한 상기 구동 전류는 유기 발광 다이오드(ED)에 공급될 수 있다. 따라서, 스토리지 커패시터(CST)가 유지하는 전압 레벨에 기초하여 제1 트랜지스터(TR1)가 생성한 상기 구동 전류가 유기 발광 다이오드(ED)에 공급될 수 있다.

[0053] 제4 트랜지스터(TR4)는 게이트 단자, 제1 단자, 및 제2 단자를 포함할 수 있다. 게이트 단자는 게이트 초기화 신호(GI)를 공급받을 수 있다. 제1 단자는 초기화 전압(VINT)을 공급받을 수 있다. 제2 단자는 제1 트랜지스터(TR1)의 게이트 단자에 연결될 수 있다. 일 실시예에서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 다른 실시예에서, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.

[0054] 제4 트랜지스터(TR4)는 게이트 초기화 신호(GI)의 활성화 구간 동안 초기화 전압(VINT)을 제1 트랜지스터(TR1)의 게이트 단자에 공급할 수 있다. 이 경우, 제4 트랜지스터(TR4)는 선형 영역에서 동작할 수 있다. 즉, 제4 트랜지스터(TR4)는 게이트 초기화 신호(GI)의 활성화 구간 동안 제1 트랜지스터(TR1)의 게이트 단자를 초기화 전압(VINT)으로 초기화시킬 수 있다. 결과적으로, 게이트 초기화 신호(GI)는 데이터 초기화 신호로 역할을 수행할 수 있다.

[0055] 일 실시예에서, 초기화 전압(VINT)의 전압 레벨은 이전 프레임에서 스토리지 커패시터(CST)에 의해 유지된 데이터 신호(VDATA)의 전압 레벨보다 충분히 낮은 전압 레벨을 가질 수 있고, 상기 초기화 전압(VINT)이 PMOS(P-channel Metal Oxide Semiconductor) 트랜지스터인 제1 트랜지스터(TR1)의 게이트 단자에 공급될 수 있다. 다른 실시예에서, 내부 전압의 전압 레벨은 이전 프레임에서 스토리지 커패시터에 의해 유지된 데이터 신호의 전압 레벨보다 충분히 높은 전압 레벨을 가질 수 있고, 상기 내부 전압이 NMOS(N-channel Metal Oxide Semiconductor) 트랜지스터인 제1 트랜지스터의 게이트 단자에 공급될 수 있다.

[0056] 실시예에 따라, 게이트 초기화 신호(GI)는 일 스테이지 전의 현재 스테이지의 스캔 신호(GW)와 실질적으로 동일한 신호로 정의될 수 있다. 예를 들어, 표시 패널이 포함하는 복수의 화소들 중 제 m (단, m 은 2이상의 정수)행의 화소에 공급되는 게이트 초기화 신호(GI)는 상기 화소들 중 $(m-1)$ 행의 화소에 공급되는 현재 스테이지의 스캔 신호(GW)와 실질적으로 동일한 신호일 수 있다. 즉, 상기 화소들 중 $(m-1)$ 행의 화소에 활성화된 현재 스테이지의 스캔 신호(GW)를 공급함으로써, 화소들 중 m 행의 화소에 활성화된 게이트 초기화 신호(GI)를 공급할 수 있다. 그 결과, 화소들 중 $(m-1)$ 행의 화소에 데이터 신호(VDATA)를 공급함과 동시에 화소들 중 m 행의 화소가 포함하는 제1 트랜지스터(TR1)의 게이트 단자를 초기화 전압(VINT)으로 초기화시킬 수 있다.

[0057] 제5 트랜지스터(TR5)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 게이트 단자는 발광 신호(EM)를 공급받을 수 있다. 제1 단자는 고전압 전원(ELVDD)을 공급받을 수 있다. 제2 단자는 제1 트랜지스터(TR1)의 제1 단자에 연결될 수 있다. 일 실시예에서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 다른 실시예에서, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.

[0058] 제5 트랜지스터(TR5)는 발광 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)의 제1 단자에 고전압 전원(ELVDD)을 공급할 수 있다. 이와 반대로, 제5 트랜지스터(TR5)는 발광 신호(EM)의 비활성화 구간 동안 고전압 전원(ELVDD)의 공급을 차단시킬 수 있다. 이 경우, 제5 트랜지스터(TR5)는 선형 영역에서 동작할 수 있다. 제5 트랜지스터(TR5)가 발광 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)의 제1 단자에 고전압 전원(ELVDD)을 공급함으로써, 제1 트랜지스터(TR1)는 상기 구동 전류를 생성할 수 있다. 또한, 제5 트랜지스터(TR5)가 발광 신호(EM)의 비활성화 구간 동안 고전압 전원(ELVDD)의 공급을 차단함으로써, 제1 트랜지스터(TR1)의 제1 단자에 공급된 데이터 신호(VDATA)가 제1 트랜지스터(TR1)의 게이트 단자로 공급될 수 있다.

[0059] 제6 트랜지스터(TR6)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 게이트 단자는 발광 신호(EM)를 공급받을 수 있다. 제1 단자는 제1 트랜지스터(TR1)의 제2 단자에 연결될 수 있다. 제2 단자는 유기 발광 다이오드(ED)의 제1 단자에 연결될 수 있다. 일 실시예에서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 다른 실시예에서, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.

- [0060] 제6 트랜지스터(TR6)는 발광 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)가 생성한 상기 구동 전류를 유기 발광 다이오드(ED)에 공급할 수 있다. 이 경우, 제6 트랜지스터(TR6)는 선행 영역에서 동작할 수 있다. 즉, 제6 트랜지스터(TR6)가 발광 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)가 생성한 상기 구동 전류를 유기 발광 다이오드(ED)에 공급함으로써, 유기 발광 다이오드(ED)는 광을 출력할 수 있다. 또한, 제6 트랜지스터(TR6)가 발광 신호(EM)의 비활성화 구간 동안 제1 트랜지스터(TR1)와 유기 발광 다이오드(ED)를 전기적으로 서로 분리시킴으로써, 제1 트랜지스터(TR1)의 제2 단자에 공급된 데이터 신호(VDATA)(정확히 말하면, 문턱 전압 보상이 된 데이터 신호)가 제1 트랜지스터(TR1)의 게이트 단자로 공급될 수 있다.
- [0061] 제7 트랜지스터(TR7)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 게이트 단자는 게이트 초기화 신호(GI)를 공급받을 수 있다. 제1 단자는 초기화 전압(VINT)을 공급받을 수 있다. 제2 단자는 유기 발광 다이오드(ED)의 제1 단자에 연결될 수 있다. 일 실시예에서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 다른 실시예에서, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.
- [0062] 제7 트랜지스터(TR7)는 게이트 초기화 신호(GI)의 활성화 구간 동안 초기화 전압(VINT)을 유기 발광 다이오드(ED)의 제1 단자에 공급할 수 있다. 이 경우, 제7 트랜지스터(TR7)는 선행 영역에서 동작할 수 있다. 즉, 제7 트랜지스터(TR7)는 게이트 초기화 신호(GI)의 활성화 구간 동안 유기 발광 다이오드(ED)의 제1 단자를 초기화 전압(VINT)으로 초기화시킬 수 있다.
- [0063] 도 2b는 본 발명의 다른 예시적인 실시예들에 따른 유기 발광 표시 장치의 서브 화소의 회로도이다.
- [0064] 도 2b를 참조하면, 상기 서브 화소는 제7 트랜지스터(TR7)를 제외하면, 도 2a에 설명한 상기 서브 화소와 실질적으로 동일하거나 유사할 수 있다. 이에 따라, 반복되는 설명은 생략한다.
- [0065] 예시적인 실시예들에 있어서, 아래의 도 3, 도 5 내지 도 9의 회로도는 도 2a의 서브 화소를 포함하는 것으로 도시되었으나, 본 발명은 이에 의해서 제한되지 않는다. 예를 들어, 도 3, 도 5 내지 도 9의 회로도는 도 2b의 서브 화소를 포함할 수도 있다.
- [0066] 도 3은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 화소들의 회로도이다.
- [0067] 도 3을 참조하면, 상기 유기 발광 표시 장치는 상기 제1 방향 및 상기 제2 방향을 따라서 배열된 복수의 화소들(P)을 포함할 수 있다. 특히, 복수의 화소들(P)은 상기 제2 방향으로 $3n-2$ 번째 화소(P_{3n-2}), $3n-1$ 번째 화소(P_{3n-1}) 및 $3n$ 번째 화소(P_{3n})를 포함할 수 있다(이때, n 은 자연수).
- [0068] 이때, 각각의 화소들(P)은 제1 서브 화소(R), 제2 서브 화소(G), 제3 서브 화소(B) 및 투과부(T)를 포함한다.
- [0069] 각각의 서브 화소들(R, G, B) 내에는 도 2A 또는 도 2B에서 설명한 바와 같은 서브 화소 회로들이 배치된다. 예시적인 실시예들에 있어서, 제1 서브 화소(R)와 제2 서브 화소(G)에는 도 2A에서 설명된 서브 화소 회로들이 배치될 수 있고, 제3 서브 화소(B)에는 도 2A에서 설명된 서브 화소 회로의 좌우가 반전되어 배치될 수 있다. 다만, 본 발명은 이에 의해서 제한되지 않을 수 있다. 예를 들어, 제1 서브 화소(R)에는 도 2A에서 설명된 서브 화소 회로들이 배치될 수 있고, 제2 서브 화소(G)와 제3 서브 화소(B)에는 도 2A에서 설명된 화소 회로의 좌우가 반전되어 배치될 수 있다. 이와 달리, 제1 내지 제3 서브 화소들(R, G, B)에는 도 2A에서 설명된 화소 회로들이 배치될 수도 있다.
- [0070] 다시 도 3을 참조하면, 상기 서브 화소 회로는 상기 제1 방향으로 연장된 제1 배선들(DATA_R, DATA_G, DATA_B, VINT_1, ELVDD_1, ELVSS_1)과 상기 제2 방향으로 연장된 제2 배선들(ELVSS_2, ELVDD_2, EM, GW, GI, VINT_2)에 전기적으로 연결될 수 있다.
- [0071] 상기 제1 배선들은 제1 데이터 배선(DATA_R), 제2 데이터 배선(DATA_G), 제3 데이터 배선(DATA_B), 제1 초기화 전압 배선(VINT_1), 제1 고전압 전원 배선(ELVDD_1) 및 제1 저전압 전원 배선(ELVSS_1)을 포함할 수 있다.
- [0072] 제1 내지 제3 데이터 배선들(DATA_R, DATA_G, DATA_B)은 모든 화소들(P)에 대응하여 배치될 수 있다. 즉, 일부 제1 내지 제3 데이터 배선들(DATA_R, DATA_G, DATA_B)은 $3n-2$ 번째 화소(P_{3n-2})에 대응하여 배치되고, 다른 제1 내지 제3 데이터 배선들(DATA_R, DATA_G, DATA_B)은 $3n-1$ 번째 화소(P_{3n-1})에 대응하여 배치되며, 또 다른 제1 내지 제3 데이터 배선들(DATA_R, DATA_G, DATA_B)은 $3n$ 번째 화소(P_{3n})에 대응하여 배치될 수 있다.
- [0073] 이때, 제1 데이터 배선(DATA_R)은 각각의 화소(P)의 제1 서브 화소(R)의 제2 트랜지스터(T2)에 전기적으로 연결될 수 있으며, 제2 데이터 배선(DATA_G)은 각각의 화소(P)의 제2 서브 화소(G)의 제2 트랜지스터(T2)에 전기적

으로 연결될 수 있고, 제3 데이터 배선(DATA_B)은 각각의 화소(P)의 제3 서브_화소(B)의 제2 트랜지스터(T2)에 전기적으로 연결될 수 있다. 이에 따라, 제1 내지 제3 데이터 배선들(DATA_R, DATA_G, DATA_B)은 각각의 서브 화소 회로들에 데이터 신호를 전달할 수 있다.

[0074] 제1 초기화 전압 배선(VINT_1)은 일부 화소들(P)에 대응하여 배치될 수 있다. 예시적인 실시예들에 있어서, 제1 초기화 전압 배선(VINT_1)은 $3n-2$ 번째 화소(P_{3n-2}), $3n-1$ 번째 화소(P_{3n-1}) 및 $3n$ 번째 화소(P_{3n}) 중에서 선택된 하나의 화소에 대응하여 배치될 수 있다. 예를 들어, 도 3에 도시된 바와 같이 제1 초기화 전압 배선(VINT_1)은 $3n-2$ 번째 화소(P_{3n-2})에 대응하여 배치될 수 있다. 제1 초기화 전압 배선(VINT_1)은 아래에서 설명하는 제2 초기화 전압 배선(VINT_2)을 통해서 각각의 화소들(P_{3n-2} , P_{3n-1} 및 P_{3n})에 전기적으로 연결될 수 있다. 이에 따라, 제1 초기화 전압 배선(VINT_1)은 각각의 화소 회로들에 초기화 전압을 전달할 수 있다.

[0075] 제1 고전압 전원 배선(ELVDD_1)은 일부 화소들(P)에 대응하여 배치될 수 있다. 예시적인 실시예들에 있어서, 제1 고전압 전원 배선(ELVDD_1)은 $3n-2$ 번째 화소(P_{3n-2}), $3n-1$ 번째 화소(P_{3n-1}) 및 $3n$ 번째 화소(P_{3n}) 중에서 선택된 하나의 화소에 대응하여 배치될 수 있다. 예를 들어, 도 3에 도시된 바와 같이 제1 고전압 전원 배선(ELVDD_1)은 $3n-1$ 번째 화소(P_{3n-1})에 대응하여 배치될 수 있다. 제1 고전압 전원 배선(ELVDD_1)은 아래에서 설명하는 제2 고전압 전원 배선(ELVDD_2)을 통해서 각각의 화소들(P_{3n-2} , P_{3n-1} 및 P_{3n})에 전기적으로 연결될 수 있다. 이에 따라, 제1 고전압 전원 배선(ELVDD_1)은 각각의 화소 회로들에 고전압 전원을 전달할 수 있다.

[0076] 제1 저전압 전원 배선(ELVSS_1)은 일부 화소들(P)에 대응하여 배치될 수 있다. 예시적인 실시예들에 있어서, 제1 저전압 전원 배선(ELVSS_1)은 $3n-2$ 번째 화소(P_{3n-2}), $3n-1$ 번째 화소(P_{3n-1}) 및 $3n$ 번째 화소(P_{3n}) 중에서 선택된 하나의 화소에 대응하여 배치될 수 있다. 예를 들어, 도 3에 도시된 바와 같이 제1 저전압 전원 배선(ELVSS_1)은 $3n$ 번째 화소(P_{3n})에 대응하여 배치될 수 있다. 제1 저전압 전원 배선(ELVSS_1)은 아래에서 설명하는 제2 저전압 전원 배선(ELVSS_2)을 통해서 각각의 화소들(P_{3n-2} , P_{3n-1} 및 P_{3n})에 전기적으로 연결될 수 있다. 이에 따라, 제1 저전압 전원 배선(ELVSS_1)은 각각의 화소 회로들에 저전압 전원을 전달할 수 있다.

[0077] 다시 말해서, 제1 초기화 전압 배선(VINT_1), 제1 고전압 전원 배선(ELVDD_1) 및 제1 저전압 전원 배선(ELVSS_1)은 각기 $3n-2$ 번째 화소(P_{3n-2}), $3n-1$ 번째 화소(P_{3n-1}) 및 $3n$ 번째 화소(P_{3n})에 대응하여 배치될 수 있다. 이에 따라, 제1 초기화 전압 배선(VINT_1), 제1 고전압 전원 배선(ELVDD_1) 및 제1 저전압 전원 배선(ELVSS_1)이 모든 화소들(P)에 대응하여 배치되는 경우와 비교하여, 배선들을 배치하기 위한 공간을 절약할 수 있다. 결과적으로, 상기 제2 방향으로 화소들(P)의 집적도가 향상될 수 있다.

[0078] 다시 도 3을 참조하면, 제2 배선들은 제2 저전압 전원 배선(ELVSS_2), 제2 고전압 전원 배선(ELVDD_2), 제2 초기화 전압 배선(VINT_2), 발광 신호 배선(EM), 스캔 신호 배선(GW) 및 게이트 초기화 신호 배선(GI)을 포함할 수 있다.

[0079] 제2 저전압 전원 배선(ELVSS_2)은 서로 교차하는 제1 저전압 전원 배선(ELVSS_1)에 전기적으로 연결될 수 있다. 즉, 저전압 전원을 전달하기 위한, 제1 저전압 전원 배선(ELVSS_1)과 제2 저전압 전원 배선(ELVSS_2)은 상기 제1 방향과 상기 제2 방향을 따라서 서로 교차할 수 있고, 메쉬(mesh) 구조를 형성할 수 있으며, 이에 따라 이들의 전기적 저항이 낮아질 수 있다. 도 3에 도시되지 않았으나, 제2 저전압 전원 배선(ELVSS_2)은 각각의 화소(P)의 각각의 서브 화소들(R, G, B)의 발광 다이오드의 일 단부에 전기적으로 연결될 수 있다. 이에 따라, 제2 저전압 전원 배선(ELVSS_2)은 각각의 화소 회로들의 상기 다이오드에 저전압 전원을 전달할 수 있다.

[0080] 제2 고전압 전원 배선(ELVDD_2)은 서로 교차하는 제1 고전압 전원 배선(ELVDD_1)에 전기적으로 연결될 수 있다. 즉, 고전압 전원을 전달하기 위한, 제1 고전압 전원 배선(ELVDD_1)과 제2 고전압 전원 배선(ELVDD_2)은 상기 제1 방향과 상기 제2 방향을 따라서 서로 교차할 수 있고, 이에 따라 이들의 전기적 저항이 낮아질 수 있다. 제2 고전압 전원 배선(ELVDD_2)은 각각의 서브 화소 회로의 제5 트랜지스터(T5)와 스토리지 커패시터(CST)에 전기적으로 연결될 수 있다. 이에 따라, 제2 고전압 전원 배선(ELVDD_2)은 각각의 서브 화소 회로들에 고전압 전원을 전달할 수 있다.

[0081] 제2 초기화 전압 배선(VINT_2)은 서로 교차하는 제1 초기화 전압 배선(VINT_1)에 전기적으로 연결될 수 있다. 즉, 초기화 전압을 전달하기 위한, 제1 초기화 전압 배선(VINT_1)과 제2 초기화 전압 배선(VINT_2)은 상기 제1 방향과 상기 제2 방향을 따라서 서로 교차할 수 있고, 이에 따라 이들의 전기적 저항이 낮아질 수 있다.

- [0082] 한편, 발광 신호 배선(EM), 스캔 신호 배선(GW) 및 게이트 초기화 신호 배선(GI)은 도 2A 또는 도 2B를 참조로 설명한 바와 같이, 각각의 화소 회로들의 구성 요소에 전기적으로 연결될 수 있다.
- [0083] 도 4는 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 단면도이다.
- [0084] 도 4를 참조하면, 도 4를 참조하면, 상기 유기 발광 표시 장치는, 기관(100), 상기 화소 회로를 구성하는 스위칭 구조물(switching structure)들, 제1 전극(170), 발광 구조물(light emitting structure)들, 제2 전극(200) 등을 포함할 수 있다.
- [0085] 기관(100)은 투명 절연 기관을 포함할 수 있다. 예를 들어, 기관(100)은 유리 기관, 석영 기관, 투명 플라스틱 기관 등을 포함할 수 있다. 다른 예시적인 실시예들에 있어서, 기관(100)은 연성을 갖는 기관(flexible substrate)으로 구성될 수도 있다. 앞서 설명한 바와 같이, 기관(100)은 서브 화소(R, G, B)가 배치되는 영역과 투과부(T)를 포함할 수 있다.
- [0086] 제1 버퍼막(103) 및 제2 버퍼막(105)은 기관(100) 상에 배치될 수 있다. 제1 버퍼막(103) 및 제2 버퍼막(105)은 불순 원소의 침투를 방지하며 표면을 평탄화하는 역할을 수행할 수 있는 다양한 물질로 형성될 수 있다. 예시적인 실시예들에 있어서, 제1 버퍼막(103) 및 제2 버퍼막(105)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 알루미늄 산화물, 알루미늄 질화물, 티타늄 산화물 또는 티타늄 질화물 등의 무기물이나, 폴리이미드, 폴리에스테르, 아크릴 등의 유기물 또는 이들의 적층체로 형성될 수 있다. 예를 들어, 제1 버퍼막(103)을 실리콘 질화물을 포함하고, 제2 버퍼막(105)은 실리콘 산화물을 포함할 수 있다. 다른 예시적인 실시예들에 있어서, 제1 버퍼막(103) 및 제2 버퍼막(105)은 필요에 따라서 구비되지 않을 수도 있다.
- [0087] 상기 화소 회로를 구성하는 박막 트랜지스터들 및 커패시터가 제2 버퍼막(105) 상에 배치될 수 있다. 상기 화소 회로들은 각각의 서브 화소(R, G, B) 내에 배치될 수 있다.
- [0088] 설명의 편의를 위해서, 도 4에서는 도 2A에 도시된 제1 박막 트랜지스터(TR1), 제6 박막 트랜지스터(TR6) 및 스토리지 커패시터(CST)만을 도시하였으나, 다른 트랜지스터들도 제2 버퍼막(105) 상에 배치될 수 있다.
- [0089] 제6 박막 트랜지스터(TR6)는 액티브 패턴(110), 제1 게이트 전극(125), 제1 소스 전극(154) 및 제1 드레인 전극(152)을 포함할 수 있다.
- [0090] 액티브 패턴(110)은 단결정 실리콘, 다결정 실리콘 또는 산화물 반도체로 형성될 수 있다. 예시적인 실시예에서, 상기 산화물 반도체는 인듐, 아연, 갈륨, 주석, 티타늄, 알루미늄, hafnium(Hf), 지르코늄(Zr), 마그네슘(Mg) 등을 함유하는 이성분계 화합물(ABx), 삼성분계 화합물($ABxCy$), 사성분계 화합물($ABxCyDz$) 등을 포함하는 반도체 산화물로 구성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 예를 들어, 상기 산화물 반도체는 예를 들면 $G-I-Z-O$ 층[(In_2O_3)_a(Ga_2O_3)_b(ZnO)_c](a, b, c 는 각각 $a \geq 0, b \geq 0, c > 0$ 의 조건을 만족시키는 실수)일 수 있다. 액티브 패턴(110)이 상기 산화물 반도체를 포함할 경우, 박막트랜지스터 자체의 광투과도가 더욱 높아질 수 있게 되고, 이에 따라 발광부의 외광 투과도를 상승시킬 수 있다.
- [0091] 한편, 액티브 패턴(110)은 불순물로 도핑된 소스 영역(114)과 드레인 영역(116), 그리고 이들 사이에 배치된 채널 영역(112)을 포함할 수 있다.
- [0092] 제1 게이트 절연막(120) 및 제2 게이트 절연막(123)은 액티브 패턴(110)을 덮도록 배치될 수 있고, 제2 게이트 절연막(123) 상에 제1 게이트 전극(125)이 배치될 수 있다. 예시적인 실시예들에 있어서, 제1 게이트 전극(125)은 액티브 패턴(110)의 채널 영역(112)과 중첩되도록 배치될 수 있다.
- [0093] 제1 층간 절연막(130), 제2 층간 절연막(140) 및 제3 층간 절연막(145)은 순차적으로 제1 게이트 전극(125)을 덮도록 배치될 수 있고, 제1 소스 전극(154)과 제1 드레인 전극(152)은 층간 절연막들(130, 140, 145)과 게이트 절연막들(120, 123)을 관통하여 각기 소스 영역(154)과 드레인 영역(152)에 전기적으로 연결될 수 있다.
- [0094] 도 4에 예시적으로 도시한 제6 트랜지스터(TR6)에 있어서, 액티브 패턴(110)의 상부에 제1 게이트 전극(125)이 배치되는 탑-게이트(top-gate) 구조의 박막 트랜지스터가 예시적으로 도시되어 있으나, 상기 스위칭 소자의 구성이 여기에 한정되는 것은 아니다. 예를 들면, 제6 트랜지스터(TR6)는 액티브 패턴 아래에 게이트 전극이 위치하는 바텀-게이트(bottom-gate) 구조를 가질 수도 있다.
- [0095] 한편, 제1 박막 트랜지스터(TR1)는 액티브 패턴(110), 제2 게이트 전극(127), 제2 소스 전극(도시되지 않음) 및 제2 드레인 전극(도시되지 않음)을 포함할 수 있다.

- [0096] 액티브 패턴(110)은 제6 박막 트랜지스터(TR6)의 액티브 패턴(110)과 일체로 형성될 수 있다.
- [0097] 제2 게이트 전극(127)은 액티브 패턴(110)과 부분적으로 중첩되도록 배치될 수 있다. 제2 게이트 전극(127)은 제1 게이트 전극(125)과 동일한 물질을 포함할 수 있으며, 제1 게이트 전극(125)과 동시에 형성될 수 있다. 즉, 제2 게이트 전극(127)은 제2 게이트 절연층(123)과 제1 층간 절연막(130) 사이에 배치될 수 있다. 또한, 제2 게이트 전극(127)은 층간 절연막들(130, 140, 145)을 관통하는 제1 콘택(156)에 전기적으로 연결될 수 있다.
- [0098] 다시 도 4를 참조하면, 스토리지 커패시터(CST)은 제2 게이트 전극(127), 제2 도전 패턴(132), 그리고 이들 사이에 배치된 제1 층간 절연막(130)을 포함할 수 있다.
- [0099] 제2 게이트 전극(127)은 제1 트랜지스터(TR1)의 게이트 전극인 동시에, 스토리지 커패시터(CST)의 전극으로 역할을 수행할 수 있다.
- [0100] 제2 도전 패턴(132)은 제1 층간 절연막(130) 상에 배치되며, 제2 게이트 전극(127)과 부분적으로 중첩되도록 배치될 수 있다. 제2 도전 패턴(132)은 제2 및 제3 층간 절연막들(140, 145)을 관통하는 제2 콘택(158)에 전기적으로 연결될 수 있다.
- [0101] 한편, 제1 도전 패턴(115)은 제2 버퍼막(105) 상에 배치될 수 있다. 제1 도전 패턴(115)은 액티브 패턴(110)과 동일한 층에 배치될 수 있다. 제1 도전 패턴(115)은 불순물로 도핑될 수 있으며, 이에 따라 액티브 패턴(110)의 일 부분보다 높은 전기 전도도를 가질 수 있다. 제1 도전 패턴(115)은 도 3을 참조로 설명한 제2 저전압 전원 배선(ELVSS_2, 도 3 참조)에 전기적으로 연결될 수 있다.
- [0102] 예시적인 실시예들에 있어서, 제1 도전 패턴(115)은 제2 저전압 전원 배선(ELVSS_2)과 일체로 형성될 수 있다. 이에 따라, 제2 저전압 전원 배선(ELVSS_2)은 액티브 패턴(110)과 동일한 물질을 포함할 수 있다.
- [0103] 제3 콘택(160)은 층간 절연막들(130, 140, 145)과 게이트 절연막들(120, 123)을 관통하여 제1 도전 패턴(115)에 전기적으로 연결될 수 있다. 제3 콘택(160)은 도 3을 참조로 설명한 제1 저전압 전원 배선(ELVSS_1)에 전기적으로 연결될 수 있다.
- [0104] 예시적인 실시예들에 있어서, 제3 콘택(160)은 제1 저전압 전원 배선(ELVSS_1)과 일체로 형성될 수 있다. 이에 따라, 제1 저전압 전원 배선(ELVSS_1)은 제1 소스 전극(154) 및 제1 드레인 전극(152)과 실질적으로 동일한 물질을 포함할 수 있다.
- [0105] 이후, 평탄화막(165)은 제1 트랜지스터(Tr1), 제6 트랜지스터(Tr6) 및 스토리지 커패시터(CST)를 덮도록 배치될 수 있다. 예시적인 실시예들에 있어서, 평탄화막(165)은 실질적으로 평탄한 상면을 가질 수 있다.
- [0106] 제1 전극(170)은 평탄화막(165) 상에 배치될 수 있다. 예시적인 실시예들에 있어서, 제1 전극(170)은 평탄화막(165)을 관통하여 제1 드레인 전극(152)에 전기적으로 연결될 수 있다. 제1 전극(170)은 서브 화소들(R, G, B)에 대응하여 배치될 수 있다. 즉, 투과부(T)에는 제1 전극(170)이 배치되지 않을 수 있다. 제1 전극(170)은 인듐 아연 산화물(IZO), 인듐 주석 산화물(ITO) 등과 같은 투명 도전성 물질을 포함할 수 있다.
- [0107] 화소 정의막(175)은 평탄화막(165) 상에 배치되어, 제1 전극(170)을 부분적으로 덮도록 배치될 수 있다. 예시적인 실시예들에 있어서, 화소 정의막(175)은 실리콘 산화물과 같은 무기 절연물질 또는 유기 절연물질을 사용하여 형성할 수 있다.
- [0108] 스페이서(195)는 평탄화막(165) 상에 배치될 수 있다. 스페이서(195)는 기판(100)과 대향하는 기판(도시되지 않음) 사이의 간격을 조절하는 역할을 수행할 수 있다.
- [0109] 도 4에 도시한 바와 같이, 제1 전극(170), 화소 정의막(175) 및 스페이서(195) 상에 배치된 상기 발광 구조물들은 정공 수송층(HTL)(180), 유기 발광층(EL)(185), 전자 수송층(ETL)(190) 등을 포함할 수 있다.
- [0110] 정공 수송층(180)은 제1 전극들(170), 화소 정의막(175) 및 스페이서(195) 상에 전체적으로 형성될 수 있다. 즉, 정공 수송층(180)은 마스크를 이용하지 않거나, 또는 에칭액을 이용한 패터닝 공정을 수행하지 않고 형성될 수 있다.
- [0111] 유기 발광층(185)은 제1 전극(170) 상에 배치될 수 있다. 예시적인 실시예들에 있어서, 유기 발광층(185)은 약 200 Å 내지 약 500 Å 사이의 두께를 가질 수 있다. 보다 바람직하게, 유기 발광층(185)은 약 250 Å 내지 약 350 Å 사이의 두께를 가질 수 있다.
- [0112] 전자 수송층(190)은 유기 발광층(185)과 정공 수송층(180) 상에 전체적으로 형성될 수 있다. 즉, 전자 수송층

(190)은 마스크를 이용하지 않거나, 또는 에칭액을 이용한 패터닝 공정을 수행하지 않고 형성될 수 있다.

- [0113] 다른 예시적인 실시예들에 있어서, 정공 수송층(180) 아래에는 정공 주입층(HIL)이 추가적으로 배치될 수 있으며, 전자 수송층(190) 상에는 전자 주입층(EIL)이 추가적으로 배치될 수 있다.
- [0114] 제2 전극(200)은 유기 발광층(185) 및 전자 수송층(190) 상에 배치될 수 있다. 예시적인 실시예들에 있어서, 제2 전극(200)은 서브 화소(R, G, B) 내에 배치될 수 있으나, 투과부(T) 내에 배치되지 않을 수 있다. 즉, 제2 전극(200)이 투과부(T)를 노출시킴에 따라서, 투과부(T)의 투과율이 향상될 수 있다.
- [0115] 한편, 제2 전극(200)은 제3 콘택(160)에 전기적으로 연결될 수 있으며, 이를 통해서, 도 3을 참조로 설명한 제1 저전압 전원 배선(ELVSS_1, 도 3 참조)에 전기적으로 연결될 수 있다.
- [0116] 예를 들어, 제2 전극(200)은 마그네슘(Mg), 알루미늄(Al), 백금(Pt), 은(Ag), 금(Au), 크롬(Cr), 텅스텐(W), 몰리브덴(Mo), 티타늄(Ti), 이들의 합금 등과 같은 도전성 금속을 포함할 수 있다. 다만, 제2 전극(200)은 비교적 낮은 두께를 가질 수 있으며 이에 따라, 비교적 높은 투명도를 가질 수 있다.
- [0117] 예시적인 실시예들에 있어서, 제2 전극(200)은 제3 콘택(160) 및 제1 도전 패턴(115)을 통해서, 제1 저전압 전원 배선(ELVSS_1, 도 3 참조) 및 제2 저전압 전원 배선(ELVSS_2, 도 3 참조)에 전기적으로 연결될 수 있다. 이에 따라, 저전압 전원을 제2 전극(200)에 공급하는 과정에서 전기적 저항이 감소될 수 있고, 이에 따라 상기 유기 발광 표시 장치의 전기적 특성이 향상될 수 있다.
- [0118] 도 5는 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 화소들의 회로도이다. 상기 유기 발광 표시 장치는 제1 방향으로 연장된 제1 배선들(DATA_R, DATA_G, DATA_B, VINT_1, ELVDD_1, ELVSS_1)을 제외하면 도 3을 참조로 설명한 유기 발광 표시 장치와 실질적으로 동일하거나 유사하다.
- [0119] 도 5를 참조하면, 상기 유기 발광 표시 장치는 상기 제1 방향 및 상기 제2 방향을 따라서 배열된 복수의 화소들(P)을 포함할 수 있다. 특히, 복수의 화소들(P)은 상기 제2 방향으로 $3n-2$ 번째 화소(P_{3n-2}), $3n-1$ 번째 화소(P_{3n-1}) 및 $3n$ 번째 화소(P_{3n})를 포함할 수 있다(이때, n 은 자연수).
- [0120] 이때, 각각의 화소들(P)은 제1 서브 화소(R), 제2 서브 화소(G), 제3 서브 화소(B) 및 투과부(T)를 포함하고, 각각의 서브 화소들(R, G, B) 내에는 화소 회로들이 배치된다.
- [0121] 상기 화소 회로는 상기 제1 방향으로 연장된 제1 배선들(DATA_R, DATA_G, DATA_B, VINT_1, ELVDD_1, ELVSS_1)과 상기 제2 방향으로 연장된 제2 배선들(ELVSS_2, ELVDD_2, EM, GW, GI, VINT_2)에 전기적으로 연결될 수 있다.
- [0122] 상기 제1 배선들은 제1 데이터 배선(DATA_R), 제2 데이터 배선(DATA_G), 제3 데이터 배선(DATA_B), 제1 초기화 전압 배선(VINT_1), 제1 고전압 전원 배선(ELVDD_1) 및 제1 저전압 전원 배선(ELVSS_1)을 포함할 수 있다.
- [0123] 제1 내지 제3 데이터 배선들(DATA_R, DATA_G, DATA_B)은 모든 화소들(P)에 대응하여 배치될 수 있다.
- [0124] 제1 초기화 전압 배선(VINT_1)은 일부 화소들(P)에 대응하여 배치될 수 있다. 예시적인 실시예들에 있어서, 제1 초기화 전압 배선(VINT_1)은 $3n-2$ 번째 화소(P_{3n-2}), $3n-1$ 번째 화소(P_{3n-1}) 및 $3n$ 번째 화소(P_{3n}) 중에서 선택된 두 개의 화소에 대응하여 배치될 수 있다. 예를 들어, 도 5에 도시된 바와 같이 제1 초기화 전압 배선(VINT_1)은 $3n-2$ 번째 화소(P_{3n-2}) 및 $3n-1$ 번째 화소(P_{3n-1})에 대응하여 배치될 수 있다.
- [0125] 제1 고전압 전원 배선(ELVDD_1)은 일부 화소들(P)에 대응하여 배치될 수 있다. 예시적인 실시예들에 있어서, 제1 고전압 전원 배선(ELVDD_1)은 $3n-2$ 번째 화소(P_{3n-2}), $3n-1$ 번째 화소(P_{3n-1}) 및 $3n$ 번째 화소(P_{3n}) 중에서 선택된 두 개의 화소에 대응하여 배치될 수 있다. 예를 들어, 도 5에 도시된 바와 같이 제1 고전압 전원 배선(ELVDD_1)은 $3n-1$ 번째 화소(P_{3n-1}) 및 $3n$ 번째 화소(P_{3n})에 대응하여 배치될 수 있다.
- [0126] 제1 저전압 전원 배선(ELVSS_1)은 일부 화소들(P)에 대응하여 배치될 수 있다. 예시적인 실시예들에 있어서, 제1 저전압 전원 배선(ELVSS_1)은 $3n-2$ 번째 화소(P_{3n-2}), $3n-1$ 번째 화소(P_{3n-1}) 및 $3n$ 번째 화소(P_{3n}) 중에서 선택된 두 개의 화소에 대응하여 배치될 수 있다. 예를 들어, 도 5에 도시된 바와 같이 제1 저전압 전원 배선(ELVSS_1)은 $3n-2$ 번째 화소(P_{3n-2}) 및 $3n$ 번째 화소(P_{3n})에 대응하여 배치될 수 있다. 제1 저전압 전원 배선(ELVSS_1)은 아래에서 설명하는 제2 저전압 전원 배선(ELVSS_2)을 통해서 각각의 화소들(P_{3n-2} , P_{3n-1} 및 P_{3n})에 전기적으로 연

결될 수 있다. 이에 따라, 제1 저전압 전원 배선(ELVSS_1)은 각각의 화소 회로들에 저전압 전원을 전달할 수 있다.

[0127] 다시 말해서, 제1 초기화 전압 배선(VINT_1), 제1 고전압 전원 배선(ELVDD_1) 및 제1 저전압 전원 배선(ELVSS_1)은 각기 $3n-2$ 번째 화소(P_{3n-2}), $3n-1$ 번째 화소(P_{3n-1}) 및 $3n$ 번째 화소(P_{3n})에 대응하여 배치될 수 있다. 이에 따라, 제1 초기화 전압 배선(VINT_1), 제1 고전압 전원 배선(ELVDD_1) 및 제1 저전압 전원 배선(ELVSS_1)이 모든 화소들(P)에 대응하여 배치되는 경우와 비교하여, 배선들을 배치하기 위한 공간을 절약할 수 있다. 결과적으로, 상기 제2 방향으로 화소들(P)의 집적도가 향상될 수 있다.

[0128] 한편, 제2 배선들(ELVSS_2, ELVDD_2, EM, GW, GI, VINT_2)은 도 3을 참조로 설명한 제2 배선들과 실질적으로 동일하다.

[0129] 예시적인 실시예들에 있어서, 저전압 전원을 전달하기 위한, 제1 저전압 전원 배선(ELVSS_1)과 제2 저전압 전원 배선(ELVSS_2)은 상기 제1 방향과 상기 제2 방향을 따라서 서로 교차할 수 있고, 이에 따라 이들의 전기적 저항이 낮아질 수 있다.

[0130] 도 6는 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 화소들의 회로도이다. 상기 유기 발광 표시 장치는 제1 방향으로 연장된 화소들(P) 및 제1 배선들(DATA_R, DATA_G, DATA_B, VINT_1, ELVDD_1, ELVSS_1)을 제외하면 도 3을 참조로 설명한 유기 발광 표시 장치와 실질적으로 동일하거나 유사하다.

[0131] 도 6을 참조하면, 상기 유기 발광 표시 장치는 상기 제1 방향 및 상기 제2 방향을 따라서 배열된 복수의 화소들(P)을 포함할 수 있다. 특히, 복수의 화소들(P)은 상기 제2 방향으로 홀수 번째 화소(P_{2n-1}) 및 짝수 번째 화소(P_{2n})를 포함할 수 있다(이때, n 은 자연수).

[0132] 이때, 각각의 화소들(P)은 제1 서브 화소(R), 제2 서브 화소(G), 제3 서브 화소(B) 및 투과부(T)를 포함하고, 각각의 서브 화소들(R, G, B) 내에는 화소 회로들이 배치된다.

[0133] 상기 화소 회로는 상기 제1 방향으로 연장된 제1 배선들(DATA_R, DATA_G, DATA_B, VINT_1, ELVDD_1, ELVSS_1)과 상기 제2 방향으로 연장된 제2 배선들(ELVSS_2, ELVDD_2, EM, GW, GI, VINT_2)에 전기적으로 연결될 수 있다.

[0134] 상기 제1 배선들은 제1 데이터 배선(DATA_R), 제2 데이터 배선(DATA_G), 제3 데이터 배선(DATA_B), 제1 초기화 전압 배선(VINT_1), 제1 고전압 전원 배선(ELVDD_1) 및 제1 저전압 전원 배선(ELVSS_1)을 포함할 수 있다.

[0135] 제1 내지 제3 데이터 배선들(DATA_R, DATA_G, DATA_B)은 모든 화소들(P_{2n-1} , P_{2n})에 대응하여 배치될 수 있다. 또한, 제1 고전압 전원 배선(ELVDD_1)도 모든 화소들(P_{2n-1} , P_{2n})에 대응하여 배치될 수 있다.

[0136] 제1 초기화 전압 배선(VINT_1)은 일부 화소들(P)에 대응하여 배치될 수 있다. 예시적인 실시예들에 있어서, 제1 초기화 전압 배선(VINT_1)은 홀수 번째 화소(P_{2n-1}) 및 짝수 번째 화소(P_{2n})중에서 선택된 하나의 화소에 대응하여 배치될 수 있다. 예를 들어, 도 6에 도시된 바와 같이 제1 초기화 전압 배선(VINT_1)은 짝수 번째 화소(P_{2n})에 대응하여 배치될 수 있다.

[0137] 제1 저전압 전원 배선(ELVSS_1)은 일부 화소들(P)에 대응하여 배치될 수 있다. 예시적인 실시예들에 있어서, 제1 저전압 전원 배선(ELVSS_1)은 홀수 번째 화소(P_{2n-1}) 및 짝수 번째 화소(P_{2n})중에서 선택된 하나의 화소에 대응하여 배치될 수 있다. 예를 들어, 도 6에 도시된 바와 같이 제1 저전압 전원 배선(ELVSS_1)은 홀수 번째 화소(P_{2n-1})에 대응하여 배치될 수 있다. 제1 저전압 전원 배선(ELVSS_1)은 아래에서 설명하는 제2 저전압 전원 배선(ELVSS_2)을 통해서 각각의 화소들(P_{2n-1} 및 P_{2n})에 전기적으로 연결될 수 있다.

[0138] 다시 말해서, 제1 초기화 전압 배선(VINT_1) 및 제1 저전압 전원 배선(ELVSS_1)은 각기 홀수 번째 화소(P_{2n-1}) 및 짝수 번째 화소(P_{2n})에 대응하여 배치될 수 있다. 이에 따라, 제1 초기화 전압 배선(VINT_1) 및 제1 저전압 전원 배선(ELVSS_1)이 모든 화소들(P)에 대응하여 배치되는 경우와 비교하여, 배선들을 배치하기 위한 공간을 절약할 수 있다. 결과적으로, 상기 제2 방향으로 화소들(P)의 집적도가 향상될 수 있다.

[0139] 한편, 제2 배선들(ELVSS_2, ELVDD_2, EM, GW, GI, VINT_2)은 도 3을 참조로 설명한 제2 배선들과 실질적으로 동일하다.

- [0140] 예시적인 실시예들에 있어서, 저전압 전원을 전달하기 위한, 제1 저전압 전원 배선(ELVSS_1)과 제2 저전압 전원 배선(ELVSS_2)은 상기 제1 방향과 상기 제2 방향을 따라서 서로 교차할 수 있고, 이에 따라 이들의 전기적 저항이 낮아질 수 있다.
- [0141] 도 7는 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 화소들의 회로도이다. 상기 유기 발광 표시 장치는 제1 방향으로 연장된 제1 배선들(DATA_R, DATA_G, DATA_B, VINT_1, ELVDD_1, ELVSS_1)을 제외하면 도 6을 참조로 설명한 유기 발광 표시 장치와 실질적으로 동일하거나 유사하다.
- [0142] 도 7을 참조하면, 상기 유기 발광 표시 장치는 상기 제1 방향 및 상기 제2 방향을 따라서 배열된 복수의 화소들(P), 상기 제1 방향으로 연장된 제1 배선들(DATA_R, DATA_G, DATA_B, VINT_1, ELVDD_1, ELVSS_1) 및 상기 제2 방향으로 연장된 제2 배선들(ELVSS_2, ELVDD_2, EM, GW, GI, VINT_2)을 포함할 수 있다.
- [0143] 상기 제1 배선들은 제1 데이터 배선(DATA_R), 제2 데이터 배선(DATA_G), 제3 데이터 배선(DATA_B), 제1 초기화 전압 배선(VINT_1), 제1 고전압 전원 배선(ELVDD_1) 및 제1 저전압 전원 배선(ELVSS_1)을 포함할 수 있다.
- [0144] 제1 내지 제3 데이터 배선들(DATA_R, DATA_G, DATA_B)은 모든 화소들(P_{2n-1} , P_{2n})에 대응하여 배치될 수 있다. 또한, 제1 초기화 전압 배선(VINT_1)도 모든 화소들(P_{2n-1} , P_{2n})에 대응하여 배치될 수 있다.
- [0145] 제1 고전압 전원 배선(ELVDD_1)은 일부 화소들(P)에 대응하여 배치될 수 있다. 예시적인 실시예들에 있어서, 제1 고전압 전원 배선(ELVDD_1)은 홀수 번째 화소(P_{2n-1}) 및 짝수 번째 화소(P_{2n}) 중에서 선택된 하나의 화소에 대응하여 배치될 수 있다. 예를 들어, 도 7에 도시된 바와 같이 제1 고전압 전원 배선(ELVDD_1)은 짝수 번째 화소(P_{2n})에 대응하여 배치될 수 있다.
- [0146] 제1 저전압 전원 배선(ELVSS_1)은 일부 화소들(P)에 대응하여 배치될 수 있다. 예시적인 실시예들에 있어서, 제1 저전압 전원 배선(ELVSS_1)은 홀수 번째 화소(P_{2n-1}) 및 짝수 번째 화소(P_{2n}) 중에서 선택된 하나의 화소에 대응하여 배치될 수 있다. 예를 들어, 도 7에 도시된 바와 같이 제1 저전압 전원 배선(ELVSS_1)은 홀수 번째 화소(P_{2n-1})에 대응하여 배치될 수 있다. 제1 저전압 전원 배선(ELVSS_1)은 아래에서 설명하는 제2 저전압 전원 배선(ELVSS_2)을 통해서 각각의 화소들(P_{2n-1} 및 P_{2n})에 전기적으로 연결될 수 있다.
- [0147] 다시 말해서, 제1 고전압 전원 배선(ELVDD_1) 및 제1 저전압 전원 배선(ELVSS_1)은 각기 홀수 번째 화소(P_{2n-1}) 및 짝수 번째 화소(P_{2n})에 대응하여 배치될 수 있다. 이에 따라, 제1 초기화 전압 배선(VINT_1) 및 제1 저전압 전원 배선(ELVSS_1)이 모든 화소들(P)에 대응하여 배치되는 경우와 비교하여, 배선들을 배치하기 위한 공간을 절약할 수 있다. 결과적으로, 상기 제2 방향으로 화소들(P)의 집적도가 향상될 수 있다.
- [0148] 한편, 제2 배선들(ELVSS_2, ELVDD_2, EM, GW, GI, VINT_2)은 도 3을 참조로 설명한 제2 배선들과 실질적으로 동일하다.
- [0149] 예시적인 실시예들에 있어서, 저전압 전원을 전달하기 위한, 제1 저전압 전원 배선(ELVSS_1)과 제2 저전압 전원 배선(ELVSS_2)은 상기 제1 방향과 상기 제2 방향을 따라서 서로 교차할 수 있고, 이에 따라 이들의 전기적 저항이 낮아질 수 있다.
- [0150] 도 8는 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 화소들의 회로도이다. 상기 유기 발광 표시 장치는 제1 방향으로 연장된 제1 배선들(DATA_R, DATA_G, DATA_B, VINT_1, ELVDD_1, ELVSS_1)을 제외하면 도 6을 참조로 설명한 유기 발광 표시 장치와 실질적으로 동일하거나 유사하다.
- [0151] 도 8을 참조하면, 상기 유기 발광 표시 장치는 상기 제1 방향 및 상기 제2 방향을 따라서 배열된 복수의 화소들(P), 상기 제1 방향으로 연장된 제1 배선들(DATA_R, DATA_G, DATA_B, VINT_1, ELVDD_1, ELVSS_1) 및 상기 제2 방향으로 연장된 제2 배선들(ELVSS_2, ELVDD_2, EM, GW, GI, VINT_2)을 포함할 수 있다.
- [0152] 상기 제1 배선들은 제1 데이터 배선(DATA_R), 제2 데이터 배선(DATA_G), 제3 데이터 배선(DATA_B), 제1 초기화 전압 배선(VINT_1), 제1 고전압 전원 배선(ELVDD_1) 및 제1 저전압 전원 배선(ELVSS_1)을 포함할 수 있다.
- [0153] 제1 내지 제3 데이터 배선들(DATA_R, DATA_G, DATA_B)은 모든 화소들(P)에 대응하여 배치될 수 있다. 또한, 제1 저전압 전원 배선(ELVSS_1)은 모든 화소들(P)에 대응하여 배치될 수 있다.
- [0154] 제1 고전압 전원 배선(ELVDD_1)은 일부 화소들(P)에 대응하여 배치될 수 있다. 예시적인 실시예들에 있어서, 제

1 고전압 전원 배선(ELVDD_1)은 홀수 번째 화소(P_{2n-1}) 및 짝수 번째 화소(P_{2n})중에서 선택된 하나의 화소에 대응하여 배치될 수 있다. 예를 들어, 도 8에 도시된 바와 같이 제1 고전압 전원 배선(ELVDD_1)은 짝수 번째 화소(P_{2n})에 대응하여 배치될 수 있다.

[0155] 제1 초기화 전압 배선(VINT_1)은 일부 화소들(P)에 대응하여 배치될 수 있다. 예시적인 실시예들에 있어서, 제1 초기화 전압 배선(VINT_1)은 홀수 번째 화소(P_{2n-1}) 및 짝수 번째 화소(P_{2n})중에서 선택된 하나의 화소에 대응하여 배치될 수 있다. 예를 들어, 도 8에 도시된 바와 같이 제1 초기화 전압 배선(VINT_1)은 홀수 번째 화소(P_{2n-1})에 대응하여 배치될 수 있다.

[0156] 다시 말해서, 제1 고전압 전원 배선(ELVDD_1) 및 제1 초기화 전압 배선(VINT_1)은 각기 홀수 번째 화소(P_{2n-1}) 및 짝수 번째 화소(P_{2n})에 대응하여 배치될 수 있다. 이에 따라, 제1 초기화 전압 배선(VINT_1) 및 제1 고전압 전원 배선(ELVDD_1)이 모든 화소들(P)에 대응하여 배치되는 경우와 비교하여, 배선들을 배치하기 위한 공간을 절약할 수 있다. 결과적으로, 상기 제2 방향으로 화소들(P)의 집적도가 향상될 수 있다.

[0157] 한편, 제2 배선들(ELVSS_2, ELVDD_2, EM, GW, GI, VINT_2)은 도 3을 참조로 설명한 제2 배선들과 실질적으로 동일하다.

[0158] 예시적인 실시예들에 있어서, 저전압 전원을 전달하기 위한, 제1 저전압 전원 배선(ELVSS_1)과 제2 저전압 전원 배선(ELVSS_2)은 상기 제1 방향과 상기 제2 방향을 따라서 서로 교차할 수 있고, 이에 따라 이들의 전기적 저항이 낮아질 수 있다.

[0159] 도 9는 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 화소들의 회로도이다. 상기 유기 발광 표시 장치는 제1 방향으로 연장된 제1 배선들(DATA_R, DATA_G, DATA_B, VINT_1, ELVDD_1, ELVSS_1)을 제외하면 도 6을 참조로 설명한 유기 발광 표시 장치와 실질적으로 동일하거나 유사하다.

[0160] 도 9를 참조하면, 상기 유기 발광 표시 장치는 상기 제1 방향 및 상기 제2 방향을 따라서 배열된 복수의 화소들(P), 상기 제1 방향으로 연장된 제1 배선들(DATA_R, DATA_G, DATA_B, VINT_1, ELVDD_1, ELVSS_1) 및 상기 제2 방향으로 연장된 제2 배선들(ELVSS_2, ELVDD_2, EM, GW, GI, VINT_2)을 포함할 수 있다.

[0161] 상기 제1 배선들은 제1 데이터 배선(DATA_R), 제2 데이터 배선(DATA_G), 제3 데이터 배선(DATA_B), 제1 초기화 전압 배선(VINT_1), 제1 고전압 전원 배선(ELVDD_1) 및 제1 저전압 전원 배선(ELVSS_1)을 포함할 수 있다.

[0162] 제1 내지 제3 데이터 배선들(DATA_R, DATA_G, DATA_B)은 모든 화소들(P)에 대응하여 배치될 수 있다. 또한, 제1 저전압 전원 배선(ELVSS_1), 제1 고전압 전원 배선(ELVDD_1) 및 제1 초기화 전압 배선(VINT_1)은 모든 화소들(P)에 대응하여 배치될 수 있다.

[0163] 한편, 제2 배선들(ELVSS_2, ELVDD_2, EM, GW, GI, VINT_2)은 도 3을 참조로 설명한 제2 배선들과 실질적으로 동일하다.

[0164] 예시적인 실시예들에 있어서, 저전압 전원을 전달하기 위한, 제1 저전압 전원 배선(ELVSS_1)과 제2 저전압 전원 배선(ELVSS_2)은 상기 제1 방향과 상기 제2 방향을 따라서 서로 교차할 수 있고, 이에 따라 이들의 전기적 저항이 낮아질 수 있다.

[0165] 이상, 본 발명의 실시예들에 따른 화소 및 이를 포함하는 유기 발광 표시 장치용 기관에 대하여 도면을 참조하여 설명하였지만, 상기 설명은 예시적인 것으로서 본 발명의 기술적 사상을 벗어나지 않는 범위에서 해당 기술 분야에서 통상의 지식을 가진 자에 의하여 수정 및 변경될 수 있을 것이다.

산업상 이용가능성

[0166] 본 발명은 유기 발광 표시 장치를 구비한 전자 기기에 다양하게 적용될 수 있다. 예를 들어, 본 발명은 컴퓨터, 노트북, 디지털 카메라, 비디오 캠코더, 휴대폰, 스마트폰, 스마트패드, 피엠피(PMP), 피디에이(PDA), MP3 플레이어, 차량용 네비게이션, 비디오폰, 감시 시스템, 추적 시스템, 동작 감지 시스템, 이미지 안정화 시스템 등에 적용될 수 있다.

[0167] 상기에서는 본 발명의 실시예들을 참조하여 설명하였지만, 해당 기술분야에서 통상의 지식을 가진 자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

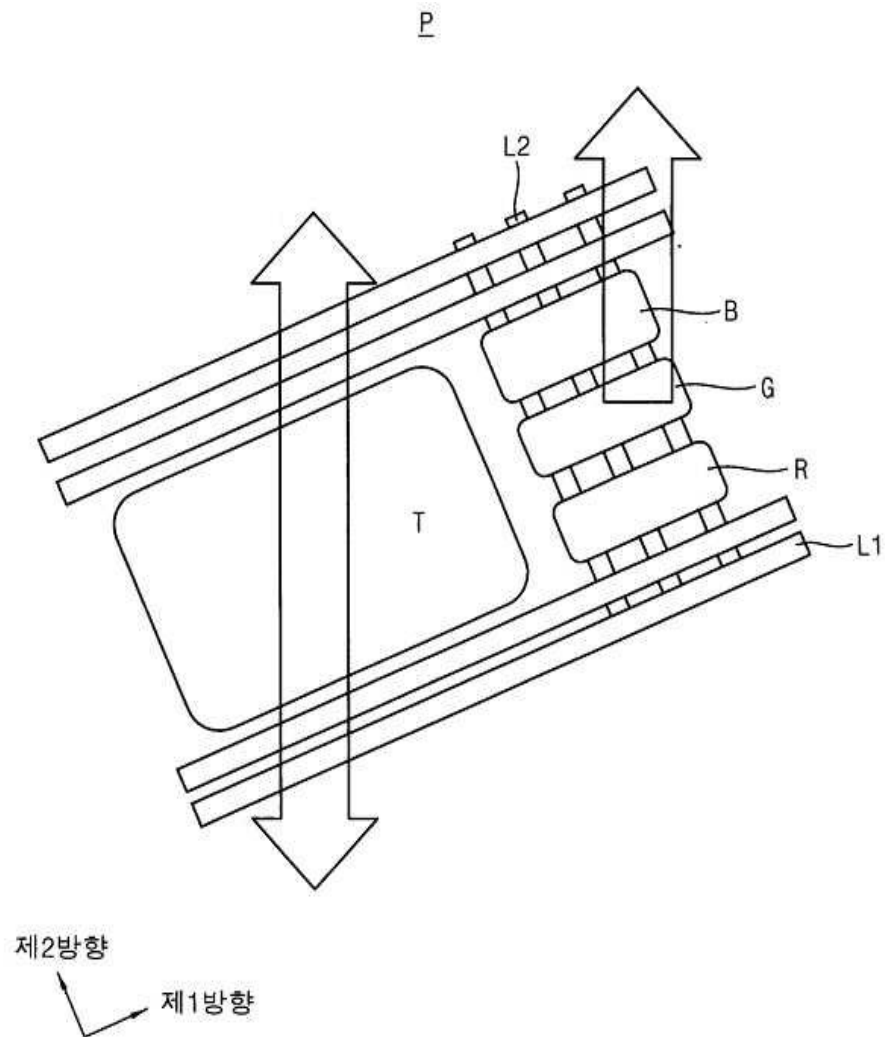
부호의 설명

[0168]

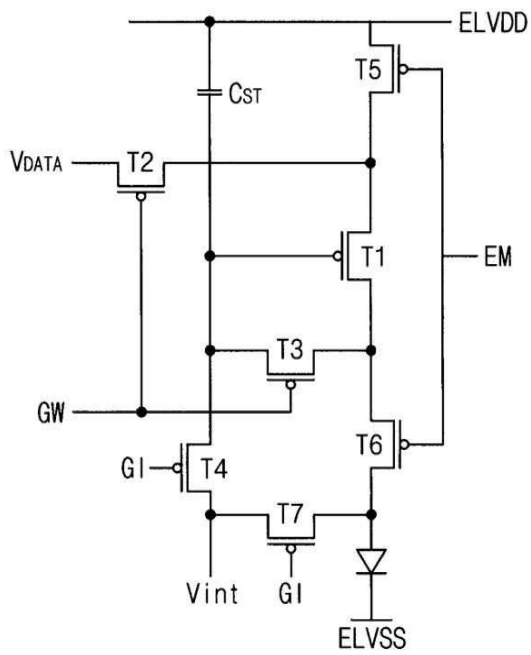
100: 기관 103, 105: 버퍼막들
 110: 액티브 패턴 115: 제1 도전 패턴
 112: 채널 영역 114: 소스 영역
 116: 드레인 영역 120, 123: 게이트 절연막들
 125: 게이트 전극 127: 제1 도전 패턴
 130: 제1 층간 절연막 132: 제2 도전 패턴
 140: 제2 층간 절연막 145: 제3 층간 절연막
 152: 드레인 전극 154: 소스 전극
 156: 제1 콘택 158: 제2 콘택
 160: 제3 콘택 165: 평탄화막
 170: 제1 전극 175: 화소 정의막
 180: 정공 수송층 185: 유기 발광층
 190: 전자 수송층 200: 제2 전극

도면

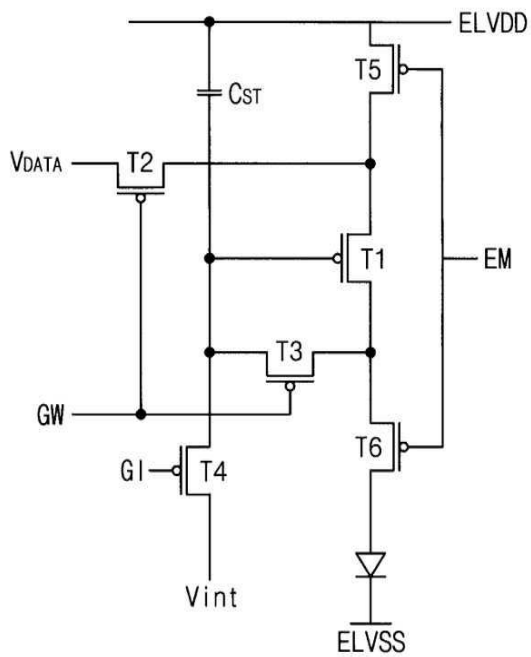
도면1



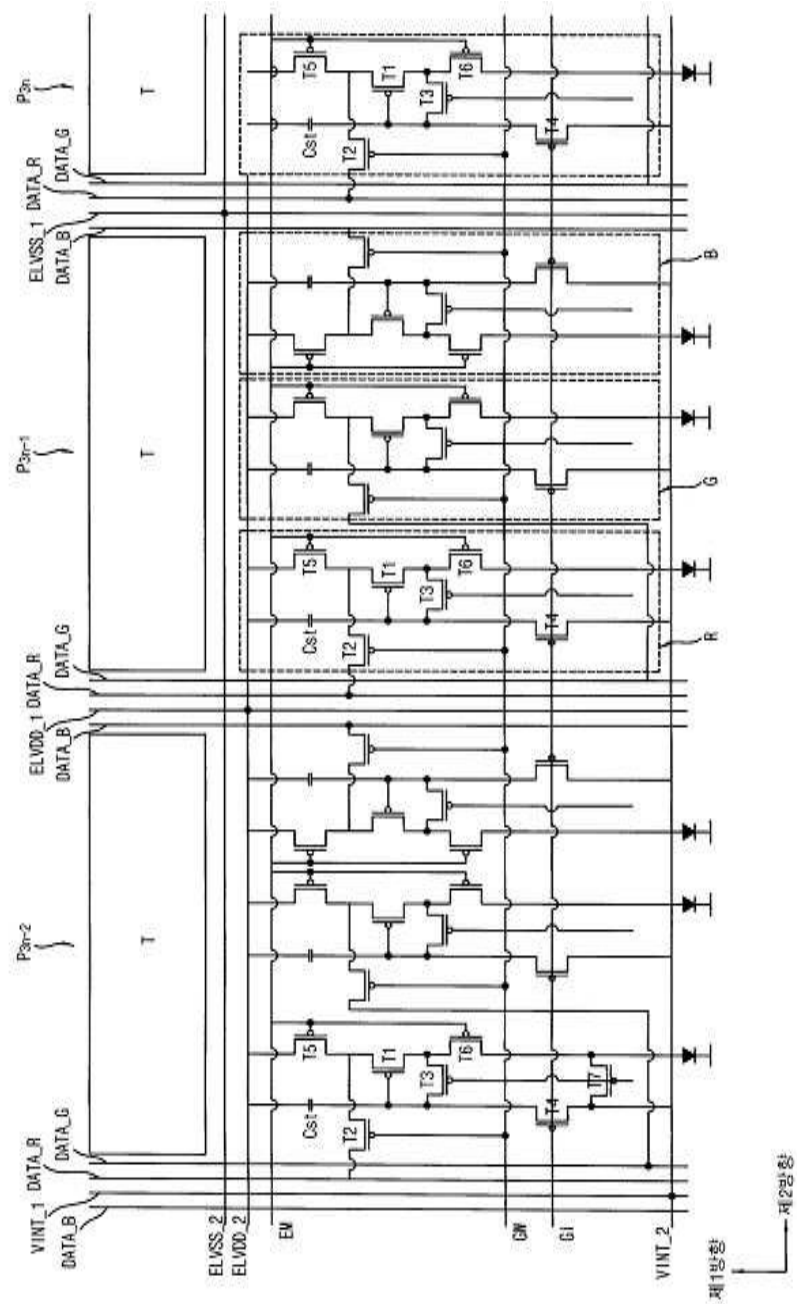
도면2a



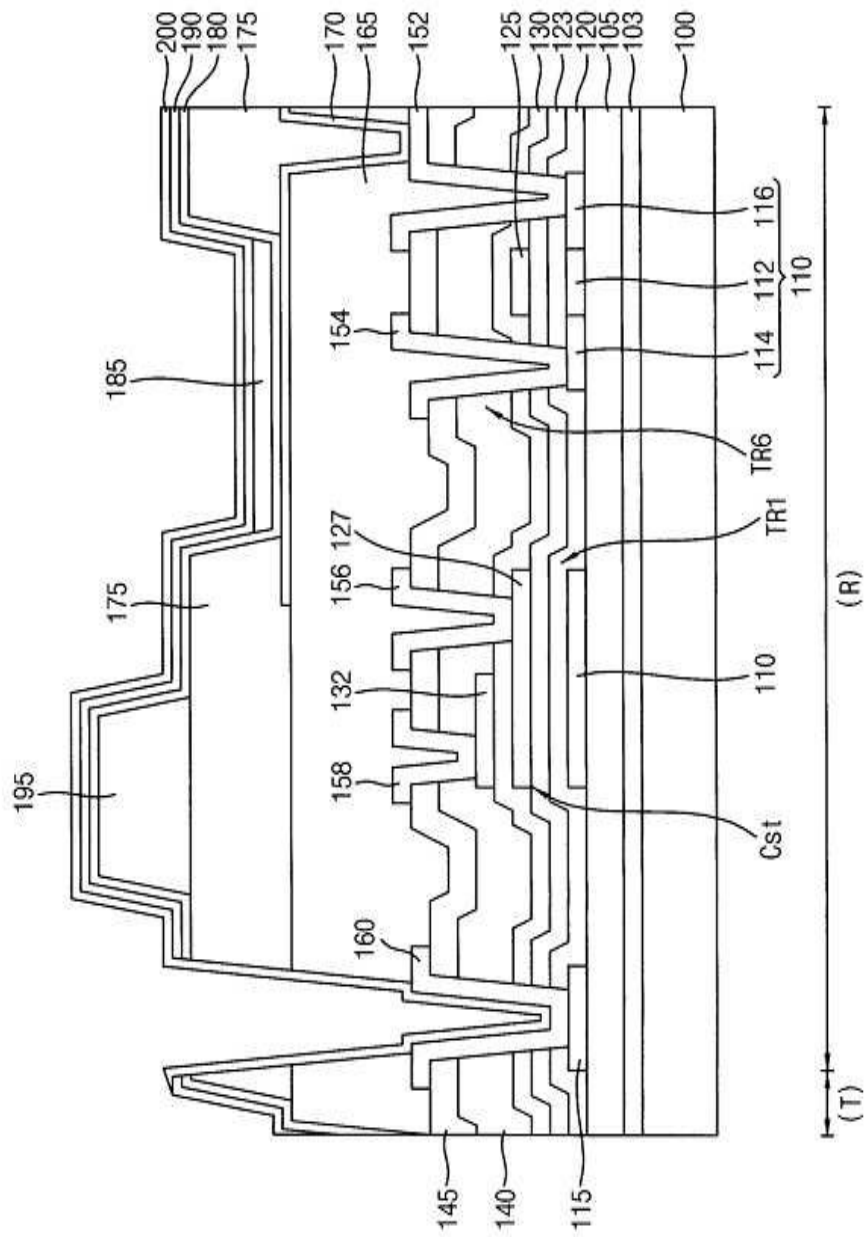
도면2b



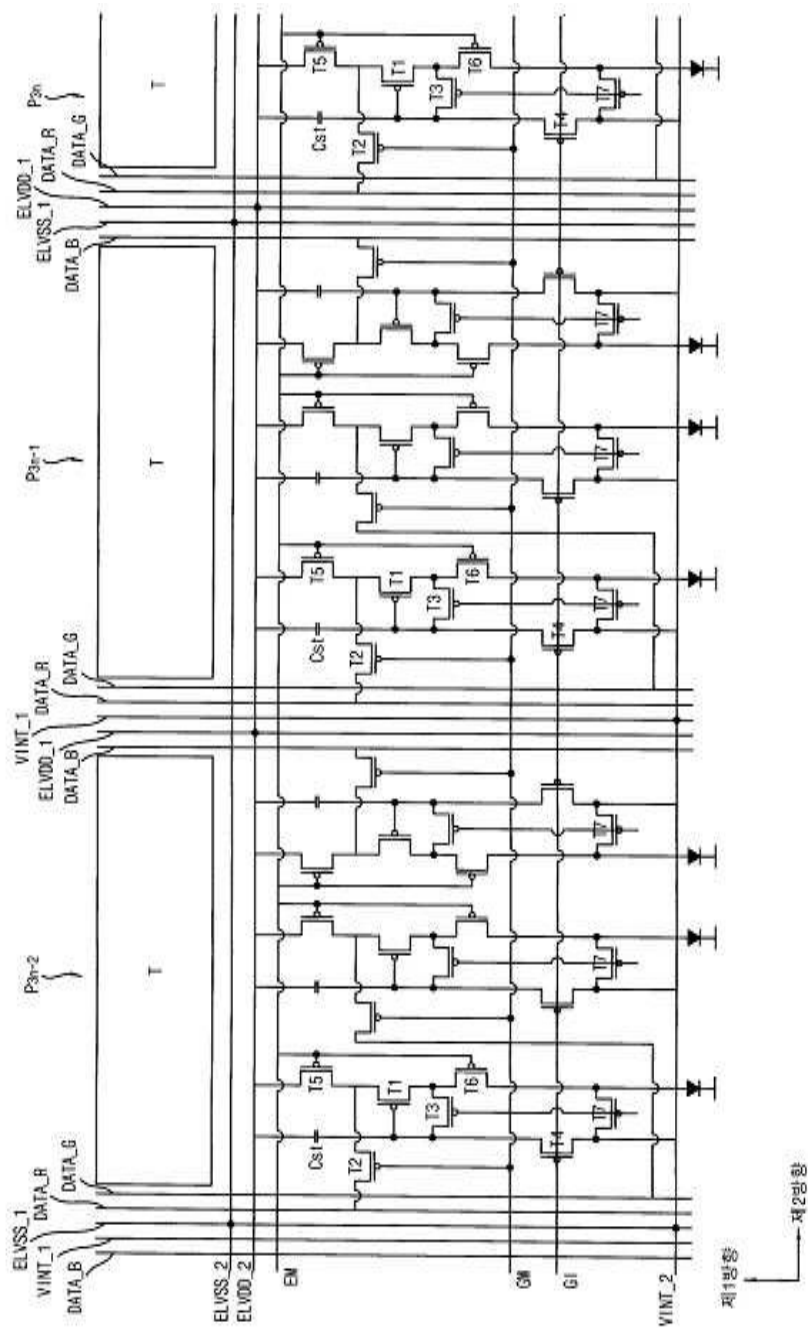
도면3



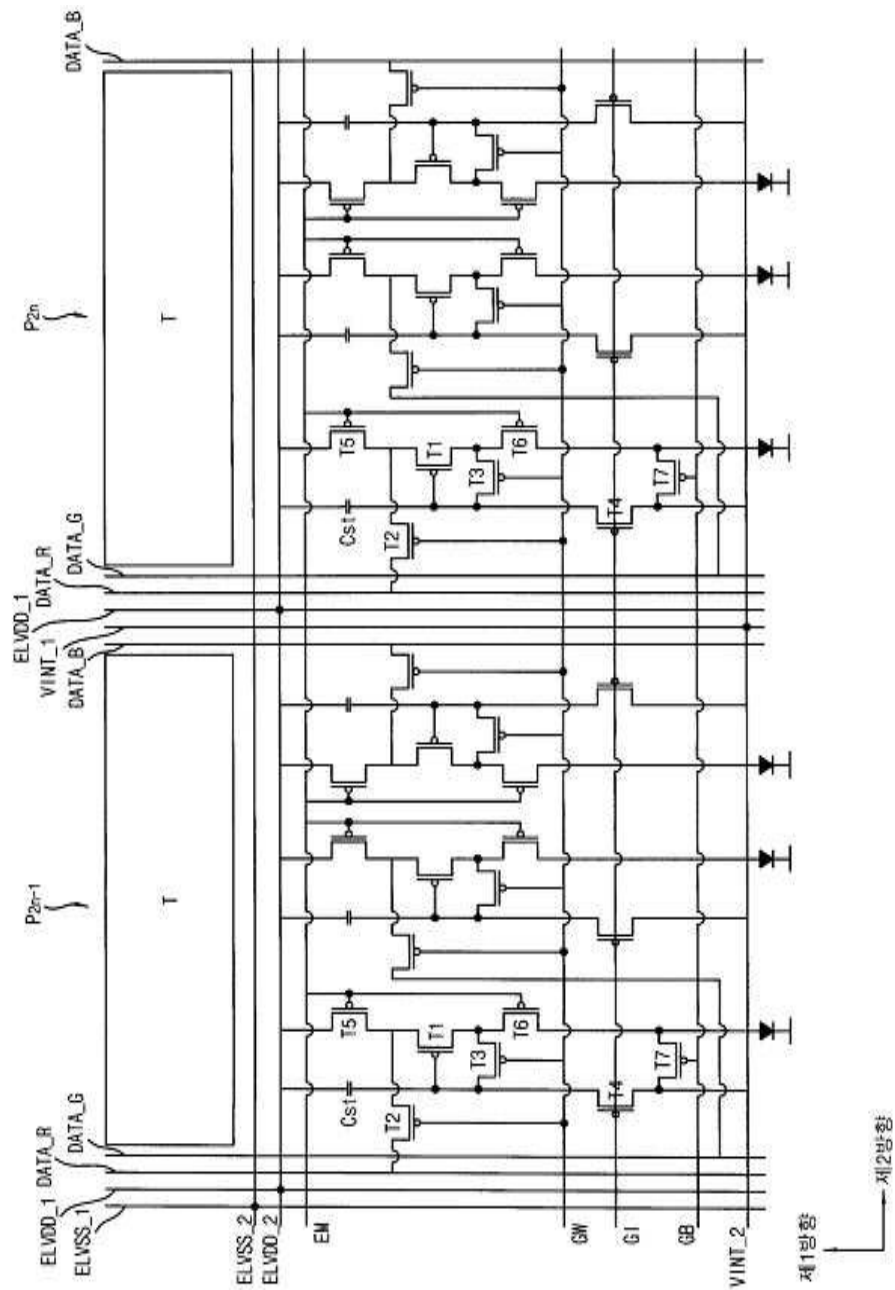
도면4



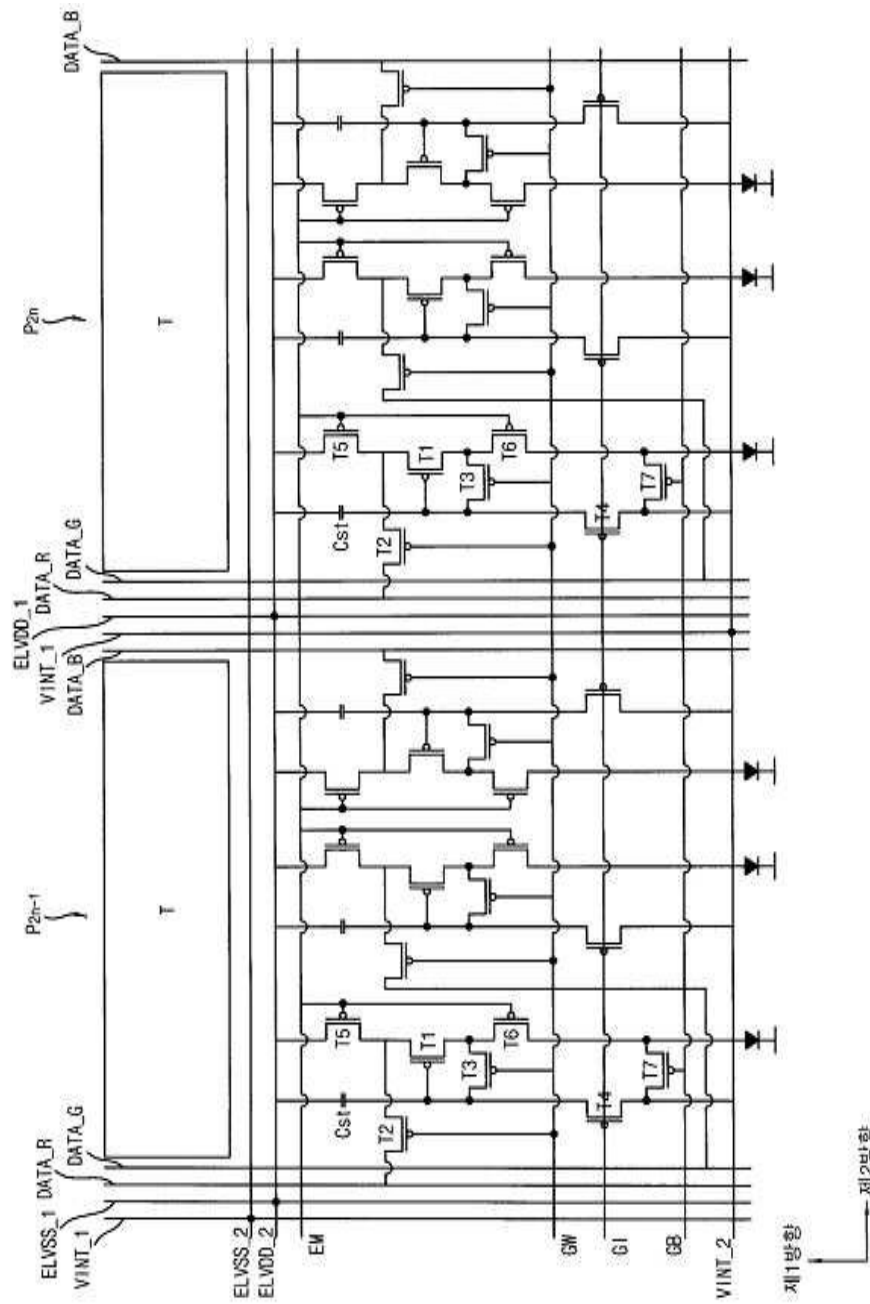
도면5



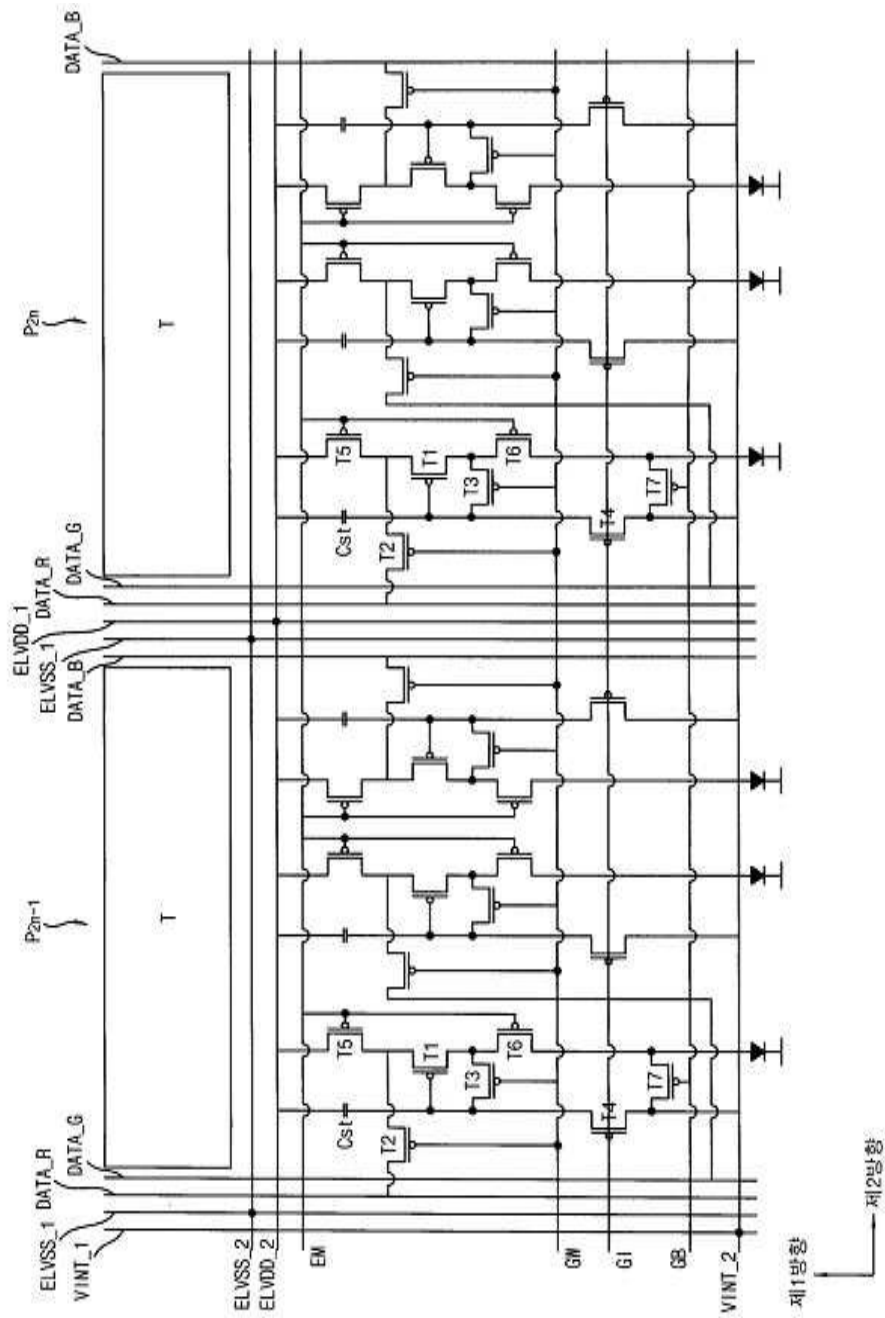
도면6



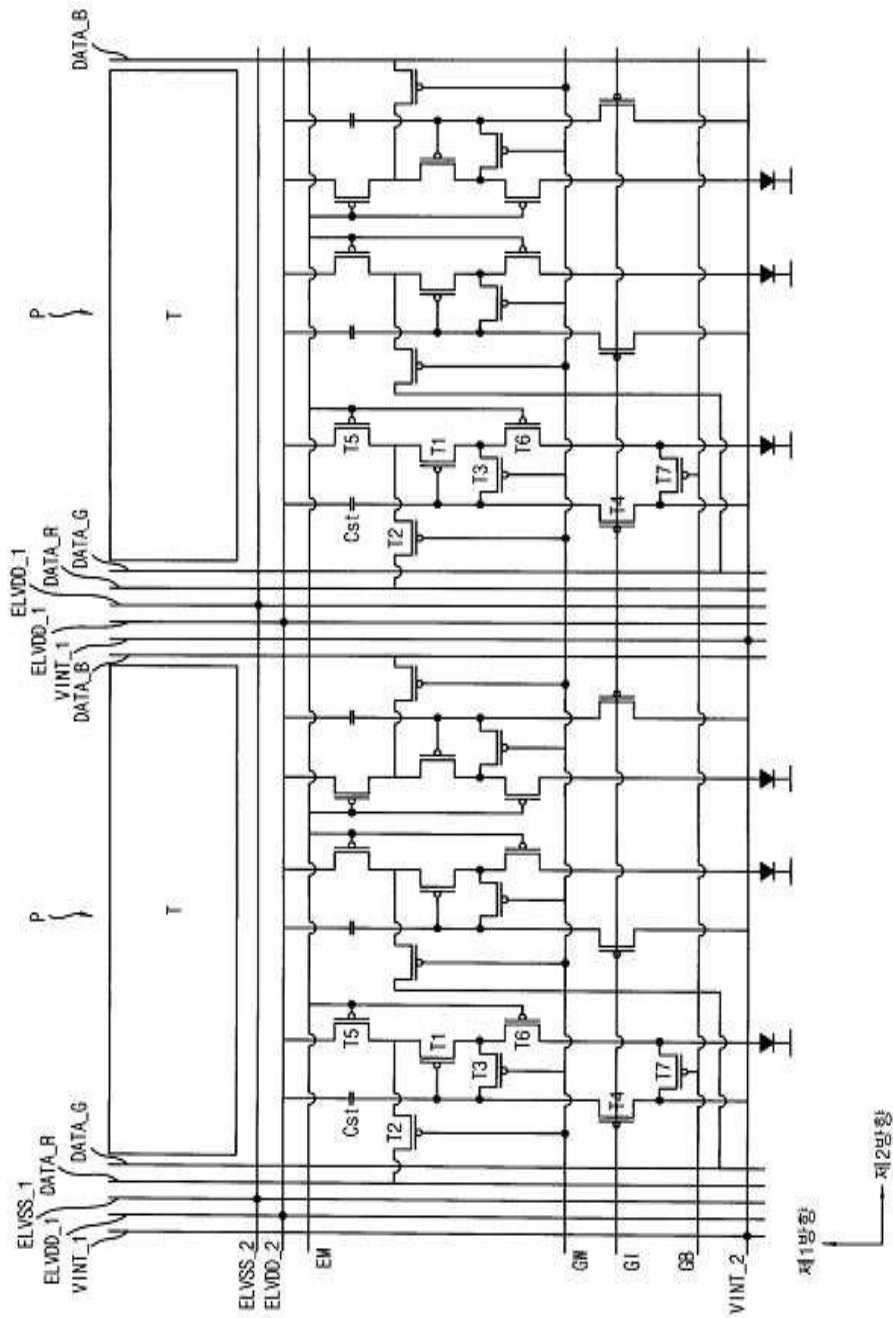
도면7



도면8



도면9



专利名称(译)	相关技术的描述		
公开(公告)号	KR1020160100012A	公开(公告)日	2016-08-23
申请号	KR1020150022432	申请日	2015-02-13
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	PARK GYUNG SOON 박경순 KIM KEUM NAM 김금남 JEONG MIN JAE 정민재		
发明人	박경순 김금남 정민재		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3248 H01L27/3276 H01L2227/32 H01L27/3279 G02F1/13 G09G3/20 G09G3/32 G09G3/3225 G09G3/3233 G09G2300/0426 G09G2300/0452 G09G2300/0465 G09G2300/0814 G09G2300/0819 G09G2300/0866 G09G2310/0224 H01L27/3211 H01L27/326		
代理人(译)	英西湖公园		
外部链接	Espacenet		

摘要(译)

根据本发明实施例的有机发光显示装置包括基板，多个像素，以及第一布线和第二布线。根据第一方向和平行的第二方向，多个像素布置在基板的上侧。第一布线布置在基板上并且其根据第一方向延伸并且包括第一低压电源布线。第二布线包括：第一低压电源布线，其根据布置在基板上的第二方向延伸;以及第二低压电源布线，其电连接。

