



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0035132
(43) 공개일자 2015년04월06일

(51) 국제특허분류(Int. Cl.)

H01L 51/52 (2006.01) H01L 29/786 (2006.01)

H01L 51/56 (2006.01)

(21) 출원번호 10-2013-0115350

(22) 출원일자 2013년09월27일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

이왕우

경기 오산시 양산로 460, 127동 1701호 (양산동, 세마e-편한세상아파트)

고무순

서울 강서구 강서로45라길 55-12, 301호 (내발산동, 태창빌라)

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 18 항

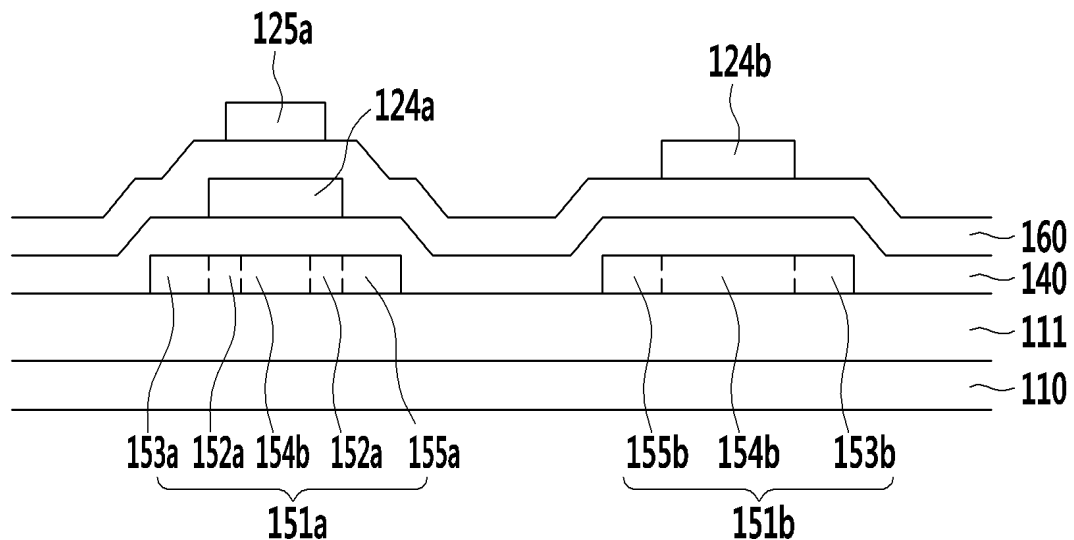
(54) 발명의 명칭 유기 발광 표시 장치 및 이의 제조방법

(57) 요약

본 발명은 기관, 상기 기관 위에 형성된 제1 채널 영역, 제1 소스 및 드레인 영역 및 상기 제1 채널 영역과 제1 소스 및 드레인 영역 사이에 위치한 저농도 도핑 영역을 포함하는 제1 반도체층, 제2채널 영역, 제2 소스 및 드레인 영역을 포함하는 제2 반도체층, 상기 제1 반도체층, 상기 제2 반도체층 및 상기 기관 위에 배치된 게이트

(뒷면에 계속)

대표도 - 도1



절연막, 상기 게이트 절연막 위에 상기 제1 반도체층에 대응되는 부분에 배치된 제1 게이트 전극, 상기 제1 게이트 전극 및 상기 게이트 절연막 위에 배치된 제1 층간 절연막, 및 상기 제1 층간 절연막 위에 상기 제1 게이트 전극에 대응되는 부분에 배치된 제2 게이트 전극 및 상기 제2 반도체층에 대응되는 부분에 배치된 제3 게이트 전극을 포함하고, 상기 제2 게이트 전극은 상기 제1 게이트 전극에 비해 좁은 폭으로 형성되어 있으며, 상기 제1 반도체층은 상기 제1 게이트 전극이 중첩되는 부분으로서, 상기 제2 게이트 전극과 중첩되지 않는 부분에 상기 저농도 도핑 영역이 형성된 유기 발광 표시 장치를 제공한다.

(72) 발명자

우민우

경기 부천시 원미구 장말로 137, 1617동 1802호 (상동, 사랑마을)

이일정

서울 강남구 남부순환로 2912, 12동 909호 (대치동, 우성아파트)

이정호

서울 마포구 마포대로10길 22, 104동 404호 (공덕동, 마포공덕한화꿈에그린아파트)

명세서

청구범위

청구항 1

기관,

상기 기관 위에 형성된 제1 채널 영역, 제1 소스 및 드레인 영역 및 상기 제1 채널 영역과 제1 소스 및 드레인 영역 사이에 위치한 저농도 도핑 영역을 포함하는 제1 반도체층 및 제2채널 영역, 제2 소스 및 드레인 영역을 포함하는 제2 반도체층,

상기 제1 반도체층, 상기 제2 반도체층 및 상기 기관 위에 배치된 게이트 절연막,

상기 게이트 절연막 위에 상기 제1 반도체층에 대응되는 부분에 배치된 제1 게이트 전극,

상기 제1 게이트 전극 및 상기 게이트 절연막 위에 배치된 제1 층간 절연막, 및

상기 제1 층간 절연막 위에 상기 제1 게이트 전극에 대응되는 부분에 배치된 제2 게이트 전극 및 상기 제2 반도체층에 대응되는 부분에 배치된 제3 게이트 전극을 포함하고,

상기 제2 게이트 전극은 상기 제1 게이트 전극에 비해 좁은 폭으로 형성되어 있으며,

상기 제1 반도체층은 상기 제1 게이트 전극이 중첩되는 부분으로서, 상기 제2 게이트 전극과 중첩되지 않는 부분에 상기 저농도 도핑 영역이 형성된 유기 발광 표시 장치.

청구항 2

제1항에서,

상기 제1 반도체층의 상기 제1 채널 영역은 상기 제1 게이트 전극 및 상기 제2 게이트 전극 모두 중첩하는 위치에 형성되어 있고,

상기 제1 소스 및 드레인 영역은 상기 제1 게이트 전극 및 상기 제2 게이트 전극이 모두 중첩하지 않는 위치에 형성되어 있는 유기 발광 표시 장치.

청구항 3

제2항에서,

상기 기관과 상기 제1 반도체층 및 상기 제2 반도체층 사이에 차단막을 더 포함하는 유기 발광 표시 장치.

청구항 4

제3항에서,

상기 제1 반도체층은 붕소, 갈륨, 인, 비소 또는 이들의 조합인 불순물이 도핑되어 있는 유기 발광 표시 장치.

청구항 5

제2항에서,

상기 저농도 도핑 영역은 불순물을 거의 포함하지 않는 오프셋 영역(offset region)인 유기 발광 표시 장치.

청구항 6

제1항에서,

상기 제2 반도체층의 상기 제2 채널 영역은 상기 제3 게이트 전극의 중첩되는 위치에,

상기 제2 소스 및 드레인 영역은 상기 제3 게이트 전극의 중첩되지 않는 위치에 형성되는 유기 발광 표시 장치.

청구항 7

제1항에서,

상기 제1 게이트 전극은 두께가 1000 Å 이하로 형성된 유기 발광 표시 장치.

청구항 8

제2항에서,

상기 제2 게이트 전극 및 상기 제3 게이트 전극 위에 배치된 제2 층간 절연막,

상기 제2 층간 절연막 위에 배치된 데이터 도전체,

상기 데이터 도전체 위에 배치된 보호막,

상기 보호막 위에 배치된 복수의 화소 전극 및 격벽,

상기 격벽 위에 배치된 유기 발광 부재, 및

상기 유기 발광 부재 위에 배치된 공통 전극을 포함하고,

상기 제2 층간 절연막 및 상기 게이트 절연막에는 상기 소스 및 드레인 영역을 드러내는 복수의 접촉 구멍이 형성되어 데이터 도전체와 접촉되어 있으며,

상기 보호막에는 상기 데이터 도전체를 드러내는 복수의 접촉 구멍이 형성되어 화소 전극과 접촉되어 있는 유기 발광 표시 장치.

청구항 9

제8항에서,

상기 제1 반도체층, 상기 제1 게이트 전극 및 상기 제2 게이트 전극은 스위칭 박막 트랜지스터를 이루어 상기 데이터 도전체에 연결되어 있고,

상기 제2 반도체층 및 상기 제3 게이트 전극은 구동 박막 트랜지스터를 이루어 상기 유기 발광 부재와 연결되어 있는 유기 발광 표시 장치.

청구항 10

기판 위에 제1 반도체층 및 제2 반도체층을 형성하는 단계,

상기 제1 반도체층, 상기 제2 반도체층 및 상기 기판 위에 게이트 절연막을 형성하는 단계,

상기 제1 반도체층에 대응되는 위치의 상기 게이트 절연막 위에 제1 게이트 전극을 형성하는 단계,

상기 제1 게이트 전극 및 상기 게이트 절연막 위에 제1 층간 절연막을 형성하는 단계,

상기 제1 게이트 전극 및 상기 제2 반도체층에 대응되는 위치의 상기 제1 층간 절연막 위에 제2 게이트 전극 및 제3 게이트 전극을 형성하는 단계, 및

상기 제1 반도체층 및 제2 반도체층에 불순물 원소를 추가하여 반도체층을 도핑하는 단계를 포함하고,

상기 제2 게이트 전극은 상기 제1 게이트 전극에 비해 좁은 폭으로 형성하며,

상기 제1 반도체층은 제1 채널 영역, 제1 소스 및 드레인 영역 및 상기 제1 채널 영역과 제1 소스 및 드레인 영역 사이에 위치한 저농도 도핑 영역을 포함하고, 상기 저농도 도핑 영역은 제1 게이트 전극이 중첩되는 부분으로서, 상기 제2 게이트 전극과 중첩되지 않는 부분에 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 11

제10항에서,

상기 제1 반도체층의 상기 제1 채널 영역은 상기 제1 게이트 전극 및 상기 제2 게이트 전극 모두 중첩하는 위치에 형성되어 있고,

상기 제1 소스 및 드레인 영역은 상기 제1 게이트 전극 및 상기 제2 게이트 전극이 모두 중첩하지 않는 위치에 형성되어 있는 유기 발광 표시 장치의 제조 방법.

청구항 12

제11항에서,

상기 제1 반도체층 및 상기 제2 반도체층 형성 전에 상기 기판 상에 차단막을 추가로 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 13

제12항에서,

상기 제1 반도체층은 붕소, 갈륨, 인, 비소 또는 이들의 조합인 불순물이 도핑하는 유기 발광 표시 장치의 제조 방법.

청구항 14

제11항에서,

상기 저농도 도핑 영역은 불순물을 거의 포함하지 않는 오프셋 영역(offset region)인 유기 발광 표시 장치의 제조 방법.

청구항 15

제10항에서,

상기 제2 반도체층의 상기 제2 채널 영역은 상기 제3 게이트 전극의 중첩되는 위치에,

상기 제2 소스 및 드레인 영역은 상기 제3 게이트 전극의 중첩되지 않는 위치에 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 16

제10항에서,

상기 제1 게이트 전극은 두께가 1000Å 이하로 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 17

제11항에서,

상기 제2 게이트 전극 및 상기 제3 게이트 전극 위에 배치된 제2 층간 절연막을 형성하는 단계,

상기 제2 층간 절연막 위에 데이터 도전체를 형성하는 단계,

상기 데이터 도전체 위에 보호막을 형성하는 단계,

상기 보호막 위에 복수의 화소 전극 및 격벽을 형성하는 단계,

상기 격벽 위에 유기 발광 부재를 형성하는 단계, 및

상기 유기 발광 부재 위에 공통 전극을 형성하는 단계를 포함하고,

상기 제2 층간 절연막 및 상기 게이트 절연막에는 상기 소스 및 드레인 영역을 드러내는 복수의 접촉 구멍을 형성하여 데이터 도전체와 접촉되도록 형성하며,

상기 보호막에는 상기 데이터 도전체를 드러내는 복수의 접촉 구멍을 형성하여 화소 전극과 접촉되도록 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 18

제17항에서,

상기 제1 반도체층, 상기 제1 게이트 전극 및 상기 제2 게이트 전극은 스위칭 박막 트랜지스터를 이루어 상기 데이터 도전체에 연결되어 있고, 상기 제2 반도체층 및 상기 제3 게이트 전극(124b)은 구동 박막 트랜지스터를 이루어 상기 유기 발광 부재와 연결되어 있는 유기 발광 표시 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치 및 이의 제조방법에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스 유기 발광 표시 장치는 박막 트랜지스터(TFT) 및 유기 소자를 각각 포함하는 복수의 화소를 갖는 화소부를 가진다. 화상은 박막 트랜지스터에 의해 유기 소자 내에 흐르는 전류를 제어함으로써 화소에서 디스플레이된다.

[0003] 특히, 활성층(결정질 박막트랜지스터)로서 결정질 구조를 갖는 반도체막을 사용한 박막 트랜지스터로부터 높은 이동도가 얻어질 수 있으며, 동일 기판 상에 기능성 회로를 집적하여 고품위 화상 디스플레이의 실현이 가능하다.

[0004] 액티브 매트릭스 유기 발광 표시 장치를 구성하기 위해서 화소 매트릭스 회로(이하 화소부라 함)에 백만 내지 2백만개의 결정질 박막 트랜지스터가 필요하며, 주변에 형성되어 부착된 기능성 회로에 그 개수 이상의 결정질 박막 트랜지스터가 필요하다. 유기 발광 표시 장치의 안정된 디스플레이의 구동을 위해서는 각각의 결정질 박막 트랜지스터의 신뢰성을 보장할 필요가 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하고자 하는 과제는 폭이 상이한 복수의 게이트 전극을 이용하여 게이트 전극 양측의 채널 영역에 저농도 도핑 영역(lightly doped region)을 형성함으로써 개구율이 증가될 수 있으며, 온 상태와 오프 상태에서 양호한 특성이 얻어질 수 있는 유기 발광 표시 장치 및 이의 제조방법을 제공하는데 있다.

과제의 해결 수단

[0006] 이러한 과제를 해결하기 위하여 본 발명의 실시예에 따르면, 기판, 상기 기판 위에 형성된 제1 채널 영역, 제1 소스 및 드레인 영역 및 상기 제1 채널 영역과 제1 소스 및 드레인 영역 사이에 위치한 저농도 도핑 영역을 포함하는 제1 반도체층, 제2채널 영역, 제2 소스 및 드레인 영역을 포함하는 제2 반도체층, 상기 제1 반도체층, 상기 제2 반도체층 및 상기 기판 위에 배치된 게이트 절연막, 상기 게이트 절연막 위에 상기 제1 반도체층에 대응되는 부분에 배치된 제1 게이트 전극, 상기 제1 게이트 전극 및 상기 게이트 절연막 위에 배치된 제1 층간 절연막, 및 상기 제1 층간 절연막 위에 상기 제1 게이트 전극에 대응되는 부분에 배치된 제2 게이트 전극 및 상기 제2 반도체층에 대응되는 부분에 배치된 제3 게이트 전극을 포함하고, 상기 제2 게이트 전극은 상기 제1 게이트 전극에 비해 좁은 폭으로 형성되어 있으며, 상기 제1 반도체층은 상기 제1 게이트 전극이 중첩되는 부분으로서, 상기 제2 게이트 전극과 중첩되지 않는 부분에 상기 저농도 도핑 영역이 형성된 유기 발광 표시 장치를 제공한다.

[0007] 상기 제1 반도체층의 상기 제1 채널 영역은 상기 제1 게이트 전극 및 상기 제2 게이트 전극 모두 중첩하는 위치에 형성되어 있고, 상기 제1 소스 및 드레인 영역은 상기 제1 게이트 전극 및 상기 제2 게이트 전극이 모두 중첩하지 않는 위치에 형성되어 있을 수 있다.

[0008] 상기 기판과 상기 제1 반도체층 및 상기 제2 반도체층 사이에 차단막을 더 포함할 수 있다.

[0009] 상기 제1 반도체층의 상기 채널 영역은 상기 제2 게이트 전극과 중첩하는 영역에 배치되어 있을 수 있다.

[0010] 상기 저농도 도핑 영역은 불순물을 거의 포함하지 않는 오프셋 영역(offset region)일 수 있다.

[0011] 상기 제2 반도체층의 상기 제2 채널 영역은 상기 제3 게이트 전극의 중첩되는 위치에, 상기 제2 소스 및 드레인 영역은 상기 제3 게이트 전극의 중첩되지 않는 위치에 형성될 수 있다.

[0012] 상기 제1 게이트 전극은 두께가 1000 Å 이하로 형성될 수 있다.

[0013] 상기 제2 게이트 전극 및 상기 제3 게이트 전극 위에 배치된 제2 층간 절연막, 상기 제2 층간 절연막 위에 배치된 데이터 도전체, 상기 데이터 도전체 위에 배치된 보호막, 상기 보호막 위에 배치된 복수의 화소 전극 및 격벽, 상기 격벽 위에 배치된 유기 발광 부재, 및 상기 유기 발광 부재 위에 배치된 공통 전극을 포함하고, 상기 제2 층간 절연막 및 상기 게이트 절연막에는 상기 소스 및 드레인 영역을 드러내는 복수의 접촉 구멍이 형성되어 데이터 도전체와 접촉되어 있으며, 상기 보호막에는 상기 데이터 도전체를 드러내는 복수의 접촉 구멍이 형성되어 화소 전극과 접촉되어 있을 수 있다.

[0014] 상기 제1 반도체층, 상기 제1 게이트 전극 및 상기 제2 게이트 전극은 스위칭 박막 트랜지스터를 이루어 상기 데이터 도전체에 연결되어 있고, 상기 제2 반도체층 및 상기 제3 게이트 전극(124b)은 구동 박막 트랜지스터를 이루어 상기 유기 발광 부재와 연결되어 있을 수 있다.

[0015] 또한, 본 발명의 다른 실시예에 따르면, 기판 위에 제1 반도체층 및 제2 반도체층을 형성하는 단계, 상기 제1 반도체층, 상기 제2 반도체층 및 상기 기판 위에 게이트 절연막을 형성하는 단계, 상기 제1 반도체층에 대응되는 위치의 상기 게이트 절연막 위에 제1 게이트 전극을 형성하는 단계, 상기 제1 게이트 전극 및 상기 게이트 절연막 위에 제1 층간 절연막을 형성하는 단계, 상기 제1 게이트 전극 및 상기 제2 반도체층에 대응되는 위치의 상기 제1 층간 절연막 위에 제2 게이트 전극 및 제3 게이트 전극을 형성하는 단계, 및 상기 제1 반도체층 및 제2 반도체층에 불순물 원소를 부가하여 반도체층을 도핑하는 단계를 포함하고, 상기 제2 게이트 전극은 상기 제1 게이트 전극에 비해 좁은 폭으로 형성하며, 상기 제1 반도체층은 제1 채널 영역, 제1 소스 및 드레인 영역 및 상기 제1 채널 영역과 제1 소스 및 드레인 영역 사이에 위치한 저농도 도핑 영역을 포함하고, 상기 저농도 도핑 영역은 제1 게이트 전극이 중첩되는 부분으로서, 상기 제2 게이트 전극과 중첩되지 않는 부분에 형성하는 유기 발광 표시 장치의 제조 방법을 제공한다.

발명의 효과

[0016] 이상과 같이 본 발명의 일 실시예에 따르면, 유기 발광 표시 장치의 반도체층의 불순물 영역과 저농도 도핑 영역을 쉽게 형성할 수 있으며, 온 상태와 오프 상태에서 양호한 특성이 얻어질 수 있어 우수한 품질을 가지는 유기 발광 표시 장치를 제공할 수 있는 장점이 있다.

도면의 간단한 설명

[0017] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 반도체층의 구조를 개략적으로 나타내는 단면도이다.

도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 등가 회로도이다.

도 3은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 배치도이다.

도 4는 도 3의 유기 발광 표시 장치를 II-II 따라 잘라 도시한 단면도이다.

도 5는 도 3의 유기 발광 표시 장치를 III-III 따라 잘라 도시한 단면도이다.

도 6 내지 도 8은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 과정을 도시한 도이다.

발명을 실시하기 위한 구체적인 내용

[0018] 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

[0019] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

[0020] 이제 본 발명의 실시예에 따른 유기 발광 표시 장치에 대하여 도면을 참고로 하여 상세하게 설명한다.

[0021] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 반도체층의 구조를 개략적으로 나타내는 단면도이다.

[0022] 도 1을 참고하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 투명한 유리 또는 플라스틱 따위로 만들어

진 절연 기판(110) 위에 질화규소(SiNx) 또는 산화규소(SiOx) 등으로 만들어진 차단막(blocking film)(111)이 형성되어 있다. 차단막(111)은 이중막 구조일 수 있다.

[0023] 차단막(111) 위에 다결정 규소 따위로 만들어진 복수 쌍의 제1 및 제2 섬형 반도체(151a, 151b)가 형성되어 있다. 섬형 반도체(151a, 151b) 각각은 n형 또는 p형의 도전성 불순물을 포함하는 복수의 불순물 영역(extrinsic region)과 도전성 불순물을 거의 포함하지 않은 적어도 하나의 진성 영역(intrinsic region)을 포함한다.

[0024] 제1 반도체(151a)에서, 불순물 영역은 제1 소스 및 드레인 영역(source/ drain region)(153a, 155a)을 포함하며, 이들은 n형 불순물로 도핑되어 있고 서로 분리되어 있다. 진성 영역은 불순물 영역(153a, 155a) 사이에 위치한 하나의 제1 채널 영역(channel region)(154a)을 포함한다.

[0025] 제1 반도체(151a)에서 불순물 영역은 제1 채널 영역(154a)과 제1 소스 및 드레인 영역(153a, 155a) 사이에 위치한 저농도 도핑 영역(lightly doped region)(152a)를 더 포함한다. 이러한 저농도 도핑 영역은 불순물을 거의 포함하지 않는 오프셋 영역(offset region)으로 대체할 수 있다.

[0026] 제1 소스 및 드레인 영역(153a, 155a)는 제1 게이트 전극(124a)의 폭 바깥 영역으로 형성되어 있으며, 저농도 도핑 영역(152a)은 제1 게이트 전극(124a) 및 제2 게이트 전극(125a) 간의 폭의 차이가 나는 부분에 대응하는 위치에 형성되어 있고, 제1 채널 영역(154a)은 제2 게이트 전극(125a)의 폭에 대응되는 위치에 형성되어 있다.

[0027] 저농도로 도핑된 드레인(LDD: lightly doped drain) 구조는 드레인 근처에서 높은 전계를 완화시킴으로써 박막 트랜지스터에서의 오프 전류를 낮출 수 있는데, 저농도 불순물 영역은 채널 영역 밖에 형성되며 저농도 불순물 영역을 LDD 영역이라고 한다.

[0028] 제2 반도체(151b)에서, 불순물 영역은 제2 소스 및 드레인 영역(153b, 155b)을 포함하며, 이들은 p형 불순물로 도핑되어 있고 서로 분리되어 있다. 진성 영역은 제2 소스 및 드레인 영역(153b, 155b) 사이에 위치한 제2 채널 영역(154b)을 포함한다.

[0029] 이와는 달리, 제1 반도체(151a)의 불순물 영역(153a, 155a)이 p형 불순물로 도핑되거나, 제2 반도체(151b)의 불순물 영역(153b, 155b)이 n형 불순물로 도핑될 수 있다. p형의 도전성 불순물로는 붕소(B), 갈륨(Ga) 등을 들 수 있고, n형의 도전성 불순물로는 인(P), 비소(As) 등을 들 수 있다.

[0030] 제1 반도체, 제2 반도체(151a, 151b) 및 차단막(111) 위에는 질화규소 또는 산화규소 따위로 만들어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.

[0031] 게이트 절연막(140) 위에는 제1 반도체(151a)의 채널 영역(154a) 및 저농도 도핑 영역(152a)에 대응하는 위치에 제1 게이트 전극(124a)을 포함하는 복수의 게이트선(gate line)이 형성되어 있다.

[0032] 게이트선은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있다. 제1 게이트 전극(124a)은 게이트선으로부터 위로 뻗어 제1 반도체(151a)와 교차하는데, 제1 채널 영역(154a)와 중첩한다. 각 게이트선은 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분을 포함할 수 있다. 게이트 신호를 생성하는 게이트 구동 회로(도시하지 않음)가 기판(110) 위에 집적되어 있는 경우 게이트선이 연장되어 게이트 구동 회로와 직접 연결될 수 있다.

[0033] 제1 게이트 전극(124a)을 포함하는 게이트 도전체는 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은 계열 금속, 구리(Cu)나 구리 합금 등 구리 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 만들어질 수 있다. 그러나 이들은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수도 있다. 이 중 한 도전막은 신호 지연이나 전압 강하를 줄일 수 있도록 비저항(resistivity)이 낮은 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 만들어진다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 등으로 만들어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄(합금) 상부막 및 알루미늄(합금) 하부막과 몰리브덴(합금) 상부막을 들 수 있다. 그러나 제2 전극은 이 외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.

[0034] 제1 게이트 전극의 두께는 1000Å 이하로 형성될 수 있다. 이는 제1 반도체(151a)에 불순물을 도핑할 시에 불순물이 제2 게이트 전극(125a)을 투과하지 못하지만, 제1 게이트 전극(125a)은 일부 투과가 가능하도록 하여 저농도 도핑 영역(152a)이 형성되도록 하기 위함이다.

- [0035] 제1 게이트 전극(124a)을 포함하는 게이트 도전체 위에는 제1 층간 절연막(interlayer insulating film)(160)이 형성되어 있다. 제1 층간 절연막(160)은 질화규소나 산화규소 따위의 무기 절연물, 유기 절연물, 저유전율 절연물 따위로 만들어진다. 유기 절연물과 저유전율 절연물의 유전 상수는 4.0 이하인 것이 바람직하며 저유전율 절연물의 예로는 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등을 들 수 있다. 유기 절연물 중 감광성(photosensitivity)를 가지는 것으로 제1 층간 절연막(160)을 만들 수도 있으며, 제1 층간 절연막(160)의 표면은 평탄할 수 있다.
- [0036] 제1 층간 절연막(160) 위에는 제1 게이트 전극(124a) 및 제1 채널 영역(154a)과 중첩하는 위치에 제2 게이트 전극(125a) 및 제2 반도체(151b)의 채널 영역(154b)과 중첩하는 위치에 제3 게이트 전극(124b)이 형성되어 있다.
- [0037] 제2 게이트 전극(125a)은 제1 반도체(151a)의 제1 채널 영역(154a)에 저농도 도핑 영역(152a)을 생성하기 위해 형성되어 있다.
- [0038] 제2 게이트 전극(125a)은 제1 게이트 전극(124a)의 폭보다 좁은 폭으로 형성되어 있으며, 제1 게이트 전극(124a)과 제2 게이트 전극(125a)의 폭 차이만큼의 부분에 대응되는 위치에 저농도 도핑 영역(152a)이 형성되어 있다. 따라서, 제2 게이트 전극(125a)의 마스크 크기를 제어함으로써, 저농도 도핑 영역(152a)의 크기를 자유롭게 설정 가능하다.
- [0039] 제3 게이트 전극(124b)은 게이트선과 분리되어 있고 제2 반도체(151b)의 제2 채널 영역(154b)과 중첩한다.
- [0040] 제2 게이트 전극(125a) 및 제3 게이트 전극(124b)은 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은 계열 금속, 구리(Cu)나 구리 합금 등 구리 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 만들어질 수 있다. 그러나 이들은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수도 있다. 이 중 한 도전막은 신호 지연이나 전압 강하를 줄일 수 있도록 비저항(resistivity)이 낮은 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 만들어진다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 등으로 만들어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄(합금) 상부막 및 알루미늄(합금) 하부막과 몰리브덴(합금) 상부막을 들 수 있다. 그러나 제어 전극은 이 외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.
- [0041] 제2 게이트 전극(125a) 및 제3 게이트 전극(124b)을 포함하는 게이트 도전체 위에는 제2 층간 절연막(interlayer insulating film)(161)이 형성되어 있다. 제2 층간 절연막(161)은 질화규소나 산화규소 따위의 무기 절연물, 유기 절연물, 저유전율 절연물 따위로 만들어진다. 유기 절연물과 저유전율 절연물의 유전 상수는 4.0 이하인 것이 바람직하며 저유전율 절연물의 예로는 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등을 들 수 있다. 유기 절연물 중 감광성(photosensitivity)를 가지는 것으로 제2 층간 절연막(161)을 만들 수도 있으며, 제2 층간 절연막(161)의 표면은 평탄할 수 있다.
- [0042] 도 1에 도시한 일실시예에 따른 유기 발광 표시 장치에서, 제1 반도체(151a), 제1 게이트 전극(124a), 제1 게이트 전극(124a) 상에 형성되어 있는 제2 게이트 전극(125a)은 스위칭 박막 트랜지스터(switching TFT)(Qs)를 이루어 데이터 도전체와 연결되어 있으며, 제2 반도체(151b), 제3 게이트 전극(124b)은 구동 박막 트랜지스터(driving TFT)(Qd)를 이루어 유기 발광 부재와 연결되어 있다.
- [0043] 그러면, 본 발명의 일실시예에 따른 유기 발광 표시 장치에 대해서 도 2를 참고하여 상세하게 설명한다.
- [0044] 도 2는 본 발명의 일실시예에 따른 유기 발광 표시 장치의 등가 회로도이다.
- [0045] 도 2를 참고하면, 본 실시예에 따른 유기 발광 표시 장치는 복수의 신호선(121, 171, 172)과 이들에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)(PX)를 포함한다.
- [0046] 신호선은 게이트 신호(또는 주사 신호)를 전달하는 복수의 게이트선(121), 데이터 신호를 전달하는 데이터선(171) 및 구동 전압을 전달하는 복수의 구동 전압선(172)을 포함한다. 게이트선(121)은 대략 행 방향으로 뻗어 있으며 서로가 거의 평행하고 데이터선(171)과 구동 전압선(172)은 대략 열 방향으로 뻗어 있으며 서로가 거의 평행하다.
- [0047] 각 화소(PX)는 스위칭 트랜지스터(Qs), 구동 트랜지스터(Qd), 축전기(Cst) 및 유기 발광 다이오드(organic

light emitting diode)(LD)를 포함한다.

- [0048] 스위칭 트랜지스터(Qs)는 제어 단자, 입력 단자 및 출력 단자를 가지는데, 제어 단자는 게이트선(121)에 연결되어 있고, 입력 단자는 데이터선(171)에 연결되어 있으며, 출력 단자는 구동 트랜지스터(Qd)에 연결되어 있다. 스위칭 트랜지스터(Qs)는 게이트선(121)에 인가되는 주사 신호에 응답하여 데이터선(171)에 인가되는 데이터 신호를 구동 트랜지스터(Qd)에 전달한다.
- [0049] 구동 트랜지스터(Qd) 또한 제어 단자, 입력 단자 및 출력 단자를 가지는데, 제어 단자는 스위칭 트랜지스터(Qs)에 연결되어 있고, 입력 단자는 구동 전압선(172)에 연결되어 있으며, 출력 단자는 유기 발광 다이오드(LD)에 연결되어 있다. 구동 트랜지스터(Qd)는 제어 단자와 출력 단자 사이에 걸리는 전압에 따라 그 크기가 달라지는 출력 전류(I_{LD})를 흘린다.
- [0050] 축전기(Cst)는 구동 트랜지스터(Qd)의 제어 단자와 입력 단자 사이에 연결되어 있다. 이 축전기(Cst)는 구동 트랜지스터(Qd)의 제어 단자에 인가되는 데이터 신호를 충전하고 스위칭 트랜지스터(Qs)가 턴 오프된 뒤에도 이를 유지한다.
- [0051] 유기 발광 다이오드(LD)는 구동 트랜지스터(Qd)의 출력 단자에 연결되어 있는 애노드(anode)와 공통 전압(V_{ss})에 연결되어 있는 캐소드(cathode)를 가진다. 유기 발광 다이오드(LD)는 구동 트랜지스터(Qd)의 출력 전류(I_{LD})에 따라 세기를 달리하여 발광함으로써 영상을 표시한다.
- [0052] 스위칭 트랜지스터(Qs)는 n-채널 전계 효과 트랜지스터(field effect transistor, FET)이고 구동 트랜지스터(Qd)는 p-채널 전계 효과 트랜지스터이다. 그러나 스위칭 트랜지스터(Qs)와 구동 트랜지스터(Qd)의 채널 유형이 뒤바뀔 수 있으며, 두 트랜지스터(Qs, Qd)가 모두 n-채널 전계 효과 트랜지스터이거나 p-채널 전계 효과 트랜지스터일 수 있다. 또한, 트랜지스터(Qs, Qd), 축전기(Cst) 및 유기 발광 다이오드(LD)의 연결 관계가 바뀔 수 있다.
- [0053] 그러면, 도 3 내지 도 5를 참고하여 본 발명의 일실시예에 따른 유기 발광 표시 장치에 대해서 상세하게 설명한다.
- [0054] 도 3은 본 발명의 일실시예에 따른 유기 발광 표시 장치의 배치도이고, 도 4는 도 3의 유기 발광 표시 장치를 II-II 따라 잘라 도시한 단면도이며, 도 5는 도 3의 유기 발광 표시 장치를 III-III 따라 잘라 도시한 단면도이다.
- [0055] 본 발명의 일실시예에 따른 유기 발광 표시 장치는 투명한 유리 또는 플라스틱 따위로 만들어진 절연 기판(110) 위에 질화규소(SiN_x) 또는 산화규소(SiO_x) 등으로 만들어진 차단막(blocking film)(111)이 형성되어 있다. 차단막(111)은 이중막 구조일 수 있다.
- [0056] 차단막(111) 위에 다결정 규소 따위로 만들어진 복수 쌍의 제1 및 제2 섬형 반도체(151a, 151b)가 형성되어 있다. 섬형 반도체(151a, 151b) 각각은 n형 또는 p형의 도전성 불순물을 포함하는 복수의 불순물 영역(extrinsic region)과 도전성 불순물을 거의 포함하지 않은 적어도 하나의 진성 영역(intrinsic region)을 포함한다.
- [0057] 제1 반도체(151a)에서, 불순물 영역은 제1 소스 및 드레인 영역(source/ drain region)(153a, 155a)과 중간 영역(intermediate region)(1535)을 포함하며, 이들은 n형 불순물로 도핑되어 있고 서로 분리되어 있다. 진성 영역은 불순물 영역(153a, 1535, 155a) 사이에 위치한 한 쌍의 제1 채널 영역(channel region)(154a1, 154a2)을 포함한다.
- [0058] 제1 반도체(151a)에서 불순물 영역은 채널 영역(154a1, 154a2)과 소스 및 드레인 영역(153a, 155a) 사이에 위치한 저농도 도핑 영역(lightly doped region)(152a1, 152a2)를 더 포함한다. 이러한 저농도 도핑 영역은 불순물을 거의 포함하지 않는 오프셋 영역(offset region)으로 대체할 수 있다.
- [0059] 저농도로 도핑된 드레인(LDD: lightly doped drain) 구조는 드레인 근처에서 높은 전계를 완화시킴으로써 박막 트랜지스터에서의 오프 전류를 낮출 수 있는데, 저농도 불순물 영역은 채널 영역 밖에 형성되며 저농도 불순물 영역을 LDD 영역이라고 한다.
- [0060] 제2 반도체(151b)에서, 불순물 영역은 제2 소스 및 드레인 영역(153b, 155b)을 포함하며, 이들은 p형 불순물로 도핑되어 있고 서로 분리되어 있다. 진성 영역은 제2 소스 및 드레인 영역(153b, 155b) 사이에 위치한 제2 채널 영역(154b)과 제2 소스 및 드레인 영역(153b, 155b)으로부터 위로 길게 뻗어 나온 유지 영역(storage

region)(157)을 포함한다.

- [0061] 이와는 달리, 제1 반도체(151a)의 불순물 영역(153a, 155a)이 p형 불순물로 도핑되거나, 제2 반도체(151b)의 불순물 영역(153b, 155b)이 n형 불순물로 도핑될 수 있다. p형의 도전성 불순물로는 붕소(B), 갈륨(Ga) 등을 들 수 있고, n형의 도전성 불순물로는 인(P), 비소(As) 등을 들 수 있다.
- [0062] 반도체(151a, 151b) 및 차단막(111) 위에는 질화규소 또는 산화규소 따위로 만들어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.
- [0063] 게이트 절연막(140) 위에는 제1 게이트 전극(124a)을 포함하는 복수의 게이트선(gate line)(121)이 형성되어 있다.
- [0064] 게이트선(121)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있다. 제1 게이트 전극(124a)은 게이트선(121)으로부터 위로 뻗어 제1 반도체(151a)와 교차하는데, 제1 채널 영역(154a1, 154a2)과 중첩한다. 각 게이트선(121)은 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분을 포함할 수 있다. 게이트 신호를 생성하는 게이트 구동 회로(도시하지 않음)가 기판(110) 위에 집적되어 있는 경우 게이트선(121)이 연장되어 게이트 구동 회로와 직접 연결될 수 있다.
- [0065] 제1 게이트 전극(124a)을 포함하는 게이트 도전체는 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은 계열 금속, 구리(Cu)나 구리 합금 등 구리 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 만들어질 수 있다. 그러나 이들은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수도 있다. 이 중 한 도전막은 신호 지연이나 전압 강하를 줄일 수 있도록 비저항(resistivity)이 낮은 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 만들어진다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 등으로 만들어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄(합금) 상부막 및 알루미늄(합금) 하부막과 몰리브덴(합금) 상부막을 들 수 있다. 그러나 제1 게이트 전극은 이 외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.
- [0066] 제1 게이트 전극(124a)을 포함하는 게이트 도전체 위에는 제1 층간 절연막(interlayer insulating film)(160)이 형성되어 있다. 제1 층간 절연막(160)은 질화규소나 산화규소 따위의 무기 절연물, 유기 절연물, 저유전율 절연물 따위로 만들어진다. 유기 절연물과 저유전율 절연물의 유전 상수는 4.0 이하인 것이 바람직하며 저유전율 절연물의 예로는 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등을 들 수 있다. 유기 절연물 중 감광성(photosensitivity)을 가지는 것으로 제1 층간 절연막(160)을 만들 수도 있으며, 제1 층간 절연막(160)의 표면은 평탄할 수 있다.
- [0067] 제1 층간 절연막(160) 위에는 제1 게이트 전극(124a) 및 제1 채널 영역(154a)과 중첩하는 위치에 제2 게이트 전극(125a)과 제2 반도체(151b)의 채널 영역(154b)과 중첩하는 위치에 제3 게이트 전극(124b)이 형성되어 있다.
- [0068] 제2 게이트 전극(125a)은 제1 반도체(151a)의 제1 채널 영역(154a)에 저농도 도핑 영역(152a)를 생성하기 위해 형성되어 있다.
- [0069] 제2 게이트 전극(125a)은 제1 게이트 전극(124a)의 폭보다 좁은 폭으로 형성되어 있으며, 제1 게이트 전극(124a)과 제3 게이트 전극(125a)의 폭 차이만큼의 부분에 대응되는 위치에 저농도 도핑 영역(152a)이 형성되어 있다. 따라서, 제2 게이트 전극(125a)의 마스크 크기를 제어함으로써, 저농도 도핑 영역(152a)의 크기를 자유롭게 설정 가능하다.
- [0070] 제3 게이트 전극(124b)은 게이트선과 분리되어 있고 제2 반도체(151b)의 제2 채널 영역(154b)과 중첩한다. 제3 게이트 전극(124b)은 연장되어 유지 전극(storage electrode)(127)을 이루며, 유지 전극(127)은 제2 반도체(151b)의 유지 영역(157)과 중첩한다.
- [0071] 제2 게이트 전극(125a) 및 제3 게이트 전극(124b)은 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은 계열 금속, 구리(Cu)나 구리 합금 등 구리 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 만들어질 수 있다. 그러나 이들은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수도 있다. 이 중 한 도전막은 신호 지연이나 전압 강하를 줄일 수 있도록 비저항(resistivity)이 낮은 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 만들어진다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium

tin oxide) 및 IZO(indium zinc oxide)와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 등으로 만들어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄(합금) 상부막 및 알루미늄(합금) 하부막과 몰리브덴(합금) 상부막을 들 수 있다. 그러나 제1 전극은 이 외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.

[0072] 제2 게이트 전극(125a) 및 제3 게이트 전극(124b)을 포함하는 게이트 도전체 위에는 제2 층간 절연막(interlayer insulating film)(161)이 형성되어 있을 수 있다. 제2 층간 절연막(161)은 질화규소나 산화규소 따위의 무기 절연물, 유기 절연물, 저유전율 절연물 따위로 만들어진다. 유기 절연물과 저유전율 절연물의 유전 상수는 4.0 이하인 것이 바람직하며 저유전율 절연물의 예로는 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등을 들 수 있다. 유기 절연물 중 감광성(photosensitivity)를 가지는 것으로 제2 층간 절연막(161)을 만들 수도 있으며, 제2 층간 절연막(161)의 표면은 평탄할 수 있다.

[0073] 제2 층간 절연막(161)에는 제3 게이트 전극(124b)을 노출하는 복수의 접촉 구멍(contact hole)(164)이 형성되어 있다. 또한, 제1 층간 절연막(160), 제2 층간 절연막(161)과 게이트 절연막(140)에는 소스 및 드레인 영역(153a, 153b, 155a, 155b)을 드러내는 복수의 접촉 구멍(163a, 163b, 165a, 165b)이 형성되어 있다.

[0074] 제2 층간 절연막(161) 위에는 복수의 데이터선(data line)(171)과 복수의 구동 전압선(driving voltage line)(172)과 복수의 제1 및 제2 출력 전극(output electrode)(175a, 175b)을 포함하는 복수의 데이터 도전체(data conductor)가 형성되어 있다.

[0075] 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121)과 교차한다. 각 데이터선(171)은 접촉 구멍(163a)을 통하여 제1 소스 및 드레인 영역(153a)과 연결되어 있는 복수의 제1 입력 전극(input electrode)(173a)을 포함하며, 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분을 포함할 수 있다. 데이터 신호를 생성하는 데이터 구동 회로(도시하지 않음)가 기판(110) 위에 집적되어 있는 경우, 데이터선(171)이 연장되어 데이터 구동 회로와 직접 연결될 수 있다.

[0076] 구동 전압선(172)은 구동 전압을 전달하며 주로 세로 방향으로 뻗어 게이트선(121)과 교차한다. 각 구동 전압선(172)은 접촉 구멍(163b)을 통하여 제2 소스 및 드레인 영역(153b)과 연결되어 있는 복수의 제2 입력 전극(173b)을 포함한다. 구동 전압선(172)은 유지 전극(127)과 중첩하며, 서로 연결될 수 있다.

[0077] 제1 출력 전극(175a)은 데이터선(171) 및 구동 전압선(172)과 분리되어 있다. 제1 출력 전극(175a)은 접촉 구멍(165a)을 통하여 제1 소스 및 드레인 영역(155a)에 연결되어 있고, 접촉 구멍(164)을 통하여 제3 게이트 전극(124b)과 연결되어 있다.

[0078] 제2 출력 전극(175b)은 데이터선(171), 구동 전압선(172) 및 제1 출력 전극(175a)과 분리되어 있으며, 접촉 구멍(165b)을 통하여 제2 소스 및 드레인 영역(155b)에 연결되어 있다.

[0079] 데이터 도전체(171, 172, 175a, 175b)는 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속 또는 이들의 합금으로 만들어지는 것이 바람직하며, 내화성 금속막(도시하지 않음)과 저저항 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수 있다. 다중막 구조의 예로는 크롬 또는 몰리브덴(합금) 하부막과 알루미늄(합금) 상부막의 이중막, 몰리브덴(합금) 하부막과 알루미늄(합금) 중간막과 몰리브덴(합금) 상부막의 삼중막을 들 수 있다. 그러나 데이터 도전체(171, 172, 175a, 175b)는 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.

[0080] 데이터 도전체(171, 172, 175a, 175b) 위에는 보호막(passivation layer)(180)이 형성되어 있다. 보호막(180)은 무기물, 유기물, 저유전율 절연 물질 따위로 이루어진다.

[0081] 보호막(180)에는 제2 출력 전극(175b)을 드러내는 복수의 접촉 구멍(185)이 형성되어 있다. 보호막(180)에는 또한 데이터선(171)의 끝 부분을 드러내는 복수의 접촉 구멍(도시하지 않음)이 형성될 수 있으며, 보호막(180)과 제2 층간 절연막(161)에는 게이트선(121)의 끝 부분을 드러내는 복수의 접촉 구멍(도시하지 않음)이 형성될 수 있다.

[0082] 보호막(180) 위에는 복수의 화소 전극(pixel electrode)(190)이 형성되어 있다. 화소 전극(190)은 접촉 구멍(185)을 통하여 제2 출력 전극(175b)과 물리적·전기적으로 연결되어 있으며, ITO 또는 IZO 등의 투명한 도전 물질이나 알루미늄, 은 또는 그 합금 등의 반사성 금속으로 만들어질 수 있다.

[0083] 보호막(180) 위에는 또한 복수의 접촉 보조 부재(contact assistant)(도시하지 않음) 또는 연결 부재

(connecting member)(도시하지 않음)가 형성될 수 있으며, 이들은 게이트선(121)과 데이터선(171)의 노출된 끝 부분과 연결된다.

[0084] 보호막(180) 위에는 격벽(partition)(361)이 형성되어 있다. 격벽(361)은 화소 전극(190) 가장자리 주변을 독(bank)처럼 둘러싸서 개구부(opening)(365)를 정의하며 유기 절연물 또는 무기 절연물로 만들어진다. 격벽(361)은 또한 검정색 안료를 포함하는 감광제로 만들어질 수 있는데, 이 경우 격벽(361)은 차광 부재의 역할을 하며 그 형성 공정이 간단하다.

[0085] 격벽(361)이 정의하는 화소 전극(190) 위의 개구부(365) 내에는 유기 발광 부재(organic light emitting member)(370)가 형성되어 있다. 유기 발광 부재(370)는 적색, 녹색, 청색의 삼원색 등 기본색(primary color) 중 어느 하나의 빛을 고유하게 내는 유기 물질로 만들어진다. 유기 발광 표시 장치는 유기 발광 부재(370)들이 내는 기본색 색광의 공간적인 합으로 원하는 영상을 표시한다.

[0086] 유기 발광 부재(370)는 빛을 내는 발광층(emitting layer)(도시하지 않음) 외에 발광층의 발광 효율을 향상하기 위한 부대층(auxiliary layer)(도시하지 않음)을 포함하는 다층 구조를 가질 수 있다. 부대층에는 전자와 정공의 균형을 맞추기 위한 전자 수송층(electron transport layer)(도시하지 않음) 및 정공 수송층(hole transport layer)(도시하지 않음)과 전자와 정공의 주입을 강화하기 위한 전자 주입층(electron injecting layer)(도시하지 않음) 및 정공 주입층(hole injecting layer)(도시하지 않음) 등이 있다.

[0087] 유기 발광 부재(370) 위에는 공통 전극(common electrode)(270)이 형성되어 있다. 공통 전극(270)은 공통 전압(Vss)을 인가 받으며, 칼슘(Ca), 바륨(Ba), 마그네슘(Mg), 알루미늄, 은 등을 포함하는 반사성 금속 또는 ITO 또는 IZO 등의 투명한 도전 물질로 만들어진다.

[0088] 이러한 유기 발광 표시 장치에서, 제1 반도체(151a), 게이트선(121)에 연결되어 있는 제1 게이트 전극(124a), 제1 게이트 전극(124a) 상에 형성되어 있는 제2 게이트 전극(125a), 데이터선(171)에 연결되어 있는 제1 입력 전극(173a) 및 제1 출력 전극(175a)은 스위칭 박막 트랜지스터(switching TFT)(Qs)를 이루며, 스위칭 박막 트랜지스터(Qs)의 채널(channel)은 제1 반도체(151a)의 채널 영역(154a1, 154a2)에 형성된다. 제2 반도체(151b), 제1 출력 전극(175a)에 연결되어 있는 제3 게이트 전극(124b), 구동 전압선(172)에 연결되어 있는 제2 입력 전극(173b) 및 화소 전극(190)에 연결되어 있는 제2 출력 전극(175b)은 구동 박막 트랜지스터(driving TFT)(Qd)를 이루어 유기 발광 부재와 연결되어 있고, 구동 박막 트랜지스터(Qd)의 채널은 제2 반도체(151b)의 채널 영역(154b)에 형성된다. 화소 전극(190), 유기 발광 부재(370) 및 공통 전극(270)은 유기 발광 다이오드를 이루며, 화소 전극(190)이 애노드(anode), 공통 전극(270)이 캐소드(cathode)가 되거나 반대로 화소 전극(190)이 캐소드, 공통 전극(270)이 애노드가 된다. 서로 중첩하는 유지 전극(127)과 구동 전압선(172) 및 유지 영역(157)은 유지 축전기(storage capacitor)(Cst)를 이룬다.

[0089] 이러한 유기 발광 표시 장치는 기판(110)의 위쪽 또는 아래쪽으로 빛을 내보내어 영상을 표시한다. 불투명한 화소 전극(190)과 투명한 공통 전극(270)은 기판(110)의 위쪽 방향으로 영상을 표시하는 전면 발광(top emission) 방식의 유기 발광 표시 장치에 적용하며, 투명한 화소 전극(190)과 불투명한 공통 전극(270)은 기판(110)의 아래 방향으로 영상을 표시하는 배면 발광(bottom emission) 방식의 유기 발광 표시 장치에 적용한다.

[0090] 이하에서, 도 6 내지 도 8을 참고하여 본 발명의 일실시예에 따른 유기 발광 표시 장치 중 박막 트랜지스터의 제조 방법에 대해서 상세하게 설명한다.

[0091] 도 6 내지 도 8은 본 발명의 일실시예에 따른 유기 발광 표시 장치의 제조 과정을 도시한 도이다.

[0092] 도 6 및 도 7을 참고하면, 투명한 유리 또는 플라스틱 파위로 만들어진 절연 기판(110) 위에 질화규소(SiNx) 또는 산화규소(SiOx) 등으로 만들어진 차단막(blocking film)(111)을 형성한다. 이 때, 차단막(111)은 이중막 구조로 형성할 수 있다.

[0093] 차단막(111) 위에 다결정 규소 파위로 만들어진 복수 쌍의 제1 및 제2 섬형 반도체(151a, 151b)를 형성하고, 제1 및 제2 반도체(151a, 151b) 및 차단막(111) 위를 덮는 질화규소 또는 산화규소 파위로 만들어진 게이트 절연막(140)을 형성한다.

[0094] 그 후, 제1 게이트 전극(124a)을 형성하기 위한 도전막(124)을 형성하고, 도전막(124) 위의 제1 게이트 전극(124a)을 형성하기 위한 위치에 레지스트 마스크(50)를 제1 반도체층(151a) 상에 형성한다.

[0095] 레지스트 마스크(50)를 사용하여 도전막(124)을 에칭(etching)함으로써 제1 게이트 전극(124a)을 형성한다.

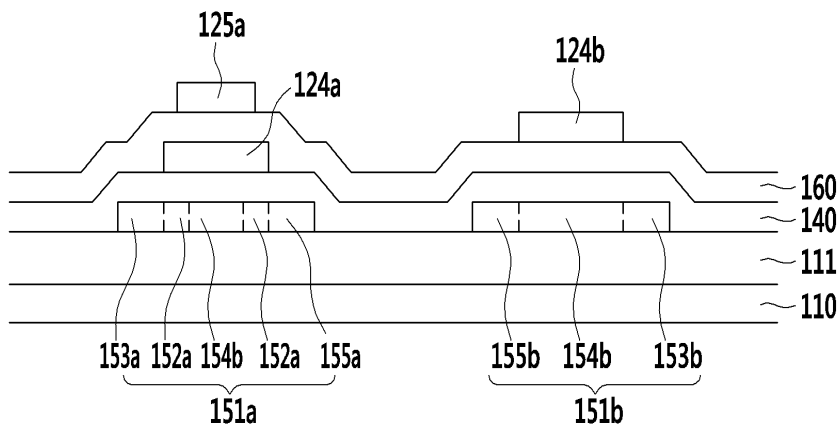
- [0096] 제1 게이트 전극(124a)의 두께는 1000 Å 이하로 형성하는데, 이는 제1 반도체(151a)에 불순물을 도핑할 시에 불순물이 제2 게이트 전극(125a)은 투과하지 못하지만, 제1 게이트 전극(125a)은 일부 투과가 가능하도록 하여 저농도 도핑 영역(152a)을 형성하기 위함이다.
- [0097] 그 다음 도 8을 참고하면, 제1 게이트 전극(124a) 위에 질화규소나 산화규소 따위의 무기 절연물, 유기 절연물 저유전율 절연물 따위로 만들어진 제1 층간 절연막(160)을 형성한다.
- [0098] 제1 반도체(151a) 및 제1 게이트 전극(124a)에 대응되는 위치의 제1 층간 절연막(160) 위에 제2 게이트 전극(125a) 및 제2 반도체(151b)에 대응되는 위치의 제1 층간 절연막 위에 제3 게이트 전극(124b)을 형성한다.
- [0099] 이 때, 제2 게이트 전극(125a)은 제1 반도체(151a)의 저농도 도핑 영역(152a)의 원하는 폭에 적합하도록 제1 게이트 전극(124a)의 폭보다 좁은 폭을 가지도록 형성하며, 제3 게이트 전극(124b)은 제2 반도체(151b)의 채널 영역의 폭에 대응되는 폭으로 형성한다.
- [0100] 그 후, 제1 반도체층(151a)에 제1 도핑공정을 수행하여 n형 도전성을 부여하는 불순물 원소를 부가한다. 도핑은 불순물 원소에 대한 마스크로서 제1 게이트 전극(124a) 및 제2 게이트 전극(125a)을 사용하여 수행되며, 또한 제1 게이트 전극(124a) 아래의 영역에 불순물 원소를 부가하도록 수행한다.
- [0101] 제1 게이트 전극(124a)에 중첩하는 저농도 도핑 영역(LDD영역)(152a) 및 저농도 도핑 영역(152a)보다 높은 불순물 농도를 갖는 소스 및 드레인 영역(153a, 155a)을 형성할 수 있다.
- [0102] 상기 공정을 통해, 제1 소스 및 드레인 영역(153a, 155a)은 제1 게이트 전극(124a)의 폭 바깥 영역으로 형성하며, 저농도 도핑 영역(152a)은 제1 게이트 전극(124a) 및 제2 게이트 전극(125a) 간의 폭의 차이가 나는 부분에 대응하는 위치에 형성하고, 채널 영역(154a)은 제2 게이트 전극(125a)의 폭에 대응되는 위치에 형성할 수 있다.
- [0103] 이로 인해, 저농도 도핑 영역(152a)의 폭은 제2 게이트 전극(125a)의 폭을 제어함으로써 조절이 가능하다.
- [0104] 도 6 내지 도 8에 도시한 일실시예에 따른 유기 발광 표시 장치에서, 제1 반도체(151a), 제1 게이트 전극(124a), 제1 게이트 전극(124a) 상에 형성되어 있는 제2 게이트 전극(125a)은 스위칭 박막 트랜지스터(switching TFT)(Qs)를 이루어 데이터 도전체와 연결되어 있고, 제2 반도체(151b), 제3 게이트 전극(124b)은 구동 박막 트랜지스터(driving TFT)(Qd)를 이루어 유기 발광 부재와 연결되어 있다.
- [0105] 이상과 같이 본 발명의 일실시예에 따르면, 유기 발광 표시 장치의 반도체층의 불순물 영역과 저농도 도핑 영역을 쉽게 형성할 수 있으며, 온 상태와 오프 상태에서 양호한 특성이 얻어질 수 있어 우수한 품질을 가지는 유기 발광 표시 장치를 제공할 수 있는 장점이 있다.
- [0106] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

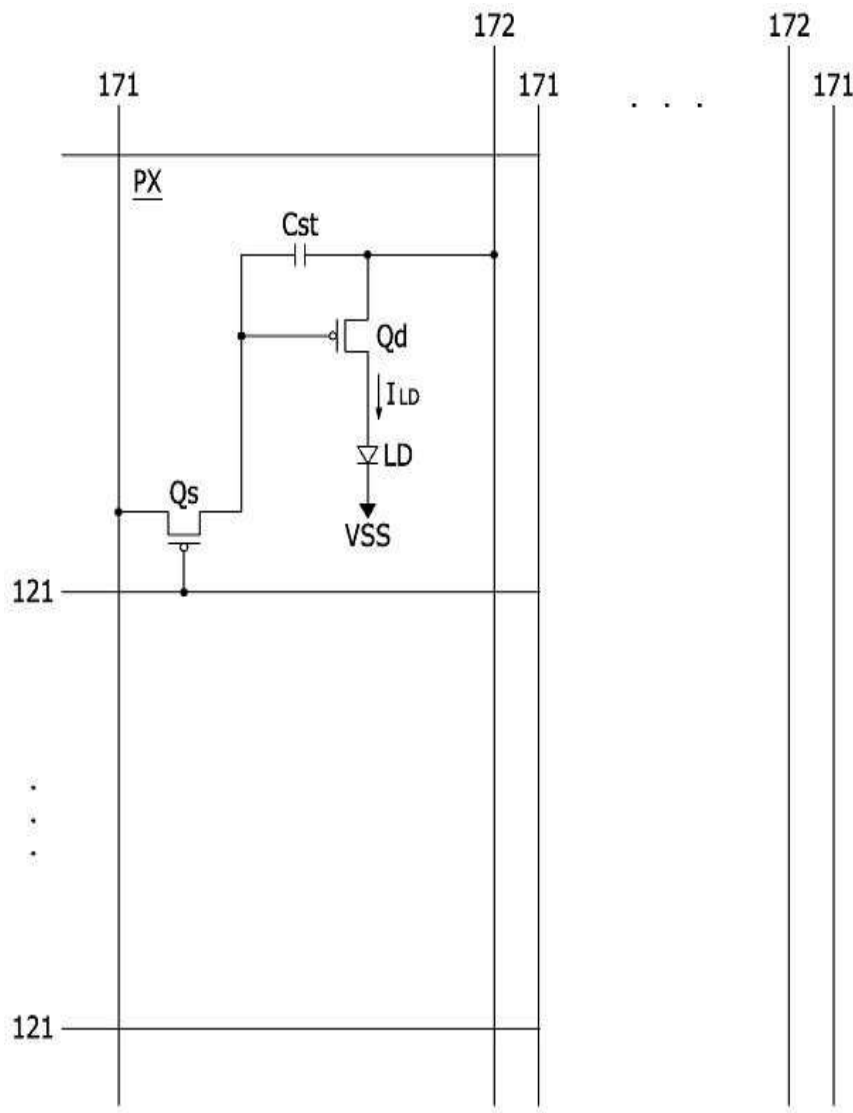
- [0107]
- | | |
|----------------|--------------------|
| 110: 기판 | 124: 게이트 전극 |
| 111: 차단막 | 151: 반도체 |
| 140: 게이트 절연막 | 121: 게이트선 |
| 160: 제1 층간 절연막 | 161: 제2 층간 절연막 |
| 164: 접촉 구멍 | 171: 데이터선 |
| 172: 구동 전압선 | 175: 출력 전극 |
| 190: 화소 전극 | 360: 격벽 |
| 370: 유기 발광 부재 | 270: 공통 전극180: 보호막 |

도면

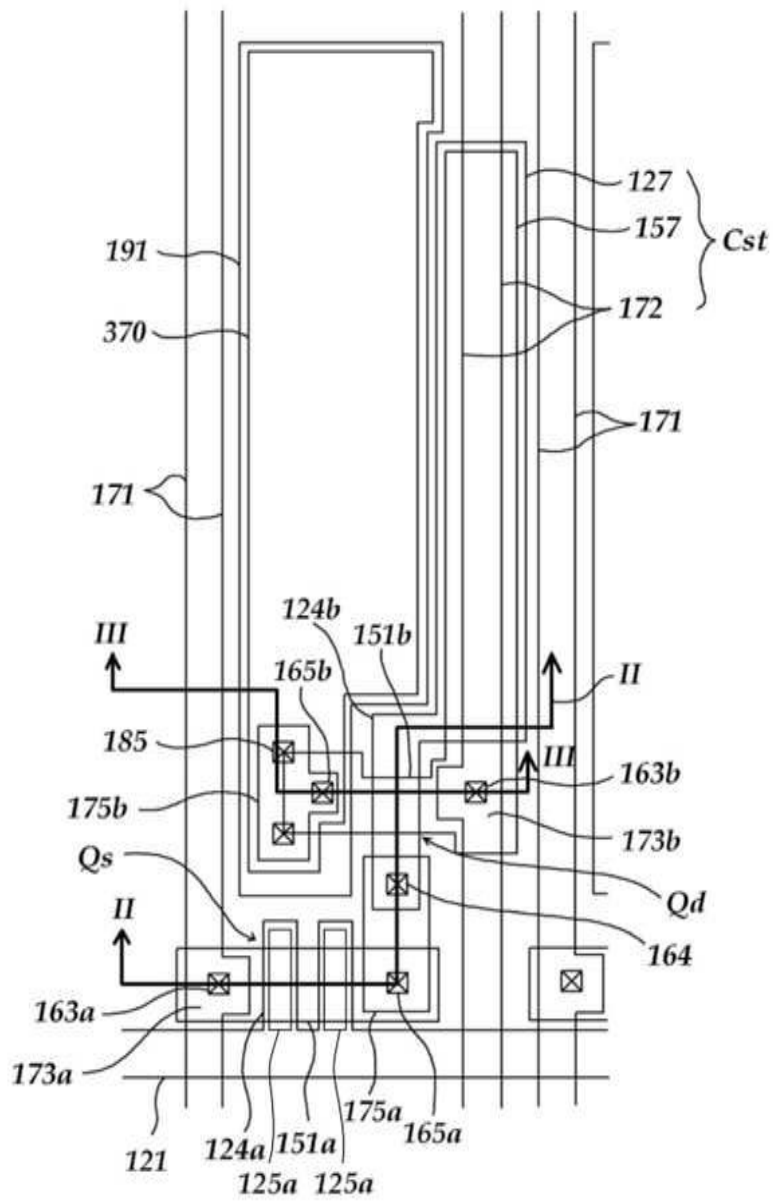
도면1



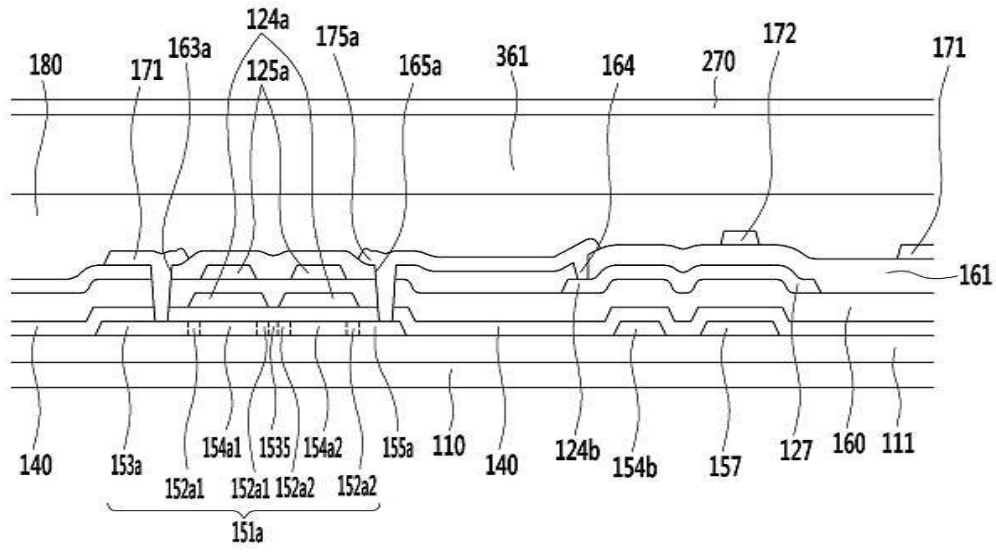
도면2



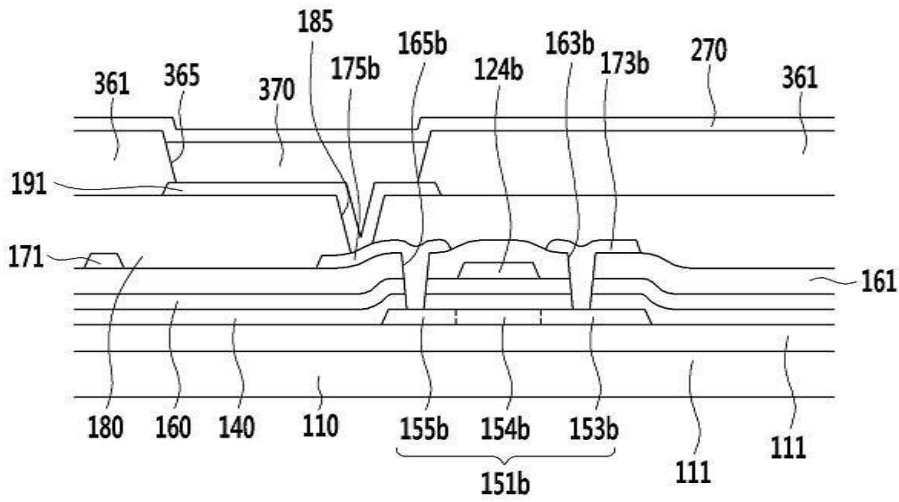
도면3



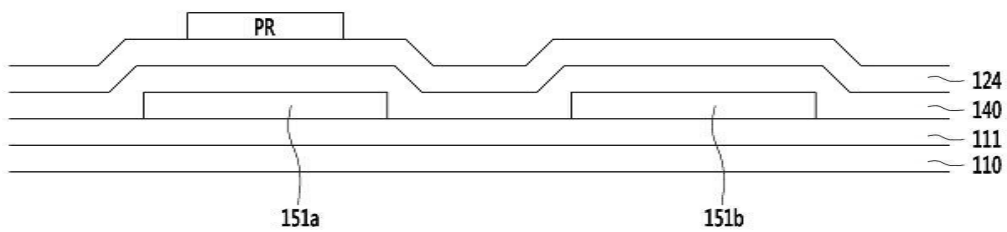
도면4



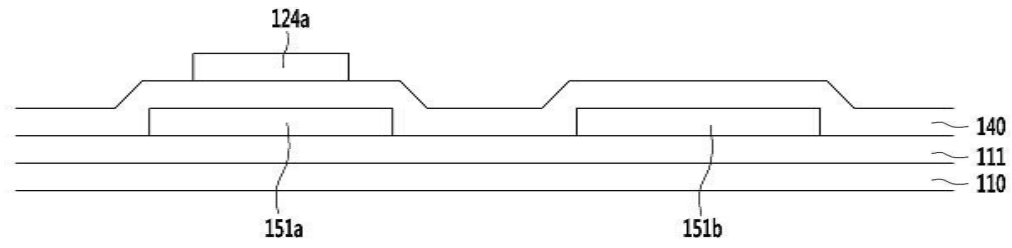
도면5



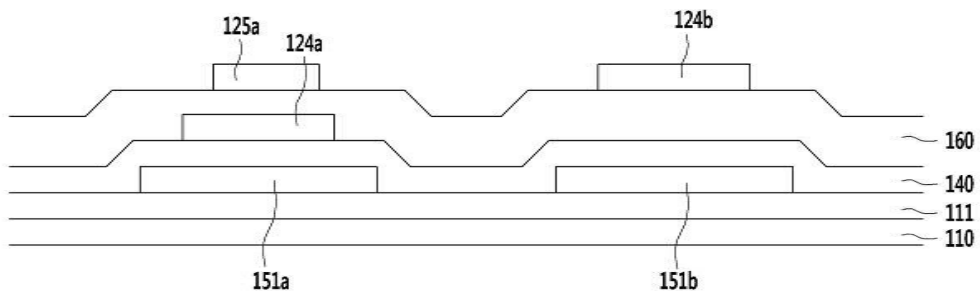
도면6



도면7



도면8



专利名称(译)	标题：OLED显示器及其制造方法		
公开(公告)号	KR1020150035132A	公开(公告)日	2015-04-06
申请号	KR1020130115350	申请日	2013-09-27
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE WANG WOO 이왕우 KO MOO SOON 고무순 WOO MIN WOO 우민우 LEE IL JEONG 이일정 LEE JEONG HO 이정호		
发明人	이왕우 고무순 우민우 이일정 이정호		
IPC分类号	H01L51/52 H01L29/786 H01L51/56		
CPC分类号	H01L51/56 H01L27/1259 H01L29/78675 H01L2227/323 H01L27/3262 H01L27/124 H01L27/127 H01L29/78621 H01L29/78645 H01L27/1214 H01L27/1237 H01L29/42384 H01L27/3258 H01L27/3276		
其他公开文献	KR102091664B1		
外部链接	Espacenet		

摘要(译)

本发明提供一种半导体器件，包括衬底，形成在衬底上的第一沟道区，第一源区和漏区，以及包括位于第一沟道区与第一源区和漏区之间的轻掺杂区的第一半导体层，第一半导体层，第二半导体层和设置在基板上的栅极绝缘膜;以及栅极绝缘膜上的第二半导体层，第一层间绝缘膜设置在第一栅电极，第一栅电极和栅极绝缘膜上，第二栅电极设置在第一层间绝缘膜上与第一栅电极对应的部分中;并且第三栅电极设置在与第二半导体层对应的部分中，其中第二栅电极形成为与第一栅电极相比具有窄的宽度提供所述第一半导体层作为栅电极的所述第一部分重叠时，第二到不与具有掺杂区域OLED显示器的低浓度与栅电极重叠的部分。

