



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년01월21일
(11) 등록번호 10-1940570
(24) 등록일자 2019년01월15일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) H01L 29/786 (2006.01)
(21) 출원번호 10-2012-0048732
(22) 출원일자 2012년05월08일
심사청구일자 2017년04월26일
(65) 공개번호 10-2012-0127246
(43) 공개일자 2012년11월21일
(30) 우선권주장
JP-P-2011-107763 2011년05월13일 일본(JP)
(56) 선행기술조사문헌
JP2011071534 A*
W02008/117739 A1
JP2002032057 A*
W02008117739 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
교야마 준
일본국 243-0036 가나가와켄 아쓰기시 하세 398
가부시키가이샤 한도오파이 에네루기 켄큐쇼 내
(74) 대리인
황의만

전체 청구항 수 : 총 11 항

심사관 : 정명주

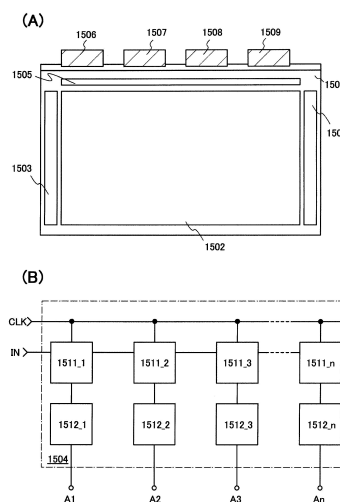
(54) 발명의 명칭 EL 표시 장치 및 그 전자 기기

(57) 요약

본 발명은, 화소부와 같은 절연 기판 위에 있어서 큰 전류 공급 능력이 얻어지는 트랜지스터로 구성되는 전원선 구동 회로를 구비한 EL 표시 장치를 제공한다.

절연 기판 위에 복수의 화소와 복수의 신호선, 복수의 주사선, 및 복수의 전원선을 갖는 액티브 매트릭스형 표시 장치에 있어서, 상기 절연 기판 위에 전계 효과 이동도를 적어도 $80\text{cm}^2/\text{Vs}$ 이상, 바람직하게는 $120\text{cm}^2/\text{Vs}$ 이상 갖는 산화물 반도체의 트랜지스터를 갖고, 트랜지스터를 구성 요소 중 하나로 하는 전원선 구동 회로를 갖는 EL 표시 장치이다.

대표도 - 도7



명세서

청구범위

청구항 1

표시 장치로서,
 기관 위의 복수의 화소를 포함한 화소부;
 상기 기관 위의 복수의 신호선;
 상기 기관 위의 복수의 주사선;
 상기 기관 위의 복수의 전원선; 및
 트랜지스터를 포함한 인버터를 포함하는, 상기 기관 위의 전원선 구동 회로를 포함하고,
 상기 인버터와 상기 화소부는 상기 기관 위에 형성되고,
 상기 트랜지스터는 전계 효과 이동도가 $80\text{cm}^2/\text{Vs}$ 이상이고,
 상기 전원선 구동 회로는 상기 복수의 전원선 중 하나를 구동시키고,
 상기 트랜지스터는 산화물 반도체층을 포함하고,
 상기 산화물 반도체층의 채널 형성 영역은 CAAC-OS(c-axis aligned crystalline oxide semiconductor)를 포함하는, 표시 장치.

청구항 2

제 1 항에 있어서,
 상기 트랜지스터는 전계 효과 이동도가 $120\text{cm}^2/\text{Vs}$ 이상인, 표시 장치.

청구항 3

표시 장치로서,
 기관 위의 복수의 화소를 포함한 화소부;
 상기 기관 위의 복수의 신호선;
 상기 기관 위의 복수의 주사선;
 상기 기관 위의 복수의 전원선;
 상기 기관 위의 제 1 트랜지스터;
 상기 기관 위의 제 2 트랜지스터;
 상기 복수의 전원선 중 하나를 구동시키는 상기 제 1 트랜지스터를 포함한 인버터를 포함하는 전원선 구동 회로; 및
 상기 복수의 주사선 중 하나를 구동시키는 상기 제 2 트랜지스터를 포함하는 주사선 구동 회로를 포함하고,
 상기 인버터와 상기 화소부는 상기 기관 위에 형성되고,
 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 각각은 산화물 반도체층을 포함하고,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 각각은 전계 효과 이동도가 $80\text{cm}^2/\text{Vs}$ 이상이고,

상기 산화물 반도체층의 채널 형성 영역은 CAAC-OS(c-axis aligned crystalline oxide semiconductor)를 포함하는, 표시 장치.

청구항 4

제 3 항에 있어서,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 각각은 전계 효과 이동도가 $120\text{cm}^2/\text{Vs}$ 이상인, 표시 장치.

청구항 5

표시 장치로서,

기판 위의 복수의 화소를 포함한 화소부;

상기 기판 위의 복수의 신호선;

상기 기판 위의 복수의 주사선;

상기 기판 위의 복수의 전원선;

상기 기판 위의 제 1 트랜지스터;

상기 기판 위의 제 2 트랜지스터;

상기 기판 위의 제 3 트랜지스터;

상기 복수의 전원선 중 하나를 구동시키는 상기 제 1 트랜지스터를 포함한 인버터를 포함하는 전원선 구동 회로;

상기 복수의 주사선 중 하나를 구동시키는 상기 제 2 트랜지스터를 포함하는 주사선 구동 회로; 및

상기 복수의 신호선 중 하나를 구동시키는 상기 제 3 트랜지스터를 포함하는 신호선 구동 회로를 포함하고,

상기 인버터와 상기 화소부는 상기 기판 위에 형성되고,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 및 상기 제 3 트랜지스터 각각은 산화물 반도체층을 포함하고,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 및 상기 제 3 트랜지스터 각각은 전계 효과 이동도가 $80\text{cm}^2/\text{Vs}$ 이상이고,

상기 산화물 반도체층의 채널 형성 영역은 CAAC-OS(c-axis aligned crystalline oxide semiconductor)를 포함하는, 표시 장치.

청구항 6

제 5 항에 있어서,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 및 상기 제 3 트랜지스터 각각은 전계 효과 이동도가 $120\text{cm}^2/\text{Vs}$ 이상인, 표시 장치.

청구항 7

제 1 항, 제 3 항, 및 제 5 항 중 어느 한 항에 있어서,

상기 복수의 화소 중 하나는 샘플링용 트랜지스터 및 구동용 트랜지스터를 포함하고, 상기 샘플링용 트랜지스터 및 상기 구동용 트랜지스터 각각은 산화물 반도체층을 포함하는, 표시 장치.

청구항 8

제 1 항, 제 3 항, 및 제 5 항 중 어느 한 항에 있어서,

상기 산화물 반도체층의 상기 채널 형성 영역은 게이트 절연층을 개재하여 게이트 전극층과 중첩하는, 표시 장치.

청구항 9

제 8 항에 있어서,

상기 산화물 반도체층은 고순도화된 산화물 반도체층인, 표시 장치.

청구항 10

제 9 항에 있어서,

상기 고순도화된 산화물 반도체층은 In, Sn, 및 Zn으로 이루어진 그룹으로부터 선택된 적어도 한 가지의 원소를 함유하는 반도체인, 표시 장치.

청구항 11

제 1 항, 제 3 항, 및 제 5 항 중 어느 한 항에 있어서,

상기 표시 장치는 액티브 매트릭스형의 EL 표시 장치인, 표시 장치.

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

발명의 설명

기술 분야

[0001] 본 발명은, EL 표시 장치, 상기 EL 표시 장치를 구비한 전자 기기에 관한 것이다.

배경 기술

[0002] 표시 장치의 표시 소자를 구동시키기 위한 트랜지스터는, 유리 기판 등에 형성되는 실리콘막 등으로 구성되어 있다. 아모퍼스 실리콘을 사용한 트랜지스터는, 전계 효과 이동도가 낮지만 유리 기판의 대면적화에 대응할 수 있다. 또한, 다결정 실리콘을 사용한 트랜지스터는 전계 효과 이동도는 높지만 유리 기판의 대면적화에는 적합하지 않기 때문에, 중소형 표시 장치에 사용되고 있다.

[0003] 다결정 실리콘을 사용한 트랜지스터를 사용하여 EL 소자 등의 발광 소자를 구동하는 표시 장치(EL 표시 장치)에서는, 화소마다의 다결정 실리콘을 사용한 트랜지스터의 임계값 전압 및 이동도의 편차가 생긴다. 특허문헌 1에는, 트랜지스터의 임계값 전압 및 이동도의 편차를 저감하기 위한 구성이 개시되어 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본국 특개2007-310311호 공보

발명의 내용

해결하려는 과제

[0005] 도 23은 특허문헌 1의 화소의 구성인 화소(800)를 도시한 것이다. 화소(800)는 샘플링용 트랜지스터(801), 구동용 트랜지스터(802), EL 소자(803), 용량 소자(804), 용량 소자(805), 신호선(806), 주사선(807), 전원선(808) 및 공통 전극(809)으로 구성된다.

[0006] 또한, 도 24는 EL 표시 장치의 블록도이다. EL 표시 장치(900)는, 화소부(904) 내에 화소(800)가 매트릭스 형상으로 배치되고, 도 24에 도시된 바와 같이, 화소부(904)의 주위에 신호선 구동 회로(901), 주사선 구동 회로(902) 및 전원선 구동 회로(903)를 배치한다. 신호선 구동 회로(901)는 신호선(806), 주사선 구동 회로(902)는 주사선(807), 전원선 구동 회로(903)는 전원선(808)을 각각 구동한다.

[0007] 특허문헌 1의 구성에서는, 샘플링용 트랜지스터(801) 및 구동용 트랜지스터(802)에 n채널형의 트랜지스터를 사용한다. 또한, 일반적인 EL 표시 장치에서는 전원선의 애노드 전압을 외부의 고정 전압원으로부터 공급하지만, 특허문헌 1의 구성에서는, 전원선 구동 회로(903)에 의하여 전원선(808)의 전압을 행마다 주사한다. 또한, 특허문헌 1의 구성에서는 상술한 전원선(808)의 구동 외, 복수의 동작의 천이(遷移)를 거침으로써 구동용 트랜지스터(802)의 임계값 전압 및 이동도의 편차를 보정하고, 또 EL 소자(803)의 열화 대책을 실현하고 있다. 동작의 자세한 내용에 대해서는, 특개2007-310311호 공보를 참조하면 좋다.

- [0008] 결과적으로, 구동용 트랜지스터(802)의 임계값 전압 및 이동도의 편차, 그리고, EL 소자(803)의 열화로 인한 영향이 작고, 표시 격차가 적은 EL 표시 장치를 실현할 수 있다.
- [0009] 그러나, 특허문헌 1에 기재된 기술은, 다결정 실리콘을 사용한 트랜지스터이기 때문에 트랜지스터를 형성하는 기관의 대형화가 어렵다는 과제가 생긴다. 이것은, 유리 기관 위에 다결정 실리콘을 형성하는 저온 프로세스의 경우 레이저 결정화를 사용하지만, 레이저 결정화는 대형화가 어렵기 때문이다.
- [0010] 한편, 아모퍼스 실리콘을 사용한 트랜지스터로 EL 표시 장치를 구성하는 경우, 트랜지스터를 형성하는 기관의 대형화는 가능하지만, 트랜지스터의 이동도는 낮다. 그래서, 도 24에 있어서의 회로 구성의 전원선 구동 회로(903)를 아모퍼스 실리콘을 사용한 트랜지스터로 구성하는 경우, 많은 전류를 흘릴 수 없다는 과제가 생긴다.
- [0011] 도 23 및 도 24에 있어서, 전원선 구동 회로(903)는 주사선 구동 회로(902)와 마찬가지로 온과 오프를 반복하여 소정의 동작을 행한다. 주사선 구동 회로(902)는 주사선(807)에 대하여 전압 공급할 뿐이지만, 전원선 구동 회로(903)는 전원선(808)에 대하여 EL 소자(803)의 발광을 위한 전류를 공급해야 하고, 큰 전류 공급 능력이 회로를 구성하는 트랜지스터에 필요하다.
- [0012] 그래서, 본 발명의 일 형태에 있어서는, 화소부와 같은 절연 기관 위에 있어서 큰 전류 공급 능력이 얻어지는 트랜지스터로 구성되는 전원선 구동 회로를 구비한 EL 표시 장치를 제공하는 것을 과제 중 하나로 한다.

과제의 해결 수단

- [0013] 본 명세서에서 개시한 본 발명의 일 형태는, 절연 기관 위에 복수의 화소와 복수의 신호선, 복수의 주사선, 및 복수의 전원선을 갖는 액티브 매트릭스형 표시 장치에 있어서, 절연 기관 위에 전계 효과 이동도를 적어도 $80\text{cm}^2/\text{Vs}$ 이상, 바람직하게는 $120\text{cm}^2/\text{Vs}$ 이상 갖는 산화물 반도체의 트랜지스터를 갖고, 트랜지스터를 구성 요소 중 하나로 하는 전원선 구동 회로를 갖는 EL 표시 장치이다.
- [0014] 본 명세서에서 개시한 본 발명의 일 형태는, 절연 기관 위에 복수의 화소와 복수의 신호선, 복수의 주사선, 복수의 전원선을 갖는 액티브 매트릭스형의 EL 표시 장치이며, 절연 기관 위에 전계 효과 이동도가 적어도 $80\text{cm}^2/\text{Vs}$ 이상인 트랜지스터를 갖고, 트랜지스터를 구성 요소 중 하나로 하는 전원선 구동 회로를 갖고, 트랜지스터는 산화물 반도체층을 갖는 EL 표시 장치가 바람직하다.
- [0015] 본 명세서에서 개시한 본 발명의 일 형태는, 절연 기관 위에 복수의 화소와 복수의 신호선, 복수의 주사선, 복수의 전원선을 갖는 액티브 매트릭스형의 EL 표시 장치이며, 절연 기관 위에 전계 효과 이동도가 적어도 $80\text{cm}^2/\text{Vs}$ 이상인 트랜지스터를 갖고, 트랜지스터를 구성 요소 중 하나로 하는 전원선 구동 회로 및 주사선 구동 회로를 갖고, 트랜지스터는 산화물 반도체층을 갖는 EL 표시 장치가 바람직하다.
- [0016] 본 명세서에서 개시한 본 발명의 일 형태는, 절연 기관 위에 복수의 화소와 복수의 신호선, 복수의 주사선, 복수의 전원선을 갖는 액티브 매트릭스형의 EL 표시 장치이며, 절연 기관 위에 전계 효과 이동도가 적어도 $80\text{cm}^2/\text{Vs}$ 이상인 트랜지스터를 갖고, 트랜지스터를 구성 요소 중 하나로 하는 전원선 구동 회로, 주사선 구동 회로, 및 신호선 구동 회로를 갖고, 트랜지스터는 산화물 반도체층을 갖는 EL 표시 장치가 바람직하다.
- [0017] 본 발명의 일 형태에 있어서, 트랜지스터의 전계 효과 이동도가 $120\text{cm}^2/\text{Vs}$ 이상인 EL 표시 장치가 바람직하다.
- [0018] 본 발명의 일 형태에 있어서, 화소가 갖는 샘플링용 트랜지스터 및 구동용 트랜지스터는, 산화물 반도체층을 갖는 EL 표시 장치가 바람직하다.
- [0019] 본 발명의 일 형태에 있어서, 산화물 반도체층은 게이트 절연층을 개재(介在)하여 게이트 전극층과 중첩하는 채널 형성 영역을 적어도 갖는 EL 표시 장치가 바람직하다.
- [0020] 본 발명의 일 형태에 있어서, 산화물 반도체층은 고순도화된 산화물 반도체층인 EL 표시 장치가 바람직하다.
- [0021] 본 발명의 일 형태에 있어서, 고순도화된 산화물 반도체층은 In, Sn, Zn으로부터 선택된 적어도 한 가지의 원소를 포함한 산화물 반도체인 EL 표시 장치가 바람직하다.
- [0022] 본 발명의 일 형태에 있어서, 상술한 전계 효과 이동도를 향상시키는 수단은, 우선 트랜지스터를 구성하는 산화물 반도체에 근접한 절연막 또는/및 이온 주입에 의하여 산화물 반도체에 산소를 공급하여 일부가 캐리어 발생

원이 되는 산소 결손을 저감시키는 것이다. 또한, 전계 효과 이동도를 향상시키는 수단으로서 다음에는 트랜지스터의 제작 공정에 있어서 산화물 반도체를 고순도화하여 일부가 캐리어 발생원이 되는 수소 농도를 극히 낮게 하는 것이다.

- [0023] 구체적으로 본 발명의 일 형태에 있어서의 산화물 반도체의 제작 공정에 대하여 도 1(A) 내지 도 1(D)에서 단면도를 도시하여, 이하에서 설명한다.
- [0024] 우선, 가열 처리에 의하여 산소를 방출하는 하지 절연막(10)을 형성하고, 상기 하지 절연막(10) 위에 적층하여 산화물 반도체막(11)을 형성한다(도 1(A) 참조). 그리고, 적층한 하지 절연막(10) 및 산화물 반도체막(11)에 제 1 가열 처리를 행한다(도 1(B) 참조).
- [0025] 게이트 절연층 등으로서 기능하는 하지 절연막(10)으로서 가열 처리에 의하여 산소를 방출하는 절연막을 제공함으로써, 산화물 반도체막(11) 중에 생기는 산소 결손을 나중에 행하는 가열 처리에 의하여 보상(補償)할 수 있다. 산화물 반도체막(11) 중의 산소 결손은 일부가 캐리어 발생원이 되기 때문에, 얻어지는 트랜지스터의 임계값 전압을 변동시키는 요인이 될 수 있다.
- [0026] 또한, 가열 처리에 의하여 산소를 방출하는 하지 절연막(10)을 제공함으로써, 하지 절연막(10)과 산화물 반도체막(11)의 계면 준위를 저감할 수 있다. 상기 계면 준위는, 얻어지는 트랜지스터의 동작에 관련하여 생기는 전하를 트랩하는 경우가 있기 때문에, 트랜지스터의 신뢰성을 저하시키는 원인이 될 수 있다.
- [0027] 또한, 하지 절연막(10)은 평탄성을 갖는 것이 바람직하다. 구체적으로는, 평균 면 거칠기(Ra)를 1nm 이하, 바람직하게는 0.3nm 이하, 보다 바람직하게는 0.1nm 이하로 한다. 하지 절연막(10)에 대하여 화학 기계 연마(CMP: Chemical Mechanical Polishing) 처리 등의 평탄화 처리를 행하여도 좋다. 하지 절연막(10)이 평탄성을 가짐으로써, 하지 절연막(10)과 산화물 반도체막(11)의 계면 상태가 양호하게 되므로 얻어지는 트랜지스터의 전계 효과 이동도가 향상되고, 또 임계값 전압의 변동도 저감할 수 있다.
- [0028] 산화물 반도체막(11)은 특히, In-Sn-Zn계 산화물을 사용하면, 높은 전계 효과 이동도 및 높은 신뢰성을 갖는 트랜지스터를 얻을 수 있어 바람직하다. 이외에도 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물이나, 3원계 금속의 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물이나, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Pm-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물이나, 2원계 금속의 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물이나, In-Ga계 산화물, 1원계 금속의 산화물인 In계 산화물, Sn계 산화물, Zn계 산화물 등을 사용한 경우도 마찬가지이다.
- [0029] 또한, 산화물 반도체막(11)은 기판을 가열하면서 형성하면, 얻어지는 트랜지스터의 전계 효과 이동도가 향상되므로 바람직하다. 산화물 반도체막(11)을 형성할 때의 기판 가열 온도는, 100℃ 이상 600℃ 이하, 바람직하게는 150℃ 이상 550℃ 이하, 더욱 바람직하게는 200℃ 이상 500℃ 이하로 한다. 산화물 반도체막(11)은 스퍼터링법을 사용하여 형성하는 것이 바람직하다.
- [0030] 또한, 산화물 반도체막(11)은 2.5eV 이상, 바람직하게는 2.8eV 이상, 더 바람직하게는 3.0eV 이상의 밴드 갭을 갖는다. 산화물 반도체막(11)이 상기 범위의 밴드 갭을 가짐으로써, 오프 전류가 극히 작은 트랜지스터를 얻을 수 있다.
- [0031] 또한, 산화물 반도체막(11)은 단결정, 다결정(폴리크리스탈이라고도 함) 또는 비정질 등의 상태를 취한다. 바람직하게는, 산화물 반도체막(11)은 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)막으로 한다.
- [0032] CAAC-OS막은 완전한 단결정이 아니고, 완전한 비정질도 아니다. CAAC-OS막은 비정질상에 결정부 및 비정질부를 갖는 결정-비정질 혼상 구조의 산화물 반도체막이다. 또한, 상기 결정부는 하나의 변이 100nm 미만인 입방체 내에 들어가는 크기인 경우가 많다. 또한, 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의한 관찰상에서는 CAAC-OS막에 포함되는 비정질부와 결정부의 경계는 명확하지 않다. 또한, TEM에 의하여 CAAC-OS막에는 입계(그레인 바운더리라고도 함)는 확인할 수 없다. 그래서, CAAC-OS막은 입계에 기인하는 전자 이동도의 저하가 억제된다.
- [0033] 제 1 가열 처리는 감압 분위기(10Pa 이하), 불활성 분위기(질소, 희 가스 등의 불활성 가스로 이루어진 분위기) 또는 산화성 분위기(산소, 오존, 아산화 질소 등의 산화성 가스를 10ppm 이상 포함한 분위기)에 있어서, 250℃

이상 650℃ 이하, 바람직하게는 300℃ 이상 600℃ 이하의 온도로 행한다.

- [0034] 제 1 가열 처리에 의하여, 산화물 반도체막(11) 중의 수소 등의 불순물 농도를 저감할 수 있다. 또는, 하지 절연막(10)과 산화물 반도체막(11)의 계면 상태를 양호하게 할 수 있다. 산화물 반도체막(11)을 형성한 다음에 제 1 가열 처리를 행하기 때문에, 하지 절연막(10)으로부터 방출되는 산소가 외방 확산되는 것을 방지할 수 있다. 또한, 불활성 분위기 또는 감압 분위기에서 가열 처리를 행한 후에 온도를 내리지 않고 분위기를 바꿔 산화성 분위기에서 가열 처리를 행하여도 상관없다. 이와 같은 방법으로 가열 처리를 행함으로써, 불활성 분위기 또는 감압 분위기에서 산화물 반도체막(11)으로부터 불순물을 저감하고, 그 후에 산화성 분위기에서 불순물의 제거시에 생긴 산소 결손을 저감할 수 있다.
- [0035] 또한, 가열 처리, 막의 형성에는, 불순물이 적은 가스를 사용한다. 구체적으로는 노점이 -70℃ 이하인 가스를 사용하면 좋다.
- [0036] 제 1 가열 처리를 행한 후, 산화물 반도체막(11)을 가공하여 섬 형상의 산화물 반도체막(12)으로 한다. 산화물 반도체막(12)의 가공은, 포토 마스크를 사용하여 레지스트 마스크를 형성하고, 드라이 에칭법 또는 웨트 에칭법에 의하여 레지스트 마스크의 비형성부를 형성하면 좋다. 이와 같은 가공 공정을 포토리소그래피 공정이라고 부른다.
- [0037] 다음에, 도전막을 형성하고, 포토리소그래피 공정 등에 의하여 가공하여 산화물 반도체막과 적어도 일부가 접하는 소스 전극(13A) 및 드레인 전극(13B)을 형성한다.
- [0038] 다음에, 층간 절연막으로서 기능하는 상부 절연막(14)을 형성한다(도 1(C) 참조). 상부 절연막(14)으로서 가열 처리에 의하여 산소를 방출하는 절연막을 사용하는 것이 바람직하다.
- [0039] 다음에, 제 2 가열 처리를 행한다(도 1(D) 참조). 제 2 가열 처리는, 제 1 가열 처리와 같은 조건으로 행하면 좋다. 제 2 가열 처리를 행함으로써, 하지 절연막(10) 및 상부 절연막(14)으로부터 산소가 방출되어, 섬 형상의 산화물 반도체막(12) 중의 산소 결손을 저감할 수 있다. 또한, 하지 절연막(10)과 섬 형상의 산화물 반도체막(12)의 계면 준위, 섬 형상의 산화물 반도체막(12)과 상부 절연막(14)의 계면 준위를 저감할 수 있기 때문에, 얻어지는 트랜지스터의 전계 효과 이동도를 높이고, 임계값 전압의 편차를 저감시키고, 또 신뢰성을 향상시킬 수 있다.
- [0040] 상술한 방법으로 높은 전계 효과 이동도를 갖고, 임계값 전압의 편차가 작고, 또 신뢰성이 높은 산화물 반도체를 사용한 트랜지스터를 제작할 수 있다.
- [0041] 또한, 트랜지스터의 상부 절연막(14)을 덮도록 층간 절연막을 더 제공하는 것이 바람직하다. 층간 절연막을 제공함으로써, 하지 절연막(10) 및 상부 절연막(14)으로부터 방출되는 산소가 트랜지스터로부터 외방 확산되는 것을 방지할 수 있다. 층간 절연막을 형성하는 경우, 층간 절연막을 제공한 후에 제 2 가열 처리를 행하여도 좋다.
- [0042] 이와 같이 하여 얻어진 트랜지스터는, 높은 전계 효과 이동도를 갖고(예를 들어, 전계 효과 이동도가 $31\text{cm}^2/\text{Vs}$ 이상), 임계값 전압의 편차가 작고, 또 높은 신뢰성을 갖고(예를 들어, 마이너스 BT 시험에 의한 임계값 전압의 변동 폭이 1V 이하), 또 오프 전류를 극히 작게 할 수 있다.
- [0043] 다음에, 산화물 반도체를 고순도화함으로써, 절연 게이트형 트랜지스터의 전계 효과 이동도를 크게 할 수 있는 이론에 대하여 설명한다.
- [0044] 산화물 반도체에 한정되지 않고, 실제로 측정되는 절연 게이트형 트랜지스터의 전계 효과 이동도는 다양한 이유로 인하여 본래의 이동도보다 낮게 된다. 이동도를 저하시키는 요인으로서의 반도체 내부의 결함이나 반도체와 절연막의 계면의 결함이 있지만, Levinson 모델을 사용하면 반도체 내부에 결함이 없다고 가정한 경우의 전계 효과 이동도를 이론적으로 도출할 수 있다.
- [0045] 반도체 본래의 이동도를 μ_0 , 측정되는 전계 효과 이동도를 μ 으로 하고, 반도체 중에 어떠한 포텐셜 장벽(입계 등)이 존재한다고 가정하면, 이하의 수학식(1)과 같이 표현할 수 있다.

[0046] [수학식 1]

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right) \quad (1)$$

[0047]

[0048] 여기서, E는 포텐셜 장벽의 높이를 나타낸 것이고, k는 볼츠만 상수(Boltzmann constant)를 나타낸 것이고, T는 절대 온도를 나타낸 것이다. 또한, 포텐셜 장벽이 결함에 유래한다고 가정하면, Levinson 모델에서는, 하기 수학식(2)과 같이 표현할 수 있다.

[0049] [수학식 2]

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g} \quad (2)$$

[0050]

[0051] 여기서, e는 전기 소량을 나타낸 것이고, N은 채널 내의 단위 면적당의 평균 결함 밀도를 나타낸 것이고, ϵ 는 반도체의 유전율을 나타낸 것이고, n은 단위 면적당의 채널에 포함되는 캐리어수를 나타낸 것이고, C_{ox} 는 단위 면적당의 용량을 나타낸 것이고, V_g 는 게이트 전압을 나타낸 것이고, t는 채널의 두께를 나타낸 것이다. 또한, 두께 30nm 이하의 반도체층이면, 채널의 두께는 반도체층의 두께와 동일하여도 지장이 없다.

[0052] 선형 영역에 있어서의 드레인 전류(I_d)는, 수학식(3)과 같이 표현할 수 있다.

[0053] [수학식 3]

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right) \quad (3)$$

[0054]

[0055] 여기서, L은 채널 길이를 나타낸 것이고, W는 채널 폭을 나타낸 것이고, 여기서는, $L=W=10\mu m$ 이다. 또한, V_d 는 드레인 전압을 나타낸 것이다.

[0056] 상기 수학식의 양쪽 변을 V_g 로 나누고, 또한 양쪽 변의 대수를 취한 것은, 수학식(4)과 같이 표현할 수 있다.

[0057] [수학식 4]

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g} \quad (4)$$

[0058]

[0059] 수학식(4)의 우변은 V_g 의 함수이다. 이 수학식으로부터 알 수 있듯이, 세로 축을 $\ln(I_d/V_g)$, 가로 축을 $1/V_g$ 로 하여 실측값을 플롯하여 얻어지는 그래프의 직선의 기울기로부터 결함 밀도 N을 구할 수 있다. 즉, 트랜지스터의 I_d-V_g 특성으로부터 결함 밀도를 평가할 수 있다. 산화물 반도체로서는 인듐(In), 주석(Sn), 아연(Zn)의 비율이 In:Sn:Zn=1:1:1인 것은 결함 밀도 N은 $1 \times 10^{12}/cm^2$ 정도다.

[0060] 이와 같이 하여 구한 결함 밀도 등을 기초로 수학식(1) 및 수학식(2)으로부터 $\mu_0=120cm^2/Vs$ 가 도출된다. 결함이 있는 In-Sn-Zn 산화물에서 측정되는 이동도는 $40cm^2/Vs$ 정도다. 그러나, 반도체 내부 및 반도체와 절연막과의 계면의 결함이 없는 산화물 반도체의 이동도 μ_0 은 $120cm^2/Vs$ 가 된다고 예상할 수 있다.

[0061] 다만, 반도체 내부에 결함이 없어도, 채널과 게이트 절연막의 계면에서의 산란에 의하여 트랜지스터의 수송 특성은 영향을 받는다. 즉, 게이트 절연막 계면에서 x만큼 떨어진 장소에 있어서의 이동도 μ_1 은 수학식(5)과 같이 표현할 수 있다.

[0062] [수학식 5]

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{l}\right) \quad (5)$$

[0063]

[0064] 여기서, D는 게이트 방향의 전계를 나타낸 것이고, B 및 l은 상수다. B 및 l은 실제의 측정 결과로부터 구할 수 있고, 상기 측정 결과로부터는, $B=4.75 \times 10^7$ cm/s, $l=10\text{nm}$ (계면 산란이 미치는 깊이)이다. D가 증가하면(즉, 게이트 전압이 높아지면), 수학식(5)의 제 2 항이 증가하기 때문에, 이동도 μ_1 은 저하되는 것을 알 수 있다.

[0065] 도 2는 반도체 내부의 결함이 없는 이상적인 산화물 반도체를 채널에 사용한 트랜지스터의 이동도 μ_2 를 계산한 결과를 도시한 것이다. 또한, 계산에는 디바이스 시뮬레이션 소프트웨어 Sentaurus Device(Synopsys, Inc. 제)를 사용하고, 산화물 반도체의 밴드 갭, 전자 친화력, 비유전율, 두께를 각각, 2.8eV, 4.7eV, 15, 15nm로 하였다. 이들 값은 스퍼터링법에 의하여 형성된 박막을 측정하여 얻어진 것이다.

[0066] 또한, 게이트의 일함수를 5.5eV, 소스 전극의 일함수를 4.6eV, 드레인 전극의 일함수를 4.6eV로 하였다. 또한, 게이트 절연막의 두께는 100nm, 비유전율은 4.1로 하였다. 채널 길이 및 채널 폭은 모두 10 μm , 드레인 전압 V_d 는 0.1V이다.

[0067] 도 2에 도시된 바와 같이, 게이트 전압이 1V를 넘으면 이동도 $100\text{cm}^2/\text{Vs}$ 이상의 피크를 갖게 되지만, 게이트 전압이 더 높아지면 계면 산란이 커져 이동도가 저하된다. 또한, 계면 산란을 저감하기 위해서는 반도체층 표면을 원자 레벨로 평탄하게 하는 것(Atomic Layer Flatness)이 바람직하다.

[0068] 이와 같은 이동도를 갖는 산화물 반도체를 사용하여 미세한 트랜지스터를 제작한 경우의 특성을 계산한 결과로도 3(A) 내지 도 5(C)에 도시하였다. 또한, 계산에 사용한 트랜지스터의 단면 구조를 도 6(A) 및 도 6(B)에서 도시하였다. 도 6(A) 및 도 6(B)에서 도시한 트랜지스터는 산화물 반도체층에 n^+ 의 도전형을 나타내는 반도체 영역(103a) 및 반도체 영역(103c)을 갖는다. 반도체 영역(103a) 및 반도체 영역(103c)의 저항률은 $2 \times 10^{-3} \Omega\text{cm}$ 으로 한다.

[0069] 도 6(A)에 도시된 트랜지스터는, 하지 절연물(101)과, 하지 절연물(101)에 매립되도록 형성된 산화 알루미늄으로 이루어진 매립 절연물(102) 위에 형성된다. 트랜지스터는 반도체 영역(103a), 반도체 영역(103c)과, 상기 반도체 영역들 사이에 개재(介在)되며, 채널 형성 영역이 되는 진성의 반도체 영역(103b)과, 게이트(105)를 갖는다. 게이트(105)의 폭은 33nm로 한다.

[0070] 게이트(105)과 반도체 영역(103b) 사이에는, 게이트 절연막(104)을 갖고, 또한, 게이트(105)의 양측면에는 측벽 절연물(106a) 및 측벽 절연물(106b), 게이트(105)의 상부에는, 게이트(105)과 다른 배선과의 단락을 방지하기 위한 절연물(107)을 갖는다. 측벽 절연물의 폭은 5nm로 한다. 또한, 반도체 영역(103a) 및 반도체 영역(103c)에 접하여, 소스(108a) 및 드레인(108b)을 갖는다. 또한, 이 트랜지스터에 있어서의 채널 폭은 40nm로 한다.

[0071] 도 6(B)에 도시된 트랜지스터는, 하지 절연물(101)과, 산화 알루미늄으로 이루어진 매립 절연물(102) 위에 형성되고, 반도체 영역(103a), 반도체 영역(103c), 상기 반도체 영역들 사이에 개재된 진성의 반도체 영역(103b)과, 폭이 33nm인 게이트(105), 게이트 절연막(104), 측벽 절연물(106a) 및 측벽 절연물(106b), 절연물(107), 소스(108a) 및 드레인(108b)을 갖는 점에서 도 6(A)에서 도시한 트랜지스터와 마찬가지로이다.

[0072] 도 6(A)에서 도시한 트랜지스터와 도 6(B)에서 도시한 트랜지스터의 차이점은, 측벽 절연물(106a) 및 측벽 절연물(106b) 아래의 반도체 영역의 도전형이다. 도 6(A)에서 도시한 트랜지스터에서는 측벽 절연물(106a) 및 측벽 절연물(106b) 아래의 반도체 영역은 n^+ 의 도전형을 나타내는 반도체 영역(103a) 및 반도체 영역(103c)이지만, 도 6(B)에서 도시한 트랜지스터에서는 측벽 절연물(106a) 및 측벽 절연물(106b) 아래의 반도체 영역은 진성의 반도체 영역(103b)이다. 즉, 도 6(B)에서 도시한 반도체층에 있어서, 반도체 영역(103a)(반도체 영역(103c))과 게이트(105)이 Loff만큼 겹치지 않는 영역이 생겨 있다. 이 영역을 오프 셋 영역이라고 하고, 그 폭 Loff를 오프 셋 길이라고 한다. 도면을 보면 알 수 있듯이, 오프 셋 길이는, 측벽 절연물(106a)(측벽 절연물(106b))의 폭과 같다.

- [0073] 그 외의 계산에 사용하는 파라미터는 상술한 바와 같다. 계산에 디바이스 시뮬레이션 소프트웨어인 Sentaurus Device(Synopsys, Inc. 제작)를 사용하였다. 도 3(A) 내지 도 3(C)는, 도 6(A)에 도시된 구조의 트랜지스터의 드레인 전류 I_d (실선) 및 이동도 μ (점선)의 게이트 전압(V_g , 게이트와 소스의 전위차) 의존성을 도시한 것이다. 드레인 전류 I_d 는 드레인 전압(드레인과 소스의 전위차)을 +1V로 하여 계산한 것이고, 이동도 μ 는 드레인 전압을 +0.1V로 하여 계산한 것이다.
- [0074] 도 3(A)는 게이트 절연층의 두께를 15nm로 한 것이고, 도 3(B)는 10nm으로 한 것이며, 도 3(C)는 5nm로 한 것이다. 게이트 절연층이 얇아질수록 특히 오프 상태에서의 드레인 전류 I_d (오프 전류)가 현저히 저하된다. 한편, 이동도 μ 의 피크 값이나 온 상태에서의 드레인 전류 I_d (온 전류)에는 두드러진 변화가 없다. 게이트 전압 1V 전후에서 드레인 전류는 메모리 소자 등에서 필요한 10 μA 를 넘는 것이 제시되었다.
- [0075] 도 4(A) 내지 도 4(C)는, 도 6(B)에 도시된 구조의 트랜지스터로서, 오프 셋 길이 L_{off} 를 5nm로 한 것의 드레인 전류 I_d (실선) 및 이동도 μ (점선)의 게이트 전압 V_g 의존성을 도시한 것이다. 드레인 전류 I_d 는 드레인 전압을 +1V로 하여 계산한 것이고, 이동도 μ 는 드레인 전압을 +0.1V로 하여 계산한 것이다. 도 4(A)는 게이트 절연층의 두께를 15nm로 한 것이고, 도 4(B)는 10nm로 한 것이며, 도 4(C)는 5nm로 한 것이다.
- [0076] 또한, 도 5(A) 내지 도 5(C)는, 도 6(B)에 도시된 구조의 트랜지스터로서, 오프 셋 길이 L_{off} 를 15nm로 하였지만 드레인 전류 I_d (실선) 및 이동도 μ (점선)의 게이트 전압 의존성을 도시한 것이다. 드레인 전류 I_d 는 드레인 전압을 +1V로 하여 계산한 것이고, 이동도 μ 는 드레인 전압을 +0.1V로 하여 계산한 것이다. 도 5(A)는 게이트 절연층의 두께를 15nm로 한 것이고, 도 5(B)는 게이트 절연층의 두께를 10nm로 한 것이고, 도 5(C)는 게이트 절연층의 두께를 5nm로 한 것이다.
- [0077] 모두 게이트 절연층이 얇아질수록 오프 전류가 현저히 저하되는 한편, 이동도 μ 의 피크값이나 온 전류에 두드러진 변화가 없다.
- [0078] 또한, 이동도 μ 의 피크는, 도 3(A) 내지 도 3(C)에서는 $80\text{cm}^2/\text{Vs}$ 정도이지만, 도 4(A) 내지 도 4(C)에서는 $60\text{cm}^2/\text{Vs}$ 정도, 도 5(A) 내지 도 5(C)에서는 $40\text{cm}^2/\text{Vs}$ 정도로, 오프 셋 길이 L_{off} 가 증가할수록 저하된다. 또한, 오프 전류도 같은 경향이 있다. 한편, 온 전류는 오프 셋 길이 L_{off} 의 증가에 따라 감소되지만, 오프 전류의 저하와 비교하면 훨씬 완만하다.
- [0079] 이상으로 설명한, 고순도화된 산화물 반도체를 채널 형성 영역에 갖는 트랜지스터는 전계 효과 이동도가 $80\text{cm}^2/\text{Vs}$ 이상, 또한 $120\text{cm}^2/\text{Vs}$ 이상으로 높고, 화소부와 같은 절연 기판 위에 있어서 큰 전류 공급 능력을 얻을 수 있다.

발명의 효과

- [0080] 고순도화된 산화물 반도체를 채널 형성 영역에 갖는 트랜지스터를 사용함으로써, 화소부와 같은 절연 기판 위에 전원선 구동 회로를 구비한 EL 표시 장치를 제공할 수 있다.

도면의 간단한 설명

- [0081] 도 1(A) 내지 도 1(D)는 본 발명의 일 형태를 도시한 단면도.
- 도 2는 계산에 의하여 얻어진 이동도의 게이트 전압 의존성을 설명한 도면.
- 도 3(A) 내지 도 3(C)는 계산에 의하여 얻어진 드레인 전류와 이동도의 게이트 전압 의존성을 설명한 도면.
- 도 4(A) 내지 도 4(C)는 계산에 의하여 얻어진 드레인 전류와 이동도의 게이트 전압 의존성을 설명한 도면.
- 도 5(A) 내지 도 5(C)는 계산에 의하여 얻어진 드레인 전류와 이동도의 게이트 전압 의존성을 설명한 도면.
- 도 6(A) 및 도 6(B)는 계산에 사용한 트랜지스터의 단면 구조를 설명한 도면.

도 7(A) 및 도 7(B)는 본 발명의 일 형태를 나타낸 EL 표시 장치의 일 형태를 도시한 도면.
 도 8(A) 및 도 8(B)는 본 발명의 일 형태를 나타낸 EL 표시 장치의 일 형태를 도시한 도면.
 도 9는 본 발명의 일 형태를 나타낸 EL 표시 장치의 일 형태를 도시한 도면.
 도 10은 본 발명의 일 형태를 나타낸 EL 표시 장치의 일 형태를 도시한 도면.
 도 11(A) 내지 도 11(D)는 본 발명의 일 형태인 트랜지스터의 제작 방법을 도시한 단면도.
 도 12(A) 내지 도 12(D)는 본 발명의 일 형태인 트랜지스터의 제작 방법을 도시한 단면도.
 도 13(A)는 본 발명의 일 형태인 트랜지스터의 상면도이고, 도 13(B)는 본 발명의 일 형태인 트랜지스터의 단면도.
 도 14(A)는 본 발명의 일 형태인 트랜지스터의 상면도이고, 도 14(B)는 본 발명의 일 형태인 트랜지스터의 단면도.
 도 15(A) 내지 도 15(E)는 산화물 재료의 결정 구조를 설명한 도면.
 도 16(A) 내지 도 16(C)는 산화물 재료의 결정 구조를 설명한 도면.
 도 17(A) 내지 도 17(C)는 산화물 재료의 결정 구조를 설명한 도면.
 도 18(A) 및 도 18(B)는 본 발명의 일 형태를 나타낸 EL 표시 장치의 일 형태를 설명한 도면.
 도 19는 전자 기기의 일례를 도시한 도면.
 도 20은 In-Sn-Zn계 산화물막의 XRD 스펙트럼을 도시한 도면.
 도 21은 In-Sn-Zn계 산화물막의 TEM 단면 이미지.
 도 22는 In-Sn-Zn계 산화물막의 TEM 단면 이미지.
 도 23은 EL 표시 장치의 화소를 설명한 도면.
 도 24는 EL 표시 장치의 블록도.

발명을 실시하기 위한 구체적인 내용

- [0082] 이하에서, 본 발명의 실시형태 및 실시예에 대하여 도면을 참조하면서 설명한다. 다만, 본 발명의 구성은 많은 다른 형태에서 실시할 수 있고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 상세한 내용을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 실시형태 및 실시예의 기재 내용에 한정하여 해석되지 않는다. 또한, 이하의 설명하는 본 발명의 구성에 있어서 같은 것을 가리키는 부호는 다른 도면들에서 공통으로 한다.
- [0083] 또한, 각 실시형태의 도면 등에 있어서 도시한 각 구성의 크기, 층의 두께, 또는 영역은 명확하게 하기 위하여 과장(誇張)하여 표기되는 경우가 있다. 따라서 반드시 그 스케일로 한정되지 않는다.
- [0084] 또한, "A와 B가 접속된다"라고 명시적으로 기재한 경우는 A와 B가 전기적으로 접속되는 경우와, A와 B가 기능적으로 접속되는 경우와, A와 B가 직접 접속되는 경우를 포함하는 것으로 한다.
- [0085] 또한, 본 명세서에서 사용하는 "제 1", "제 2", "제 3", 내지 "제 N"(N은 자연수)이라는 용어는, 구성 요소의 혼동을 피하기 위하여 붙인 것이고, 수(數)적으로 한정하는 것이 아니라는 것을 부기한다.
- [0086] (실시형태 1)
- [0087] 도 7(A) 및 도 7(B)를 사용하여 본 발명의 실시형태를 나타내었다. 도 7(A)는, 유리 기판(1501) 위에 화소부(1502), 주사선 구동 회로(1503), 전원선 구동 회로(1504)를 내장하고, 신호선 구동에 아날로그 스위치(1505)를 내장한 표시 장치를 도시한 것이다. 도 7(A)에서는 일례로서 신호선 구동에 아날로그 스위치(1505)를 사용한 예를 도시하였다. 또한, 도 7(A)에서는 FPC(1506), FPC(1507), FPC(1508) 및 FPC(1509)를 함께 도시하였다.
- [0088] 도 7(B)는 전원선 구동 회로(1504)를 블록도로 도시한 것이다. 전원선 구동 회로(1504)는 시프트 레지스터

(1511_1 내지 1511_n)와 인버터(1512_1 내지 1512_n)로 구성되어 있다. 인버터(1512_1 내지 1512_n)는 각각 전원선 A1 내지 An을 구동한다.

[0089] 시프트 레지스터(1511_1 내지 1511_n) 중 임의의 하나의 회로는 도 8(A)에 도시된 공지의 회로를 복수단 캐스케이드(cascade) 접속함으로써 사용할 수 있다. 또한, 도 8(A)의 동작에 대해서는, 특개2011-30171호 공보에 기재된 동작을 참조하면 좋다.

[0090] 도 8(B)는 인버터(1512_1 내지 1512_n) 중 임의의 하나의 회로도를 도시한 것이다. 도 8(B)에 있어서, 전원선(307)에는 고전원 전위 VDD가 공급되고, 전원선(308)에는 저전원 전위 VSS가 공급된다.

[0091] 도 8(B)의 동작에 대하여 설명한다. 도 8(B)에 있어서, 시프트 레지스터로부터의 신호 OUT는 단자(309)에 입력된다. 단자(309)는 대개 L신호이고, 신호 OUT로부터의 펄스 신호에 따라 H신호가 된다.

[0092] 우선, 단자(309)에 H신호가 입력되면, 전원 효과형 FET(304) 및 FET(305)가 도통 상태가 된다. 이에 따라 FET(301) 및 FET(303)의 소스 전위는 L신호가 된다. 단자(310)는 전원선(308)에 접속되기 때문에 이 상태로 단자(310)가 L신호가 되어 화소가 초기화된다.

[0093] 다음에, 단자(309)가 로우가 되면, FET(304) 및 FET(305)는 비도통 상태가 된다. 그리고, FET(301)의 소스 전위가 상승된다. 또한, FET(302)를 통하여 FET(303)의 게이트 전위도 상승되어, FET(303)가 도통 상태가 된다. 그리고, 전원선(307)으로부터 FET(303)를 통하여 단자(310)에 전류가 흐른다. 따라서 단자(310)는 상승된다. 용량 소자(306)가 부트스트랩(bootstrap) 동작하도록 기능하여 FET(303)의 게이트 전위는 전원선(307)의 전위를 넘어 상승되고, 단자(310)의 전위는 전원선(307)의 전위까지 상승된다. 이 때 단자(310)로부터의 전류가 화소의 EL 소자에 흐름으로써, EL 소자가 발광한다.

[0094] 예를 들어, EL 표시 장치가 13인치일 때, 500cd/m^2 로 점등할 때, 각 화소의 EL 소자에 흐르는 전류의 총량은 1A 이상이 된다. 디스플레이의 해상도를 풀 하이비전 화질(1920×1080)로 하면, 화소는 1080행 있고, 하나의 행당의 전원선에 흐르는 전류는, 0.9mA 이상이 된다. 하나의 행당의 전원선에 흐르는 전류는, FET(303)에 흐르는 전류이기 때문에, FET(303)가 도통 상태일 때의 저항값(온 저항)에 따른 전위 강하가 FET(303)의 드레인과 소스 사이에서 발생한다. 이 전위 강하를 가령 0.1 V까지 허용하면, FET(303)의 온 저항은 110Ω 이하로 할 필요가 있다.

[0095] 고순도화되지 않은 산화물 반도체막인 In-Ga-Zn계 산화물막으로 FET(303)가 구성되어 있는 경우는, 이하와 같이 상정할 수 있다.

[0096] FET(303)의 게이트 절연층의 두께를 300nm, 비유전율을 3.8로 하고, 게이트와 소스간의 전압 V_{gs} 를 5V, 임계값 전압 V_{th} 를 2V, 전계 효과 이동도 μ 를 $10\text{cm}^2/\text{Vs}$, 게이트 길이 L을 $3\mu\text{m}$ 로 한 경우, 온 저항 R_{on} 은 수학적(6)과 같이 표현할 수 있다.

[0097] [수학적 6]

$$R_{on} = V_{ds}/I_d \quad (6)$$

[0098]

[0099] 수학적(6)에 있어서, 드레인 전류 I_d 는 수학적(7)과 같이 표현할 수 있다.

[0100] [수학적 7]

$$I_d = \mu \cdot C_o \cdot W/L \cdot (V_{gs} - V_{th}) \cdot V_{ds} \quad (7)$$

[0101]

[0102] C_o 는 단위 면적당의 게이트 절연층의 정전 용량, W는 게이트 폭, L은 게이트 길이, V_{ds} 는 드레인과 소스간의 전압으로 한다.

[0103] 수학적(6)과 수학적(7)으로 상기 온 저항이 110Ω 이하를 만족시키기 위해서는, $W=9\text{cm}$ 로 할 필요가 있다. 한편으로, 디스플레이는 프레임을 작게 하는 것이 요구되기 때문에, 상술한 $W=9\text{cm}$ 는 상품으로서는 인정되지 않는다. 즉, 전계 효과 이동도 μ 가 $10\text{cm}^2/\text{Vs}$ 이며, 고순도화되지 않은 산화물 반도체막인 In-Ga-Zn계 산화물막으로는 실

현할 수가 없다. 아모퍼스 실리콘으로는 이동도가 더 작기 때문에 실현할 수가 없다.

- [0104] 한편으로, 고순도화된 산화물 반도체막인 In-Sn-Zn계 산화물막으로는, 전계 효과 이동도 μ 를 $80\text{cm}^2/\text{Vs}$ 이상, 또한 μ 를 $120\text{cm}^2/\text{Vs}$ 이상으로 할 수 있게 된다. 이 경우, 상술한 여러 조건에 있어서, W을 11.3mm , 또한 7.5mm 까지 작게 할 수 있고, 디스플레이의 프레임에 채용할 수 있게 된다.
- [0105] 이와 같이 하여 고순도화된 산화물 반도체막을 FET의 활성층에 사용한 경우, 전원선 구동 회로를 절연 기판 위에 화소 등의 회로와 함께 형성할 수 있다. 또한, 고순도화된 산화물 반도체막을 FET의 활성층에 사용한 경우, 임계값 전압 등의 FET의 여러 특성의 편차, EL 소자의 시간 경과 열화의 보정 등이 가능한 EL 표시 장치를 실현할 수 있게 된다.
- [0106] 또한, 도 7(A)에 있어서, 신호선 구동에 아날로그 스위치(1505)를 사용하여 설명하였다. 예를 들어, 풀 하이비전 화질의 EL 표시 장치의 경우, 신호선은 $1920 \times \text{RGB}$ 의 5760개 존재한다. 신호선 구동 회로를 동일 기판 위에 형성하지 않는 경우에는, 신호선에 접속된 단자에 각각 신호선 구동 회로의 단자가 접속된다. 그래서, 기계적인 충격 등으로 인한 단자의 불량 발생하기 쉽다. 이 경우, 단자를 감소시키는 것이 접속 불량을 저감시키는 것에 효과적이다. 따라서, 아날로그 스위치 어레이를 동일 기판 위에 형성하고, RGB의 각 단자를 시분할로 선택적으로 신호선 구동 회로에 접속하여 단자의 개수를 감소시키는 것을 목적으로 한다.
- [0107] 도 9는 아날로그 스위치(1505)의 등가 회로를 도시한 것이다. 도 9에 도시한 예에서는, EL 표시 장치의 외부에 접속되는 단자는 신호선 구동 회로의 출력 단자가 되는 D_1 내지 D_1920의 1920개와 스위치 어레이의 게이트를 제어하는 RGB의 단자 3개의 합계가 1923개가 되어 대략 3분의 1로 삭감할 수 있다. 이들은, FPC(1506) 내지 FPC(1509)에 접속된다. 한편, 아날로그 스위치에 접속된 소스 드라이버는 시분할을 행하는 경우와 비교하여 3배의 속도로 동작시킬 필요가 있고, 신호선에의 기록 시간을 3분의 1로 할 필요가 있다. 신호선에의 기록 시간을 삭감하기 위해서는, 아날로그 스위치에 사용되는 트랜지스터의 전류 능력을 향상시키는 것이 중요하다. 따라서, 전원선 구동 회로와 마찬가지로 아날로그 스위치를 구성하는 트랜지스터에는 고순도화된 산화물 반도체막을 트랜지스터의 활성층에 사용한 전계 효과 이동도가 큰 트랜지스터를 사용하는 것이 바람직하다.
- [0108] 또한, 도 10에 도시된 바와 같이, 신호선 구동 회로를 절연 기판 위에 화소 등의 회로와 함께 형성할 수 있다. 도 10은, 유리 기판(1701) 위에 화소부(1702), 주사선 구동 회로(1703), 전원선 구동 회로(1704), 신호선 구동 회로(1705)를 내장한 예를 도시한 것이다. 주사선 구동 회로(1703), 전원선 구동 회로(1704), 신호선 구동 회로(1705)에는, FPC(1706), FPC(1707)로부터 신호가 공급된다.
- [0109] 이상으로 설명한 바와 같이, 본 실시형태의 전원선 구동 회로는, 고순도화된 산화물 반도체를 채널 형성 영역에 갖는 트랜지스터로 구성할 수 있다. 고순도화된 산화물 반도체를 채널 형성 영역에 갖는 트랜지스터는 높은 전계 효과 이동도를 갖는 트랜지스터를 실현할 수 있다. 그래서, 상기 트랜지스터를 사용함으로써 화소부와 같은 절연 기판 위에 전원선 구동 회로를 구비한 EL 표시 장치를 제공할 수 있다. 결과적으로 프레임을 작게 하는 것이 도모된 EL 표시 장치로 할 수 있다.
- [0110] 본 실시형태는 다른 실시형태에 기재된 구성과 적절히 조합하여 실시하는 것이 가능하다.
- [0111] (실시형태 2)
- [0112] 본 실시형태에서는, 실시형태 1에서 설명한 전원선 구동 회로를 구성하는 트랜지스터의 제작예를, 도 11(A) 내지 도 12(D)를 사용하여 설명한다. 또한, 전원선 구동 회로를 구성하는 트랜지스터와 함께 제작할 수 있는, 화소부의 각 화소가 갖는 샘플링용 트랜지스터의 상면도 및 상기 상면도에 대응하는 단면도의 일례를 도 13(A) 내지 도 14(B)를 사용하여 설명한다.
- [0113] 또한, 본 실시형태에서는, 보텀 게이트형 구조의 트랜지스터를 제작하는 예를 사용하여 설명하지만, 전원선 구동 회로 및 화소가 갖는 트랜지스터에는 톱 게이트형 구조의 트랜지스터를 사용할 수도 있다. 또한, 본 실시형태에서는, 스택형 트랜지스터를 제작하는 예를 설명하지만, 코플래너(coplanar)형이라도 제작할 수 있다.
- [0114] 또한, 본 실시형태에서는, 전원선 구동 회로를 구성하는 트랜지스터의 제작예를 설명하지만, 신호선 구동 회로 및/또는 주사선 구동 회로를 구성하는 트랜지스터의 제작에 대해서도 마찬가지로 제작할 수 있다.
- [0115] 제작에 대해서도 마찬가지로 제작할 수 있다.

- [0116] 도 11(A) 내지 도 11(D)에서는 채널 에치형의 보텀 게이트형 구조의 트랜지스터를 제작하는 예에 대하여 설명하였다.
- [0117] 우선, 절연 표면을 갖는 기판(400) 위에, 도전막을 형성한 후, 포토 마스크를 사용하여 포토리소그래피 공정에 의하여 게이트 전극층(401)을 제공한다.
- [0118] 기판(400)으로서는, 대량으로 생산할 수 있는 유리 기판을 사용하는 것이 바람직하다. 기판(400)으로서 사용하는 유리 기판은, 후공정으로 행하는 가열 처리의 온도가 높은 경우에는, 유리의 왜곡점이 730℃ 이상인 것을 사용하면 좋다. 또한, 기판(400)에는, 예를 들어, 알루미늄 실리케이트 유리, 알루미늄 보로실리케이트 유리, 바륨 보로실리케이트 유리 등의 유리 재료가 사용되고 있다.
- [0119] 또한, 하지막이 되는 절연층을 기판(400)과 게이트 전극층(401) 사이에 제공하여도 좋다. 하지막은 기판(400)으로부터의 불순물 원소의 확산을 방지하는 기능이 있고, 질화 실리콘층, 산화 실리콘층, 질화산화 실리콘층 및 산화질화 실리콘층으로부터 선택된 하나에 의한 단일 층 구조 또는 복수의 층에 의한 적층 구조로 형성할 수 있다.
- [0120] 산화질화 실리콘이란, 그 구성에 있어서 질소보다 산소의 함유량이 많은 것을 가리키며, 예를 들어 산소가 50at.% 이상 70at.% 이하, 질소가 0.5at.% 이상 15at.% 이하, 실리콘이 25at.% 이상 35at.% 이하, 수소가 0at.% 이상 10at.% 이하의 범위로 포함된 것을 가리킨다. 또한, 질화산화 실리콘이란 그 구성에 있어서 산소보다 질소의 함유량이 많은 것을 가리키며, 예를 들어 산소가 5at.% 이상 30at.% 이하, 질소가 20at.% 이상 55at.% 이하, 실리콘이 25at.% 이상 35at.% 이하, 수소가 10at.% 이상 25at.% 이하의 범위로 포함된 것을 가리킨다. 다만, 상기 범위는, 러더퍼드 후방 산란법(RBS: Rutherford Backscattering Spectrometry)이나 수소 전방 산란법(HFS: Hydrogen Forward scattering Spectrometry)을 사용하여 측정된 경우의 것이다. 또한, 구성 원소의 조성은, 그 합계가 100at.%를 넘지 않는 값으로 한다.
- [0121] 게이트 전극층(401)으로서는, Al, Ti, Cr, Co, Ni, Cu, Y, Zr, Mo, Ag, Ta 및 W, 그들의 질화물, 산화물 및 합금으로부터 선택된 일종 이상 선택하고, 단층으로 사용하거나, 또는 적층으로 사용하면 좋다. 또는 적어도 In 및 Zn을 포함한 산화물 또는 산질화물을 사용하여도 상관없다. 예를 들어, In-Ga-Zn-O-N계 산화물 등을 사용하면 좋다.
- [0122] 다음에, 게이트 전극층(401) 위에 게이트 절연층(402)을 형성한다. 게이트 절연층(402)은, 게이트 전극층(401)을 형성한 후, 대기에 노출시키지 않고, 스퍼터링법, 증착법, 플라즈마 화학 기상 성장법(PCVD법), 펄스 레이저 퇴적법(PLD법), 원자층 퇴적법(ALD법) 또는 분자선 에피택시법(MBE법) 등을 사용하여 형성한다.
- [0123] 게이트 절연층(402)은 가열 처리에 의하여 산소를 방출하는 절연막을 사용하는 것이 바람직하다.
- [0124] "가열 처리에 의하여 산소를 방출한다"는 것은, TDS(Thermal Desorption Spectroscopy: 승온 탈리 가스 분광법) 분석에 있어서, 산소 원자로 환산한 산소의 방출량이 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 이상, 바람직하게는 $3.0 \times 10^{20} \text{ atoms/cm}^3$ 이상인 것을 가리킨다.
- [0125] 여기서, TDS 분석으로 산소 원자로 환산한 산소의 방출량의 측정 방법에 대하여, 이하에 설명한다.
- [0126] TDS 분석을 하였을 때의 기체의 방출량은, 스펙트럼의 적분값에 비례한다. 따라서, 측정된 스펙트럼의 적분값과, 표준 시료의 기준값에 대한 비율에 의하여, 기체의 방출량을 계산할 수 있다. 표준 시료의 기준값이란, 소정의 원자를 포함하는 시료의 스펙트럼의 적분값에 대한 원자의 밀도 비율이다.
- [0127] 예를 들어, 표준 시료인 소정의 밀도의 수소를 포함하는 실리콘 웨이퍼의 TDS 분석 결과, 및 절연막의 TDS 분석 결과로부터, 절연막의 산소 분자의 방출량(N_{O_2})은 수학식(8)로 수할 수 있다. 여기서, TDS 분석으로 얻어지는 질량수 32로 검출되는 스펙트럼 모두가 산소 분자 유래라고 가정한다. 질량수 32인 것으로서는 CH_3OH 도 있지만, 존재할 가능성이 낮은 것으로 하여 여기서는 고려하지 않는다. 또한, 산소 원자의 동위원소인 질량수 17인 산소 원자 및 질량수 18인 산소 원자를 포함하는 산소 분자에 대해서도 자연계에서의 존재 비율이 극미량이기 때문에 고려하지 않는다.

[0128] [수학식 8]

$$N_{O_2} = \frac{N_{H_2}}{S_{H_2}} \times S_{O_2} \times \alpha \quad (8)$$

[0129]

[0130] 수학식(8)에 있어서 N_{H_2} 는, 표준 시료로부터 탈리한 수소 분자를 밀도로 환산한 값이다. S_{H_2} 는 표준 시료를 TDS 분석으로 측정하였을 때의 스펙트럼의 적분 값이다. 여기서, 표준 시료의 기준값을, N_{H_2}/S_{H_2} 로 한다. S_{O_2} 는 절연막을 TDS 분석하였을 때의 스펙트럼의 적분값이다. α 는 TDS 분석에 있어서의 스펙트럼 강도에 영향을 주는 계수이다. 수학식(8)의 자세한 설명에 관해서는 특개평6-275697 공보를 참조한다. 또한, 상기 절연막의 산소의 방출량은, 전자 과학 주식회사제의 승온 이탈 분석 장치 EMD-WA1000S/W를 사용하고, 표준 시료로서 1×10^{16} atoms/cm³의 수소 원자를 포함한 실리콘 웨이퍼를 사용하여 측정한다.

[0131] 또한, TDS 분석에 있어서, 산소의 일부는 산소 원자로서 검출된다. 산소 분자와 산소 원자의 비율은, 산소 분자의 이온화율로부터 산출할 수 있다. 또한, 상술한 α 는 산소 분자의 이온화율을 포함하기 때문에, 산소 분자의 방출량을 평가함으로써, 산소 원자의 방출량에 관해서도 어렵잡을 수 있다.

[0132] 또한, N_{O_2} 는 산소 분자의 방출량이다. 산소 원자로 환산하였을 때의 산소의 방출량은, 산소 분자의 산소의 방출량의 2배가 된다.

[0133] 상기 구성에 있어서, 가열 처리에 의하여 산소를 방출하는 막은 산소가 과잉인 산화 실리콘($SiO_x(X>2)$)이어도 좋다. 산소가 과잉인 산화 실리콘($SiO_x(X>2)$)이란, 단위 체적당에 실리콘 원자수의 2배보다 많은 산소 원자를 포함한 것이다. 단위 체적당의 실리콘 원자수 및 산소 원자수는 러더포드 후방산란 분광법에 의하여 측정된 값이다.

[0134] 게이트 절연층(402)에 접하여 제공된 산화물 반도체막에 대하여, 게이트 절연층(402)으로부터 산소가 공급됨으로써, 접하여 제공된 산화물 반도체막과 게이트 절연층(402)의 계면 준위를 저감할 수 있다. 결과적으로 트랜지스터의 동작 등에 기인하여, 접하여 제공된 산화물 반도체막과 게이트 절연층(402)의 계면에 캐리어가 포획되는 것을 억제할 수 있어 전기 특성의 열화가 적은 트랜지스터를 얻을 수 있다.

[0135] 또한, 접하여 제공된 산화물 반도체막의 산소 결손에 기인하여 전하가 발생하는 경우가 있다. 일반적으로 산화물 반도체막의 산소 결손은, 그 일부가 도너가 되어 캐리어인 전자를 방출한다. 결과적으로, 트랜지스터의 임계값 전압이 마이너스 방향으로 시프트하게 된다. 그래서, 게이트 절연층(402)에 접하여 제공된 산화물 반도체막에 대하여, 게이트 절연층(402)으로부터 산소가 충분히 공급되어, 바람직하게는 접하여 제공된 산화물 반도체막에 산소가 과잉으로 포함됨으로써, 임계값 전압이 마이너스 방향으로 시프트하게 되는 요인인 산화물 반도체막의 산소 결손을 저감할 수 있다.

[0136] 또한, 게이트 절연층(402)에 접하여 제공된 산화물 반도체막이 성장하기 쉽게 하기 위하여, 게이트 절연층(402)은 충분한 평탄성을 갖는 것이 바람직하다.

[0137] 게이트 절연층(402)은 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 질화 알루미늄, 산화 하프늄, 산화 지르코늄, 산화 이트륨, 산화 란탄, 산화 세슘, 산화 탄탈 및 산화 마그네슘 중 하나 이상을 선택하여 단층으로 사용하거나, 또는 적층으로 사용하면 좋다.

[0138] 게이트 절연층(402)은 바람직하게는 스퍼터링법에 의하여, 기판 가열 온도를 실온 이상 200℃ 이하, 바람직하게는 50℃ 이상 150℃ 이하로 하고, 산소 가스 분위기에서 형성한다. 또한, 산소 가스에 희 가스를 더하여 사용하여도 좋고, 그 경우에는 산소 가스의 비율은 30volume% 이상, 바람직하게는 50volume% 이상, 더욱 바람직하게는 80volume% 이상으로 한다. 게이트 절연층(402)의 두께는, 100nm 이상 1000nm 이하, 바람직하게는 200nm 이상 700nm 이하로 한다. 형성시의 기판 가열 온도가 낮을수록 성막 분위기 중의 산소 가스의 비율이 높을수록, 두께가 두꺼울수록 게이트 절연층(402)을 가열 처리하였을 때 방출되는 산소의 양은 많아진다. 스퍼터링법은 PCVD법과 비교하여 막 중의 수소 농도를 저감할 수 있다. 또한, 게이트 절연층(402)을 1000nm를 넘는 두께로 형성하여도 좋지만, 생산성을 저하시키지 않을 정도의 두께로 한다.

[0139] 다음에, 게이트 절연층(402) 위에 스퍼터링법, 증착법, PCVD법, PLD법, ALD법 또는 MBE법 등을 사용하여 산화물 반도체막(403)을 형성한다. 상술한 공정이 도 11(A)에 도시한 단면도에 대응한다.

- [0140] 산화물 반도체막(403)은 두께를 1nm 이상 40nm 이하로 한다. 바람직하게는 두께를 3nm 이상 20nm 이하로 한다. 특히, 채널 길이가 30nm 이하인 트랜지스터에 있어서는 산화물 반도체막(403)의 두께를 5nm 정도로 함으로써 단 채널 효과를 억제할 수 있어 안정된 전기적 특성을 얻을 수 있다.
- [0141] 산화물 반도체막(403)으로서, 특히 In-Sn-Zn계의 재료를 사용함으로써, 높은 전계 효과 이동도의 트랜지스터를 얻을 수 있다.
- [0142] 산화물 반도체막(403)은 트랜지스터의 오프 전류를 저감하기 위하여, 밴드 갭이 2.5eV 이상, 바람직하게는 2.8eV 이상, 더욱 바람직하게는 3.0eV 이상인 재료를 선택한다. 밴드 갭이 상술한 범위에 있는 산화물 반도체막(403)을 사용함으로써 트랜지스터의 오프 전류를 작게 할 수 있다.
- [0143] 또한, 산화물 반도체막(403)은 수소, 알칼리 금속, 및 알칼리 토금속 등이 저감된, 불순물 농도가 매우 낮은 산화물 반도체막(403)이면 바람직하다. 산화물 반도체막(403)이 상술한 불순물을 가지면, 불순물이 형성하는 준위에 의하여 밴드 갭 내의 재결합이 일어나 트랜지스터는 오프 전류가 증대된다.
- [0144] 산화물 반도체막(403) 중의 수소 농도는, 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 있어서 $5 \times 10^{19} / \text{cm}^{-3}$ 미만, 바람직하게는 $5 \times 10^{18} / \text{cm}^{-3}$ 이하, 바람직하게는 $1 \times 10^{18} / \text{cm}^{-3}$ 이하, 더욱 바람직하게는 $5 \times 10^{17} / \text{cm}^{-3}$ 이하로 한다.
- [0145] 또한, 산화물 반도체막(403) 중의 알칼리 금속 농도는, SIMS에 있어서 나트륨 농도가 $5 \times 10^{16} / \text{cm}^{-3}$ 이하, 바람직하게는 $1 \times 10^{16} / \text{cm}^{-3}$ 이하, 더욱 바람직하게는 $1 \times 10^{15} / \text{cm}^{-3}$ 이하로 한다. 마찬가지로 리튬 농도는 $5 \times 10^{15} \text{ cm}^{-3}$ 이하, 바람직하게는 $1 \times 10^{15} \text{ cm}^{-3}$ 이하로 한다. 마찬가지로, 칼륨 농도는 $5 \times 10^{15} \text{ cm}^{-3}$ 이하, 바람직하게는 $1 \times 10^{15} \text{ cm}^{-3}$ 이하로 한다.
- [0146] 산화물 반도체막(403)은, 바람직하게는 스퍼터링법에 의하여, 기판 가열 온도를 100℃ 이상 600℃ 이하, 바람직하게는 150℃ 이상 550℃ 이하, 더욱 바람직하게는 200℃ 이상 500℃ 이하로 하고, 산소 가스 분위기에서 형성한다. 산화물 반도체막(403)의 두께는, 1nm 이상 40nm 이하, 바람직하게는 3nm 이상 20nm 이하로 한다. 형성시의 기판 가열 온도가 높을수록, 얻어지는 산화물 반도체막(403)의 불순물 농도는 낮아진다. 또한, 산화물 반도체막(403) 중의 원자 배열이 가지런해지고 고밀도화되어, 다결정 또는 CAAC-OS가 형성되기 쉬워진다. 또한, 산소 가스 분위기에서 형성하는 것으로도, 회 가스 등의 여분의 원자가 포함되지 않기 때문에, 다결정 또는 CAAC-OS가 형성되기 쉬워진다. 단, 산소 가스와 회 가스의 혼합 분위기로 하여도 좋고, 그 경우는 산소 가스의 비율은 30volume% 이상, 바람직하게는 50volume% 이상, 더욱 바람직하게는 80volume% 이상으로 한다. 또한, 산화물 반도체막(403)은 얇을수록, 트랜지스터의 단채널 효과가 저감된다. 다만, 지나치게 얇으면 계면 산란의 영향이 강해져, 전계 효과 이동도의 저하가 일어나는 경우가 있다.
- [0147] 산화물 반도체막(403)으로서 In-Sn-Zn계 산화물을 스퍼터링법으로 형성하는 경우, 바람직하게는 원자수 비율이 In:Sn:Zn=2:1:3, In:Sn:Zn=1:2:2, In:Sn:Zn=1:1:1 또는 In:Sn:Zn=20:45:35로 제시되는 In-Sn-Zn-O 타깃을 사용한다. 상술한 원자수 비율을 갖는 In-Sn-Zn-O 타깃을 사용하여 산화물 반도체막(403)을 형성함으로써, 다결정 또는 CAAC-OS가 형성되기 쉬워진다.
- [0148] 다음에, 제 1 가열 처리를 행한다. 제 1 가열 처리는 감압 분위기, 불활성 분위기 또는 산화성 분위기에서 행한다. 제 1 가열 처리에 의하여, 산화물 반도체막(403) 중의 불순물 농도를 저감할 수 있다. 상술한 공정에도 11(B)에 도시한 단면도에 대응한다.
- [0149] 제 1 가열 처리는, 감압 분위기 또는 불활성 분위기에서 가열 처리를 행한 후, 온도를 유지하면서 산화성 분위기로 전환하여 더 가열 처리를 행하면 바람직하다. 이것은, 감압 분위기 또는 불활성 분위기에서 가열 처리를 행하면, 산화물 반도체막(403) 중의 불순물 농도를 효과적으로 저감할 수 있지만, 동시에 산소 결손도 생기기 때문이며, 이때 생긴 산소 결손을, 산화성 분위기에서의 가열 처리에 의하여 저감할 수 있다.
- [0150] 산화물 반도체막(403)은, 형성시의 기판 가열 외에, 제 1 가열 처리를 행함으로써, 막 중의 불순물 준위를 매우 작게 할 수 있게 된다. 결과적으로, 트랜지스터의 전계 효과 이동도를 후술하는 이상적인 전계 효과 이동도 가까이까지 높일 수 있게 된다.
- [0151] 또한, 산화물 반도체막(403)에 산소 이온을 주입하여 가열 처리에 의하여 산화물 반도체막(403)에 포함되는 수소 등의 불순물을 방출시키고, 상기 가열 처리와 동시에, 또는 그 후의 가열 처리에 의하여 산화물 반도체막

(403)을 결정화시켜도 좋다.

- [0152] 또한, 제 1 가열 처리 대신에 레이저 빔을 조사하여 선택적으로 산화물 반도체막(403)을 결정화시켜도 좋다. 또는, 제 1 가열 처리를 행하면서 레이저 빔을 조사하여 선택적으로 산화물 반도체막(403)을 결정화시켜도 좋다. 레이저 빔의 조사는, 불활성 분위기, 산화성 분위기, 또는 감압 분위기에서 행한다. 레이저 빔의 조사를 행하는 경우, 연속 발진형의 레이저 빔(CW 레이저 빔) 또는 펄스 발진형의 레이저 빔(펄스 레이저 빔)을 사용할 수 있다. 예를 들어, Ar 레이저, Kr 레이저, 또는 엑시머 레이저 등의 기체 레이저, 단결정 또는 다결정의 YAG, YVO₄, 포르스테라이트(forsterite)(Mg₂SiO₄), YAlO₃, 또는 GdVO₄에 도펀트로서 Nd, Yb, Cr, Ti, Ho, Er, Tm, 및 Ta 중 하나 이상이 첨가되어 있는 것을 매질로 한 레이저, 또는 유리 스 레이저, 루비 레이저, 알렉산드라이트 레이저, 또는 Ti:사파이어 레이저 등의 고체 레이저, 또는 구리증기 레이저 또는 금증기 레이저 중 하나 이상으로부터 발진되는 증기 레이저를 사용할 수 있다. 이와 같은 레이저 빔의 기본파, 또는 기본파의 제 2 고조파 내지 제 5 고조파 중 어느 하나의 레이저 빔을 조사함으로써 산화물 반도체막(403)을 결정화시킬 수 있다. 또한, 조사하는 레이저 빔은 산화물 반도체막(403)의 밴드 갭보다 큰 것을 사용하면 바람직하다. 예를 들어, KrF, ArF, XeCl, 또는 XeF의 엑시머 레이저 발진기로부터 사출되는 레이저 빔을 사용하여도 좋다. 또한, 레이저 빔의 형상이 선형이라도 상관없다.
- [0153] 또한, 상이한 조건하에 있어서, 레이저 빔 조사를 복수회 행하여도 좋다. 예를 들어, 첫 번째 레이저 빔 조사를 희 가스 분위기하 또는 감압 분위기하에서 행하고, 두 번째 레이저 빔 조사를 산화성 분위기하에서 행하면, 산화물 반도체막(403)의 산소 결손을 저감시키면서 높은 결정성을 얻을 수 있어 바람직하다.
- [0154] 다음에, 산화물 반도체막(403)을 포토리소그래피 공정 등에 의하여 섬 형상으로 가공하고 산화물 반도체막(404)을 형성한다.
- [0155] 다음에, 게이트 절연층(402) 및 산화물 반도체막(404) 위에 도전막을 형성한 후, 포토리소그래피 공정 등에 의하여 소스 전극(405A) 및 드레인 전극(405B)을 형성한다. 형성 방법으로는, 각각 스퍼터링법, 증착법, PCVD법, PLD법, ALD법 또는 MBE법 등을 사용하면 좋다. 소스 전극(405A) 및 드레인 전극(405B)은 게이트 전극층(401)과 마찬가지로, Al, Ti, Cr, Co, Ni, Cu, Y, Zr, Mo, Ag, Ta 및 W, 이들의 질화물, 산화물 및 합금으로부터 하나 이상 선택하고, 단층으로 사용하거나, 또는 적층으로 사용하면 좋다.
- [0156] 다음에, 스퍼터링법, 증착법, PCVD법, PLD법, ALD법 또는 MBE법 등을 사용하여 상부 절연막이 되는 절연막(406)을 형성한다. 상술한 공정이 도 11(C)에 도시한 단면도에 대응한다. 절연막(406)은 게이트 절연층(402)과 같은 방법으로 형성하면 좋다.
- [0157] 또한, 절연막(406)에 적층하여 보호 절연막을 형성하여도 좋다(도시하지 않았음). 보호 절연막은 250℃ 이상 450℃ 이하, 바람직하게는 150℃ 이상 800℃ 이하의 온도 범위에 있어서 예를 들어 1시간의 가열 처리를 행하여도 산소를 투과시키지 않는 성질을 갖는 것이 바람직하다.
- [0158] 상술한 바와 같은 성질에 의하여, 보호 절연막을 절연막(406)의 주변에 제공하는 구조로 할 때, 가열 처리에 의하여 절연막(406)으로부터 방출된 산소가 트랜지스터의 외방으로 확산되는 것을 억제할 수 있다. 이와 같이, 절연막(406)에 산소가 유지되므로, 트랜지스터의 전계 효과 이동도의 저하를 방지하고, 임계값의 편차를 저감시키고, 또 신뢰성을 향상시킬 수 있다.
- [0159] 보호 절연막은, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 질화 알루미늄, 산화 하프늄, 산화 지르코늄, 산화 이트륨, 산화 란탄, 산화 세슘, 산화 탄탈 및 산화 마그네슘 중 하나 이상을 선택하고, 단층으로 사용하거나 또는 적층으로 사용하면 좋다.
- [0160] 절연막(406)을 형성한 후, 제 2 가열 처리를 행한다. 상술한 공정이 도 11(D)에 도시한 단면도에 대응한다. 제 2 가열 처리는, 감압 분위기, 불활성 분위기 또는 산화성 분위기에 있어서 150℃ 이상 550℃ 이하, 바람직하게는 250℃ 이상 400℃ 이하의 온도 범위에서 행한다. 제 2 가열 처리를 행함으로써, 게이트 절연층(402) 및 절연막(406)으로부터 산소가 방출되어, 산화물 반도체막(404) 중의 산소 결손을 저감할 수 있다. 또한, 게이트 절연층(402)과 산화물 반도체막(404)의 계면 준위, 및 산화물 반도체막(404)과 절연막(406)의 계면 준위를 저감할 수 있기 때문에, 트랜지스터의 임계값 전압의 편차를 저감시키고, 또 신뢰성을 향상시킬 수 있다.
- [0161] 도 11(D)에서 도시한 트랜지스터는 보텀 게이트형이지만, 도 6(A) 및 도 6(B)에서 도시한 트랜지스터와 등가인 구조를 갖는다. 즉, 도 6(A) 및 도 6(B)에 있어서의 게이트(105)와 중첩하는 반도체 영역(103b)이 도 11(D)의 산화물 반도체막(404)에 상당하고, 도 6(A) 및 도 6(B)에 있어서의 n+의 도전형을 나타내는 반도체 영역(103a)

및 반도체 영역(103c)이 도 11(D)에 있어서의 소스 전극(405A) 및 드레인 전극(405B)과 산화물 반도체막(404)의 접촉부에 상당한다. 따라서, 게이트 절연층(402)과 산화물 반도체막(404)의 계면 준위, 및 산화물 반도체막(404)과 절연막(406)의 계면 준위를 저감시킴으로써 계산에서 나타난 결과와 마찬가지로 높은 전계 효과 이동도를 얻을 수 있게 된다.

[0162] 제 1 가열 처리 및 제 2 가열 처리를 거친 산화물 반도체막(404)을 사용한 트랜지스터는, 전계 효과 이동도가 높고, 오프 전류가 작다. 구체적으로는, 트랜지스터의 전계 효과 이동도를 $80\text{cm}^2/\text{Vs}$ 이상, 더욱 바람직하게는 $120\text{cm}^2/\text{Vs}$ 이상으로 할 수 있고, 채널 폭이 $1\mu\text{m}$ 당의 오프 전류를 $1\times 10^{-18}\text{A}$ 이하, $1\times 10^{-21}\text{A}$ 이하, 또는 $1\times 10^{-24}\text{A}$ 이하로 할 수 있다.

[0163] 산화물 반도체막(404)은 비단결정인 것이 바람직하다. 트랜지스터의 동작, 외부로부터의 광이나 열의 영향으로 산화물 반도체막(404)에 산소 결손이 생긴 경우에 산화물 반도체막(404)이 완전한 단결정이면 산소 결손을 보상하기 위한 격자간 산소가 존재하지 않으므로 산화물 반도체막(404) 중에 상기 산소 결손에 기인하는 개리어가 생성된다. 그래서, 트랜지스터의 임계값 전압이 마이너스 방향으로 시프트되는 경우가 있다.

[0164] 산화물 반도체막(404)은 결정성을 갖는 것이 바람직하다. 예를 들어, 다결정 또는 CAAC-OS를 사용한다.

[0165] 상술한 공정에 의하여, 도 11(D)에서 도시한 트랜지스터(407)를 제작할 수 있다.

[0166] 또한, 다른 구성예로서 도 12(A) 내지 도 12(D)에서 채널 스톱형의 보텀 게이트형 구조의 트랜지스터를 제작하는 예에 대하여 설명한다.

[0167] 또한, 도 12(A) 내지 도 12(D)에서 도시한 도면과 도 11(A) 내지 도 11(D)에서 도시한 도면의 상이한 점은, 채널 스톱막이 되는 절연막(408)을 갖는 점이다. 따라서, 도 12(A) 내지 도 12(D)의 설명에서는 도 11(A) 내지 도 11(D)와 중복하는 설명에 대해서는 생략하고, 도 11(A) 내지 도 11(D)에서의 설명을 원용하는 것으로 한다.

[0168] 도 12(A) 및 도 12(B)에 대한 기재는, 도 11(A) 및 도 11(B)와 마찬가지로. 도 12(C)에서 도시한 절연막(408)은 게이트 절연층(402) 및 절연막(406)과 마찬가지로 형성할 수 있다. 즉, 절연막(408)은 가열 처리에 의하여 산소를 방출하는 절연막을 사용하는 것이 바람직하다.

[0169] 또한, 채널 스톱막으로서 기능하는 절연막(408)을 제공함으로써 포토리소그래피 공정 등에 의하여 소스 전극(405A) 및 드레인 전극(405B)을 형성할 때 산화물 반도체막(404)이 에칭되는 것을 방지할 수 있다.

[0170] 또한, 절연막(408)은 절연막(406)과 마찬가지로 도 12(D)에서 도시한 절연막(406)의 형성 후의 제 2 가열 처리에 의하여 산소가 방출된다. 따라서, 산화물 반도체막(404) 중의 산소 결손을 저감하는 효과를 더 높일 수 있다. 또한, 게이트 절연층(402)과 산화물 반도체막(404)의 계면 준위, 및 산화물 반도체막(404)과 절연막(408)의 계면 준위를 저감시킬 수 있어 트랜지스터의 임계값 전압의 편차를 저감시키고, 또 신뢰성을 향상시킬 수 있다.

[0171] 상술한 공정에 의하여, 도 12(D)에서 도시한 트랜지스터(409)를 제작할 수 있다.

[0172] 또한, 도 13(A)는 채널 에치형의 보텀 게이트형 구조의 트랜지스터를 화소의 샘플링용 트랜지스터에 사용할 때의 상면도에 대하여 도시한 것이다. 또한, 도 13(B)는, 도 13(A)에서 도시한 상면도에 있어서의 채선 C1-C2에서 절단한 단면도를 도시한 것이다.

[0173] 도 13(B)에서 도시한 단면도는, 상술한 도 11(A) 내지 도 11(D)에서 설명한 채널 에치형 보텀 게이트형 구조의 트랜지스터와 마찬가지로 설명할 수 있다. 즉, 도 13(A)에서 도시한 화소의 샘플링용 트랜지스터의 상면도에 있어서도 마찬가지로 설명할 수 있다. 예를 들어, 화소부에 있어서의 신호선이 소스 전극(405A)에 상당하고, 주사선이 게이트 전극층(401)에 상당하고, 채널 형성 영역이 산화물 반도체막(404)에 상당한다. 또한, 샘플링용 트랜지스터로부터 구동용 트랜지스터에 연장되는 전극이 드레인 전극(405B)에 상당한다.

[0174] 상술한 바와 같이, 채널 에치형 보텀 게이트형 구조의 트랜지스터(407)를 화소의 샘플링용 트랜지스터에 적용할 수 있다.

[0175] 또한, 도 14(A)는 채널 스톱형의 보텀 게이트형 구조의 트랜지스터를 화소의 샘플링용 트랜지스터에 사용할 때의 상면도에 대하여 도시한 것이다. 또한, 도 14(B)는 도 14(A)에 도시한 상면도에 있어서의 채선 C1-C2에서 절단한 단면도를 도시한 것이다.

- [0176] 도 14(B)에서 도시한 단면도는, 상술한 도 12(A) 내지 도 12(D)에서 설명한 채널 스톱형의 보텀 게이트형 구조의 트랜지스터와 마찬가지로 설명할 수 있다. 즉, 도 14(A)에서 도시한 화소의 샘플링용 트랜지스터의 상면도에 있어서도 마찬가지로 설명할 수 있다. 예를 들어, 화소부에 있어서의 신호선이 소스 전극(405A)에 상당하고, 주사선이 게이트 전극층(401)에 상당하고, 채널 형성 영역이 산화물 반도체막(404)에 상당한다. 또한, 샘플링용 트랜지스터로부터 구동용 트랜지스터에 연장되는 전극이 드레인 전극(405B)에 상당하고, 채널 스톱막이 절연막(408)에 상당한다.
- [0177] 이 드레인 전극(405B)에 상당하고, 채널 스톱막이 절연막(408)에 상당한다.
- [0178] 상술한 바와 같이, 채널 스톱형의 보텀 게이트형 구조의 트랜지스터(409)를 화소의 샘플링용 트랜지스터에 적용할 수 있다.
- [0179] 본 실시형태에 의하여 높은 전계 효과 이동도를 갖고, 임계값 전압의 편차가 작고, 높은 신뢰성을 갖고, 오프 전류가 매우 작은 산화물 반도체를 사용한 트랜지스터를 얻을 수 있다.
- [0180] (실시형태 3)
- [0181] 본 실시형태에서는, CAAC-OS막에 대하여 서술한다.
- [0182] CAAC-OS막은 완전한 단결정이 아니고, 완전한 비정질도 아니다. CAAC-OS막은 비정질상에 결정부 및 비정질부를 갖는 결정-비정질 혼상 구조의 산화물 반도체막이다. 또한, 상기 결정부는 하나의 변이 100nm 미만인 입방체 내에 들어가는 크기인 경우가 많다. 또한, 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의한 관찰상에서는 CAAC-OS막에 포함되는 비정질부와 결정부의 경계는 명확하지 않다. 또한, TEM에 의하여 CAAC-OS막에는 입계(그레인 바운더리라고도 함)는 확인할 수 없다. 그래서, CAAC-OS막은 입계에 기인하는 전자 이동도의 저하가 억제된다.
- [0183] CAAC-OS막에 포함되는 결정부는 c축이 CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되고, 또 ab면에 수직인 방향에서 보아서 삼각 형상 또는 육각 형상의 원자 배열을 갖고, c축에 수직인 방향에서 보아서 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 배열되어 있다. 또한, 상이한 결정부 사이에서 a축 및 b축의 방향이 각각 상이하여도 좋다. 본 명세서에서 단순히 "수직"이라고 기재한 경우에는, 85° 이상 95° 이하의 범위도 포함되는 것으로 한다. 또한, 단순히 "평행"이라고 기재한 경우에는, -5° 이상 5° 이하의 범위도 포함되는 것으로 한다.
- [0184] 또한, CAAC-OS막에서 결정부의 분포가 균일하지 않아도 좋다. 예를 들어, CAAC-OS막의 형성 과정에서 산화물 반도체막의 표면 측에서 결정 성장시키는 경우에는, 피형성면 근방보다 표면 근방에서 결정부가 차지하는 비율이 높아지는 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가함으로써 상기 불순물 첨가 영역에서 결정부가 비정질화되는 경우도 있다.
- [0185] CAAC-OS막에 포함되는 결정부의 c축은 CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되기 때문에, CAAC-OS막의 형상(피형성면의 단면 형상 또는 표면의 단면 형상)에 따라서는 서로 상이한 방향을 향하는 경우가 있다. 또한, 결정부의 c축 방향은 CAAC-OS막이 형성되었을 때의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행 방향이 된다. 결정부는, 성막이나, 또는 성막 후에 가열 처리 등의 결정화 처리에 의하여 형성된다.
- [0186] CAAC-OS막을 사용한 트랜지스터는 가시광이나 자외광의 조사에 의한 전기 특성의 변동을 저감할 수 있다. 따라서, 상기 트랜지스터는 신뢰성이 높다.
- [0187] CAAC-OS에 대하여 도 15(A) 내지 도 17(C)를 사용하여 자세히 설명한다. 또한, 특별히 언급하지 않는 한, 도 15(A) 내지 도 17(C)는 상방향을 c축 방향으로 하고, c축 방향과 직교하는 면을 ab면으로 한다. 또한, 단순히 상반부 및 하반부라고 하는 경우에는, ab면을 경계로 하였을 때의 상반부 및 하반부를 가리킨다. 또한, 도 15(A) 내지 도 15(E)에 있어서 동그라미로 둘러싸인 0는 4배위의 0를 나타내고, 이중 동그라미로 둘러싸인 0는 3배위의 0를 나타낸다.
- [0188] 도 15(A)는, 1개의 6배위의 In과, In에 근접한 6개의 4배위의 산소 원자(이하 4배위의 0)를 갖는 구조를 도시한 것이다. 여기서, 하나의 금속 원자에 대하여 근접한 산소 원자만을 도시한 구조를 소(小) 그룹이라고 부른다. 도 15(A)의 구조는, 팔면체 구조를 취하지만, 간단하게 하기 위하여 평면 구조로 도시하였다. 또한, 도 15(A)

의 상반분 및 하반분에는 각각 3개씩 4배위의 0가 있다. 도 15(A)에서 도시한 소 그룹은 전하가 0이다.

- [0189] 도 15(B)는, 1개의 5배위의 Ga와, Ga에 근접한 3개의 3배위의 산소 원자(이하 3배위의 0)와, Ga에 근접한 2개의 4배위의 0를 갖는 구조를 도시한 것이다. 3배위의 0는 모두 ab면에 존재한다. 도 15(B)의 상반분 및 하반분에는 각각 1개씩 4배위의 0가 있다. 또한, In도 5배위를 취할 수 있기 때문에, 도 15(B)에서 도시한 구조를 취할 수 있다. 도 15(B)에서 도시한 소 그룹은 전하가 0이다.
- [0190] 도 15(C)는, 1개의 4배위의 Zn과, Zn에 근접한 4개의 4배위의 0를 갖는 구조를 도시한 것이다. 도 15(C)의 상반분에는 1개의 4배위의 0가 있고, 하반분에는 3개의 4배위의 0가 있다. 도 15(C)에서 도시한 소 그룹은 전하가 0이다. 또한, 도 15(C)의 상반분에는 3개의 4배위의 0가 있고, 하반분에는 1개의 4배위의 0가 있어도 좋다.
- [0191] 도 15(D)는, 1개의 6배위의 Sn과, Sn에 근접한 6개의 4배위의 0를 갖는 구조를 도시한 것이다. 도 15(D)의 상반분에는 3개의 4배위의 0가 있고, 하반분에는 3개의 4배위의 0가 있다. 도 15(D)에서 도시한 소 그룹은 전하가 +1이 된다.
- [0192] 도 15(E)는, 2개의 Zn을 포함한 소 그룹을 도시한 것이다. 도 15(E)의 상반분에는 1개의 4배위의 0가 있고, 하반분에는 1개의 4배위의 0가 있다. 도 15(E)에서 도시한 소 그룹은 전하가 -1이 된다.
- [0193] 여기서는, 복수의 소 그룹의 집합체를 중(中) 그룹이라고 부르고, 복수의 중 그룹의 집합체를 대(大) 그룹(유닛 셀이라고도 함)이라고 부른다.
- [0194] 여기서, 이들의 소 그룹들이 결합하는 규칙에 대하여 설명한다. 도 15(A)에 도시된 6배위의 In의 상반분의 3개의 0는 하방향으로 각각 3개의 근접 In을 가지며, 하반분의 3개의 0는 상방향으로 각각 3개의 근접 In을 갖는다. 도 15(B)에 도시된 5배위의 Ga의 상반분의 1개의 0는 하방향으로 1개의 근접 Ga를 가지며, 하반분의 1개의 0는 상방향으로 1개의 근접 Ga를 갖는다. 도 15(C)에 도시된 4배위의 Zn의 상반분의 1개의 0는 하방향으로 1개의 근접 Zn을 가지며, 하반분의 3개의 0는 상방향으로 각각 3개의 근접 Zn을 갖는다. 이와 같이, 금속 원자의 상방향의 4배위 0의 개수와, 그 0의 하방향에 있는 근접 금속 원자의 개수는 동일하며, 마찬가지로 금속 원자의 하방향의 4배위 0의 개수와, 그 0의 상방향에 있는 근접 금속 원자의 개수는 동일하다. 0는 4배위이므로 하방향에 있는 근접 금속 원자의 개수와, 상방향에 있는 근접 금속 원자의 개수의 합은 4가 된다. 따라서, 금속 원자 상방향에 있는 4배위 0의 개수와, 다른 금속 원자 하방향에 있는 4배위 0의 개수의 합이 4개일 때, 금속 원자를 갖는 2종의 소 그룹끼리는 결합할 수 있다. 그 이유를 이하에 나타낸다. 예를 들어, 6배위의 금속 원자(In 또는 Sn)가 하반분의 4배위의 0를 통하여 결합하는 경우, 4배위의 0가 3개이기 때문에, 5배위의 금속 원자(Ga 또는 In) 및 4배위의 금속 원자(Zn) 중 어느 것과 결합하게 된다.
- [0195] 상술한 배위수를 갖는 금속 원자는 c축 방향에 있어서 4배위의 0를 통하여 결합한다. 또한, 그 외, 층 구조의 층 전하가 0이 되도록 복수의 소 그룹이 결합하여 중 그룹을 구성한다.
- [0196] 도 16(A)는, In-Sn-Zn계의 층 구조를 구성하는 중 그룹의 모델을 도시한 것이다. 도 16(B)는, 3개의 중 그룹으로 구성되는 대 그룹을 도시한 것이다. 또한, 도 16(C)는 도 16(B)의 층 구조를 c축 방향에서 관찰한 경우의 원자 배열을 도시한 것이다.
- [0197] 도 16(A)는 간단화를 위하여 3배위의 0는 생략하고, 4배위의 0는 개수만 도시하며, 예를 들어 Sn의 상반부 및 하반부에는 각각 3개씩 4배위의 0가 있는 것을 동그라미 3으로 도시한 것이다. 마찬가지로 도 16(A)에서는 In의 상반부 및 하반부에는 각각 1개씩 4배위의 0가 있고, 동그라미 1로 도시하였다. 또한, 마찬가지로, 도 16(A)에서는, 하반분에는 1개의 4배위의 0가 있고, 상반분에는 3개의 4배위의 0가 있는 Zn과, 상반분에는 1개의 4배위의 0가 있고, 하반분에는 3개의 4배위의 0가 있는 Zn을 도시하였다.
- [0198] 도 16(A)에 있어서, In-Sn-Zn계의 층 구조를 구성하는 중 그룹은, 위로부터 순서로 4배위의 0가 3개씩 상반분 및 하반분에 있는 Sn가, 4배위의 0가 1개씩 상반분 및 하반분에 있는 In과 결합하고, 그 In이, 상반분에 3개의 4배위의 0가 있는 Zn과 결합하고, 그 Zn의 하반분의 1개의 4배위의 0를 통하여 4배위의 0가 3개씩 상반분 및 하반분에 있는 In과 결합하고, 그 In이, 상반분에 1개의 4배위의 0가 있는 Zn 2개로 이루어지는 소 그룹과 결합하며, 이 소 그룹의 하반분의 1개의 4배위의 0를 통하여 4배위의 0가 3개씩 상반분 및 하반분에 있는 Sn와 결합한 구성이다. 복수의 상기 중 그룹이 결합하여 대 그룹을 구성한다.
- [0199] 여기서, 3배위의 0 및 4배위의 0의 경우, 결합 1개당의 전하는 각각 -0.667, -0.5로 생각할 수가 있다. 예를 들어, In(6배위 또는 5배위), Zn(4배위), Sn(5배위 또는 6배위)의 전하는 각각 +3, +2, +4이다. 따라서, Sn을 포함하는 소 그룹은 전하가 +1이 된다. 따라서, Sn을 포함하는 층 구조를 형성하기 위해서는 전하 +1을 상쇄하

는 전하 -1이 필요하다. 전하 -1을 취하는 구조로서, 도 15(E)에서 도시한 바와 같이, 2개의 Zn을 포함하는 소 그룹을 들 수 있다. 예를 들어, Sn을 포함하는 소 그룹 하나에 대하여 2개의 Zn을 포함하는 소 그룹이 하나 있으면, 전하가 상쇄되기 때문에 층 구조의 총 전하를 0으로 할 수 있다.

[0200] 구체적으로는, 도 16(B)에서 도시한 대 그룹이 반복됨으로써, In-Sn-Zn계의 결정($\text{In}_2\text{SnZn}_3\text{O}_8$)을 얻을 수 있다. 또한, 얻어지는 In-Sn-Zn계 층 구조는 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ (m 은 0 또는 자연수)의 조성식으로 나타낼 수 있다.

[0201] 또한, 이 외에도, 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물이나, 3원계 금속의 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물이나, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Pm-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물이나, 2원계 금속의 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물이나, In-Ga계 산화물, 1원계 금속의 산화물인 In계 산화물, Sn계 산화물, Zn계 산화물 등을 사용한 경우도 마찬가지다.

[0202] 예를 들어, 도 17(A)는, In-Ga-Zn계의 층 구조를 구성하는 중 그룹의 모델도를 도시한 것이다.

[0203] 도 17(A)에 있어서, In-Ga-Zn계의 층 구조를 구성하는 중 그룹은, 위로부터 순서로 4배위의 0가 3개씩 상반분 및 하반분에 있는 In이, 4배위의 0가 1개 상반분에 있는 Zn과 결합하고, 그 Zn의 하반분의 3개의 4배위의 0를 통하여, 4배위의 0가 1개씩 상반분 및 하반분에 있는 Ga와 결합하며, 그 Ga의 하반분의 1개의 4배위의 0를 통하여, 4배위의 0가 3개씩 상반분 및 하반분에 있는 In과 결합한 구성이다. 복수의 상기 중 그룹이 결합하여 대 그룹을 구성한다.

[0204] 도 17(B)는 3개의 중 그룹으로 구성되는 대 그룹을 도시한 것이다. 또한, 도 17(C)는 도 17(B)의 층 구조를 c축 방향에서 관찰한 경우의 원자 배열을 도시한 것이다.

[0205] 여기서, In(6배위 또는 5배위), Zn(4배위), Ga(5배위)의 전하는, 각각 +3, +2, +3이기 때문에, In, Zn 및 Ga 중의 어느 것인가를 포함하는 소 그룹은, 전하가 0이 된다. 따라서, 이들 소 그룹을 조합한 것이라면 중 그룹의 총 전하는 항상 0이 된다.

[0206] 또한, In-Ga-Zn계의 층 구조를 구성하는 중 그룹은, 도 17(A)에서 도시한 중 그룹으로 한정되지 않고, In, Ga, Zn의 배열이 상이한 중 그룹을 조합한 대 그룹도 취할 수 있다.

[0207] 본 실시형태는 다른 실시형태에 기재된 구성과 적절히 조합하여 실시하는 것이 가능하다.

[0208] (실시형태 4)

[0209] 본 실시형태에서는, 산화물 재료를 포함하는 트랜지스터를 화소부, 또한 구동 회로에 사용한 표시 기능을 갖는 EL 표시 장치의 외관 및 단면에 대하여 도 18(A) 및 도 18(B)를 사용하여 설명한다. 도 18(A)는, 제 1 기판 위에 형성된 c축 배향된 결정층을 갖는 적층 산화물 재료를 포함한 트랜지스터 및 EL 소자를, 제 2 기판과의 사이에 절재에 의하여 밀봉한, 패널의 상면도이고, 도 18(B)는 도 18(A)의 H-I에 있어서의 단면도에 상당한다.

[0210] 제 1 기판(4501) 위에 제공된 화소부(4502), 신호선 구동 회로(4503), 주사선 구동 회로(4504) 및 전원선 구동 회로(4500)를 둘러싸도록 절재(4505)가 제공되어 있다. 또한, 화소부(4502), 신호선 구동 회로(4503), 주사선 구동 회로(4504), 및 전원선 구동 회로(4500) 위에 제 2 기판(4506)이 제공되어 있다. 따라서, 화소부(4502), 신호선 구동 회로(4503), 주사선 구동 회로(4504), 및 전원선 구동 회로(4500)는 제 1 기판(4501)과 절재(4505)와 제 2 기판(4506)에 의하여, 충전재(4507)와 함께 밀봉되어 있다. 이렇게 외기에 노출되지 않도록 기밀성이 높고, 탈 가스가 적은 보호 필름(접합 필름, 자외선 경화 수지 필름 등)이나 커버재로 패키징(봉입)하는 것이 바람직하다.

[0211] 또한, 제 1 기판(4501) 위에 제공된 화소부(4502), 신호선 구동 회로(4503), 주사선 구동 회로(4504) 및 전원선 구동 회로(4500)는 트랜지스터를 복수로 갖고, 도 18(B)는 화소부(4502)에 포함되는 트랜지스터(4510)와, 신호선 구동 회로(4503)에 포함되는 트랜지스터(4509)를 예시한 것이다.

[0212] 트랜지스터(4509) 및 트랜지스터(4510)는 실시형태 2에서 제시한 트랜지스터를 적용할 수 있다. 본 실시형태에

있어서, 트랜지스터(4509, 4510)는 n채널형 트랜지스터이다.

- [0213] 절연층(4544) 위에 있어서, 구동 회로용의 트랜지스터(4509)의 산화물 반도체층의 채널 형성 영역과 중첩하는 위치에 도전층(4540)이 제공된다. 도전층(4540)을 산화물 반도체층의 채널 형성 영역과 중첩되는 위치에 형성함으로써 BT 시험 전후에 있어서의 트랜지스터(4509)의 임계값 전압의 변화량을 저감할 수 있다. 또한, 도전층(4540)은 전위가 트랜지스터(4509)의 게이트 전극층과 서로 동일하여도 좋고, 상이하여도 좋으며, 제 2 게이트 전극층으로서 기능시킬 수도 있다. 또한, 도전층(4540)의 전위가 GND, 0V, 또는 플로팅 상태라도 좋다.
- [0214] 트랜지스터(4509)는, 보호 절연막으로서 채널 형성 영역을 포함하는 반도체층에 접하여 산화물 절연층(4541)이 형성되어 있다. 또한, 트랜지스터의 표면 요철을 저감하기 위하여 평탄화 절연층으로서 기능하는 절연층(4544)으로 덮는 구성으로 되어 있다. 여기서는, 절연층(4541)으로서, 스퍼터링법에 의하여 산화 실리콘층을 형성한다.
- [0215] 또한, 절연층(4541) 위에 평탄화 절연층으로서 절연층(4544)을 형성한다. 절연층(4544)으로서는 폴리이미드, 아크릴계, 벤조사이클로부텐계 수지, 폴리아미드, 에폭시 등의 내열성을 갖는 유기 재료를 사용할 수 있다. 또한, 상기 유기 재료 이외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인 유리), BPSG(인boro 유리) 등을 사용할 수 있다. 또한, 이들의 재료로 형성되는 복수의 절연층을 적층시킴으로써, 절연층(4544)을 형성하여도 좋다. 여기서, 절연층(4544)으로는 아크릴이 사용한다.
- [0216] 또한, 4511은 EL 소자에 상당하고, EL 소자(4511)가 갖는 화소 전극인 제 1 전극층(4517)은 트랜지스터(4510)의 소스 전극층 또는 드레인 전극층과 전기적으로 접속되어 있다. 또한, EL 소자(4511)의 구성은, 제 1 전극층(4517), 전계 발광층(4512), 제 2 전극층(4513)의 적층 구조이지만, 제시한 구성에 한정되지 않는다. EL 소자(4511)로부터 추출하는 광의 방향 등에 따라, EL 소자(4511)의 구성은 적절하게 변경될 수 있다.
- [0217] 격벽(4520)은, 유기 수지층, 무기 절연층 또는 유기 폴리실록산을 사용하여 형성한다. 특히 감광성의 재료를 사용하여, 제 1 전극층(4517) 위에 개구부를 형성하고, 그 개구부의 측벽이 연속한 곡률을 갖고 형성되는 경사면이 되도록 형성하는 것이 바람직하다.
- [0218] 전계 발광층(4512)은, 단수의 층으로 구성되어 있어도, 복수의 층이 적층되도록 구성되어 있어도 어느 쪽이라도 좋다.
- [0219] EL 소자(4511)에 산소, 수소, 수분, 이산화 탄소 등이 침입하지 않도록 제 2 전극층(4513) 및 격벽(4520) 위에 보호층을 형성하여도 좋다. 보호층으로서는 질화 실리콘층, 질화산화 실리콘층 및 DLC층 등을 형성할 수 있다.
- [0220] 또한, 신호선 구동 회로(4503), 주사선 구동 회로(4504) 및 전원선 구동 회로(4500) 및 화소부(4502)에 인가되는 각종 신호 및 전위는 FPC(4518)로부터 공급된다.
- [0221] 접속 단자 전극(4515)은, EL 소자(4511)가 갖는 제 1 전극층(4517)과 동일한 도전층을 사용하여 형성되고, 단자 전극(4516)은, 트랜지스터(4509), 트랜지스터(4510)가 갖는 소스 전극층 및 드레인 전극층과 동일한 도전층을 사용하여 형성된다.
- [0222] 접속 단자 전극(4515)은 이방성 도전막(4519)을 통하여 FPC(4518)가 갖는 단자와 전기적으로 접속되어 있다.
- [0223] EL 소자(4511)로부터 광이 추출되는 방향에 위치하는 제 2 기관은 투광성을 가질 필요가 있다. 그 경우에는, 유리판, 플라스틱판, 폴리에스테르 필름 또는 아크릴 필름과 같은 투광성을 갖는 재료를 사용한다.
- [0224] 또한, 충전재(4507)로서 질소나 아르곤 등의 불활성 기체 이외에, 자외선 경화 수지 또는 열 경화 수지를 사용할 수 있고, PVC(폴리비닐 클로라이드), 아크릴, 폴리이미드, 에폭시 수지, 실리콘(silicone) 수지, PVB(폴리비닐 부티랄) 또는 EVA(에틸렌비닐 아세테이트)를 사용할 수 있다. 예를 들어, 충전재로서 질소를 사용하면 좋다.
- [0225] 또한, 필요하면, EL 소자의 사출 면에 편광판, 또는 원형 편광판(타원형 편광판을 포함함), 위상차판(1/4 파장판, 1/2 파장판), 컬러 필터 등의 광학 필름을 적절히 형성하여도 좋다. 또한, 편광판 또는 원형 편광판에 반사 방지막을 형성하여도 좋다. 예를 들어, 표면의 요철에 따라 반사광이 확산되어 반사를 저감할 수 있는 눈부심 방지(anti-glare) 처리를 실시할 수 있다.
- [0226] 상술한 공정에 의하여 프레임을 작게 하는 것이 도모된 EL 표시 장치를 제작할 수 있다.

- [0227] 본 실시형태는 다른 실시형태에서 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.
- [0228] (실시형태 5)
- [0229] 본 명세서에서 개시한 EL 표시 장치는 다양한 전자 기기(게임기도 포함함)에 적용할 수 있다. 전자 기기로서는, 예를 들어, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라 등의 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 함), 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, Pachinko(파친코)기 등의 대형 게임기 등을 들 수 있다.
- [0230] 도 19는 전자 기기의 일례로서 텔레비전 장치(9600)를 도시한 것이다. 텔레비전 장치(9600)는 하우징(9601)에 표시부(9603)가 조합된다. 표시부(9603)에 의하여 영상을 표시할 수 있다. 또한, 여기서는 스탠드(9605)에 의하여 하우징(9601)를 지지한 구성을 도시하였다.
- [0231] 텔레비전 장치(9600)의 조작은 하우징(9601)이 구비하는 조작 스위치나, 별체의 리모트 컨트롤러(9610)에 의하여 행할 수 있다. 리모트 컨트롤러(9610)가 구비하는 조작 키(9609)에 의하여 채널이나 음량을 조작할 수 있어 표시부(9603)에 표시되는 영상을 조작할 수 있다. 또한, 리모트 컨트롤러(9610)에 상기 리모트 컨트롤러(9610)로부터 출력하는 정보를 표시하는 표시부(9607)를 형성하는 구성으로 하여도 좋다.
- [0232] 표시부(9603)에는, 화소의 스위칭 소자로서 실시형태 2에서 나타낸 트랜지스터를 복수로 배치하고, 그 표시부(9603)와 동일 절연 기관 위에 형성하는 전원선 구동 회로 등의 구동 회로로서 실시형태 2에 나타낸 이동도가 높은 트랜지스터를 배치할 수 있다. 따라서, 프레임을 작게 하는 것이 도모된 텔레비전 장치를 제작할 수 있다.
- [0233] 본 실시형태는 다른 실시형태에 기재된 구성과 적절히 조합하여 실시하는 것이 가능하다.
- [0234] (실시예)
- [0235] 본 실시예에서는 In-Sn-Zn계 산화물막의 결정 상태에 대하여 설명한다.
- [0236] 우선, In-Sn-Zn계 산화물막의 X선 회절(XRD: X-Ray Diffraction) 분석을 실시하였다. XRD 분석에는 X선 회절 장치 D8 ADVANCE(Bruker AXS사 제작)를 사용하고, Out-of-Plane법에 의하여 측정하였다.
- [0237] XRD 분석을 실시한 시료로서, 시료 A 및 시료 B를 준비하였다. 이하에 시료 A 및 시료 B의 제작 방법을 설명한다.
- [0238] 우선, 탈수소화 처리 완료된 석영 기관을 준비하였다.
- [0239] 다음에, 석영 기관 위에 In-Sn-Zn계 산화물막을 100nm의 두께로 형성하였다.
- [0240] In-Sn-Zn계 산화물막은 스퍼터링 장치를 사용하여 산소 분위기에서 전력을 100W(DC)로 하여 형성하였다. 타깃은 In:Sn:Zn=1:1:1[원자수비]의 In-Sn-Zn-O 타깃을 사용하였다. 또한, 성막시의 기관 가열 온도는 실온 또는 200℃로 하였다. 이와 같이 하여 제작한 시료를 시료 A로 하였다.
- [0241] 다음에, 시료 A와 같은 방법으로 제작한 시료에 대하여 650℃의 온도로 가열 처리를 행하였다. 가열 처리는 우선 질소 분위기하에서 1시간 행하고, 온도를 내리지 않고 산소 분위기하에서 1시간 더 행하였다. 이와 같이 하여 제작한 시료를 시료 B로 하였다.
- [0242] 도 20은 시료 A 및 시료 B의 XRD 스펙트럼을 도시한 것이다. 시료 A에서는, 결정에 의한 피크가 관측되지 않았지만, 시료 B에서는, 2θ가 35deg 근방 및 37deg 내지 38deg에 결정에 의한 피크가 관측되었다.
- [0243] 다음에 시료 B의 투과형 전자 현미경(TEM: Transmission Electron Microscope)의 단면 이미지를 도 21 및 도 22에 도시하였다.
- [0244] 도 21 및 도 22는, 각각 50만배 및 400만배의 TEM 단면 이미지를 도시한 것이다. 또한, TEM은"Hitachi H-9000NAR"(Hitachi, Ltd.제조)를 사용하여 가속 전압을 300kV로 하였다.
- [0245] 도 21 및 도 22에서 도시한 바와 같이, 시료 B에 있어서의 In-Sn-Zn계 산화물막은 다양한 결정 방위를 갖는 다결정인 것을 알 수 있다.

부호의 설명

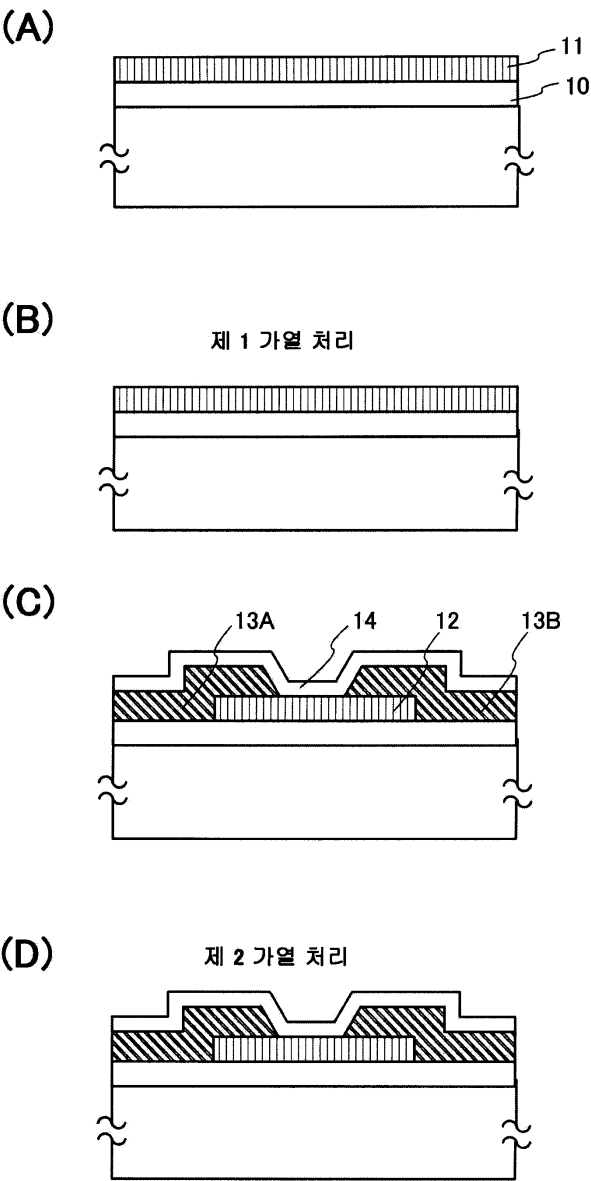
[0246]

10: 하지 절연막	11: 산화물 반도체막
12: 산화물 반도체막	13A: 소스 전극
13B: 드레인 전극	14: 상부 절연막
101: 하지 절연물	102: 절연물
103a: 반도체 영역	103b: 반도체 영역
103c: 반도체 영역	104: 게이트 절연막
105: 게이트	106a: 측벽 절연물
106b: 측벽 절연물	107: 절연물
108a: 소스	108b: 드레인
301: FET	302: FET
303: FET	304: FET
305: FET	306: 용량 소자
307: 전원선	308: 전원선
309: 단자	310: 단자
400: 기판	401: 게이트 전극층
402: 게이트 절연층	403: 산화물 반도체막
404: 산화물 반도체막	405A: 소스 전극
405B: 드레인 전극	406: 절연막
407: 트랜지스터	408: 절연막
409: 트랜지스터	800: 화소
801: 샘플링용 트랜지스터	802: 구동용 트랜지스터
803: EL 소자	804: 용량 소자
805: 용량 소자	806: 신호선
807: 주사선	808: 전원선
809: 공통 전극	900: EL 표시 장치
901: 신호선 구동 회로	902: 주사선 구동 회로
903: 전원선 구동 회로	904: 화소부
1501: 유리 기판	1502: 화소부
1503: 주사선 구동 회로	1504: 전원선 구동 회로
1505: 아날로그 스위치	1506: FPC
1507: FPC	1508: FPC
1509: FPC	1511_1: 시프트 레지스터
1511_2: 시프트 레지스터	1511_3: 시프트 레지스터

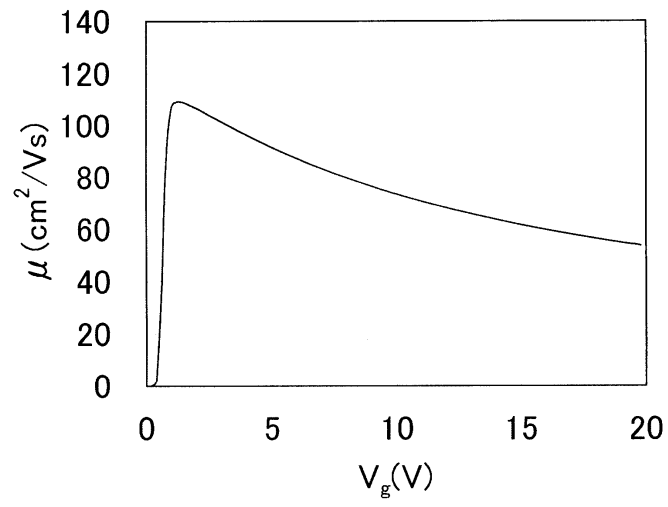
1511_n: 시프트 레지스터	1512_1: 인버터
1512_2: 인버터	1512_3: 인버터
1512_n: 인버터	1701: 유리 기판
1702: 화소부	1703: 주사선 구동 회로
1704: 전원선 구동 회로	1705: 신호선 구동 회로
1706: FPC	4500: 전원선 구동 회로
4501: 기판	4502: 화소부
4503: 신호선 구동 회로	4504: 주사선 구동 회로
4505: 셀재	4506: 기판
4507: 충전재	4509: 트랜지스터
4510: 트랜지스터	4511: EL 소자
4512: 전계 발광층	4513: 전극층
4515: 접속 단자 전극	4516: 단자 전극
4517: 전극층	4518: FPC
4519: 이방성 도전층	4520: 격벽
4540: 도전층	4541: 절연층
4544: 절연층	9600: 텔레비전 장치
9601: 하우징	9603: 표시부
9605: 스탠드	9607: 표시부
9609: 조각 키	9610: 리모트 컨트롤러

도면

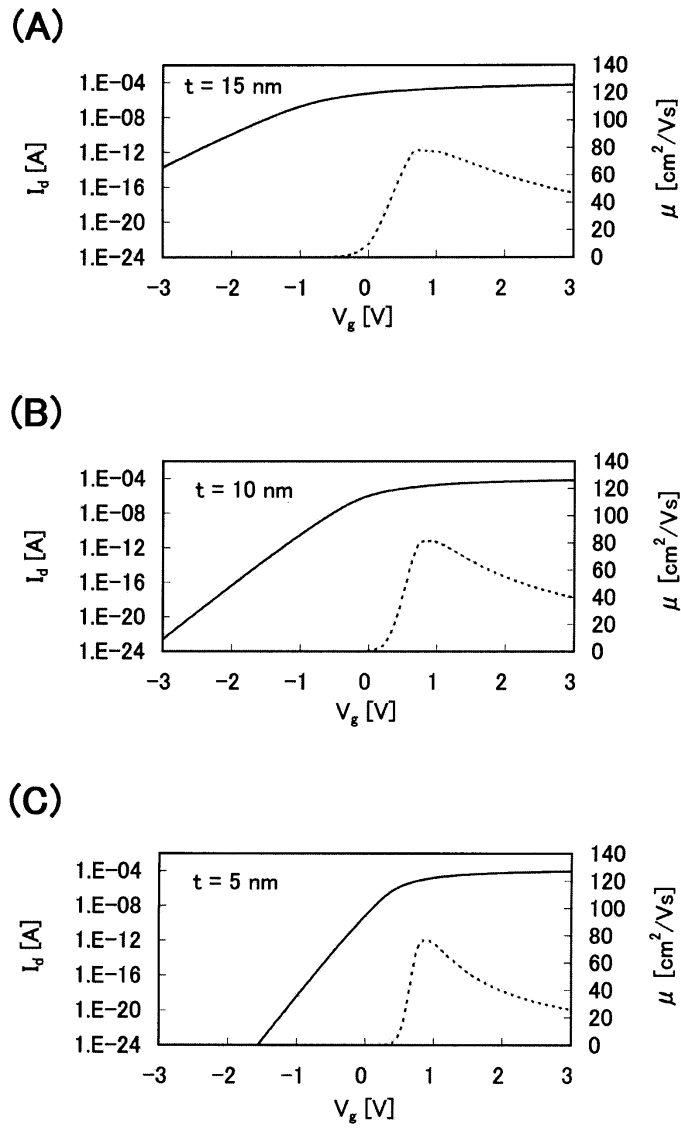
도면1



도면2

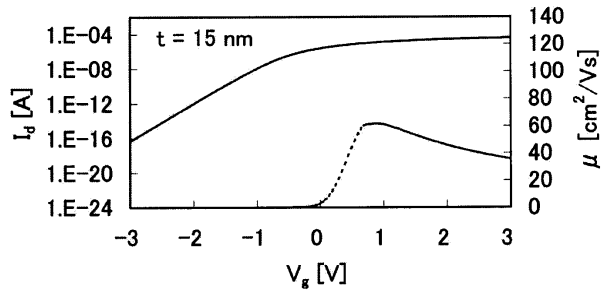


도면3

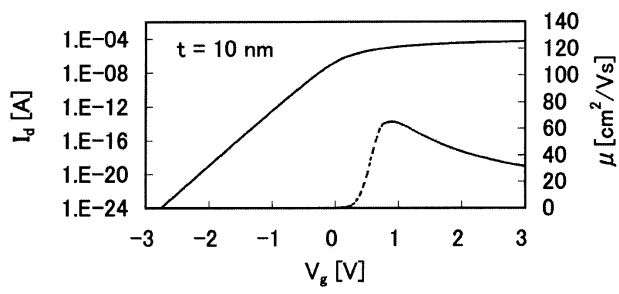


도면4

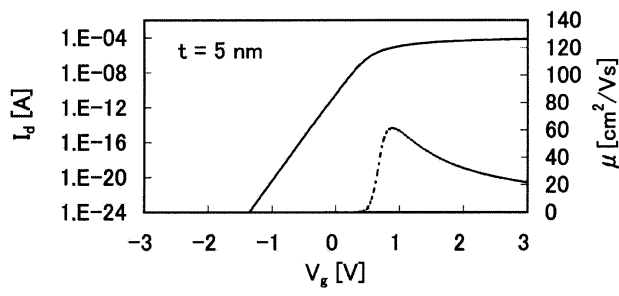
(A)



(B)

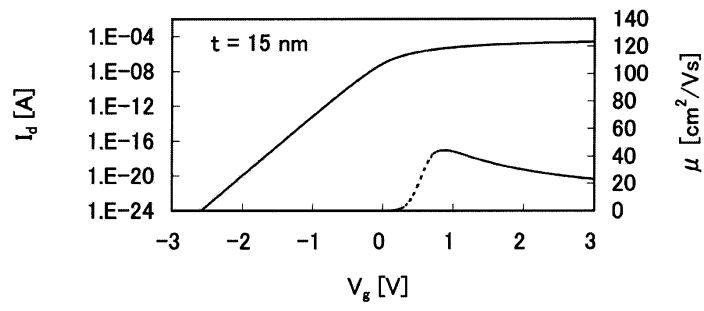


(C)

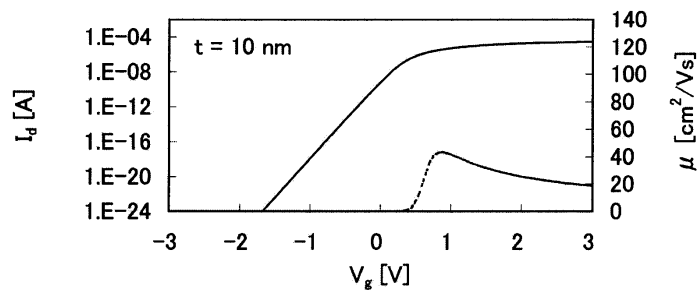


도면5

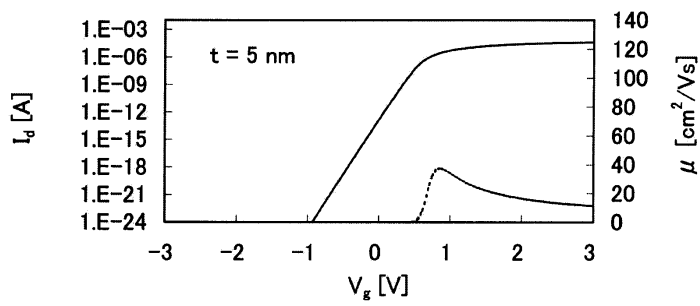
(A)



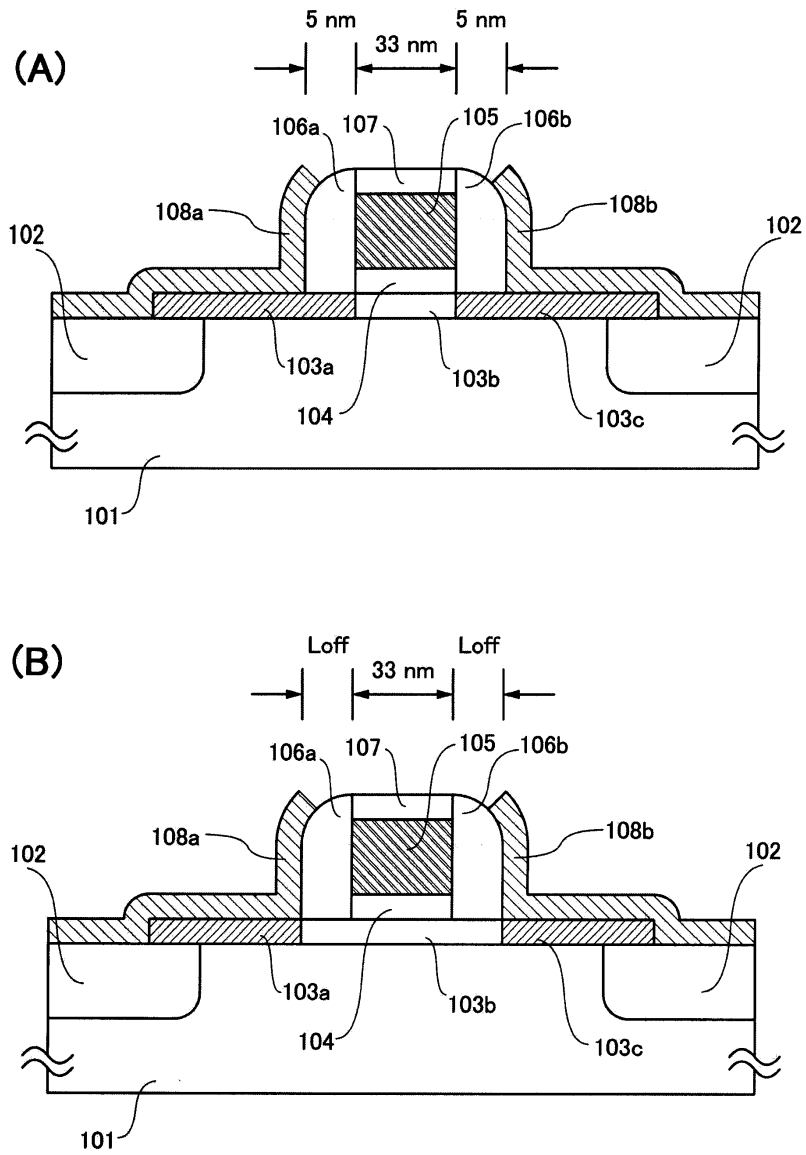
(B)



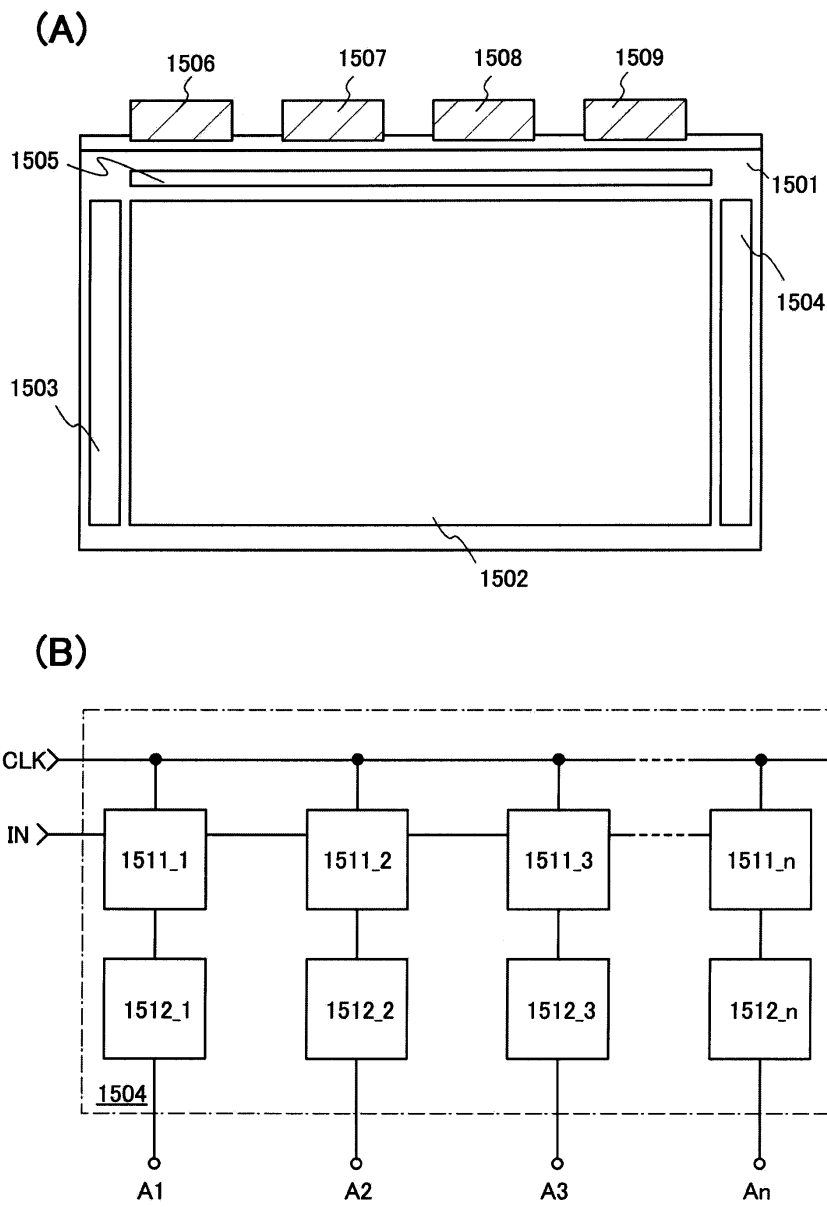
(C)



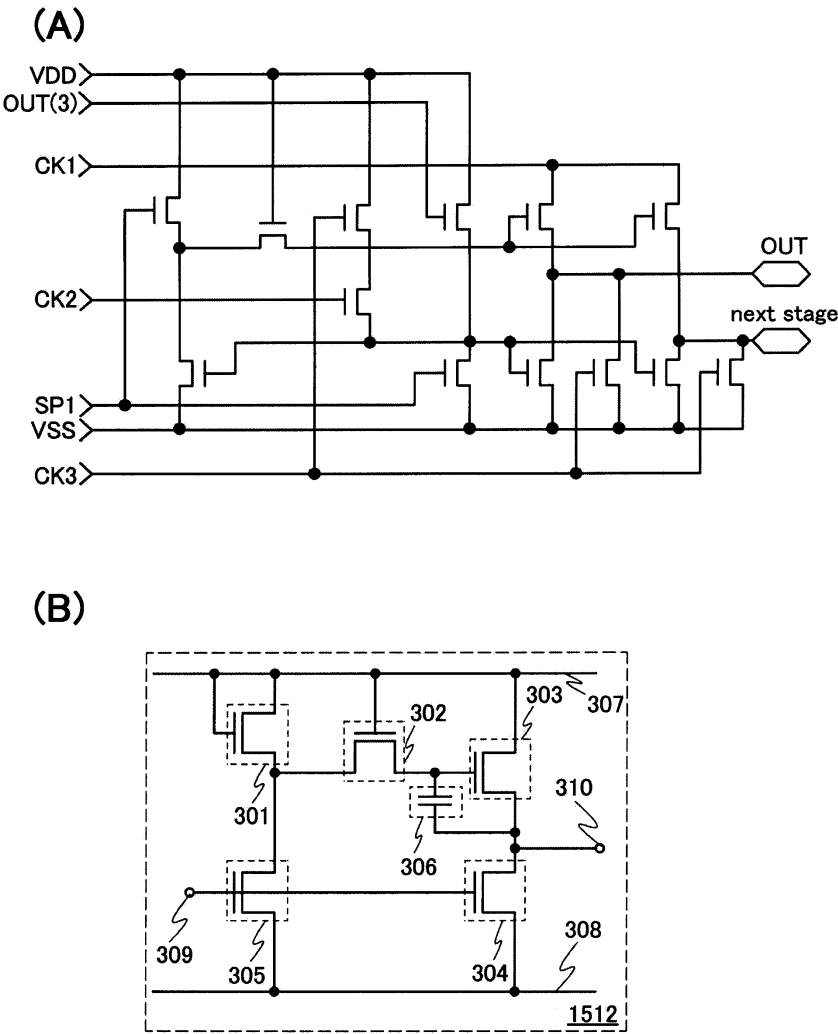
도면6



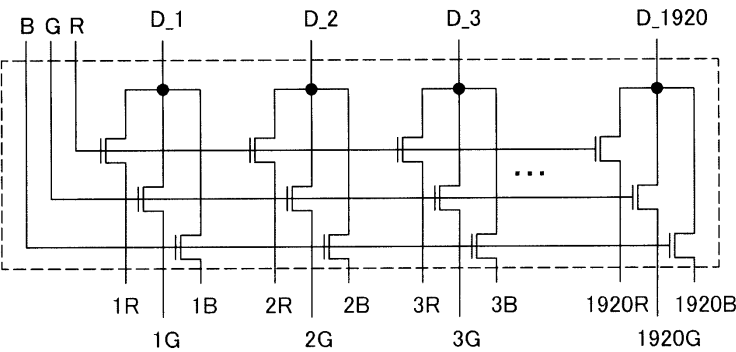
도면7



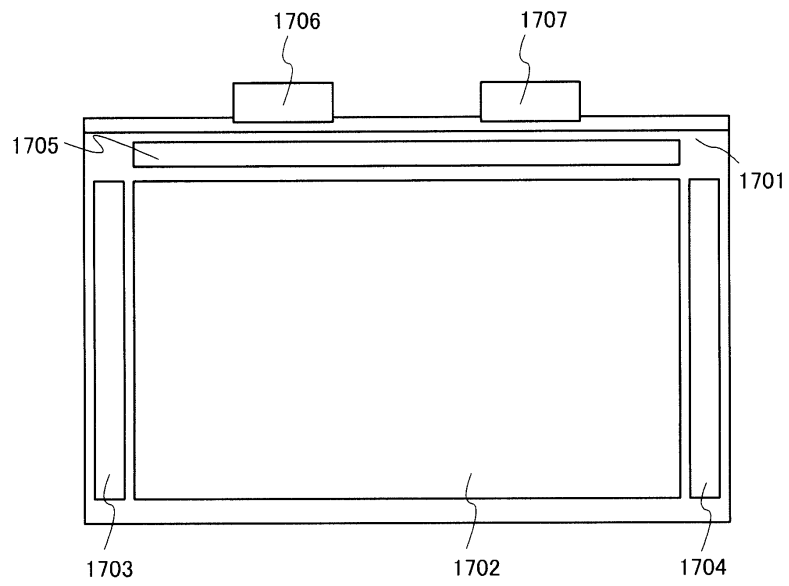
도면8



도면9

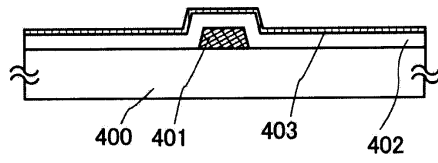


도면10



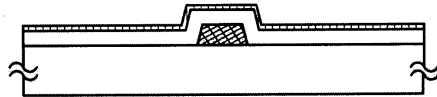
도면11

(A)

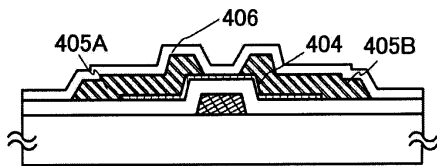


(B)

제 1 가열 처리

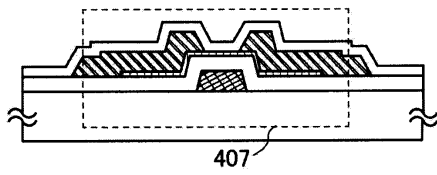


(C)



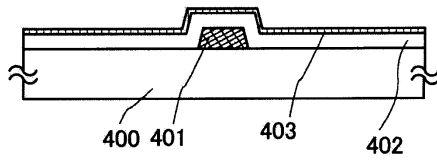
(D)

제 2 가열 처리



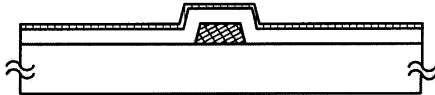
도면12

(A)

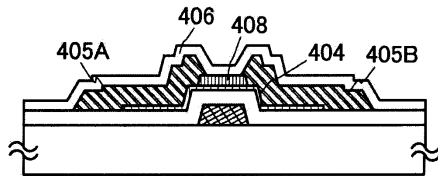


(B)

제 1 가열 처리

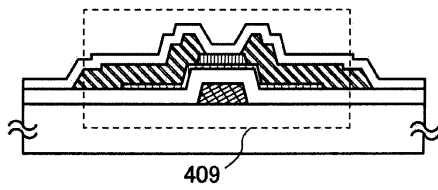


(C)



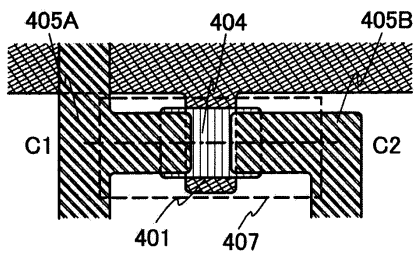
(D)

제 2 가열 처리

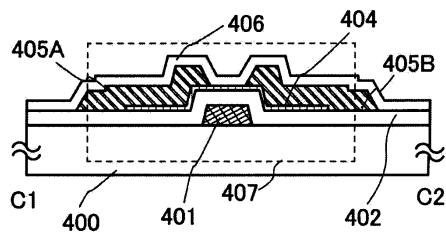


도면13

(A)

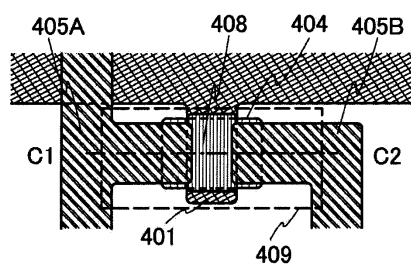


(B)

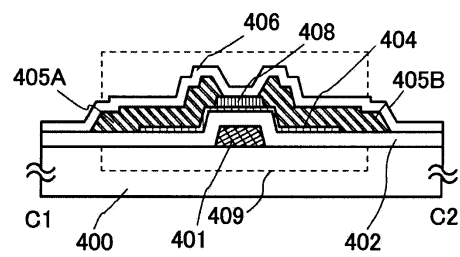


도면14

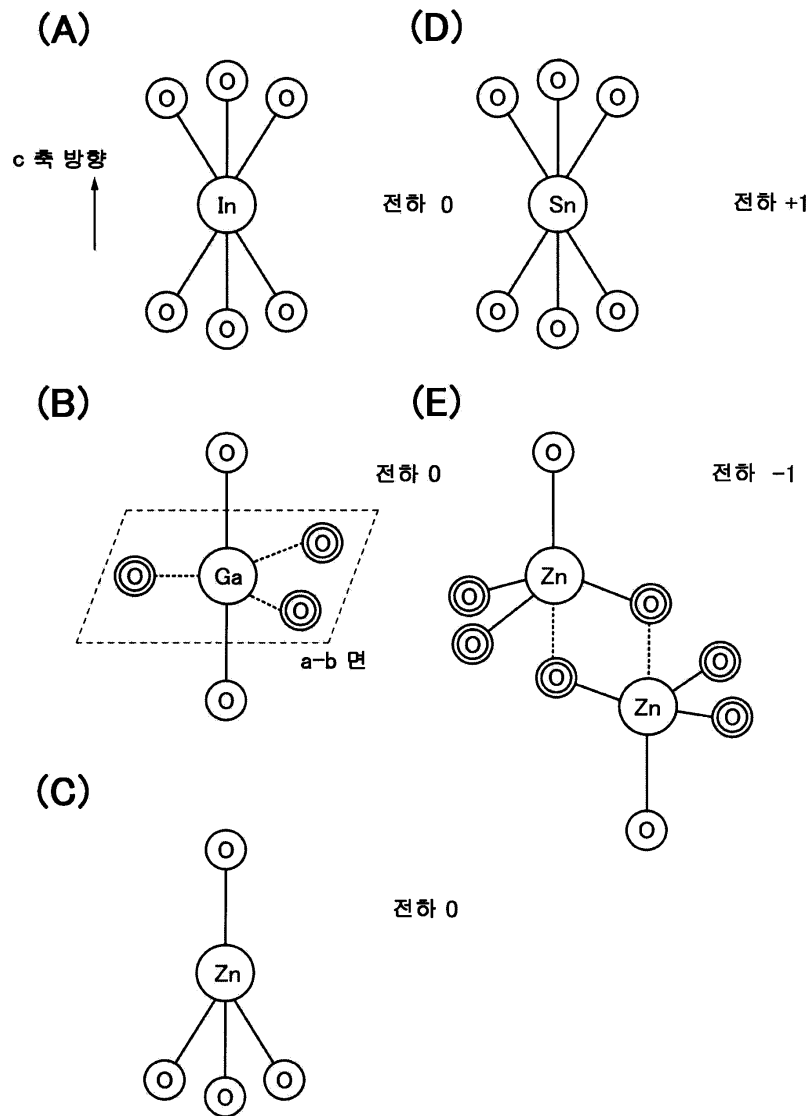
(A)



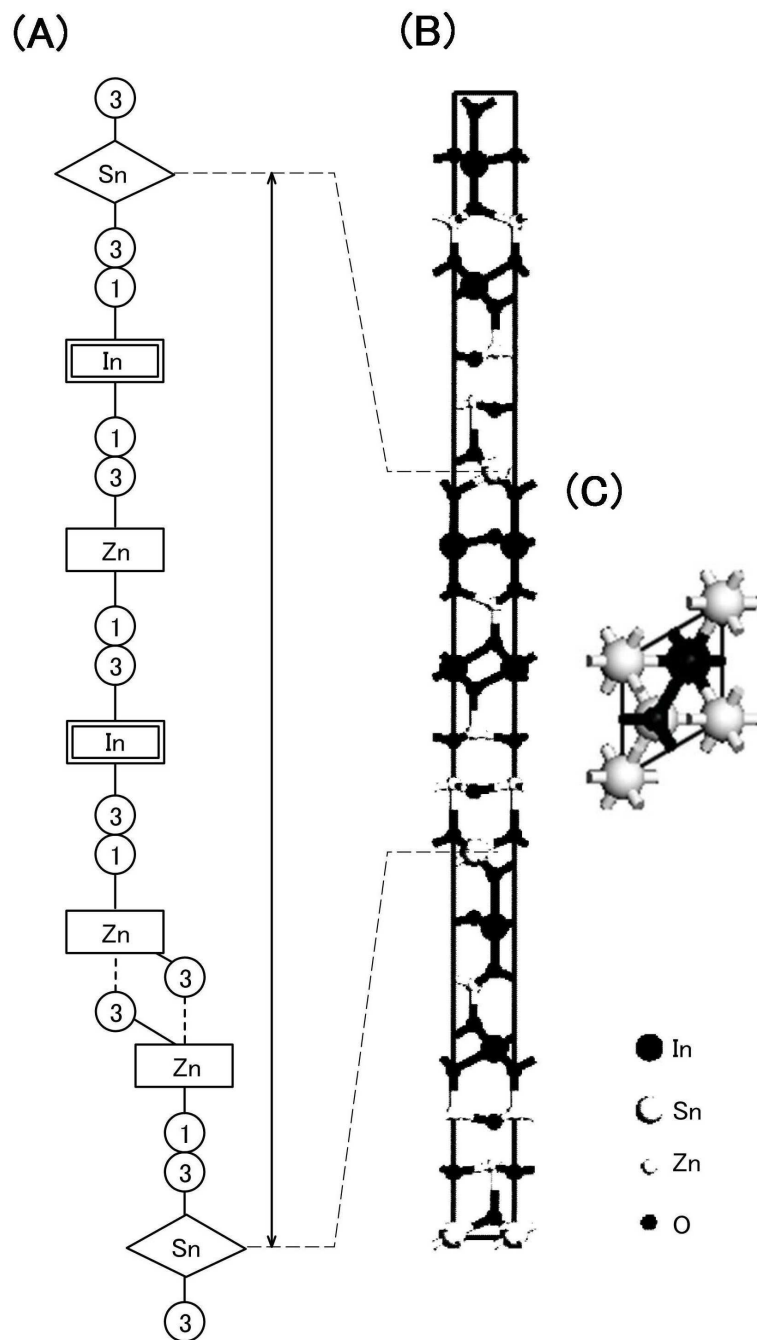
(B)



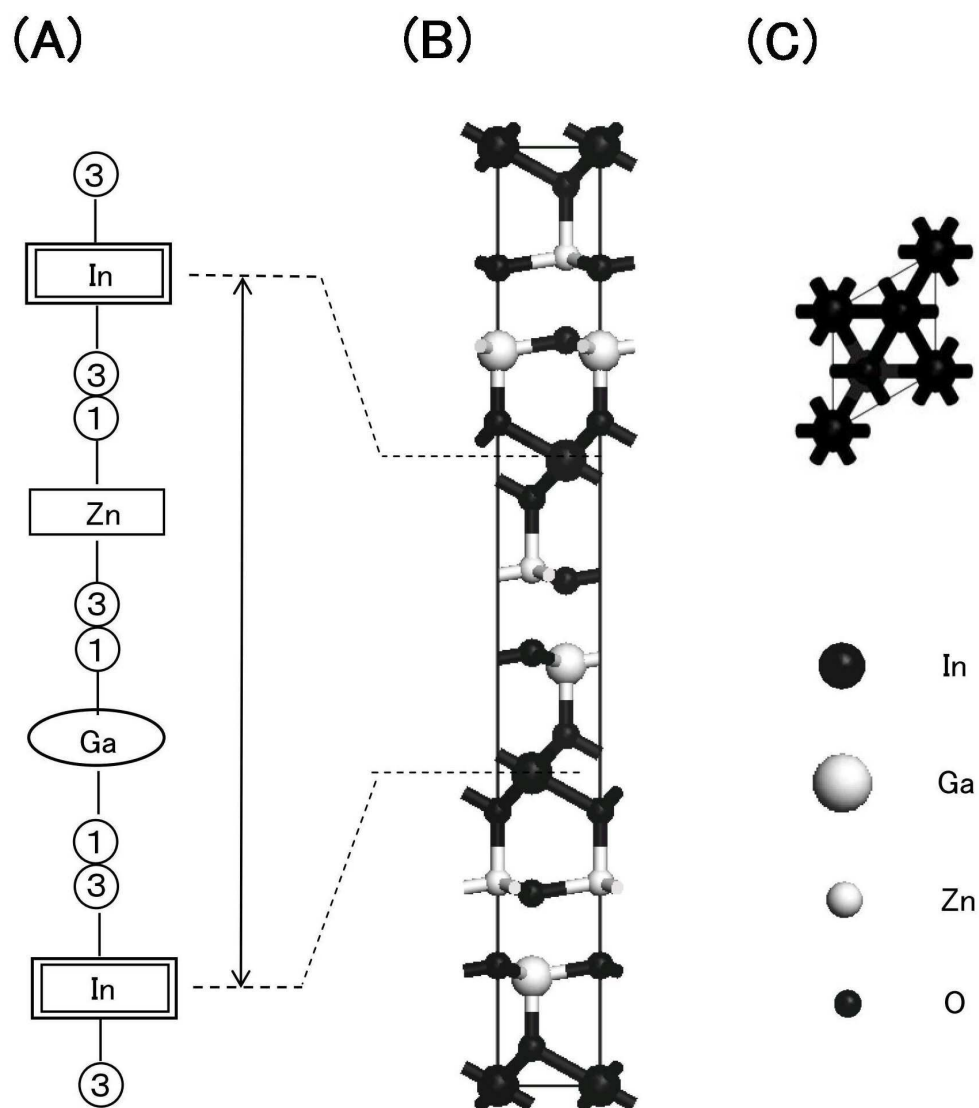
도면15



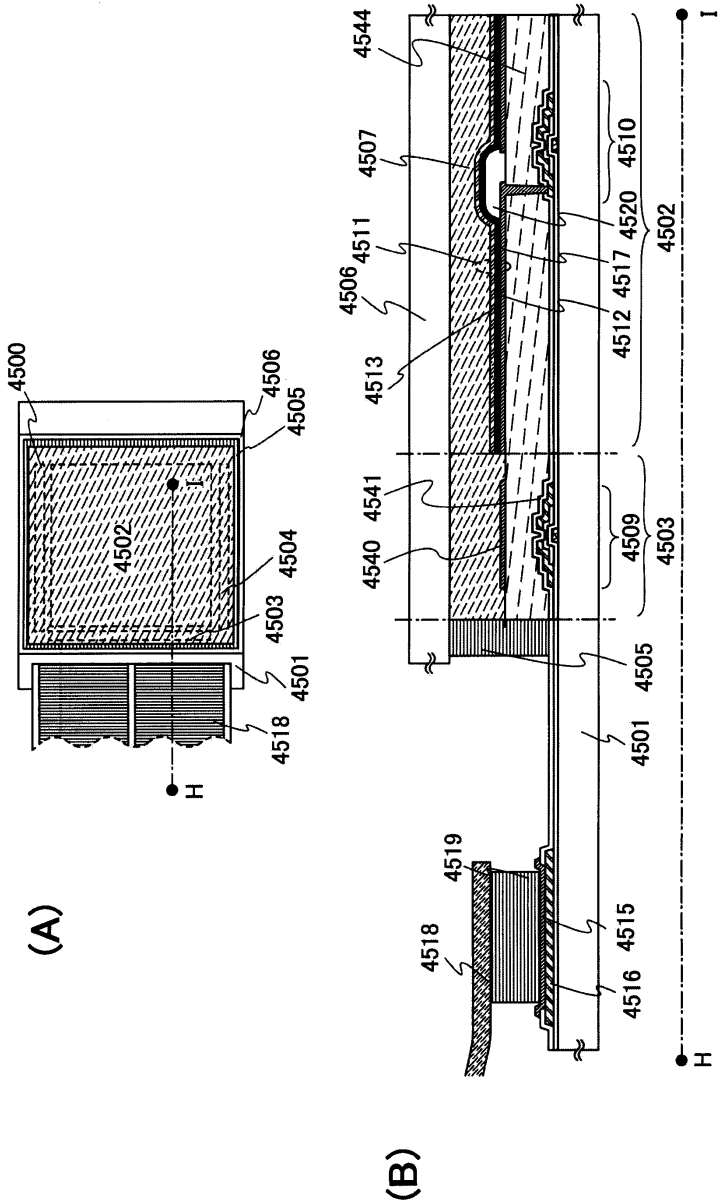
도면16



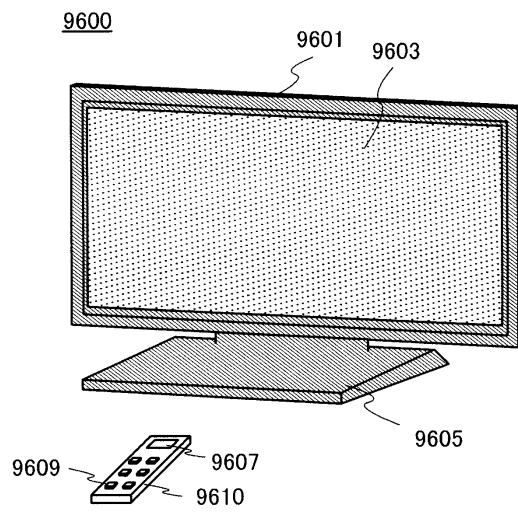
도면17



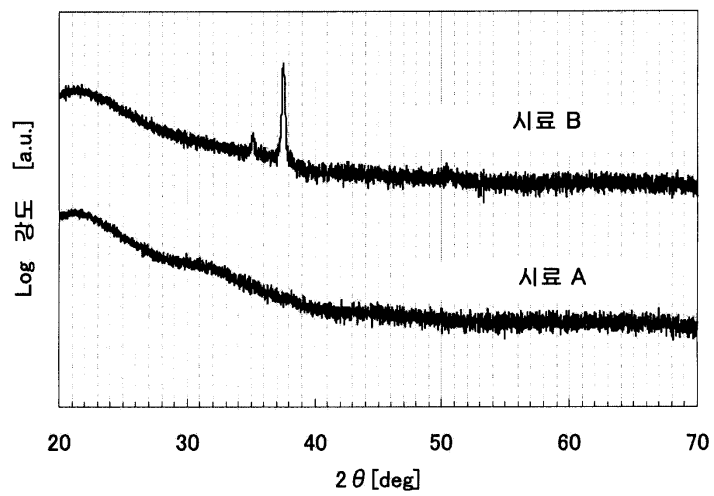
도면18



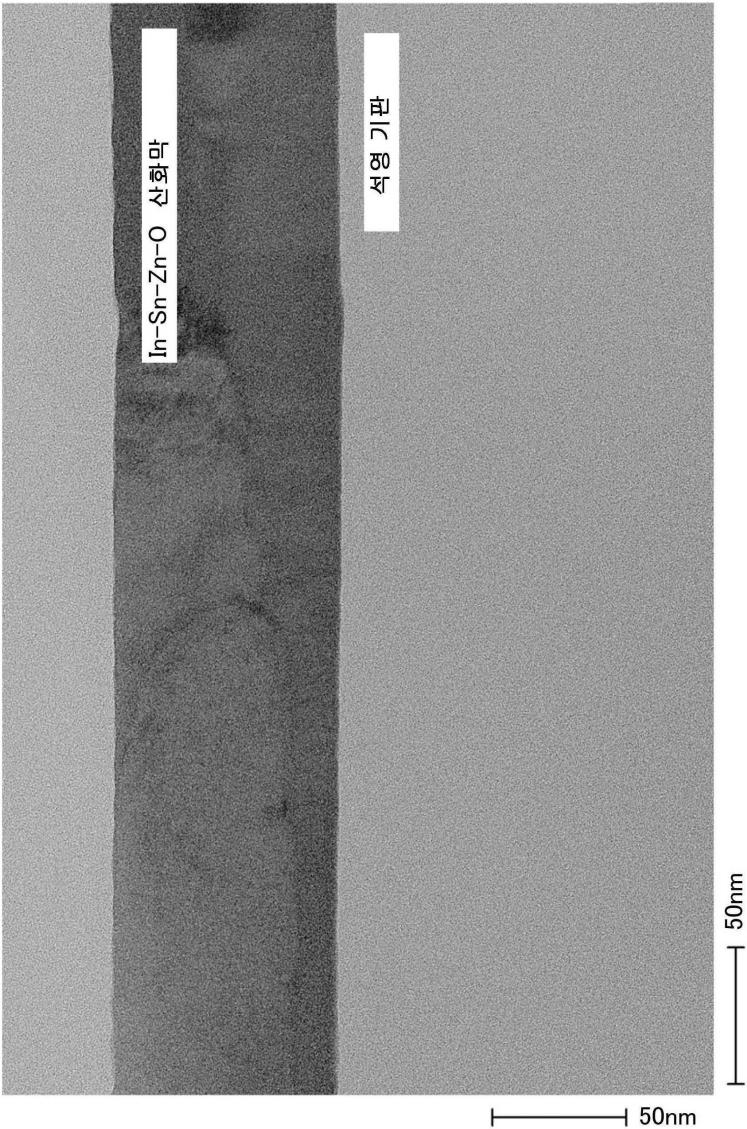
도면19



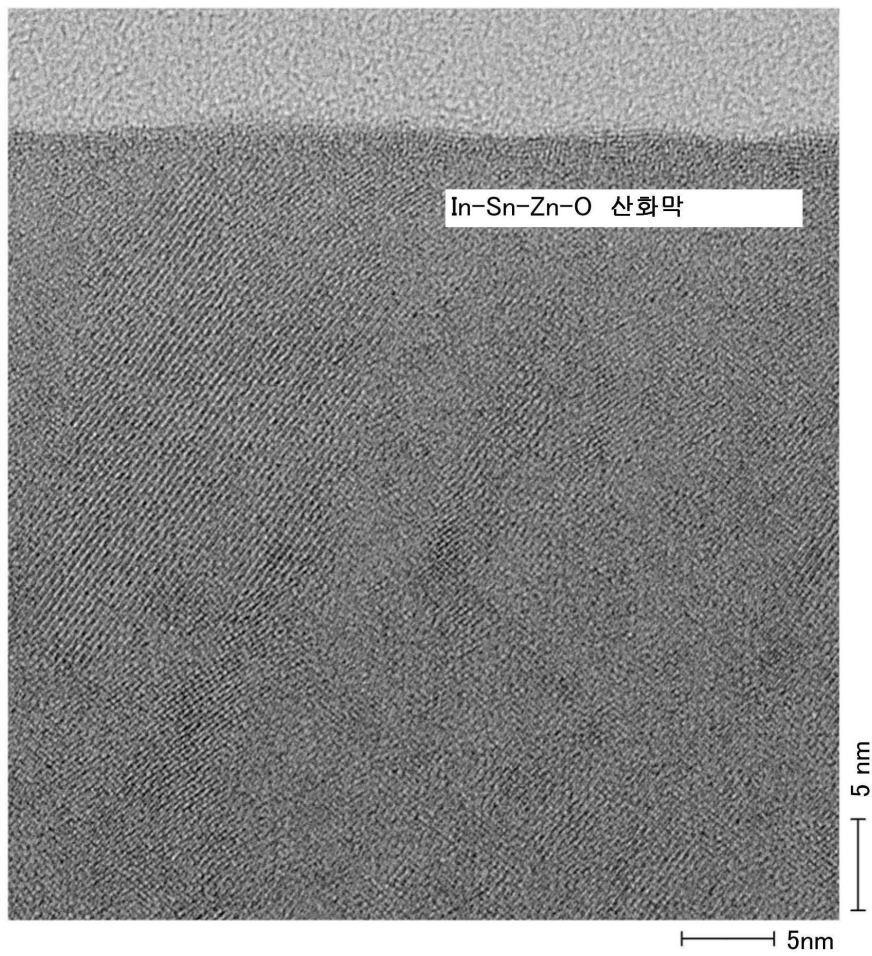
도면20



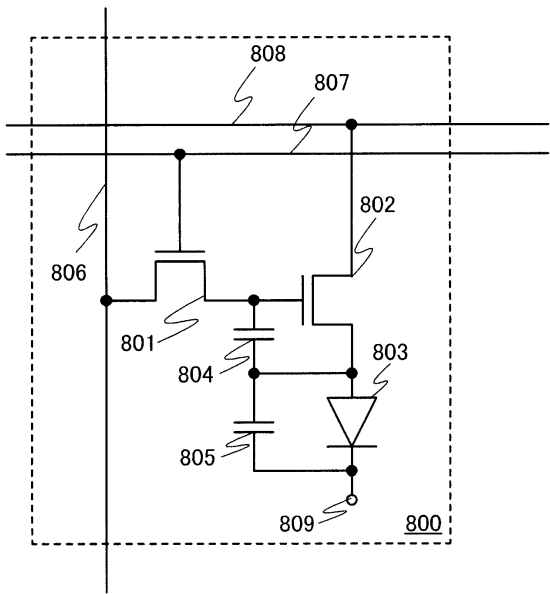
도면21



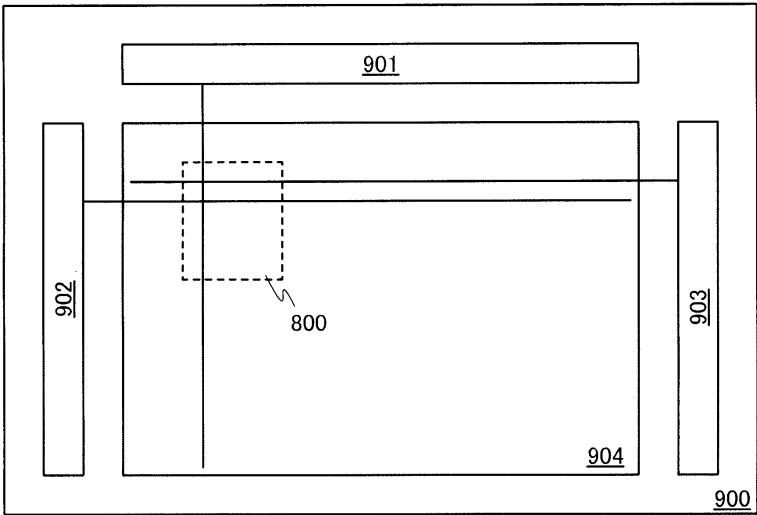
도면22



도면23



도면24



专利名称(译)	显示设备及其电子设备		
公开(公告)号	KR101940570B1	公开(公告)日	2019-01-21
申请号	KR1020120048732	申请日	2012-05-08
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	고아마준		
发明人	고아마 준		
IPC分类号	H01L51/50 H01L29/786		
CPC分类号	H01L29/7869 G09G3/3275 G09G2310/0297 G09G2330/028 H01L27/1225 H01L27/3262 H01L29/66969		
代理人(译)	黄的.		
审查员(译)	Jeongmyeong周		
优先权	2011107763 2011-05-13 JP		
其他公开文献	KR1020120127246A		
外部链接	Espacenet		

摘要(译)

本发明提供一种EL显示装置，该EL显示装置具备具有晶体管的电源线驱动电路，该晶体管具有在形成有像素部的绝缘基板上供给大量电流的能力。有源矩阵EL显示装置在绝缘基板上具有多个像素，多条信号线，多条扫描线以及多条电源线。在绝缘基板上，使用场效应迁移率至少为80cm²/Vs以上，优选为120cm²/Vs以上的氧化物半导体形成的晶体管；电源线驱动器电路，其包括晶体管作为部件。