



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2018년06월27일  
 (11) 등록번호 10-1871502  
 (24) 등록일자 2018년06월20일

(51) 국제특허분류(Int. Cl.)  
 G09G 3/30 (2006.01)  
 (21) 출원번호 10-2011-0078465  
 (22) 출원일자 2011년08월08일  
 심사청구일자 2016년08월02일  
 (65) 공개번호 10-2013-0016496  
 (43) 공개일자 2013년02월18일  
 (56) 선행기술조사문헌  
 KR1020060124836 A\*  
 KR1020070000984 A\*  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
**엘지디스플레이 주식회사**  
 서울특별시 영등포구 여의대로 128(여의도동)  
 (72) 발명자  
**이현행**  
 경상북도 칠곡군 석적읍 동중리9길 13, LG디스플레이기숙사 B동 108호  
**김현진**  
 경기도 파주시 월롱면 엘씨디로 201, 엘지디스플레이 정다운마을 105동 1126호  
 (74) 대리인  
**특허법인로알**

전체 청구항 수 : 총 10 항

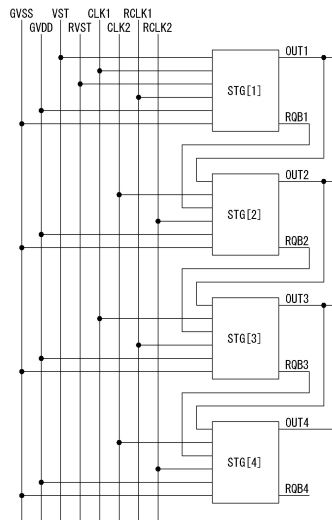
심사관 : 김희주

(54) 발명의 명칭 **유기전계발광표시장치**

**(57) 요약**

본 발명의 실시예는, 표시패널; 표시패널에 데이터신호를 공급하는 데이터구동부; 및 표시패널에 스캔신호를 공급하며, 제1스타트전압, 게이트 쉬프트 클록 및 저전위전압을 이용하여 리셋노드를 제어하는 제1회로부와, 제2스타트전압, 게이트 콘트롤 클록 및 저전위전압을 이용하여 셋노드를 제어하는 제2회로부와, 리셋노드 및 셋노드의 전압 상태에 따라 제1출력노드를 통해 출력되는 제1펄스신호 그리고 제2출력노드를 통해 출력되는 제2펄스신호의 수평기간을 가변하는 제3회로부를 포함하는 쉬프트 레지스터 블록들이 종속적으로 접속된 스캔구동부를 포함하는 유기전계발광표시장치를 제공한다.

**대표도 - 도2**



## 명세서

### 청구범위

#### 청구항 1

표시패널;

상기 표시패널에 데이터신호를 공급하는 데이터구동부; 및

상기 표시패널에 스캔신호를 공급하며, 제1스타트전압, 게이트 쉬프트 클록 및 저전위전압을 이용하여 리셋노드를 제어하는 제1회로부와, 제2스타트전압, 게이트 콘트롤 클록 및 저전위전압을 이용하여 셋노드를 제어하는 제2회로부와, 상기 리셋노드 및 상기 셋노드의 전압 상태에 따라 제1출력노드를 통해 출력되는 제1펄스신호 그리고 제2출력노드를 통해 출력되는 제2펄스신호의 수평기간을 가변하는 제3회로부를 포함하는 쉬프트 레지스터 블록들이 종속적으로 접속된 스캔구동부를 포함하고,

상기 게이트 쉬프트 클록은 상호 상반된 극성으로 로직하이와 로직로우로 반복되는 제1게이트 쉬프트 클록과 제2게이트 쉬프트 클록을 포함하고,

상기 게이트 콘트롤 클록은 상호 상반된 극성으로 로직하이와 로직로우로 반복되는 제1게이트 콘트롤 클록과 제2게이트 콘트롤 클록을 포함하고,

상기 스캔구동부는

상기 쉬프트 레지스터 블록들에 공급된 상기 제1스타트전압과 상기 제2스타트전압 간의 이격 구간에 따라 상기 제1 및 제2출력노드를 통해 출력되는 상기 제1 및 제2펄스신호의 시작지점과 끝지점이 결정되는 유기전계발광표시장치.

#### 청구항 2

제1항에 있어서,

상기 제1 및 제2펄스신호의 끝지점은

상기 제2스타트전압이 로직하이에서 로직로우로 떨어지는 구간까지 지연되는 것을 특징으로 하는 유기전계발광표시장치.

#### 청구항 3

제1항에 있어서,

상기 스캔구동부는

전단에 위치하는 쉬프트 레지스터 블록을 통해 출력된 상기 제1펄스신호를 다음 단에 위치하는 쉬프트 레지스터 블록의 제1스타트전압으로 공급받고, 상기 전단에 위치하는 쉬프트 레지스터 블록을 통해 출력된 상기 제2펄스신호를 상기 다음 단에 위치하는 쉬프트 레지스터 블록의 제2스타트전압으로 공급받는 것을 특징으로 하는 유기전계발광표시장치.

#### 청구항 4

삭제

#### 청구항 5

제1항에 있어서,

상기 제1게이트 쉬프트 클록과 상기 제1게이트 콘트롤 클록은 상호 위상이 같고, 상기 제2게이트 쉬프트 클록과 상기 제2게이트 콘트롤 클록은 상호 위상이 같은 것을 특징으로 하는 유기전계발광표시장치.

#### 청구항 6

제1항에 있어서,

상기 제1회로부는 상기 제1스타트전압과 상기 게이트 쉬프트 클록에 응답하여 상기 리셋노드를 저전위전압으로 방전시키고,

상기 제2회로부는 상기 제2스타트전압과 상기 게이트 콘트롤 클록에 응답하여 상기 셋노드를 저전위전압으로 방전시키는 것을 특징으로 하는 유기전계발광표시장치.

#### 청구항 7

제6항에 있어서,

상기 제1회로부는 상기 제1스타트전압이 공급되는 단자에 게이트전극이 연결되고 상기 저전위전압이 공급되는 단자에 제1전극이 연결된 제1트랜지스터와, 상기 게이트 쉬프트 클록이 공급되는 단자에 게이트전극이 연결되고 상기 제1트랜지스터의 제2전극에 제1전극이 연결되며 상기 리셋노드에 제2전극이 연결된 제2트랜지스터와,

상기 제2회로부는 상기 제2스타트전압이 공급되는 단자에 게이트전극이 연결되고 상기 저전위전압이 공급되는 단자에 제1전극이 연결된 제3트랜지스터와, 상기 게이트 콘트롤 클록이 공급되는 단자에 게이트전극이 연결되고 상기 제3트랜지스터의 제2전극에 제1전극이 연결되며 상기 셋노드에 제2전극이 연결된 제4트랜지스터를 포함하고,

상기 제1회로부는 상기 셋노드에 게이트전극이 연결되고 고전위전압이 공급되는 단자에 제1전극이 연결되며 상기 리셋노드에 제2전극이 연결된 제5트랜지스터를 더 포함하고,

상기 제2회로부는 상기 리셋노드에 게이트전극이 연결되고 상기 고전위전압이 공급되는 단자에 제1전극이 연결되며 상기 셋노드에 제2전극이 연결된 제6트랜지스터를 더 포함하는 유기전계발광표시장치.

#### 청구항 8

제1항에 있어서,

상기 제3회로부는 상기 리셋노드에 공급된 상기 저전위전압에 의해 방전되는 RQQ 노드의 전압에 따라 턴온되어 상기 저전위전압을 상기 제1출력노드에 공급하여 상기 제1출력노드를 방전시키는 풀다운 트랜지스터와,

상기 셋노드에 공급된 상기 저전위전압에 의해 방전되는 SQB 노드의 전압에 따라 턴온되어 고전위전압을 상기 제1출력노드에 공급하여 상기 제1출력노드를 충전시키는 풀업 트랜지스터와,

상기 RQQ 노드를 충전 및 방전시키고, 상기 SQB 노드를 충전 및 방전시키는 스위치회로를 포함하는 유기전계발광표시장치.

#### 청구항 9

제8항에 있어서,

상기 스위치회로는

상기 리셋노드의 방전전압에 응답하여 상기 RQQ 노드를 방전시키는 RQQ 노드 방전회로와,

상기 셋노드의 방전전압에 응답하여 상기 RQQ 노드를 충전시키는 RQQ 노드 충전회로와,

상기 셋노드의 방전전압에 응답하여 상기 SQB 노드를 방전시키는 SQB 노드 방전회로와,

상기 셋노드의 방전전압에 응답하여 상기 SQB 노드를 충전시키는 SQB 노드 충전회로와,

상기 SQB 노드의 방전전압에 응답하여 상기 제1펄스신호와 반대되는 제2펄스신호를 제2출력노드로 출력하는 RQB 노드 출력회로를 포함하는 유기전계발광표시장치.

#### 청구항 10

제9항에 있어서,

상기 RQQ 노드 방전회로의 게이트전극은 상기 리셋노드에 연결되고 제1전극은 상기 저전위전압이 공급되는 단자에 연결되며 제2전극은 상기 RQQ 노드에 연결되고,

상기 RQQ 노드 충전회로의 게이트전극은 상기 셋노드에 연결되고 제1전극은 상기 고전위전압이 공급되는 단자에 연결되며 제2전극은 상기 RQQ 노드에 연결되며,

상기 SQB 노드 방전회로의 게이트전극은 상기 셋노드에 연결되고 제1전극은 상기 저전위전압이 공급되는 단자에 연결되며 제2전극은 상기 SQB 노드에 연결되고,

상기 SQB 노드 충전회로의 게이트전극은 상기 리셋노드에 연결되고 제1전극은 상기 고전위전압이 공급되는 단자에 연결되며 제2전극은 상기 SQB 노드에 연결되며,

상기 RQB 노드 출력회로의 게이트전극은 상기 SQB 노드에 연결되고 제1전극은 상기 저전위전압이 공급되는 단자에 연결되며 제2전극은 상기 제2출력노드에 연결되고,

상기 풀다운 트랜지스터의 게이트전극은 상기 RQQ 노드에 연결되고 제1전극은 상기 저전위전압이 공급되는 단자에 연결되며 제2전극은 상기 제1출력노드에 연결되며,

상기 풀업 트랜지스터의 게이트전극은 상기 SQB 노드에 연결되고 제1전극은 상기 고전위전압이 공급되는 단자에 연결되며 제2전극은 상기 제1출력노드에 연결된 것을 특징으로 하는 유기전계발광표시장치.

**청구항 11**

제3항에 있어서,

상기 스캔 구동부는

상기 전단에 위치하는 쉬프트 레지스터 블록으로부터 출력된 전단의 펄스신호와 상기 다음 단에 위치하는 쉬프트 레지스터 블록으로부터 출력된 다음 단의 펄스신호는 적어도 일부 구간이 중첩하는 유기전계발광표시장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명의 실시예는 유기전계발광표시장치에 관한 것이다.

**배경 기술**

[0002] 유기전계발광표시장치에 사용되는 유기전계발광소자는 두 개의 전극 사이에 발광층이 형성된 자발광소자이다. 유기전계발광소자는 전자(electron) 주입전극(cathode)과 정공(hole) 주입전극(anode)으로부터 각각 전자와 정공을 발광층 내부로 주입시켜, 주입된 전자와 정공이 결합한 엑시톤(exciton)이 여기 상태에서부터 기저상태로 떨어질 때 발광하는 소자이다.

[0003] 유기전계발광표시장치는 매트릭스 형태로 배치된 서브 픽셀들에 스캔신호, 데이터신호 및 전원 등이 공급되면, 선택된 서브 픽셀이 발광을 하게 됨으로써 영상을 표시할 수 있다.

[0004] 서브 픽셀들에 스캔신호를 공급하는 스캔구동부는 IC(Integrated Circuit) 형태로 기판에 실장되거나 서브 픽셀들에 포함된 박막 트랜지스터를 형성하는 공정과 함께 GIP(Gate In Panel) 형태로 기판의 외곽에 형성된다.

[0005] 종래 GIP형 스캔구동부는 기판에 형성하면 스캔신호를 출력하는 수평시간(Horizontal Time; 이하 HT로 약기)을 줄일 수는 있지만 이를 증가시킬 수는 없다. 즉, 종래 GIP형 스캔구동부는 1HT 구동으로 결정되면 1HT 안에서만 HT의 변경이 가능하고, 그 이상으로 HT를 증가시킬 수는 없었다.

[0006] 따라서, 종래 GIP형 스캔구동부는 HT의 조절이 필요한 경우 패널 리비전(Panel Revision)을 해야하는 단점이 있어 이의 개선이 요구된다. 이와 더불어, 종래 GIP형 스캔구동부는 게이트신호가 클록 라인 지연(CLK Line Delay)의 영향을 많이 받는 단점이 있어 이의 개선이 요구된다.

**발명의 내용**

**해결하려는 과제**

[0007] 상술한 배경기술의 문제점을 해결하기 위한 본 발명의 실시예는, 패널의 레이아웃(Layout)이 확정되더라도 수평 시간을 증가하거나 감소하도록 가변할 수 있는 GIP형 스캔구동부를 형성하는 것이다. 또한, 본 발명의 실시예는 클록 부스팅 방식이 아닌 전압 방식으로 스캔신호를 생성하므로 클록 라인 지연(CLK Line Delay)의 영향(CLK 로

드)을 최소화하고, 수평시간의 가변이 가능한 GIP형 스캔구동부를 제공하므로 수평시간의 조절이 필요하더라도 패널 리비전(Panel Revision)이 미요구되고 다양한 구조의 서브 픽셀에 대응하여 스캔신호의 주기를 변경할 수 있어 패널 설계시 비용을 절감할 수 있는 GIP형 스캔구동부를 형성하는 것이다.

**과제의 해결 수단**

- [0008] 상술한 과제 해결 수단으로 본 발명의 실시예는, 표시패널; 표시패널에 데이터신호를 공급하는 데이터구동부; 및 표시패널에 스캔신호를 공급하며, 제1스타트전압, 게이트 쉬프트 클록 및 저전위전압을 이용하여 리셋노드를 제어하는 제1회로부와, 제2스타트전압, 게이트 콘트롤 클록 및 저전위전압을 이용하여 셋노드를 제어하는 제2회로부와, 리셋노드 및 셋노드의 전압 상태에 따라 제1출력노드를 통해 출력되는 제1펄스신호 그리고 제2출력노드를 통해 출력되는 제2펄스신호의 수평기간을 가변하는 제3회로부를 포함하는 쉬프트 레지스터 블록들이 종속적으로 접속된 스캔구동부를 포함하는 유기전계발광표시장치를 제공한다.
- [0009] 스캔구동부는 쉬프트 레지스터 블록들에 공급된 제1스타트전압과 제2스타트전압 간의 이격 구간에 따라 제1 및 제2출력노드를 통해 출력되는 제1 및 제2펄스신호의 시작지점과 끝지점이 결정되며, 제1 및 제2펄스신호의 끝지점은 제2스타트전압이 로직하이에서 로직로우로 떨어지는 구간까지 지연될 수 있다.
- [0010] 스캔구동부는 전단에 위치하는 쉬프트 레지스터 블록을 통해 출력된 제1펄스신호를 다음 단에 위치하는 쉬프트 레지스터 블록의 제1스타트전압으로 공급받고, 전단에 위치하는 쉬프트 레지스터 블록을 통해 출력된 제2펄스신호를 다음 단에 위치하는 쉬프트 레지스터 블록의 제2스타트전압으로 공급받을 수 있다.
- [0011] 게이트 쉬프트 클록은 상호 상반된 극성으로 로직하이와 로직로우로 반복되는 제1게이트 쉬프트 클록과 제2게이트 쉬프트 클록을 포함하고, 게이트 콘트롤 클록은 상호 상반된 극성으로 로직하이와 로직로우로 반복되는 제1게이트 콘트롤 클록과 제2게이트 콘트롤 클록을 포함할 수 있다.
- [0012] 제1게이트 쉬프트 클록과 제1게이트 콘트롤 클록은 상호 위상이 같고, 제2게이트 쉬프트 클록과 제2게이트 콘트롤 클록은 상호 위상이 다를 수 있다.
- [0013] 제1회로부는 제1스타트전압과 게이트 쉬프트 클록에 응답하여 리셋노드를 저전위전압으로 방전시키고, 제2회로부는 제2스타트전압과 게이트 콘트롤 클록에 응답하여 셋노드를 저전위전압으로 방전시킬 수 있다.
- [0014] 제1회로부는 제1스타트전압이 공급되는 단자에 게이트전극이 연결되고 저전위전압이 공급되는 단자에 제1전극이 연결된 제1트랜지스터와, 게이트 쉬프트 클록이 공급되는 단자에 게이트전극이 연결되고 제1트랜지스터의 제2전극에 제1전극이 연결되며 리셋노드에 제2전극이 연결된 제2트랜지스터와, 제2회로부는 제2스타트전압이 공급되는 단자에 게이트전극이 연결되고 저전위전압이 공급되는 단자에 제1전극이 연결된 제3트랜지스터와, 게이트 콘트롤 클록이 공급되는 단자에 게이트전극이 연결되고 제3트랜지스터의 제2전극에 제1전극이 연결되며 셋노드에 제2전극이 연결된 제4트랜지스터를 포함하고, 제1회로부는 셋노드에 게이트전극이 연결되고 고전위전압이 공급되는 단자에 제1전극이 연결되며 리셋노드에 제2전극이 연결된 제5트랜지스터를 더 포함하고, 제2회로부는 리셋노드에 게이트전극이 연결되고 고전위전압이 공급되는 단자에 제1전극이 연결되며 셋노드에 제2전극이 연결된 제6트랜지스터를 더 포함할 수 있다.
- [0015] 제3회로부는 리셋노드에 공급된 저전위전압에 의해 방전되는 RQQ 노드의 전압에 따라 턴온되어 저전위전압을 제1출력노드에 공급하여 제1출력노드를 방전시키는 풀다운 트랜지스터와, 셋노드에 공급된 저전위전압에 의해 방전되는 SQB 노드의 전압에 따라 턴온되어 고전위전압을 제1출력노드에 공급하여 제1출력노드를 충전시키는 풀업 트랜지스터와, RQQ 노드를 충전 및 방전시키고, SQB 노드를 충전 및 방전시키는 스위치회로를 포함할 수 있다.
- [0016] 스위치회로는 리셋노드의 방전전압에 응답하여 RQQ 노드를 방전시키는 RQQ 노드 방전회로와, 셋노드의 방전전압에 응답하여 RQQ 노드를 충전시키는 RQQ 노드 충전회로와, 셋노드의 방전전압에 응답하여 SQB 노드를 방전시키는 SQB 노드 방전회로와, 셋노드의 방전전압에 응답하여 SQB 노드를 충전시키는 SQB 노드 충전회로와, SQB 노드의 방전전압에 응답하여 제1펄스신호와 반대되는 제2펄스신호를 제2출력노드로 출력하는 RQB 노드 출력회로를 포함할 수 있다.
- [0017] RQQ 노드 방전회로의 게이트전극은 리셋노드에 연결되고 제1전극은 저전위전압이 공급되는 단자에 연결되며 제2전극은 RQQ 노드에 연결되고, RQQ 노드 충전회로의 게이트전극은 셋노드에 연결되고 제1전극은 고전위전압이 공급되는 단자에 연결되며 제2전극은 RQQ 노드에 연결되며, SQB 노드 방전회로의 게이트전극은 셋노드에 연결되고 제1전극은 저전위전압이 공급되는 단자에 연결되며 제2전극은 SQB 노드에 연결되고, SQB 노드 충전회로의 게이트전극은 리셋노드에 연결되고 제1전극은 고전위전압이 공급되는 단자에 연결되며 제2전극은 SQB 노드에 연결되

며, RQB 노드 출력회로의 게이트전극은 SQB 노드에 연결되고 제1전극은 저전위전압이 공급되는 단자에 연결되며 제2전극은 제2출력노드에 연결되고, 풀다운 트랜지스터의 게이트전극은 RQQ 노드에 연결되고 제1전극은 저전위 전압이 공급되는 단자에 연결되며 제2전극은 제1출력노드에 연결되며, 풀업 트랜지스터의 게이트전극은 SQB 노드에 연결되고 제1전극은 고전위전압이 공급되는 단자에 연결되며 제2전극은 제1출력노드에 연결될 수 있다.

**발명의 효과**

[0018] 본 발명의 실시예는, 패널의 레이아웃(Layout)이 확정되더라도 수평시간을 증가하거나 감소하도록 가변할 수 있는 GIP형 스캔구동부를 형성할 수 있는 효과가 있다. 또한, 클록 부스팅 방식이 아닌 전압 방식으로 스캔신호를 생성하므로 클록 라인 지연(CLK Line Delay)의 영향(CLK 로드)을 최소화할 수 있는 효과가 있다. 또한, 수평시간의 가변이 가능한 GIP형 스캔구동부를 제공하므로 수평시간의 조절이 필요하더라도 패널 리비전(Panel Revision)이 미요구되고 다양한 구조의 서브 픽셀에 대응하여 스캔신호의 주기를 변경할 수 있어 패널 설계시 비용을 절감할 수 있는 효과가 있다. 또한, 적은 개수의 클록 라인으로 수평시간을 가변할 수 있으므로 베젤을 좁힐 수 있는 네로우 베젤(Narrow Bezel) GIP형 스캔구동부를 형성할 수 있는 효과가 있다.

**도면의 간단한 설명**

[0019] 도 1은 유기전계발광표시장치의 개략적인 블록도.  
 도 2는 본 발명의 일 실시예에 따른 스캔구동부의 개략적인 블록도.  
 도 3은 도 2에 도시된 제1스테이지에 포함된 회로부의 구성을 나타낸 도면.  
 도 4는 본 발명의 일 실시예에 따라 제1스테이지가 게이트로우전압의 제1펄스신호를 출력하는 동작 특성을 설명하기 위한 도면.  
 도 5는 본 발명의 일 실시예에 따라 제1스테이지가 게이트하이전압의 제1펄스신호를 출력하는 동작 특성을 설명하기 위한 도면.  
 도 6은 본 발명의 일 실시예에 따른 도 4 및 도 5의 동작 특성에 따른 타이밍도.  
 도 7은 본 발명의 일 실시예에 따라 제2스테이지의 동작 특성을 설명하기 위한 타이밍도.  
 도 8은 본 발명의 다른 실시예에 따른 스캔구동부의 동작 특성에 대해 설명하기 위한 타이밍도.

**발명을 실시하기 위한 구체적인 내용**

[0020] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.  
 [0021] 도 1은 유기전계발광표시장치의 개략적인 블록도이다.  
 [0022] 도 1에 도시된 바와 같이 유기전계발광표시장치에는 타이밍구동부(TCN), 표시패널(PNL), 스캔구동부(SDRV) 및 데이터구동부(DDRV)가 포함된다.  
 [0023] 타이밍구동부(TCN)는 외부로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 클럭신호(CLK), 데이터신호(RGB)를 공급받는다. 타이밍구동부(TCN)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 클럭신호(CLK) 등의 타이밍신호를 이용하여 데이터 구동부(DDRV)와 스캔구동부(SDRV)의 동작 타이밍을 제어한다. 타이밍구동부(TCN)는 1 수평기간의 데이터 인에이블 신호(DE)를 카운트하여 프레임기간을 판단할 수 있으므로 외부로부터 공급되는 수직 동기신호(Vsync)와 수평 동기신호(Hsync)는 생략될 수 있다. 타이밍구동부(TCN)에서 생성되는 제어신호들에는 스캔구동부(SDRV)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터구동부(DDRV)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)가 포함된다.  
 [0024] 표시패널(PNL)은 매트릭스형태로 배치된 서브 픽셀(SP)을 갖는 표시부를 포함한다. 서브 픽셀들(SP)은 수동매트릭스형(Passive Matrix) 또는 능동매트릭스형(Active Matrix)으로 형성될 수 있다. 서브 픽셀들(SP)이 능동매트릭스형으로 형성된 경우, 이는 스위칭 트랜지스터, 구동 트랜지스터, 커패시터 및 유기 발광다이오드를 포함하는 2T(Transistor)1C(Capacitor) 구조로 구성되거나 3T1C, 4T1C, 5T2C 등과 같이 트랜지스터 및 커패시터가 더 추가된 구조로 구성될 수도 있다. 위와 같은 구성을 갖는 서브 픽셀들(SP)은 구조에 따라 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 또는 양면발광(Dual-Emission) 방식으로 형성될 수 있다.

- [0025] 스캔구동부(SDRV)는 타이밍구동부(TCN)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 표시패널(PNL)에 포함된 서브 픽셀들(SP)의 트랜지스터들이 동작 가능한 게이트 구동전압의 스윙폭으로 신호의 레벨을 시프트시키면서 스캔신호를 순차적으로 생성한다. 스캔구동부(SDRV)는 스캔라인들(SL1~SLm)을 통해 생성된 스캔신호를 표시패널(PNL)에 포함된 서브 픽셀들(SP)에 공급한다.
- [0026] 데이터구동부(DDRV)는 타이밍구동부(TCN)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍구동부(TCN)로부터 공급되는 디지털 형태의 데이터신호(RGB)를 샘플링하고 래치하여 병렬 데이터 체계의 데이터로 변환한다. 데이터구동부(DDRV)는 병렬 데이터 체계의 데이터로 변환할 때, 디지털 형태의 데이터신호(RGB)를 감마 기준전압으로 변환하여 아날로그 형태의 데이터신호로 변환한다. 데이터구동부(DDRV)는 데이터라인들(DL1~DLn)을 통해 변환된 데이터신호를 표시패널(PNL)에 포함된 서브 픽셀들(SP)에 공급한다.
- [0027] 이하, 본 발명의 일 실시예에 따른 스캔구동부(SDRV)의 구성에 대해 더욱 자세히 설명한다.
- [0028] 도 2는 본 발명의 일 실시예에 따른 스캔구동부의 개략적인 블록도이고, 도 3은 도 2에 도시된 제1스테이지에 포함된 회로부의 구성을 나타낸 도면이다.
- [0029] 도 2에 도시된 바와 같이, 스캔구동부에는 저전위전압(GVSS), 고전위전압(GVDD), 제1스타트전압(VST), 제2스타트전압(RVST), 게이트 쉬프트 클록(CLK1, CLK2) 및 게이트 콘트롤 클록(RCLK1, RCLK2)을 기반으로 구동하여 스캔신호에 해당하는 제1펄스신호를 순차적으로 출력하는 다수의 스테이지들(STG[1] ~ STG[4])이 포함된다.
- [0030] 예컨대, 제1스테이지(STG[1])는 저전위전압(GVSS), 고전위전압(GVDD), 제1스타트전압(VST), 제2스타트전압(RVST), 제1게이트 쉬프트 클록(CLK1) 및 제1게이트 콘트롤 클록(RCLK1)을 기반으로 구동하여 제1출력노드(OUT1)를 통해 제1번째 제1펄스신호를 출력한다. 이와 동시에, 제1스테이지(STG[1])는 제2출력노드(RQB1)를 통해 제1펄스신호와 상반된 극성을 갖는 제1번째 제2펄스신호를 출력한다.
- [0031] 그리고, 제2스테이지(STG[2])는 저전위전압(GVSS), 고전위전압(GVDD), 제1번째 제1펄스신호, 제1번째 제2펄스신호, 제2게이트 쉬프트 클록(CLK2) 및 제2게이트 콘트롤 클록(RCLK2)을 기반으로 구동하여 제2출력노드(OUT2)를 통해 제2번째 제1펄스신호를 출력한다. 이와 동시에, 제1스테이지(STG[1])는 제2출력노드(RQB1)를 통해 제2번째 제1펄스신호와 상반된 극성을 갖는 제2번째 제2펄스신호를 출력한다.
- [0032] 제2스테이지(STG[2])의 경우, 제1스테이지(STG[1])의 제1출력노드(OUT1)를 통해 출력된 제1번째 제1펄스신호를 제1스타트전압(VST)에 대응되는 전압으로 공급받고, 제1스테이지(STG[1])의 제2출력노드(RQB1)를 통해 출력된 제1번째 제2펄스신호를 제2스타트전압(RVST)에 대응되는 전압으로 공급받는다. 즉, 종속단에 위치하는 스테이지는 앞단에 위치하는 스테이지의 출력신호들을 스타트전압으로 공급받는다.
- [0033] 따라서, 제2스테이지(STG[2])의 종속단에 위치하는 제3스테이지(STG[3])는 물론 제3스테이지(STG[3])의 종속단에 위치하는 제4스테이지(STG[4]) 그리고 미도시된 제N스테이지까지 종속적인 접속 관계가 형성되며, 이들은 각기 앞단에 위치하는 스테이지의 출력신호들을 스타트전압으로 공급받는다.
- [0034] 그러므로, 스캔구동부는 전단에 위치하는 쉬프트 레지스터 블록을 통해 출력된 제1펄스신호를 다음 단에 위치하는 쉬프트 레지스터 블록의 제1스타트전압으로 공급받고, 전단에 위치하는 쉬프트 레지스터 블록을 통해 출력된 제2펄스신호를 다음 단에 위치하는 쉬프트 레지스터 블록의 제2스타트전압으로 공급받는다.
- [0035] 도 3에 도시된 바와 같이, 제1스테이지(STG[1])에는 제1회로부(BL[1]), 제2회로부(BL[2]) 및 제3회로부(BL[3])를 갖는 쉬프트 레지스터 블록이 포함된다.
- [0036] 제1회로부(BL[1])는 제1스타트전압(VST), 제1게이트 쉬프트 클록(CLK1) 및 저전위전압(GVSS)을 이용하여 리셋노드(RESET)를 제어하는 역할을 한다. 더욱 상세히 설명하면, 제1회로부(BL[1])는 제1스타트전압(VST)과 제1게이트 쉬프트 클록(CLK1)에 응답하여 리셋노드(RESET)를 저전위전압(GVSS)으로 방전시키는 역할을 한다.
- [0037] 제1회로부(BL[1])에는 제1트랜지스터(T1), 제2트랜지스터(T2) 및 제5트랜지스터(T5)가 포함된다. 제1회로부(BL[1])에 포함된 트랜지스터들의 연결관계를 설명하면 다음과 같다.
- [0038] 제1트랜지스터(T1)는 제1스타트전압(VST)이 공급되는 단자에 게이트전극이 연결되고 저전위전압(GVSS)이 공급되는 단자에 제1전극이 연결되며 제2트랜지스터(T2)의 제1전극에 제2전극이 연결된다. 제2트랜지스터(T2)는 제1게이트 쉬프트 클록(CLK1)이 공급되는 단자에 게이트전극이 연결되고 제1트랜지스터(T1)의 제2전극에 제1전극이 연결되며 리셋노드(RESET)에 제2전극이 연결된다.
- [0039] 제5트랜지스터(T5)는 셋노드(SET)에 게이트전극이 연결되고 고전위전압(GVSS)이 공급되는 단자에 제1전극이 연

결되며 리셋노드(RESET)에 제2전극이 연결된다.

- [0040] 제2회로부(BL[2])는 제2스타트전압(RVST), 제1게이트 콘트롤 클록(RCLK1) 및 저전위전압(GVSS)을 이용하여 셋노드(SET)를 제어하는 역할을 한다. 더욱 상세히 설명하면, 제2회로부(BL[2])는 제2스타트전압(RVST) 및 제1게이트 콘트롤 클록(RCLK1)에 응답하여 셋노드(SET)를 저전위전압(GVSS)으로 방전시키는 역할을 한다.
- [0041] 제2회로부(BL[2])에는 제3트랜지스터(T3), 제4트랜지스터(T4) 및 제6트랜지스터(T6)이 포함된다. 제2회로부(BL[2])에 포함된 트랜지스터들의 연결관계를 설명하면 다음과 같다.
- [0042] 제3트랜지스터(T3)는 제2스타트전압(RVST)이 공급되는 단자에 게이트전극이 연결되고 저전위전압(GVSS)이 공급되는 단자에 제1전극이 연결되며 제4트랜지스터(T4)의 제1전극에 제2전극이 연결된다. 제4트랜지스터(T4)는 제1게이트 콘트롤 클록(RCLK1)이 공급되는 단자에 게이트전극이 연결되고 제3트랜지스터(T3)의 제2전극에 제1전극이 연결되며 셋노드(SET)에 제2전극이 연결된다. 제6트랜지스터(T6)는 리셋노드(RESET)에 게이트전극이 연결되고 저전위전압(GVSS)이 공급되는 단자에 제1전극이 연결되며 셋노드(SET)에 제2전극이 연결된다.
- [0043] 이와 더불어, 제1회로부(BL[1]) 및 제2회로부(BL[2])에는 제1 및 제2커패시터(C1, C2)가 포함된다. 제1회로부(BL[1]) 및 제2회로부(BL[2])에 포함된 커패시터들의 연결관계를 설명하면 다음과 같다.
- [0044] 제1커패시터(C1)는 셋노드(SET)에 일단이 연결되고 고전위전압(GVDD)이 공급되는 단자에 타단이 연결된다. 제1커패시터(C1)는 셋노드(SET)가 전기적으로 플로팅(floating)될 시 셋노드(SET)를 고전위전압(GVDD)으로 유지시키는 역할을 한다. 제2커패시터(C2)는 리셋노드(RESET)에 일단이 연결되고 고전위전압(GVDD)이 공급되는 단자에 타단이 연결된다. 제2커패시터(C2)는 리셋노드(RESET)가 전기적으로 플로팅될 시 리셋노드(RESET)를 고전위전압(GVDD)으로 유지시키는 역할을 한다.
- [0045] 제3회로부(BL[3])는 리셋노드(RESET) 및 셋노드(SET)의 전압 상태에 따라 제1출력노드(OUT1)를 통해 출력되는 제1펄스신호 그리고 제2출력노드(RQB1)를 통해 출력되는 제2펄스신호의 수평기간을 가변하는 역할을 한다.
- [0046] 제3회로부(BL[3])에는 RQQ 노드 방전회로(T7), RQQ 노드 충전회로(T8), SQB 노드 방전회로(T9), SQB 노드 충전회로(T10) 및 RQB 노드 출력회로(T11)를 포함하는 스위치회로와 풀다운 트랜지스터(T12) 및 풀업 트랜지스터(T13)를 포함하는 스위치회로가 포함된다.
- [0047] RQQ 노드 방전회로(T7)는 리셋노드(RESET)의 방전전압에 응답하여 RQQ 노드(RQQ)를 방전시키는 역할을 한다. RQQ 노드 충전회로(T8)는 셋노드(SET)의 방전전압에 응답하여 RQQ 노드(RQQ)를 충전시키는 역할을 한다. SQB 노드 방전회로(T9)는 셋노드(SET)의 방전전압에 응답하여 SQB 노드(SQB)를 방전시키는 역할을 한다. SQB 노드 충전회로(T10)는 셋노드(SET)의 방전전압에 응답하여 SQB 노드(SQB)를 충전시키는 역할을 한다. RQB 노드 출력회로(T11)는 SQB 노드(SQB)의 방전전압에 응답하여 제1펄스신호와 반대되는 제2펄스신호를 제2출력노드(RQB1)로 출력하는 역할을 한다. 즉, RQQ 노드 방전회로(T7), RQQ 노드 충전회로(T8), SQB 노드 방전회로(T9) 및 SQB 노드 충전회로(T10)는 RQQ 노드(RQQ)를 충전 및 방전시키고, SQB 노드(SQB)를 충전 및 방전시키는 역할을 한다.
- [0048] 풀다운 트랜지스터(T12)는 리셋노드(RESET)에 공급된 저전위전압(GVSS)에 의해 방전되는 RQQ 노드(RQQ)의 전압에 따라 턴온되어 저전위전압(GVSS)을 제1출력노드(OUT1)에 공급하여 제1출력노드(OUT1)를 방전시키는 역할을 한다. 풀업 트랜지스터(T13)는 셋노드(SET)에 공급된 저전위전압(GVSS)에 의해 방전되는 SQB 노드(SQB)의 전압에 따라 턴온되어 고전위전압(GVDD)을 제1출력노드(OUT1)에 공급하여 제1출력노드(OUT1)를 충전시키는 역할을 한다.
- [0049] 제3회로부(BL[3])에 포함된 회로들과 트랜지스터들의 연결관계를 설명하면 다음과 같다.
- [0050] RQQ 노드 방전회로(T7)의 게이트전극은 리셋노드(RESET)에 연결되고 제1전극은 저전위전압(GVSS)이 공급되는 단자에 연결되며 제2전극은 RQQ 노드(RQQ)에 연결된다. RQQ 노드 충전회로(T8)의 게이트전극은 셋노드(SET)에 연결되고 제1전극은 고전위전압(GVDD)이 공급되는 단자에 연결되며 제2전극은 RQQ 노드(RQQ)에 연결된다.
- [0051] SQB 노드 방전회로(T9)의 게이트전극은 셋노드(SET)에 연결되고 제1전극은 저전위전압(GVSS)이 공급되는 단자에 연결되며 제2전극은 SQB 노드(SQB)에 연결된다. SQB 노드 충전회로(T10)의 게이트전극은 리셋노드(RESET)에 연결되고 제1전극은 고전위전압(GVDD)이 공급되는 단자에 연결되며 제2전극은 SQB 노드(SQB)에 연결된다. RQB 노드 출력회로(T11)의 게이트전극은 SQB 노드(SQB)에 연결되고 제1전극은 저전위전압(GVSS)이 공급되는 단자에 연결되며 제2전극은 제2출력노드(RQB1)에 연결된다.
- [0052] 풀다운 트랜지스터(T12)의 게이트전극은 RQQ 노드(RQQ)에 연결되고 제1전극은 저전위전압(GVSS)이 공급되는 단

자에 연결되며 제2전극은 제1출력노드(OUT1)에 연결된다. 풀업 트랜지스터(T13)의 게이트전극은 SQB 노드(SQB)에 연결되고 제1전극은 고전위전압(GVDD)이 공급되는 단자에 연결되며 제2전극은 제1출력노드(OUT1)에 연결된다.

- [0053] 이와 더불어, 제3회로부(BL[3])에는 제3 내지 제6커패시터(C3 ~ C6)가 포함된다. 제3회로부(BL[3])에 포함된 커패시터들의 연결관계를 설명하면 다음과 같다.
- [0054] 제3커패시터(C3)는 셋노드(SET)에 일단이 연결되고 SQB 노드(SQB)에 타단이 연결된다. 제3커패시터(C3)는 셋노드(SET)를 부트스트랩(bootstrap)으로 방전시키는 역할을 한다. 제4커패시터(C4)는 RQQ 노드(RQQ)에 일단이 연결되고 고전위전압(GVDD)이 공급되는 단자에 타단이 연결된다. 제4커패시터(C4)는 RQQ 노드(RQQ)가 전기적으로 플로팅될 시 RQQ 노드(RQQ)를 고전위전압(GVDD)으로 유지시키는 역할을 한다. 제5커패시터(C5)는 SQB 노드(SQB)에 일단이 연결되고 제2출력노드(RQB1)에 타단이 연결된다. 제5커패시터(C5)는 제2출력노드(RQB1)를 부트스트랩으로 방전시키는 역할을 한다. 제6커패시터(C6)는 RQQ 노드(RQQ)에 일단이 연결되고 제1출력노드(OUT1)에 타단이 연결된다. 제6커패시터(C6)는 제1출력노드(OUT1)를 부트스트랩으로 방전시키는 역할을 한다.
- [0055] 위의 설명에서는 제1스테이지(STG[1])에 포함된 제1 내지 제3회로부(BL[1] ~ BL[3])에 대한 구성 및 연결관계를 중심으로 설명하였다. 하지만, 제1스테이지(STG[1])뿐만 아니라 다른 스테이지들의 구성 및 연결관계 또한 도 3과 같은 형태로 이루어진다. 그리고 이들은 도 2와 같은 형태로 종속적인 접속관계를 이루며 제1 내지 제4스테이지들(STG[1] ~ STG[4])로 구성되며 각각의 제1 및 제2출력노드들(OUT1 ~ OUT4, RQB1 ~ RQB4)을 통해 순차적으로 제1 및 제2펄스신호를 출력하게 된다. 여기서, 도 2에서는 제1 내지 제4스테이지들(STG[1] ~ STG[4])만 도시하였으나 이는 제N(N은 4 이상 정수)스테이지까지 구성된다.
- [0056] 또한, 위의 설명에서는 제1 내지 제3회로부(BL[1] ~ BL[3])에 포함된 트랜지스터가 N타입 트랜지스터인 것을 일례로 하였으나, 이들 중 하나 이상은 P타입 트랜지스터로 구성될 수 있다. 그리고 제1전극 및 제2전극은 소오스 전극 및 드레인전극 또는 드레인전극 및 소오스전극으로 정의될 수 있다.
- [0057] 이하, 본 발명의 일 실시예에 따른 스캔구동부의 동작 특성에 대해 설명한다.
- [0058] 도 4는 본 발명의 일 실시예에 따라 제1스테이지가 게이트로우전압의 제1펄스신호를 출력하는 동작 특성을 설명하기 위한 도면이고, 도 5는 본 발명의 일 실시예에 따라 제1스테이지가 게이트하이전압의 제1펄스신호를 출력하는 동작 특성을 설명하기 위한 도면이고, 도 6은 본 발명의 일 실시예에 따른 도 4 및 도 5의 동작 특성에 따른 타이밍도이며, 도 7은 본 발명의 일 실시예에 따라 제2스테이지의 동작 특성을 설명하기 위한 타이밍도이다.
- [0059] 도 4 내지 도 6에 도시된 바와 같이, 제1회로부(BL[1])는 제1스타트전압(VST)과 제1게이트 쉬프트 클록(CLK1)에 응답하여 리셋노드(RESET)를 저전위전압(GVSS)으로 방전시키는 역할을 한다. 그리고 제2회로부(BL[2])는 제2스타트전압(RVST)과 제1게이트 콘트롤 클록(RCLK1)에 응답하여 셋노드(SET)를 저전위전압(GVSS)으로 방전시키는 역할을 한다. 그리고 제3회로부(BL[3])는 리셋노드(RESET) 및 셋노드(SET)의 전압 상태에 따라 제1출력노드(OUT1)를 통해 출력되는 제1펄스신호 그리고 제2출력노드(RQB1)를 통해 출력되는 제2펄스신호의 수평기간을 가변한다.
- [0060] 먼저, 도 4 및 도 6과 같이 제1회로부(BL[1])에 제1스타트전압(VST)과 제1게이트 쉬프트 클록(CLK1)이 동기되어 입력되면 제1 및 제2트랜지스터(T1, T2)는 턴온되고, 리셋노드(RESET)는 저전위전압(GVSS)으로 방전되어 로직로우(Low) 상태가 된다. 이때, 셋노드(SET)를 관장하는 제2회로부(BL[2])는 미응답상태가 되고, 턴온된 제6트랜지스터(T6)에 의해 셋노드(SET)는 고전위전압(GVDD)로 충전되어 로직하이(High) 상태가 된다.
- [0061] 리셋노드(RESET)가 저전위전압(GVSS)으로 방전되어 로직로우(Low) 상태가 됨에 따라, RQQ 노드 방전회로(T7)는 턴온되어 RQQ 노드(RQQ)를 저전위전압(GVSS)의 로직로우(Low)로 방전시킨다. 반면, SQB 노드 충전회로(T10)는 턴온되어 SQB 노드(SQB)를 고전위전압(GVDD)의 로직하이(High)로 충전시킨다.
- [0062] 이에 따라, 풀다운 트랜지스터(T12)는 턴온되어 제1출력노드(OUT1)를 통해 저전위전압(GVSS)에 해당하는 게이트로우전압을 출력하게 된다. 이때, RQB 노드 출력회로(T11)는 고전위전압(GVDD)에 해당하는 게이트하이전압을 출력하게 되고, 풀업 트랜지스터(T13)는 로직하이(High)에 의해 미응답상태인 턴오프 상태가 된다.
- [0063] 다음, 도 5 및 도 6과 같이 제2스타트전압(RVST)과 제1게이트 콘트롤 클록(RCLK1)은 제1스타트전압(VST)과 제1게이트 쉬프트 클록(CLK1) 대비 2 수평시간(Horizontal Time; 이하 HT로 약기)의 지연시간을 두고 입력된다.
- [0064] 제2회로부(BL[2])에 제2스타트전압(RVST)과 제1게이트 콘트롤 클록(RCLK1)이 동기되어 입력되면 제3 및 제4트랜지스터(T3, T4)는 턴온되고, 셋노드(SET)는 저전위전압(GVSS)으로 방전되어 로직로우(Low) 상태가 된다. 이때,

리셋노드(RESET)를 관장하는 제1회로부(BL[1])는 미응답상태가 되고, 턴온된 제5트랜지스터(T5)에 의해 리셋노드(RESET)는 고전위전압(GVDD)로 충전되어 로직하이(High) 상태가 된다.

- [0065] 셋노드(SET)가 저전위전압(GVSS)으로 방전되어 로직로우(Low) 상태가 됨에 따라, SQB 노드 방전회로(T9)는 턴온되어 SQB 노드(SQB)를 저전위전압(GVSS)의 로직로우(Low)로 방전시킨다. 반면, RQQ 노드 충전회로(T8)는 턴온되어 RQQ 노드(RQQ)를 고전위전압(GVDD)의 로직하이(High)로 충전시킨다.
- [0066] 이에 따라, 풀업 트랜지스터(T13)는 턴온되어 제1출력노드(OUT1)를 통해 고전위전압(GVDD)에 해당하는 게이트하이전압을 출력하게 된다. 이때, RQB 노드 출력회로(T11)는 저전위전압(GVSS)에 해당하는 게이트로우전압을 출력하게 되고, 풀다운 트랜지스터(T12)는 로직하이(High)에 의해 미응답상태인 턴오프 상태가 된다.
- [0067] 위의 설명을 통해 알 수 있듯이, 본 발명의 일 실시예에 따른 스캔구동부는 제1스타트전압(VST)과 제1게이트 쉬프트 클록(CLK1) 대비 2HT의 지연시간을 두고 입력된 제2스타트전압(RVST)과 제1게이트 콘트롤 클록(RCLK1)에 의해 2HT의 주기를 갖는 제1 및 제2펄스신호를 출력하게 된다.
- [0068] 한편, 제1게이트 쉬프트 클록(CLK1)은 제1스타트전압(VST)과 동기되며 입력 우선 순위가 높고, 제2게이트 쉬프트 클록(CLK2)의 경우, 제1게이트 쉬프트 클록(CLK1)과 상반된 극성으로 로직하이와 로직로우로 반복된다. 그리고 제1게이트 콘트롤 클록(RCLK1)은 제2스타트전압(RVST)과 동기되며 입력 우선 순위가 낮고, 제2게이트 콘트롤 클록(RCLK2)의 경우, 제1게이트 콘트롤 클록(RCLK1)과 상반된 극성으로 로직하이와 로직로우로 반복된다. 한편, 도 6에서도 알 수 있듯이, 제1게이트 쉬프트 클록(CLK1)과 제1게이트 콘트롤 클록(RCLK1)은 상호 위상이 같고, 제2게이트 쉬프트 클록(CLK2)과 제2게이트 콘트롤 클록(RCLK2)은 상호 위상은 같다. 따라서, 스캔구동부는 제1게이트 쉬프트 클록(CLK1)과 제2게이트 쉬프트 클록(CLK2)만 이용하여 구동하거나 제1게이트 콘트롤 클록(RCLK1)과 제2게이트 콘트롤 클록(RCLK2)만 이용하여 구동할 수도 있다.
- [0069] 도 2를 참조하여 설명하였듯이, 제2스테이지(STG[2])는 제1스테이지(STG[1])의 제1출력노드(OUT1)를 통해 출력된 제1번째 제1펄스신호를 제1스타트전압에 대응되는 전압을 공급받고, 제2출력노드(RQB1)를 통해 출력된 제1번째 제2펄스신호를 제2스타트전압에 대응되는 전압으로 공급받는다.
- [0070] 따라서, 도 7에 도시된 바와 같이 제2스테이지(STG[2])는 제1스테이지(STG[1])의 제1출력노드(OUT1) 및 제2출력노드(RQB1)를 통해 출력된 제1번째 제1 및 제2펄스신호를 기반으로 동작을 하게 된다. 그리고 제2스테이지(STG[2])는 제1출력노드(OUT2)를 통해 저전위전압(GVSS)에 대응되는 게이트로우전압의 제2번째 제1펄스신호를 출력하게 된다. 그리고 미도시되어 있으나, 제2스테이지(STG[2])는 제2출력노드(RQB2)를 통해 제2번째 제1펄스신호와 반대되는 게이트하이전압의 제2번째 제2펄스신호를 출력하게 된다.
- [0071] 위의 설명에서는 스캔구동부에 포함된 스테이지가 스캔신호를 2HT로 지연된 펄스신호로 출력하는 것을 일례로 설명하였고, 이하에서는 6HT로 지연된 펄스신호로 출력하는 다른 예를 설명한다.
- [0072] 도 8은 본 발명의 다른 실시예에 따른 스캔구동부의 동작 특성에 대해 설명하기 위한 타이밍도이다.
- [0073] 먼저, 도 4 및 도 8과 같이 제1회로부(BL[1])에 제1스타트전압(VST)과 제1게이트 쉬프트 클록(CLK1)이 동기되어 입력되면 제1 및 제2트랜지스터(T1, T2)는 턴온되고, 리셋노드(RESET)는 저전위전압(GVSS)으로 방전되어 로직로우(Low) 상태가 된다. 이때, 셋노드(SET)를 관장하는 제2회로부(BL[2])는 미응답상태가 되고, 턴온된 제6트랜지스터(T6)에 의해 셋노드(SET)는 고전위전압(GVDD)로 충전되어 로직하이(High) 상태가 된다.
- [0074] 리셋노드(RESET)가 저전위전압(GVSS)으로 방전되어 로직로우(Low) 상태가 됨에 따라, RQQ 노드 방전회로(T7)는 턴온되어 RQQ 노드(RQQ)를 저전위전압(GVSS)의 로직로우(Low)로 방전시킨다. 반면, SQB 노드 충전회로(T10)는 턴온되어 SQB 노드(SQB)를 고전위전압(GVDD)의 로직하이(High)로 충전시킨다.
- [0075] 이에 따라, 풀다운 트랜지스터(T12)는 턴온되어 제1출력노드(OUT1)를 통해 저전위전압(GVSS)에 해당하는 게이트로우전압을 출력하게 된다. 이때, RQB 노드 출력회로(T11)는 고전위전압(GVDD)에 해당하는 게이트하이전압을 출력하게 되고, 풀업 트랜지스터(T13)는 로직하이(High)에 의해 미응답상태인 턴오프 상태가 된다.
- [0076] 다음, 도 5 및 도 8과 같이 제2스타트전압(RVST)과 제1게이트 콘트롤 클록(RCLK1)은 제1스타트전압(VST)과 제1게이트 쉬프트 클록(CLK1) 대비 5HT의 지연시간을 두고 입력된다. 제2회로부(BL[2])에 제2스타트전압(RVST)과 제1게이트 콘트롤 클록(RCLK1)이 동기되어 입력되면 제3 및 제4트랜지스터(T3, T4)는 턴온되고, 셋노드(SET)는 저전위전압(GVSS)으로 방전되어 로직로우(Low) 상태가 된다. 이때, 리셋노드(RESET)를 관장하는 제1회로부(BL[1])는 미응답상태가 되고, 턴온된 제5트랜지스터(T5)에 의해 리셋노드(RESET)는 고전위전압(GVDD)로 충전되

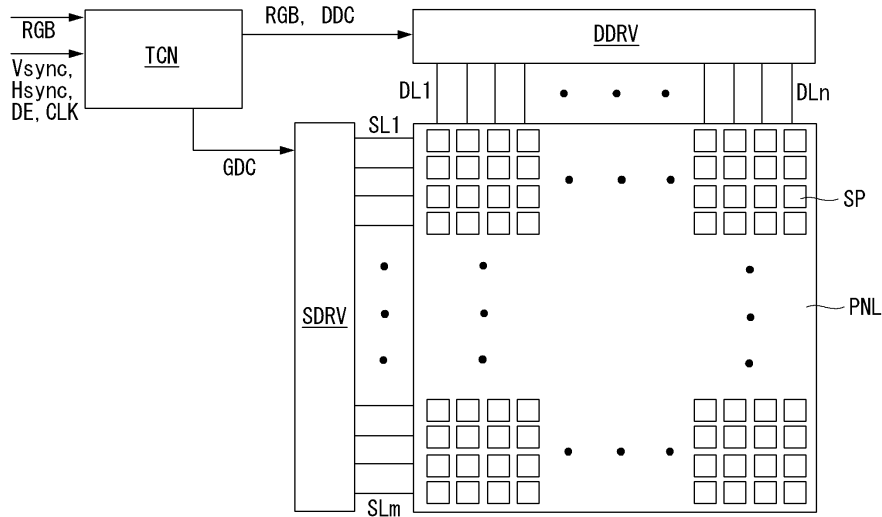


BL[3]: 제3회로부

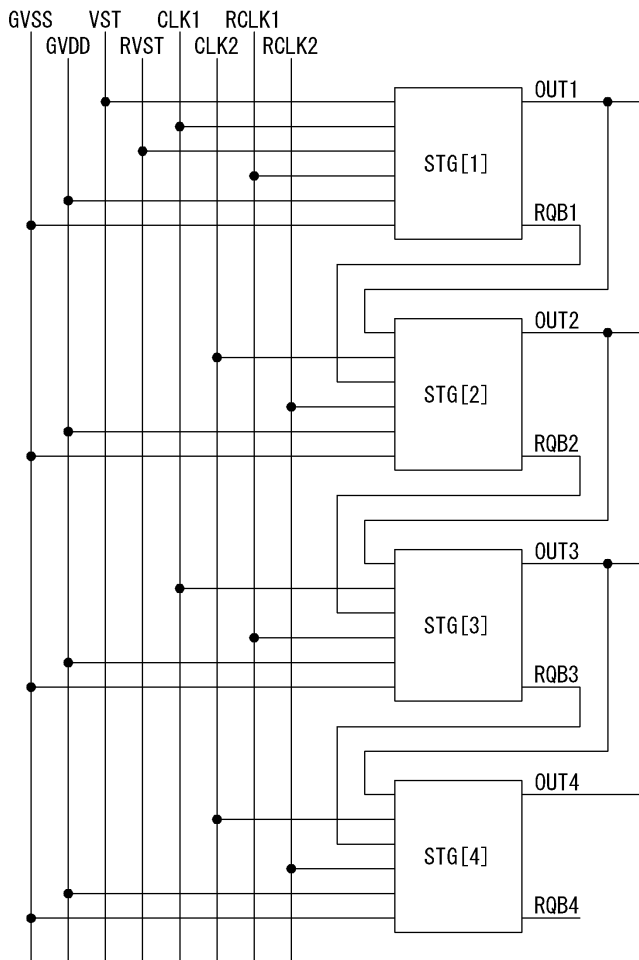
STG[1] ~ STG[4]: 제1 내지 제4스태이지

도면

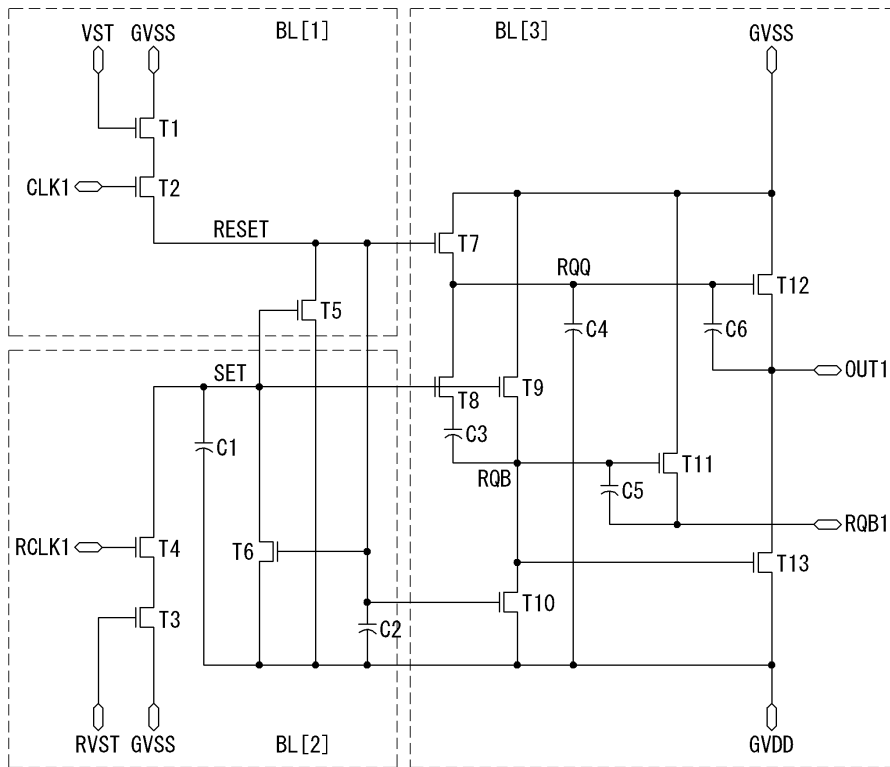
도면1



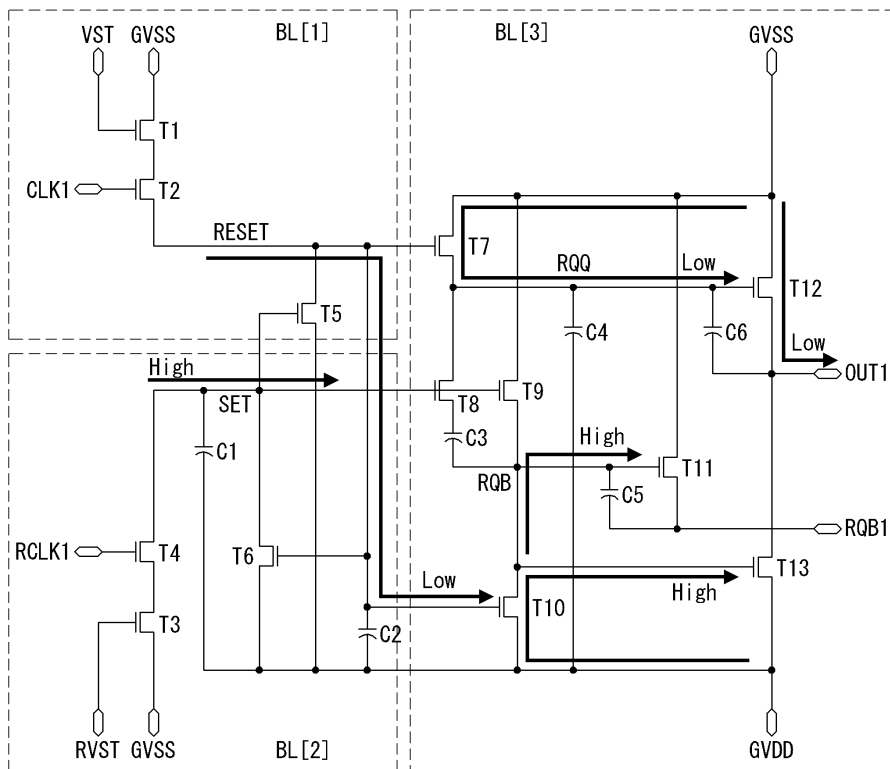
도면2



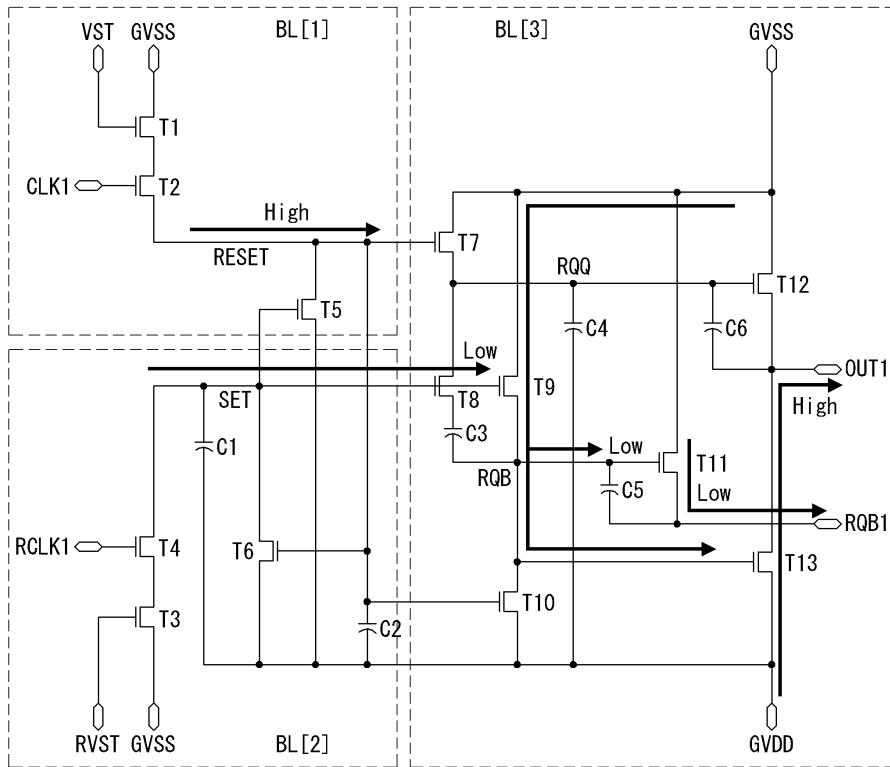
도면3



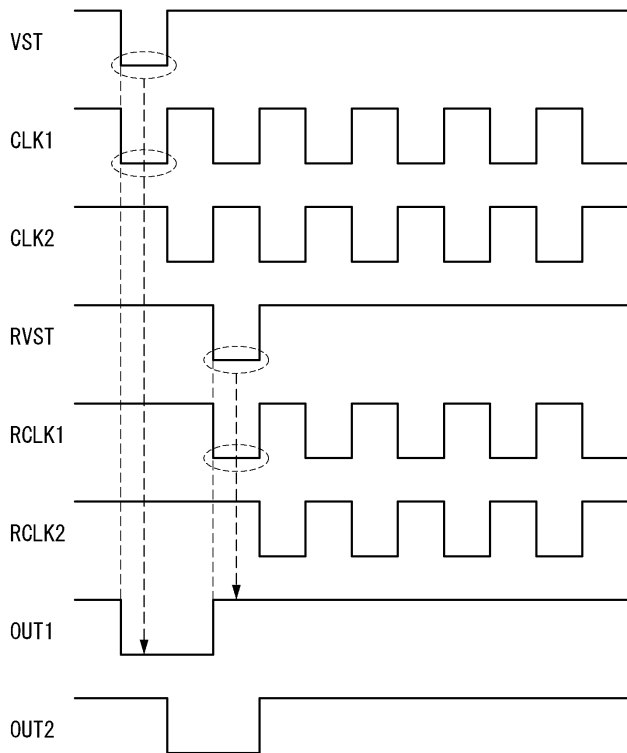
도면4



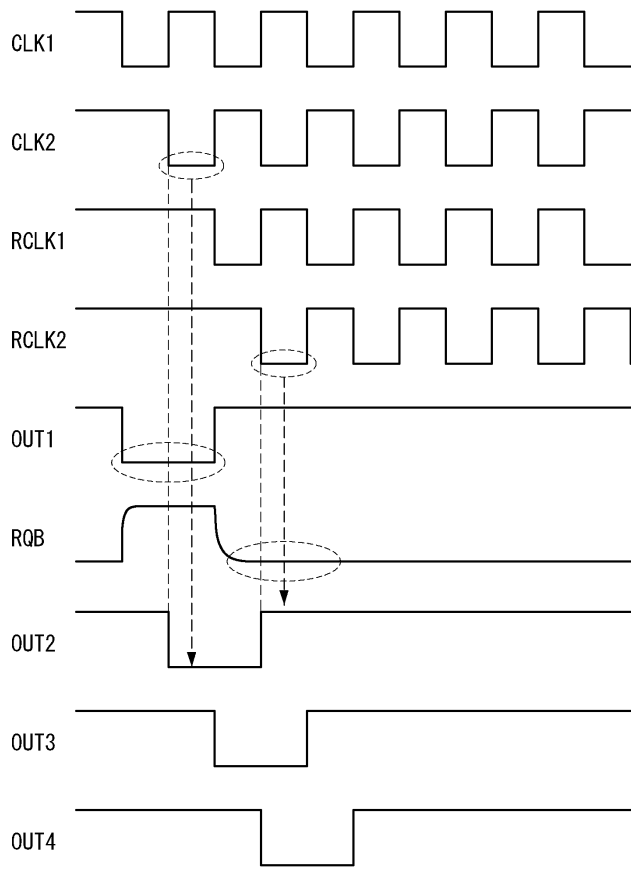
도면5



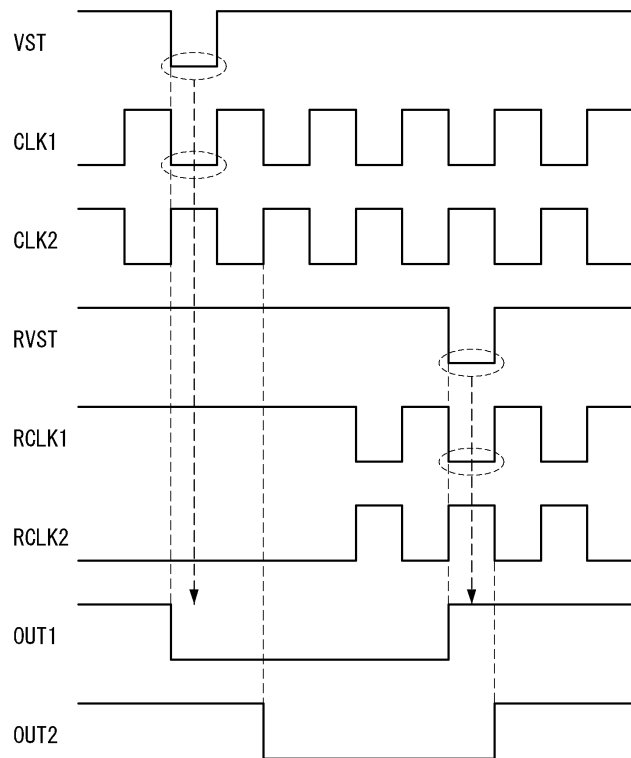
도면6



도면7



도면8



专利名称(译)	有机电致发光显示装置		
公开(公告)号	<a href="#">KR101871502B1</a>	公开(公告)日	2018-06-27
申请号	KR1020110078465	申请日	2011-08-08
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE HYUN HAENG 이현행 KIM HYUN JIN 김현진		
发明人	이현행 김현진		
IPC分类号	G09G3/30 G09G3/3266 H05B33/08		
CPC分类号	G09G3/3266 H05B33/0896 G09G2310/061 G09G2310/0286 G09G2300/0408 G09G2300/0426 H05B45/60		
其他公开文献	KR1020130016496A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

用途：提供一种有机发光显示装置，通过电压法产生扫描信号，最大限度地减少时钟线延迟的影响。结构：数据驱动单元向显示板提供数据信号。扫描驱动单元将扫描信号提供给显示面板并包括移位寄存器块。第一级（STG1）包括移位寄存器块。移位寄存器块包括第一电路单元，第二电路单元和第三电路单元。第一电路单元控制复位节点。第二电路单元控制设定节点。第三电路单元改变第二脉冲信号的水平时间。

