



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년02월05일
(11) 등록번호 10-1825053
(24) 등록일자 2018년01월29일

(51) 국제특허분류(Int. Cl.)
H01L 51/56 (2006.01) H01L 29/786 (2006.01)
(21) 출원번호 10-2011-0002763
(22) 출원일자 2011년01월11일
심사청구일자 2016년01월05일
(65) 공개번호 10-2012-0081425
(43) 공개일자 2012년07월19일
(56) 선행기술조사문헌
KR1020080111693 A*
(뒷면에 계속)

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
박중현
경기도 용인시 기흥구 농서동 삼성 모바일 디스플레이
유춘기
경기도 용인시 기흥구 농서동 삼성 모바일 디스플레이
(뒷면에 계속)
(74) 대리인
특허법인가산

전체 청구항 수 : 총 24 항

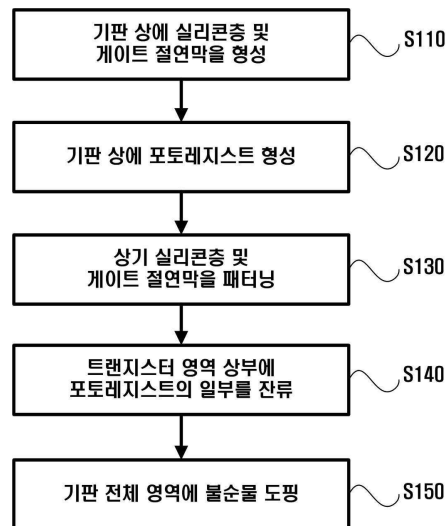
심사관 : 고연화

(54) 발명의 명칭 유기발광표시장치의 제조방법

(57) 요약

유기발광표시장치의 제조방법이 제공된다. 본 발명에 따른 유기발광표시장치의 제조방법은, 배면발광형 유기발광표시장치를 제조하는 방법에 있어서, 트랜지스터 영역 및 캐패시터 영역을 가지는 기판 상에 실리콘층 및 게이트 절연막을 형성하는 단계와, 상기 기판 상에 포토레지스트를 형성하는 단계와, 상기 실리콘층 및 게이트 절연막을 패터닝하는 단계와, 상기 포토레지스트의 일부가 잔류된 잔류 포토레지스트를 형성하는 단계와, 상기 기판 전체 영역에 불순물을 도핑하는 단계를 포함한다.

대표도 - 도7



(72) 발명자

박선

경기도 용인시 기흥구 농서동 삼성 모바일 디스플레이

이율규

경기도 용인시 기흥구 농서동 삼성 모바일 디스플레이

문상호

경기도 용인시 기흥구 농서동 삼성 모바일 디스플레이

(56) 선행기술조사문헌

KR1020060028251 A*

KR1020100024871 A*

KR100736576 B1

US20080070351 A1

US20060008955 A1

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

유기발광표시장치를 제조하는 방법에 있어서,
트랜지스터 영역 및 캐패시터 영역을 가지는 기판 상에 실리콘층 및 게이트 절연막을 형성하는 단계;
상기 트랜지스터 영역 및 상기 캐패시터 영역 상에 포토레지스트를 형성하는 단계;
상기 포토레지스트를 마스크로 하여 상기 실리콘층 및 상기 게이트 절연막을 패터닝하는 단계;
상기 포토레지스트를 애싱하여 상기 포토레지스트 중 상기 캐패시터 영역 상에 위치하는 부분 전체를 제거하고
상기 트랜지스터 영역 상부에 상기 포토레지스트의 일부가 잔류된 잔류 포토레지스트를 형성하는 단계; 및
상기 잔류 포토레지스트를 마스크로 하여 상기 트랜지스터 영역 상의 실리콘층 및 상기 캐패시터 영역 상의 실리콘층에 불순물을 도핑하는 단계를 포함하는 유기발광표시장치의 제조방법.

청구항 2

제1항에 있어서,
상기 유기발광표시장치는,
상기 기판의 상기 트랜지스터 영역 상부에 제공되고 상기 트랜지스터 영역 상의 실리콘층으로 형성된 반도체층;
상기 반도체층과 절연된 상태로 상기 반도체층 상부에 형성되는 게이트 전극;
상기 게이트 전극의 상부에 형성되어 그 일단이 상기 반도체층과 연결되는 소스 및 드레인 전극을 포함하는 유기발광표시장치의 제조방법.

청구항 3

유기발광표시장치를 제조하는 방법에 있어서,
트랜지스터 영역 및 캐패시터 영역을 가지는 기판 상에 실리콘층 및 게이트 절연막을 형성하는 단계;
상기 기판 상에 하프톤 포토레지스트를 형성하는 단계;
상기 실리콘층 및 게이트 절연막을 패터닝하는 단계;
상기 하프톤 포토레지스트를 애싱하여 상기 트랜지스터 영역 상부에 상기 하프톤 포토레지스트의 일부가 잔류된 잔류 포토레지스트를 형성하는 단계; 및
상기 기판 전체 영역에 불순물을 도핑하는 단계를 포함하고,
상기 하프톤 포토레지스트는 2단으로 형성되며,
단면상으로 상기 하프톤 포토레지스트의 상단에 비해 하단의 폭이 넓은 유기발광표시장치의 제조방법.

청구항 4

제3항에 있어서,
상기 잔류 포토레지스트는 상기 하프톤 포토레지스트의 상단으로 구성되는 유기발광표시장치의 제조방법.

청구항 5

유기발광표시장치를 제조하는 방법에 있어서,
트랜지스터 영역 및 캐패시터 영역을 가지는 기판 상에 실리콘층 및 게이트 절연막을 형성하는 단계;

상기 기판 상에 하프톤 포토레지스트를 형성하는 단계;

상기 실리콘층 및 게이트 절연막을 패터닝하는 단계;

상기 하프톤 포토레지스트를 애싱하여 상기 트랜지스터 영역 상부에 상기 하프톤 포토레지스트의 일부가 잔류된 잔류 포토레지스트를 형성하는 단계; 및

상기 기판 전체 영역에 불순물을 도핑하는 단계를 포함하고,

상기 트랜지스터 영역 및 상기 캐패시터 영역을 도핑하기 위한 불순물 이온의 가속전압이 동일한 유기발광표시장치의 제조방법.

청구항 6

유기발광표시장치를 제조하는 방법에 있어서,

트랜지스터 영역 및 캐패시터 영역을 가지는 기판 상에 실리콘층 및 게이트 절연막을 형성하는 단계;

상기 기판 상에 하프톤 포토레지스트를 형성하는 단계;

상기 실리콘층 및 게이트 절연막을 패터닝하는 단계;

상기 하프톤 포토레지스트를 애싱하여 상기 트랜지스터 영역 상부에 상기 하프톤 포토레지스트의 일부가 잔류된 잔류 포토레지스트를 형성하는 단계; 및

상기 기판 전체 영역에 불순물을 도핑하는 단계를 포함하고,

상기 캐패시터 영역 상의 실리콘층 전체를 전극화 하는 단계를 더 포함하는 유기발광표시장치의 제조방법.

청구항 7

유기발광표시장치를 제조하는 방법에 있어서,

트랜지스터 영역 및 캐패시터 영역을 가지는 기판 상에 실리콘층 및 게이트 절연막을 형성하는 단계;

상기 기판 상에 하프톤 포토레지스트를 형성하는 단계;

상기 실리콘층 및 게이트 절연막을 패터닝하는 단계;

상기 하프톤 포토레지스트를 애싱하여 상기 트랜지스터 영역 상부에 상기 하프톤 포토레지스트의 일부가 잔류된 잔류 포토레지스트를 형성하는 단계; 및

상기 기판 전체 영역에 불순물을 도핑하는 단계를 포함하고,

상기 트랜지스터 영역 상의 실리콘층 중 상기 잔류 포토레지스트의 하부 영역을 제외한 나머지 영역을 전극화 하는 단계를 더 포함하는 유기발광표시장치의 제조방법.

청구항 8

유기발광표시장치를 제조하는 방법에 있어서,

트랜지스터 영역 및 캐패시터 영역을 가지는 기판 상에 실리콘층 및 게이트 절연막을 형성하는 단계;

상기 트랜지스터 영역 및 상기 캐패시터 영역 상에 포토레지스트를 형성하는 단계;

상기 포토레지스트를 마스크로 하여 상기 실리콘층 및 상기 게이트 절연막을 패터닝하는 단계;

상기 포토레지스트 중 상기 캐패시터 영역 상에 위치하는 부분 전체를 제거하고 상기 트랜지스터 영역 상에 상기 포토레지스트의 일부가 잔류된 잔류 포토레지스트를 형성하는 단계; 및

상기 잔류 포토레지스트를 마스크로 하여 상기 트랜지스터 영역 상의 실리콘층 및 상기 캐패시터 영역 상의 실리콘층에 불순물을 도핑하는 단계를 포함하는 유기발광표시장치의 제조방법.

청구항 9

유기발광표시장치를 제조하는 방법에 있어서,

트랜지스터 영역 및 캐패시터 영역을 가지는 기판 상에 실리콘층 및 게이트 절연막을 형성하는 단계;
 상기 기판 상에 포토레지스트를 형성하는 단계;
 상기 실리콘층 및 게이트 절연막을 패터닝하는 단계;
 상기 포토레지스트의 일부가 잔류된 잔류 포토레지스트를 형성하는 단계; 및
 상기 기판 전체 영역에 불순물을 도핑하는 단계를 포함하고,
 상기 트랜지스터 영역 및 캐패시터 영역을 도핑하기 위한 불순물 이온의 가속전압이 동일한 유기발광표시장치의 제조방법.

청구항 10

유기발광표시장치를 제조하는 방법에 있어서,
 트랜지스터 영역 및 캐패시터 영역을 가지는 기판 상에 실리콘층 및 게이트 절연막을 형성하는 단계;
 상기 기판 상에 포토레지스트를 형성하는 단계;
 상기 실리콘층 및 게이트 절연막을 패터닝하는 단계;
 상기 포토레지스트의 일부가 잔류된 잔류 포토레지스트를 형성하는 단계; 및
 상기 기판 전체 영역에 불순물을 도핑하는 단계를 포함하고,
 상기 캐패시터 영역 상의 실리콘층 전체를 전극화 하는 단계를 더 포함하는 유기발광표시장치의 제조방법.

청구항 11

유기발광표시장치를 제조하는 방법에 있어서,
 트랜지스터 영역 및 캐패시터 영역을 가지는 기판 상에 실리콘층 및 게이트 절연막을 형성하는 단계;
 상기 기판 상에 포토레지스트를 형성하는 단계;
 상기 실리콘층 및 게이트 절연막을 패터닝하는 단계;
 상기 포토레지스트의 일부가 잔류된 잔류 포토레지스트를 형성하는 단계; 및
 상기 기판 전체 영역에 불순물을 도핑하는 단계를 포함하고,
 상기 트랜지스터 영역 상의 실리콘층 중 상기 잔류 포토레지스트의 하부 영역을 제외한 나머지 영역을 전극화 하는 단계를 더 포함하는 유기발광표시장치의 제조방법.

청구항 12

트랜지스터 영역 및 캐패시터 영역을 가지는 기판 상에 실리콘층 및 게이트 절연막을 형성하는 단계;
 상기 트랜지스터 영역 및 상기 캐패시터 영역 상에 포토레지스트를 형성하는 단계;
 상기 포토레지스트를 마스크로 하여 상기 실리콘층 및 상기 게이트 절연막을 패터닝하는 단계;
 상기 포토레지스트를 애싱하여 상기 포토레지스트 중 상기 캐패시터 영역 상에 위치하는 부분 전체를 제거하고
 상기 트랜지스터 영역 상부에 상기 포토레지스트의 일부가 잔류된 잔류 포토레지스트를 형성하는 단계;
 상기 잔류 포토레지스트를 마스크로 하여 상기 트랜지스터 영역 상의 실리콘층 및 상기 캐패시터 영역 상의 실리콘층에 불순물을 도핑하는 단계;
 상기 잔류 포토레지스트를 제거하는 단계; 및
 게이트 전극, 층간 절연막, 소스 및 드레인 전극, 및 화소 정의막을 순차적으로 형성하는 단계를 포함하는 유기발광표시장치의 제조방법.

청구항 13

제12항에 있어서,

상기 게이트 전극은 ITO, 몰리브덴 및 알루미늄 중 하나 이상을 포함하여 형성되는 유기발광표시장치의 제조방법.

청구항 14

제13항에 있어서,

상기 게이트 전극은 ITO-몰리브덴-알루미늄-몰리브덴의 4중층으로 형성되는 유기발광표시장치의 제조방법.

청구항 15

제12항에 있어서,

상기 소스 및 드레인 전극은 몰리브덴 및 알루미늄 중 하나 이상을 포함하여 형성되는 유기발광표시장치의 제조방법.

청구항 16

제15항에 있어서,

상기 소스 및 드레인 전극은 몰리브덴-알루미늄-몰리브덴의 3중층으로 형성되는 유기발광표시장치의 제조방법.

청구항 17

트랜지스터 영역 및 캐패시터 영역을 가지는 기판 상에 실리콘층 및 게이트 절연막을 형성하는 단계;

상기 기판 상에 하프톤 포토레지스트를 형성하는 단계;

상기 실리콘층 및 게이트 절연막을 패터닝하는 단계;

상기 하프톤 포토레지스트를 애싱하여 상기 트랜지스터 영역 상부에 상기 하프톤 포토레지스트의 일부가 잔류된 잔류 포토레지스트를 형성하는 단계;

상기 기판 전체 영역에 불순물을 도핑하는 단계;

상기 잔류 포토레지스트를 제거하는 단계; 및

게이트 전극, 층간 절연막, 소스 및 드레인 전극, 및 화소 정의막을 순차적으로 형성하는 단계를 포함하고,

상기 트랜지스터 영역 상의 실리콘층 중 상기 잔류 포토레지스트의 하부에 위치하여 도핑되지 않은 제1 영역을 제외하고 도핑된 나머지 제2 영역을 전극화 하는 단계를 더 포함하는 유기발광표시장치의 제조방법.

청구항 18

제17항에 있어서,

단면상으로 상기 트랜지스터 영역에 형성되는 게이트 전극의 폭보다 상기 제1 영역의 폭이 넓은 유기발광표시장치의 제조방법.

청구항 19

제12항에 있어서,

상기 게이트 전극을 형성하는 단계 전에,

상기 기판 전체에 추가 게이트 절연막을 형성하는 단계를 더 포함하는 유기발광표시장치의 제조방법.

청구항 20

트랜지스터 영역 및 캐패시터 영역을 가지는 기판 상에 실리콘층 및 게이트 절연막을 형성하는 단계;

상기 트랜지스터 영역 및 상기 캐패시터 영역 상에 포토레지스트를 형성하는 단계;

상기 포토레지스트를 마스크로 하여 상기 실리콘층 및 상기 게이트 절연막을 패터닝하는 단계;

상기 포토레지스트를 애싱하여 상기 포토레지스트 중 상기 캐패시터 영역 상에 위치하는 부분 전체를 제거하고 상기 트랜지스터 영역 상부에 상기 포토레지스트의 일부가 잔류된 잔류 포토레지스트를 형성하는 단계;

상기 잔류 포토레지스트를 마스크로 하여 상기 트랜지스터 영역 상의 실리콘층 및 상기 캐패시터 영역 상의 실리콘층에 불순물을 도핑하는 단계;

상기 잔류 포토레지스트를 제거하는 단계; 및

상기 트랜지스터 영역 및 상기 캐패시터 영역 상부에 투명전극-금속-투명전극으로 구성된 3중 애노드 전극을 형성하는 단계를 포함하는 유기발광표시장치의 제조방법.

청구항 21

제20항에 있어서,

상기 3중 애노드 전극은 ITO-Ag-ITO로 구성되는 유기발광표시장치의 제조방법.

청구항 22

제20항에 있어서,

상기 3중 애노드 전극을 형성하는 단계 전에,

상기 기판 전체에 추가 게이트 절연막을 형성하는 단계를 더 포함하는 유기발광표시장치의 제조방법.

청구항 23

화소 영역, 트랜지스터 영역 및 캐패시터 영역을 가지는 기판 상에 실리콘층 및 게이트 절연막을 형성하는 단계;

상기 기판 상에 하프톤 포토레지스트를 형성하는 단계;

상기 실리콘층 및 게이트 절연막을 패터닝하는 단계;

상기 하프톤 포토레지스트를 애싱하여 상기 트랜지스터 영역 상부에 상기 하프톤 포토레지스트의 일부가 잔류된 잔류 포토레지스트를 형성하는 단계;

상기 기판 전체 영역에 불순물을 도핑하는 단계;

상기 잔류 포토레지스트를 제거하는 단계; 및

상기 화소 영역, 상기 트랜지스터 영역 및 상기 캐패시터 영역 상부에 투명전극-금속-투명전극으로 구성된 3중 애노드 전극을 형성하는 단계를 포함하고,

상기 3중 애노드 전극의 상부에 게이트 전극을 형성하는 단계를 더 포함하는 유기발광표시장치의 제조방법.

청구항 24

제23항에 있어서,

상기 게이트 전극은 ITO-몰리브덴-알루미늄-몰리브덴의 4중층으로 형성되는 유기발광표시장치의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광표시장치 및 그 제조방법에 관한 것으로, 보다 상세하게는 불순물 도핑 공정이 단순화된 유기발광표시장치의 제조방법에 관한 것이다.

배경 기술

[0002] 정보통신 산업이 급격히 발달됨에 따라 표시 장치의 사용이 급증하고 있으며, 최근들어 저전력, 경량, 박형, 고 해상도의 조건을 만족할 수 있는 표시 장치가 요구되고 있다. 이러한 요구에 발맞추어 액정표시장치(Liquid Crystal Display)나 유기발광 특성을 이용하는 유기발광표시장치(Organic Light Emitting Display)들이 개발되

고 있다.

- [0003] 유기발광표시장치는 자체발광 특성을 갖는 차세대 표시 장치로서, 액정 표시 장치에 비해 시야각, 콘트라스트(contrast), 응답속도, 소비전력 등의 측면에서 우수한 특성을 가지며, 백라이트가 필요하지 않아 경량 및 박형으로 제작이 가능하다.
- [0004] 유기발광표시장치는 화소 영역과 비화소 영역을 제공하는 기판과, 밀봉(encapsulation)을 위해 기판과 대향되도록 배치되며 에폭시와 같은 밀봉제(sealant)에 의해 기판에 합착되는 용기 또는 기판으로 구성된다. 기판의 화소 영역에는 주사 라인(scan line) 및 데이터 라인(data line) 사이에 매트릭스 방식으로 연결되어 화소를 구성하는 다수의 발광 소자가 형성되고, 비화소 영역에는 화소 영역의 주사 라인 및 데이터 라인으로부터 연장된 주사 라인 및 데이터 라인, 유기전계발광 소자의 동작을 위한 전원전압 공급 라인 그리고 입력 패드를 통해 외부로부터 제공된 신호를 처리하여 주사 라인 및 데이터 라인으로 공급하는 주사 구동부 및 데이터 구동부가 형성된다.

발명의 내용

해결하려는 과제

- [0005] 이하, 도 1 내지 도 6을 참조하여 종래의 유기발광표시장치의 제조방법 중 특히 배면발광형 유기발광표시장치에 대해 설명한다.
- [0006] 먼저, 도 1에 도시된 바와 같이, 기판의 상부에 버퍼층을 형성하고, 버퍼층의 상부에 트랜지스터 영역 상의 반도체층(DR_TFT, SW_TFT) 및 스토리지 캐패시터 영역 상의 전극(STC)을 형성하기 위한 실리콘층을 패터닝하고 그 상부에 게이트 절연막을 형성한다.
- [0007] 이어서, 도 2에 도시된 바와 같이, 게이트 전극 물질을 기판 전체에 제공한 후 이를 패터닝하여 화소 영역, 트랜지스터 영역 및 캐패시터 영역 상에 게이트 전극(GATE)을 형성한다. 이후, 트랜지스터 영역 상의 실리콘층(DR_TFT, SW_TFT)을 반도체화 하기 위해 불순물을 도핑한다. 이때, 트랜지스터 영역의 상부에 형성되어 있는 게이트 전극에 의해 실리콘층 중앙부분의 도핑이 차단된다. 한편, 캐패시터 영역에 위치하는 실리콘층(STC)은 전체 영역이 게이트 전극(GATE)으로 덮혀 있기 때문에 도핑 이온의 침투가 차단된다.
- [0008] 이어서, 도 3에 도시된 바와 같이, 기판 전체에 층간절연막(IDL)을 형성하고, 화소 영역이 되는 개방영역과 소스 및 드레인 전극(S/D)을 형성하기 위한 콘택홀을 형성하기 위해 패터닝한다.
- [0009] 이어서, 도 4에 도시된 바와 같이, 소스 및 드레인 전극(S/D)을 트랜지스터 영역에 형성되도록 패터닝한 후, 화소 영역과 캐패시터 영역에 형성된 게이트 전극(GATE)을 제거한다. 앞선 도 2에서 도핑이 차단된 캐패시터 영역의 실리콘층(STC)을 덮고 있던 게이트 전극(GATE)이 제거되었기 때문에 실리콘층(STC)을 전극화 하기 위해 추가 도핑을 실시한다.
- [0010] 이어서, 도 5에 도시된 바와 같이, 화소정의막(PDL)을 패터닝하여 화소영역(PIXEL) 상에 투명전극(ITO)이 노출되도록 한다. 나머지 트랜지스터 영역 및 캐패시터 영역은 화소정의막(PDL)에 의해 커버되어 외부로 노출되지 않는다.
- [0011] 이와 같은 종래의 유기발광표시장치의 제조방법은 살펴본 바와 같이, 트랜지스터 영역과 캐패시터 영역에 존재하는 폴리실리콘층을 별도로 도핑해야 하므로 2회의 도핑이 반복되어 공정 시간 및 비용 측면에서 불리한 점이 있다.
- [0012] 또한, 불순물 이온이 폴리실리콘층에 도핑됨에 있어서, 트랜지스터 영역의 하부에 형성된 폴리실리콘층(DR_TFT, SW_TFT)을 도핑할 경우에는 도핑 영역의 상부에 게이트 절연막 만이 존재하기 때문에 도핑을 위한 일반적인 가속전압으로도 도핑될 수 있으나, 캐패시터 영역의 하부에 형성된 폴리실리콘층(STC)은 상부에 게이트 절연막 이외에 투명전극(ITO) 층이 존재하기 때문에 캐패시터 하부의 폴리실리콘층(STC)을 도핑하기 위해서는 더 높은 가속전압이 필요하므로, 마찬가지로 공정 시간 및 비용 측면에서 불리한 점이 있다.
- [0013] 한편, 도핑되는 폴리실리콘층은 하부의 저항이 증가하는 특징이 있기 때문에 특히 고주파가 인가되는 트랜지스터 영역과 캐패시터 영역에 존재하는 폴리실리콘층을 별도로 도핑한 후, 후속 열처리 공정을 통해 저항을 낮추는 공정이 별도로 필요하게 된다. 따라서, 추가적인 열처리 공정에 의한 공정 시간 및 비용 측면에서 불리한 점이 있다.

- [0014] 뿐만 아니라 도 6에 도시된 바와 같이 최근 제안된, 시야각 개선을 위해 애노드 전극을 단일 ITO로 형성하는 대신 ITO-Ag-ITO의 멀티레이어 구조로 적용할 경우, 캐패시터 영역에는 투명전극(ITO) 이외에 Ag 층이 추가된다. 따라서, 캐패시터 영역의 폴리실리콘층(STC)의 상부에 ITO 및 금속층이 다층으로 적층되어 있기 때문에, 캐패시터 영역의 하부에 형성된 폴리실리콘층(STC)을 도핑하기 어려운 문제점이 있다.
- [0015] 이와 같은 문제점을 기초로 본 발명이 해결하고자 하는 과제는, 1회의 도핑 공정에 의해 트랜지스터 영역의 실리콘층 및 캐패시터 영역의 실리콘층을 동시에 도핑할 수 있으며, 도핑된 실리콘 층을 활성화 시키기 위한 별도의 열처리 공정이 불필요한 유기발광표시장치의 제조방법을 제공하고자 하는 것이다.
- [0016] 본 발명이 해결하고자 하는 다른 과제는, 단일한 도핑 공정에 의해 가속전압을 변화시키지 않고도 트랜지스터 영역의 실리콘층 및 캐패시터 영역의 실리콘층을 일괄 도핑할 수 있는 유기발광표시장치의 제조방법을 제공하고자 하는 것이다.
- [0017] 본 발명이 해결하고자 하는 또 다른 과제는, 시야각 개선을 위한 ITO-Ag-ITO의 멀티레이어 구조가 적용 가능한 유기발광표시장치의 제조방법을 제공하고자 하는 것이다.
- [0018] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0019] 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 유기발광표시장치의 제조방법은, 배면발광형 유기발광표시장치를 제조하는 방법에 있어서, 트랜지스터 영역 및 캐패시터 영역을 가지는 기판 상에 실리콘층 및 게이트 절연막을 형성하는 단계와, 상기 기판 상에 포토레지스트를 형성하는 단계와, 상기 실리콘층 및 게이트 절연막을 패터닝하는 단계와, 상기 포토레지스트의 일부가 잔류된 잔류 포토레지스트를 형성하는 단계와, 상기 기판 전체 영역에 불순물을 도핑하는 단계를 포함한다.
- [0020] 상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 유기발광표시장치의 제조방법은, 화소 영역, 트랜지스터 영역 및 캐패시터 영역을 가지는 기판 상에 실리콘층 및 게이트 절연막을 형성하는 단계와, 상기 기판 상에 하프톤 포토레지스트를 형성하는 단계와, 상기 실리콘층 및 게이트 절연막을 패터닝하는 단계와, 상기 하프톤 포토레지스트를 애싱하여 상기 트랜지스터 영역 상부에 상기 하프톤 포토레지스트의 일부가 잔류된 잔류 포토레지스트를 형성하는 단계와, 상기 기판 전체 영역에 불순물을 도핑하는 단계와, 상기 잔류 포토레지스트를 제거하는 단계와, 상기 화소 영역, 트랜지스터 영역 및 캐패시터 영역 상부에 투명전극-금속-투명전극으로 구성된 3중 애노드 전극을 형성하는 단계를 포함한다.
- [0021] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

도면의 간단한 설명

- [0022] 도 1 내지 도 6는 종래의 유기발광표시장치의 제조방법에 따른 단면도이다.
- 도 7은 본 발명의 일 실시예에 따른 유기발광표시장치의 제조방법을 나타내는 순서도이다.
- 도 8 내지 도 18은 본 발명의 실시예들에 따른 유기발광표시장치의 제조방법을 순차적으로 나타내는 단면도이다.
- 도 19는 본 발명의 실시예들에 따른 유기발광표시장치의 제조방법에 따라 형성된 게이트 전극의 정렬 상태를 나타내는 단면도이다.
- 도 20 및 도 21은 본 발명의 다른 실시예에 따른 유기발광표시장치의 제조방법을 순차적으로 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0023] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 표시된 구성요소의 크기 및 상대적인 크기는 설명의 명료성을

위해 과장된 것일 수 있다.

- [0024] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭하며, "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.
- [0025] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "이루어지다(made of)"는 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0026] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다.
- [0027] 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 개략도인 평면도 및 단면도를 참고하여 설명될 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이고, 발명의 범주를 제한하기 위한 것은 아니다.
- [0028] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0029] 이하, 도 7 내지 도 21을 참조하여 본 발명의 실시예들에 대해 설명한다. 도 7은 본 발명의 일 실시예에 따른 유기발광표시장치의 제조방법을 나타내는 순서도이고, 도 8 내지 도 18은 본 발명의 실시예들에 따른 유기발광표시장치의 제조방법을 순차적으로 나타내는 단면도이고, 도 19는 본 발명의 실시예들에 따른 유기발광표시장치의 제조방법에 따라 형성된 게이트 전극의 정렬 상태를 나타내는 단면도이다.
- [0030] 본 발명의 일 실시예에 따른 유기발광표시장치의 제조방법은, 배면발광형 유기발광표시장치를 제조하는 방법에 있어서, 트랜지스터 영역 및 캐패시터 영역을 가지는 기판 상에 실리콘층 및 게이트 절연막을 형성하는 단계(S110)와, 상기 기판 상에 포토레지스트를 형성하는 단계(S120)와, 상기 실리콘층 및 게이트 절연막을 패터닝하는 단계(S130)와, 상기 포토레지스트의 일부가 잔류된 잔류 포토레지스트를 형성하는 단계(S140)와, 상기 기판 전체 영역에 불순물을 도핑하는 단계(S150)를 포함한다.
- [0031] 먼저, 도 8에 도시된 바와 같이, 기판(10), 기판(10) 상부의 버퍼층(12) 및 버퍼층(12)의 상부에 실리콘층(14)에 차례로 형성된다.
- [0032] 기판(10)은 SiO₂를 주성분으로 하는 투명한 유리 재질로 이루어질 수 있다. 기판(10)은 반드시 이에 한정되는 것은 아니며 투명한 플라스틱 재로 형성할 수도 있다. 기판(10)을 형성하는 플라스틱 재는 절연성 유기물일 수 있는데, 폴리에테르술폰(PES, polyethersulphone), 폴리아크릴레이트(PAR, polyacrylate), 폴리에테르 이미드(PEI, polyetherimide), 폴리에틸렌 나프탈레이트(PEN, polyethylenenapthalate), 폴리에틸렌 테레프탈레이트(PET, polyethyleneterephthalate), 폴리페닐렌 설파이드(polyphenylene sulfide: PPS), 폴리알릴레이트(polyallylate), 폴리이미드(polyimide), 폴리카보네이트(PC), 셀룰로오스 트리 아세테이트(TAC), 셀룰로오스아세테이트 프로피오네이트(cellulose acetate propionate: CAP)로 이루어진 그룹으로부터 선택되는 유기물일 수 있다.
- [0033] 기판(10) 상에는 트랜지스터, 캐패시터 및 화소가 형성되는 트랜지스터 영역, 캐패시터 영역 및 화소 영역이 형성되어 있다. 상기 각 영역은 명확한 경계로 나뉘어져 있는 것은 아니며, 트랜지스터가 형성된 기판 상의 영역을 트랜지스터 영역으로 정의하고, 캐패시터가 형성된 기판 상의 영역을 캐패시터 영역으로 정의한다.
- [0034] 화상이 기판(10) 방향으로 구현되는 배면 발광형인 경우에 기판(10)은 투명한 재질로 형성해야 한다. 그러나 화상이 기판(10)의 반대 방향으로 구현되는 전면 발광형인 경우에 기판(10)은 반드시 투명한 재질로 형성할 필요는 없다. 이 경우 금속으로 기판(10)을 형성할 수 있다. 금속으로 기판(10)을 형성할 경우 기판(10)은 탄소, 철, 크롬, 망간, 니켈, 티타늄, 몰리브덴 및 스테인레스 스틸(SUS)로 이루어진 군으로부터 선택된 하나 이상을

포함할 수 있으나, 이에 한정되는 것은 아니다. 기판(10)은 금속 포일로 형성할 수 있다.

- [0035] 기판(10) 위에는 기판(10)의 평활성과 불순물의 침투를 차단하기 위한 버퍼층(12)이 더 형성될 수 있다. 상기 버퍼층(12)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 실리콘 산질화막(SiO_2N_x)의 단일층 또는 이들의 복층일 수 있다.
- [0036] 버퍼층(12)의 상부에는 실리콘층(14)이 형성된다. 반도체층(14)은 실리콘(Si) 즉, 비정질 실리콘(a-Si)으로 구성될 수 있으며, 또는 폴리 실리콘(p-Si)으로도 구성될 수 있다. 비정질 실리콘(a-Si)이 제공된 경우 레이저 등으로 결정화 과정을 더 수행할 수 있다. 그 외에도 게르마늄(Ge), 갈륨인(GaP), 갈륨비소(GaAs), 알루미늄비소(AlAs) 등으로 구성될 수 있으나, 이에 한정되는 것은 아니다.
- [0037] 실리콘층(14)은 실리콘층의 일부를 P형 또는 N형 불순물로 도핑한 형태일 수 있으며, 후술하는 바와 같이, 트랜지스터 영역에 형성된 실리콘층(14)은 반도체를 구성하도록 부분적으로 도핑되고, 캐패시터 영역에 형성된 실리콘층(14)은 캐소드 전극을 구성하도록 전체가 도핑된다.
- [0038] 이어서, 도 9에 도시된 바와 같이, 실리콘층(14)의 상부에는 상기 실리콘층(14)을 커버하며, 상기 실리콘층(14)과 게이트 전극(20)을 절연시키는 게이트 절연막(16)이 위치한다. 게이트 절연막(16)은 상기 버퍼층(12)과 마찬가지로 실리콘 산화막(SiO_2), 실리콘 질화막(SiN_x), 실리콘 산질화막(SiO_2N_x) 또는 이들의 다중층일 수 있다. 게이트 절연막(16)은 상기 버퍼층(12)과 동일한 재질로 형성될 수 있으며, 다른 재질로 제작될 수도 있다.
- [0039] 이어서, 도 10에 도시된 바와 같이, 상기 실리콘층(14) 및 게이트 절연막(16)을 패터닝하기 위해 포토레지스트(PR)를 도포한다. 상기 기판 상에 포토레지스트를 형성하는 단계(S120)에서, 상기 포토레지스트(PR)는 실리콘층(14) 및 게이트 절연막(16)을 패터닝하는 용도뿐만 아니라, 후술하는 바와 같이 포토레지스트(PR)를 도핑 차단을 위한 마스크로 사용할 수 있도록 하프톤 형태의 포토레지스트(PR) 일 수 있다. 이와 같은 하프톤 형태의 포토레지스트(PR)는 트랜지스터 영역 상에만 형성될 수 있다.
- [0040] 도 10에 도시된 바와 같이, 상기 하프톤 포토레지스트(PR)는 2단으로 형성되되, 단면상으로 상기 하프톤 포토레지스트의 상단에 비해 하단의 폭이 넓은 형태일 수 있다.
- [0041] 이어서, 도 11에 도시된 바와 같이, 실리콘층 및 게이트 절연막을 패터닝한다(S130). 도 11 상에서 좌측 섬 형태가 트랜지스터가 형성될 영역이며, 우측 섬 형태가 캐패시터가 형성될 영역에 해당한다.
- [0042] 이어서, 도 12에 도시된 바와 같이, 포토레지스트(PR)의 일부가 잔류된 잔류 포토레지스트(PR')를 형성한다(S140). 포토레지스트(PR)가 하프톤 형태의 포토레지스트인 경우에는 상기 하프톤 포토레지스트를 애싱하여 상기 2단의 하프톤 포토레지스트 중 상단만을 잔류시켜 잔류 포토레지스트(PR')를 형성한다.
- [0043] 앞서 설명한 바와 같이, 잔류 포토레지스트(PR')가 트랜지스터 영역 상에만 잔류되도록 할 수 있다.
- [0044] 이어서, 도 13에 도시된 바와 같이, 상기 기판 전체 영역에 불순물을 도핑한다(S150). 도시된 바와 같이, 트랜지스터 영역의 게이트 절연막(16) 상부에는 잔류 포토레지스트(PR')가 형성되어 있기 때문에 트랜지스터 하부의 실리콘층(14)은 도핑되지 않는 제1 영역(14a)과 불순물 도핑되는 제2 영역(14b)으로 구분되어, 제2 영역(14b)만이 전극화 된다.
- [0045] 반면, 캐패시터 영역의 게이트 절연막(16) 상부에는 잔류 포토레지스트(PR')가 없기 때문에, 전체 실리콘층(14)이 불순물 도핑되는 제2 영역(14b)을 구성하여 전체가 전극화되고, 후술하는 바와 같이, 도핑된 실리콘층(14b)은 캐패시터의 캐소드 전극을 구성한다.
- [0046] 이와 같이, 본 실시예에 따른 유기발광표시장치의 제조방법은 트랜지스터 영역 상의 실리콘층과 캐패시터 영역 상의 실리콘층이 1회의 도핑으로 한번에 전체/부분 전극화가 되기 때문에 반도체 및 캐소드 전극을 일괄적으로 형성할 수 있다.
- [0047] 또한, 단일한 공정으로 도핑을 수행하기 때문에, 트랜지스터 영역 및 캐패시터 영역을 도핑하기 위한 불순물 이온의 가속전압이 동일할 수 있다. 특히, 트랜지스터 영역 및 캐패시터 영역 모두 실리콘층(14)의 상부에 단일한 게이트 절연막(16)만이 형성되어 있기 때문에 가속전압을 변화시키지 않고도 트랜지스터 영역의 실리콘층 및 캐패시터 영역의 실리콘층을 일괄 도핑할 수 있다.
- [0048] 또한, 본 실시예에 따른 제조방법에서 실리콘층(14)은 게이트 전극(20)을 형성하는 단계 이전에 미리 도핑된 상태이므로, 후속 공정인 게이트 전극(20) 및/또는 소스 및 드레인 전극(24)을 형성한 후 기판 전체에 컨택 저항 개선을 위한 어닐링 공정이 수행된다. 따라서, 실리콘층(14)의 도핑 공정 후 실리콘층(14)의 저항 감소를 위한

별도의 어닐링 공정이 불필요하여, 공정 시간 및 비용이 감축되는 효과가 있다.

- [0049] 이어서, 도 14에 도시된 바와 같이, 기판(10) 전체 영역에 추가 게이트 절연막(18)을 더 형성할 수 있다. 추가 게이트 절연막(18)은 게이트 절연막(16)과 동일한 재질로 형성될 수 있다. 추가 게이트 절연막(18)을 구비함으로써, 반도체층(14a, 14b)과 상부에 형성될 게이트 전극(20) 사이에서 발생할 수 있는 쇼트를 방지할 수 있다.
- [0050] 이어서, 도 15에 도시된 바와 같이, 추가 게이트 절연막(18) 상부에는 게이트 전극(20)이 형성된다. 게이트 전극(20)은 게이트 신호를 인가하여 각 화소 별로 발광을 제어할 수 있다. 게이트 전극(20)은 알루미늄(Al), 크롬-알루미늄(Cr-Al), 몰리브덴-알루미늄(Mo-Al) 또는 알루미늄-네오디뮴(Al-Nd)과 같은 알루미늄 합금의 단일층일 수 있으며, 크롬(Cr) 또는 몰리브덴(Mo) 합금 위에 알루미늄 합금이 적층된 다중층을 게이트 전극(20)으로 형성할 수도 있다. 또한, 게이트 전극(20)은 ITO, 몰리브덴 및 알루미늄 중 하나 이상을 포함하여 형성될 수 있으며, 도 15에 도시된 예에서는 하단에서부터 차례대로 ITO-몰리브덴-알루미늄-몰리브덴의 4중층으로 형성되는 예를 도시한다.
- [0051] 이어서, 도 16에 도시된 바와 같이, 게이트 전극(20) 상부에 층간절연막(22)을 형성한다. 층간절연막(22)은 게이트 전극(20)과 소스 및 드레인 전극(24)을 전기적으로 절연시키는 역할을 수행하며, 상기 버퍼층(12)과 마찬가지로 실리콘 산화막(SiO₂), 실리콘 질화막(SiN_x), 실리콘 산질화막(SiO₂N_x) 또는 이들의 다중층일 수 있다. 층간절연막(22)에는 화소 영역을 형성하기 위한 개방부와, 소스 및 드레인 전극을 형성하기 위한 콘택홀이 형성된다.
- [0052] 이어서, 도 17에 도시된 바와 같이, 상기 층간절연막(22) 상부에 도핑된 실리콘층(14b)과 전기적으로 연결되는 소스 및 드레인 전극(24)을 형성한다. 상기 소스 및 드레인 전극(24)은 상기 층간절연막(22) 상부에 형성된 콘택홀에 의해 실리콘층(14)과 전기적으로 연결된다.
- [0053] 여기서, 소스 및 드레인 전극(24)은 몰리브덴(Mo), 크롬(Cr), 텅스텐(W), 몰리브덴텅스텐(MoW), 알루미늄(Al), 알루미늄-네오디뮴(Al-Nd), 티타늄(Ti), 질화티타늄(TiN), 구리(Cu), 몰리브덴 합금(Mo alloy), 알루미늄 합금(Al alloy), 및 구리 합금(Cu alloy) 중에서 선택되는 어느 하나로 형성될 수 있으며, 몰리브덴-알루미늄-몰리브덴(Mo-Al-Mo)의 3중층으로 형성될 수도 있다.
- [0054] 소스 및 드레인 전극(24)의 패터닝이 완료되면, 화소영역(PIXEL)의 게이트 전극 물질과 소스 및 드레인 전극 물질을 동시에 식각할 수 있다. 화소영역(PIXEL) 상에 형성된 투명전극을 제외하고 나머지 층은 모두 식각할 수 있다.
- [0055] 이어서, 도 18에 도시된 바와 같이, 소스 및 드레인 전극(24)의 상부에는 화소영역(PIXEL)을 정의하는 화소정의막(PDL)(26)이 형성될 수 있다. 화소정의막(26)은 기판(10) 전체에 형성되어 트랜지스터 및 캐패시터를 커버한다. 화소정의막(26)은 상기 제1 전극(28)의 일부를 외부로 노출시키는 개구부(32)가 형성되어 화소영역을 정의하게 된다. 화소정의막(30)은 무기 물질 예를 들어, 실리콘 산화막(SiO₂), 실리콘 질화막(SiN_x), 실리콘 산질화막(SiO₂N_x) 또는 이들의 다중층으로 구성될 수 있다.
- [0056] 이어서, 도 19를 참고하면, 앞서 설명한 바와 같이, 잔류 포토레지스트(PR')에 의해 실리콘층(14) 중 도핑되지 않은 제1 영역(14a) 및 도핑된 나머지 제2 영역(14b)으로 구별되어 형성될 수 있는데, 단면도 상으로 상기 트랜지스터 영역에 형성되는 게이트 전극의 폭(L2)보다 상기 제1 영역(14a)의 폭(L1)이 더 넓게 형성될 수 있다.
- [0057] 이는 도핑 과정이 진행된 후 게이트 전극(20)이 형성될 때, 정렬이 어긋나게 되어 게이트 전극(20)이 양측 제2 영역(14b) 중 일측으로 치우쳐서 형성되면 전류 특성에 악영향을 끼칠 우려가 있다. 따라서, 미세한 오정렬(Mis-Alignment)이 발생할 경우에도 전류 특성을 유지할 수 있도록, 상기 트랜지스터 영역에 형성되는 게이트 전극의 폭(L2)보다 상기 제1 영역(14a)의 폭(L1)이 더 넓게 형성될 수 있다.
- [0058] 이어서, 도 20 및 도 21을 참조하여, 본 발명의 다른 실시예에 따른 유기발광표시장치의 제조방법에 대해 설명한다. 도 20 및 도 21은 본 발명의 다른 실시예에 따른 유기발광표시장치의 제조방법을 순차적으로 나타내는 단면도이다.
- [0059] 본 발명의 다른 실시예에 따른 유기발광표시장치의 제조방법은 화소 영역, 트랜지스터 영역 및 캐패시터 영역을 가지는 기판 상에 실리콘층 및 게이트 절연막을 형성하는 단계(S210)와, 상기 기판 상에 하프톤 포토레지스트를 형성하는 단계(S220)와, 상기 실리콘층 및 게이트 절연막을 패터닝하는 단계(S230)와, 상기 하프톤 포토레지스트를 애싱하여 상기 트랜지스터 영역 상부에 상기 하프톤 포토레지스트의 일부가 잔류된 잔류 포토레지스트를 형성하는 단계(S240)와, 상기 기판 전체 영역에 불순물을 도핑하는 단계(S250)와, 상기 잔류 포토레지스트를 제

거하는 단계(S260)와, 상기 화소 영역, 트랜지스터 영역 및 캐패시터 영역 상부에 투명전극-금속-투명전극으로 구성된 3중 애노드 전극을 형성하는 단계(S270)를 포함한다.

[0060] 기관 전체 영역에 불순물을 도핑하는 단계(S250)까지는 이전 실시예에서와 동일하며, 다만 잔류 포토레지스트를 제거하고, 화소 영역, 트랜지스터 영역 및 캐패시터 영역 상부에 투명전극-금속-투명전극으로 구성된 3중 애노드 전극을 형성하는 단계(S260, S270)가 더 추가된다. 또한, 앞선 실시예에서와 같이, 상기 3중 애노드 전극을 형성하는 단계 전에 기관 전체에 추가 게이트 절연막을 형성하는 단계를 더 포함할 수 있다.

[0061] 이전 실시예에서는 게이트 전극(20)이 ITO-몰리브덴-알루미늄-몰리브덴의 4중층으로 구성되는 예를 설명하였으나, 본 실시예에서는 도 20에 도시된 바와 같이, 게이트 전극(20)을 구성하는 몰리브덴-알루미늄-몰리브덴의 3중층의 하단에 투명전극-금속-투명전극의 3중 애노드 전극(19)이 적층되는 구성을 개시한다.

[0062] 상기 애노드 전극(19)을 구성하는 투명전극은 ITO (Indium Tin Oxide), IZO (Indium Zinc Oxide), 탄소나노튜브(Carbon Nano Tube), 전도성 폴리머(Conductive Polymer) 및 나노와이어(Nanowire) 중에서 하나 이상을 포함할 수 있으며, 상기 투명전극 사이에 개재되는 금속은 은(Ag)을 포함할 수 있다. 예를 들어, 3중 애노드 전극(19)은 ITO-Ag-ITO로 구성될 수 있다.

[0063] 이어서, 나머지 공정을 동일하게 수행되어, 도 21에 도시된 바와 같은 유기발광표시장치를 구성하게 된다. 상기 3중 애노드 전극(19)은 화소영역(PIXEL)의 개구부를 통해 외부로 노출되는데, 이와 같은 Ag 층을 포함하는 3중 애노드 전극(19)은 공진구조를 형성하여, 본 실시예에 따른 유기발광표시장치의 전체 시야각 특성을 향상시킨다.

[0064] 본 실시예에 따른 유기발광표시장치의 제조방법은, 상기와 같이 공진구조를 가지는 3중 애노드 전극(19)을 채용하면서도 트랜지스터 영역 및 캐패시터 영역의 실리콘층(14)을 일괄적으로 도핑할 수 있다.

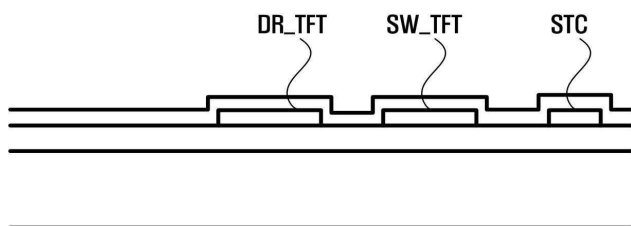
[0065] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였으나, 본 발명은 상기 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 제조될 수 있으며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

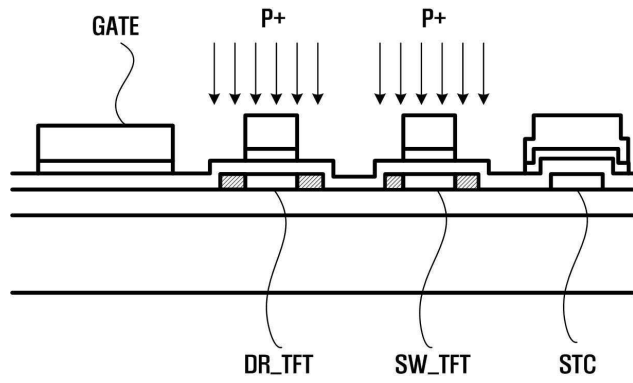
[0066]	10: 기관	12: 버퍼층
	14: 실리콘층	16: 게이트 절연막
	18: 추가 게이트 절연막	19: 3중 애노드 전극
	20: 게이트 전극	22: 층간절연막
	24: 소스 및 드레인 전극	26: 화소정의막

도면

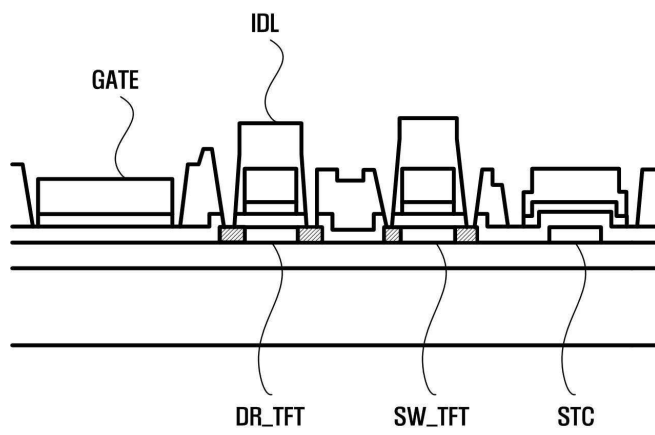
도면1



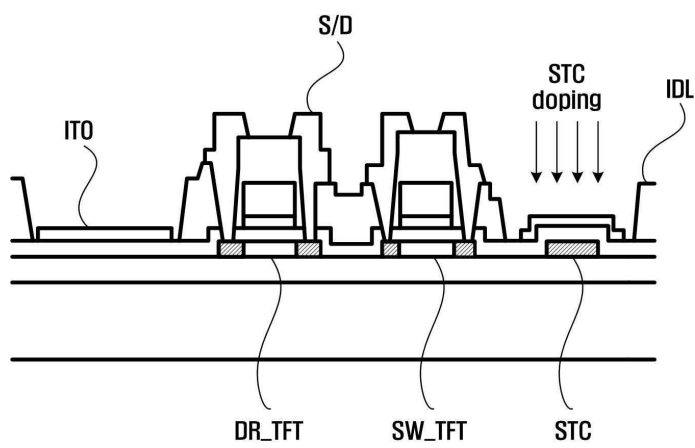
도면2



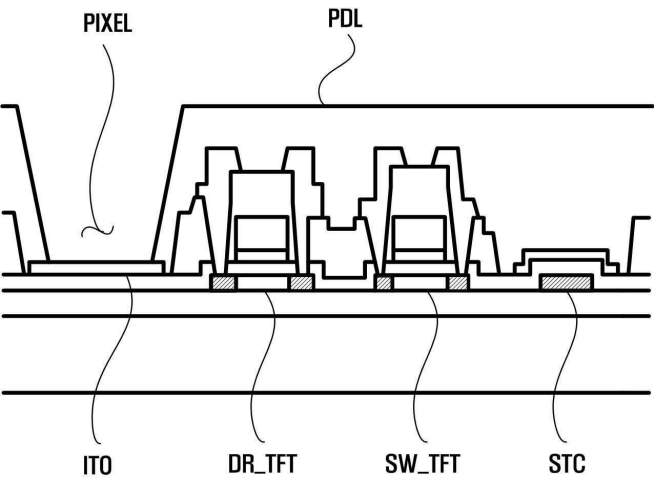
도면3



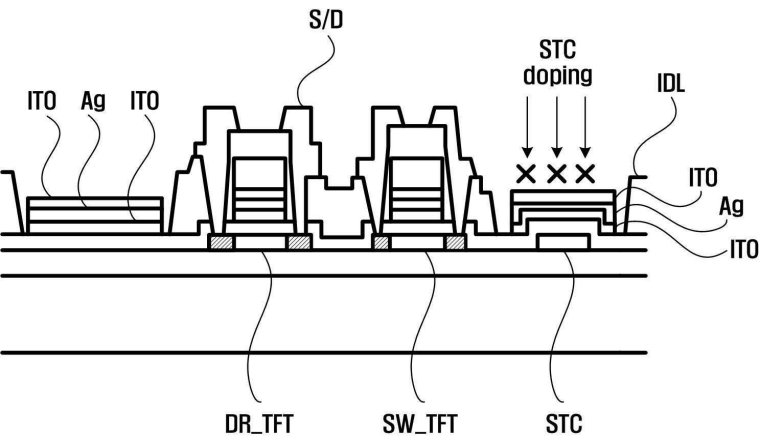
도면4



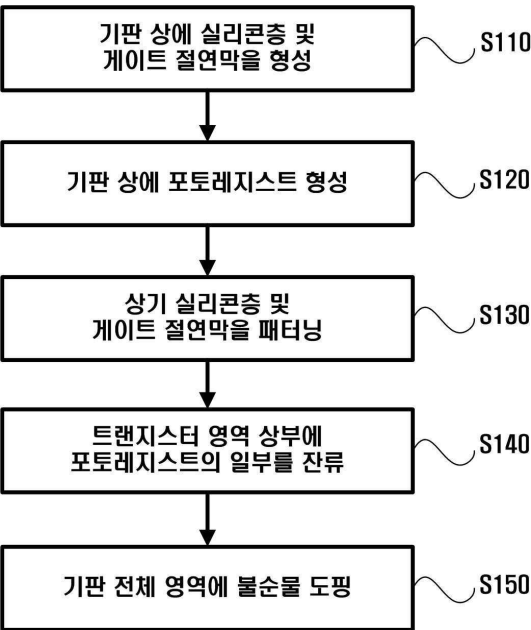
도면5



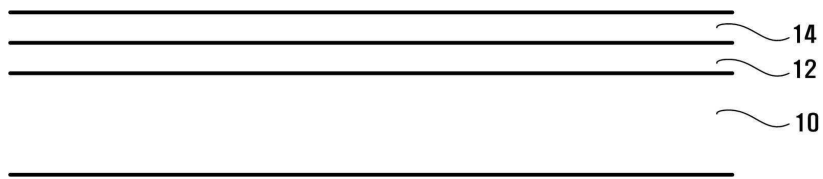
도면6



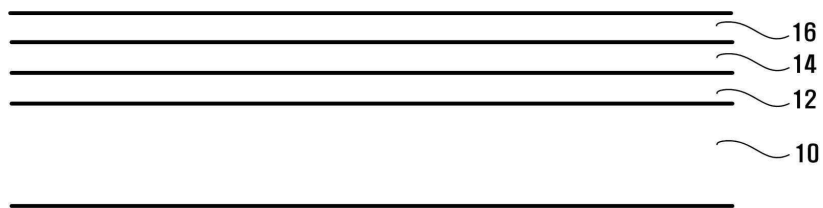
도면7



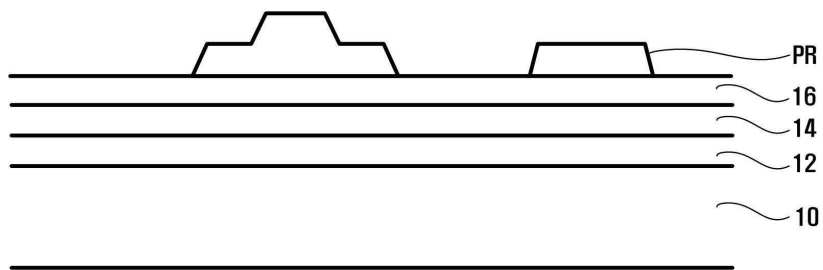
도면8



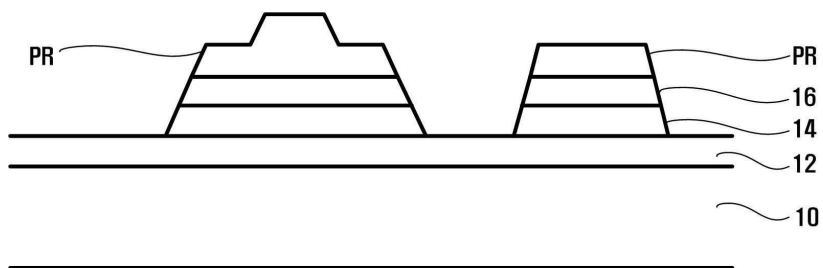
도면9



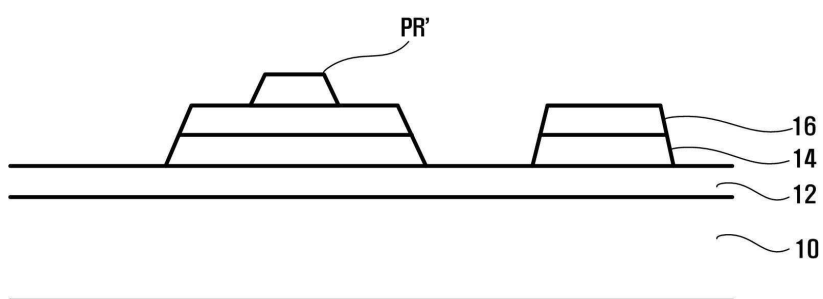
도면10



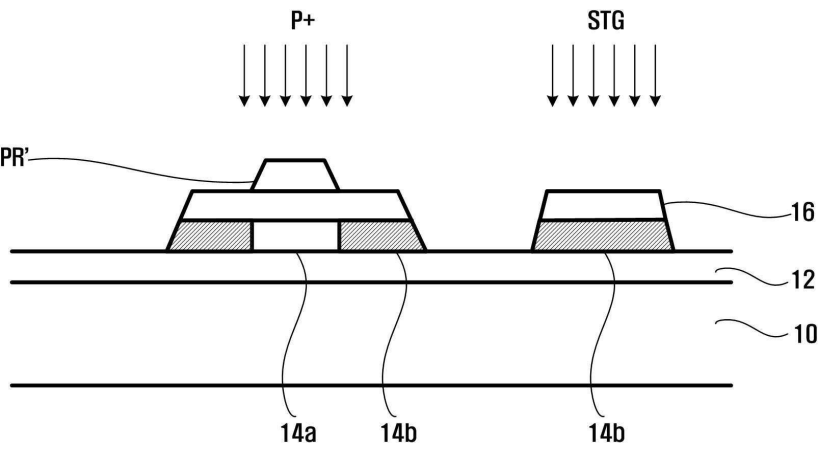
도면11



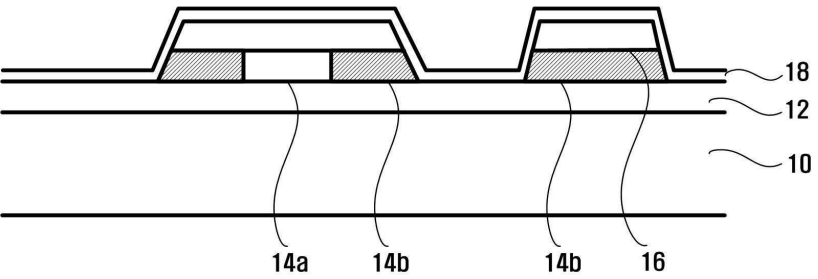
도면12



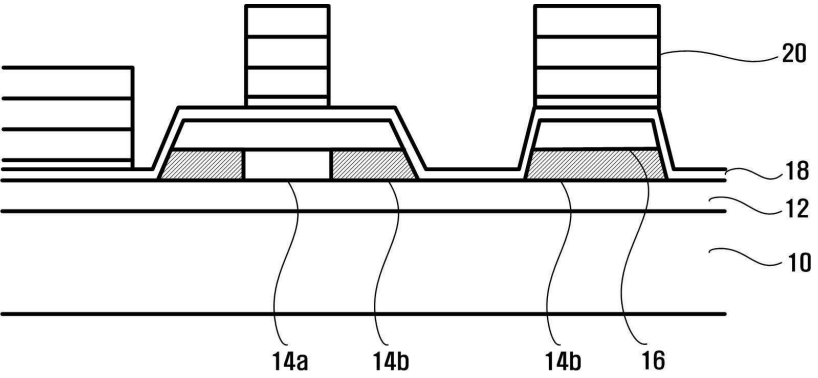
도면13



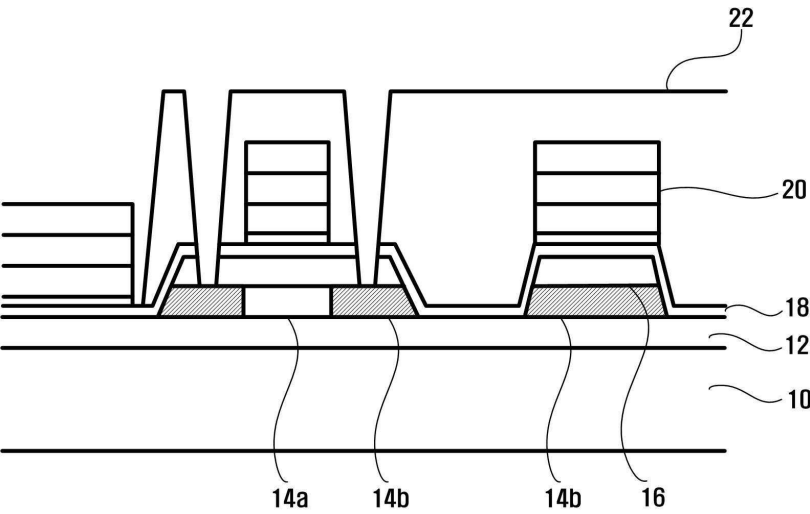
도면14



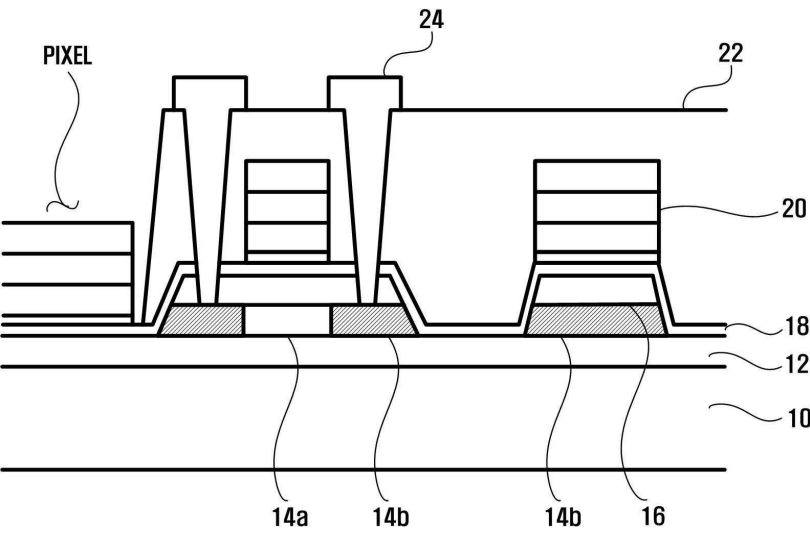
도면15



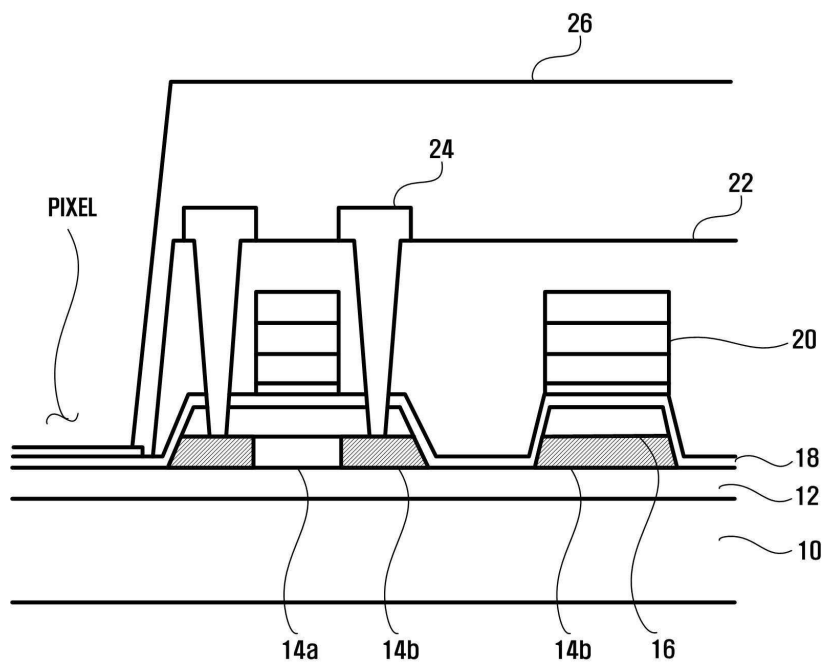
도면16



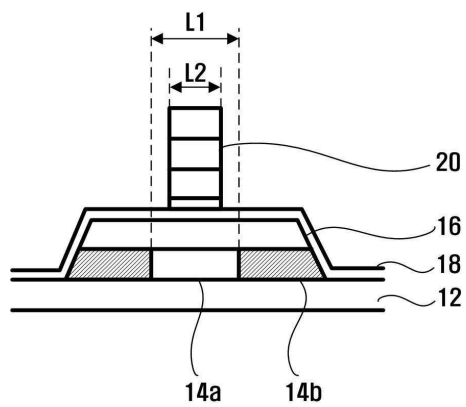
도면17



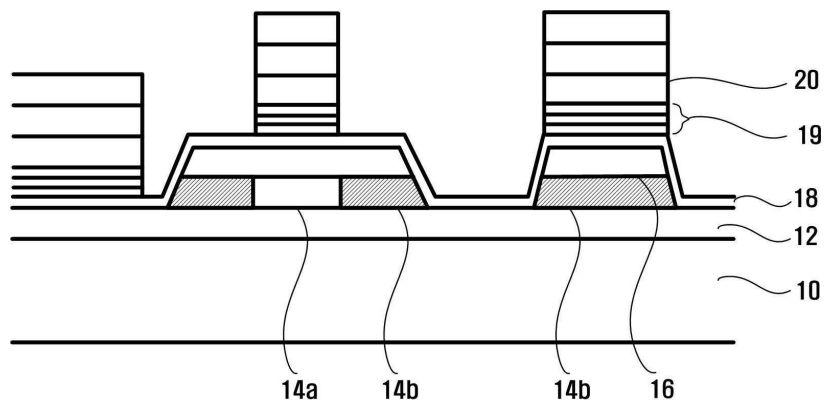
도면18



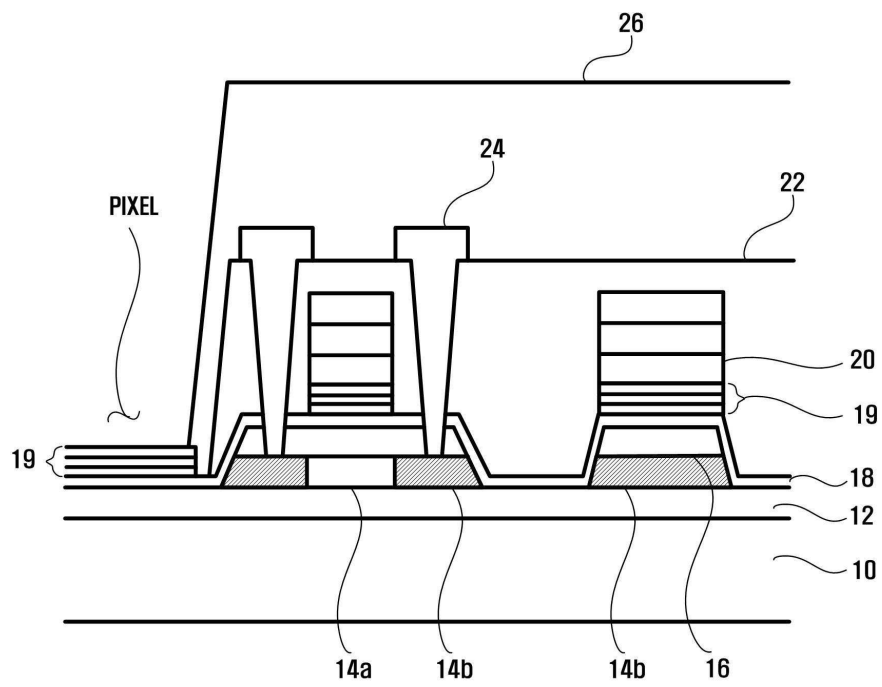
도면19



도면20



도면21



专利名称(译)	制造有机发光显示装置的方法		
公开(公告)号	KR101825053B1	公开(公告)日	2018-02-05
申请号	KR1020110002763	申请日	2011-01-11
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	PARK JONG HYUN 박종현 YOO CHUN GI 유춘기 PARK SUN 박선 LEE YUL KYU 이율규 MOON SANG HO 문상호		
发明人	박종현 유춘기 박선 이율규 문상호		
IPC分类号	H01L51/56 H01L29/786		
CPC分类号	H01L27/1288 H01L29/66757 H01L51/5215 H01L27/3262 H01L27/3265 H01L29/4908 H01L2227/323 F16L13/02 F16L41/021		
其他公开文献	KR1020120081425A		
外部链接	Espacenet		

摘要(译)

提供一种制造有机发光显示装置的方法。根据本发明的制造OLED显示装置的方法包括在具有晶体管区域和电容器区域的基板上形成硅层和栅极绝缘层的步骤，在硅层和栅极绝缘层上形成光致抗蚀剂；图案化硅层和栅极绝缘层；形成残留的光致抗蚀剂，其中部分光致抗蚀剂保留；以及在基板的整个区域中掺杂杂质它包括。 专利10-1825053

