

- (73) 특허권자
삼성디스플레이 주식회사
 경기도 용인시 기흥구 삼성로 1 (농서동)
- (72) 발명자
최준호
 경기도 용인시 기흥구 삼성2로 95 (농서동)
조관현
 경기도 용인시 기흥구 삼성2로 95 (농서동)
정진구
 경기도 용인시 기흥구 삼성2로 95 (농서동)
- (74) 대리인
리앤목특허법인

심사관 : 윤난영

(56) 선행기술조사문헌

KR1020040097918 A

KR1020080002338 A

KR1020100002041 A

KR1020100020570 A

CN1913733 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

기관;

상기 기관상에 형성되는 제1 전극;

상기 제1 전극 상에 형성되고 유기 발광층을 구비하는 중간층;

상기 중간층 상에 형성되는 제2 전극;

상기 제2 전극상의 제1 영역에 형성되고 제1 가장자리를 갖고 적어도 2개의 층을 구비하는 캐핑층; 및

상기 제2 전극상의 상기 제1 영역과 중첩되지 않는 제2 영역 상에 형성되고 상기 캐핑층의 제1 가장자리의 측면과 서로 연결되는 측면을 갖는 제2 가장자리를 포함하는 제3 전극을 포함하고,

상기 제3 전극은 순차적으로 형성된 하부 전극 및 상부 전극을 포함하고,

상기 상부 전극은 상기 하부 전극과 경계선을 갖도록 구별되도록 형성되고,

상기 하부 전극의 측면은 상기 캐핑층과 접하고, 상기 상부 전극의 측면의 적어도 일 영역은 상기 캐핑층과 이격되는 것을 포함하는 유기 발광 표시 장치.

청구항 2

제1 항에 있어서,

상기 제3 전극은 적어도 순차적으로 적층된 복수의 층을 구비하는 유기 발광 표시 장치.

청구항 3

제1 항에 있어서,

상기 제3 전극은 차례로 적층된 하부 전극층 및 상부 전극층을 구비하고,

상기 캐핑층은 차례로 적층된 제1 캐핑층 및 제2 캐핑층을 구비하는 유기 발광 표시장치.

청구항 4

제1 항에 있어서,

상기 제3 전극은 단일층으로 형성되고,

캐핑층은 차례로 적층된 제1 캐핑층 및 제2 캐핑층을 구비하는 유기 발광 표시장치.

청구항 5

제1 항에 있어서,

상기 제3 전극은 차례로 적층된 하부 전극층 및 상부 전극층을 구비하고,

상기 캐핑층은 차례로 적층된 제1 캐핑층, 제2 캐핑층, 제3 캐핑층 및 제4 캐핑층을 구비하는 유기 발광 표시장치.

청구항 6

제1 항에 있어서,

상기 제3 전극의 두께는 상기 제2 전극의 두께보다 두꺼운 유기 발광 표시장치.

청구항 7

제1 항에 있어서,

상기 제3 전극과 상기 캐핑층 간의 접착력은 상기 제3 전극과 상기 제2 전극 간의 접착력보다 약한 것을 특징으로 하는 유기 발광 표시 장치.

청구항 8

제1 항에 있어서,

상기 캐핑층은 8-퀴놀리나토리튬(8-Quinolinolato Lithium), N,N-디페닐-N,N-비스(9-페닐-9H-카바졸-3-일)비페닐-4,4'-디아민(N,N-diphenyl-N,N-bis(9-phenyl-9H-carbazol-3-yl)biphenyl-4,4'-diamine), N(디페닐-4-일)9,9-디메틸-N-(4(9-페닐-9H-카바졸-3-일)페닐)-9H-플루오렌-2-아민(N(diphenyl-4-yl)9,9-dimethyl-N-(4(9-phenyl-9H-carbazol-3-yl)phenyl)-9H-fluorene-2-amine), 또는 2-(4-(9,10-디(나프탈렌-2-일)안트라센-2-일)페닐)-1-페닐-1H-벤조-[D]이미다졸(2-(4-(9,10-di(naphthalene-2-yl)anthracene-2-yl)phenyl)-1-phenyl-1H-benzo-[D]imidazole)을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 9

제1항 에 있어서,

상기 제3전극은 Mg를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 10

제1 항에 있어서,

외광이 투과 가능한 투과 영역과 상기 투과 영역에 인접하고 발광이 이뤄지는 픽셀 영역을 포함하고,

상기 투과 영역과 픽셀 영역은 상기 제1 영역에 위치하며,

상기 제1 전극은 픽셀 영역과 중첩되는 유기 발광 표시 장치.

청구항 11

제1 항에 있어서,

활성층, 게이트 전극, 소스 전극 및 드레인 전극을 구비하고, 상기 제1 전극과 전기적으로 연결되는 박막 트랜지스터를 더 포함하고,

상기 제1 전극은 상기 박막 트랜지스터를 가리도록 배치되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 12

제1 항에 있어서,

상기 캐핑층은 광투과가 가능하도록 구비된 것을 특징으로 하는 유기 발광 표시 장치.

청구항 13

제1 항에 있어서,

상기 캐핑층의 모든 가장자리와 상기 제3 전극의 가장자리가 서로 접하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 14

제1 항에 있어서,

상기 캐핑층의 면적은 적어도 한 픽셀의 발광이 일어나는 영역의 면적보다 넓은 것을 특징으로 하는 유기 발광 표시 장치.

청구항 15

기판상에 제1 전극을 형성하는 단계;

상기 제1 전극 상에 유기 발광층을 구비하는 중간층을 형성하는 단계;

상기 중간층 상에 제2 전극을 형성하는 단계;

상기 제2 전극상의 제1 영역에 제1 가장자리를 갖고 적어도 2개의 층을 구비하는 캐핑층을 형성하는 단계; 및

상기 제2 전극상의 상기 제1 영역과 중첩되지 않는 제2 영역에 상기 캐핑층의 제1 가장자리의 측면과 서로 연결되는 측면을 갖는 제2 가장자리를 포함하는 제3 전극을 형성하는 단계를 포함하고,

상기 제3 전극은 순차적으로 형성된 하부 전극 및 상부 전극을 포함하고,

상기 상부 전극은 상기 하부 전극과 경계선을 갖도록 구별되도록 형성되고,

상기 하부 전극의 측면은 상기 캐핑층과 접하고, 상기 상부 전극의 측면의 적어도 일 영역은 상기 캐핑층과 이격되는 것을 포함하는 유기 발광 표시 장치 제조 방법.

청구항 16

제15 항에 있어서,

상기 제3 전극 및 상기 캐핑층은 증착 공정을 진행하여 형성하는 것을 특징으로 하는 유기 발광 표시 장치 제조 방법.

청구항 17

제15 항에 있어서,

상기 제3 전극을 형성하는 금속과 상기 캐핑층 간의 접착력은 상기 제3 전극을 형성하는 금속과 상기 제2 전극 간의 접착력보다 약한 것을 특징으로 하는 유기 발광 표시 장치 제조 방법.

청구항 18

제15 항에 있어서,

상기 캐핑층을 형성하는 단계는, 상기 캐핑층에 대응되는 패턴의 슬릿부를 갖는 마스크를 이용하여 수행되는 유기 발광 표시 장치 제조 방법.

청구항 19

제15 항에 있어서,

상기 제3 전극을 형성하는 단계는 오픈 마스크를 이용하여 수행되는 유기 발광 표시 장치 제조 방법.

청구항 20

제15 항에 있어서,

상기 제3 전극을 형성하는 단계는 마스크 없이 수행되는 유기 발광 표시 장치 제조 방법.

청구항 21

제15 항에 있어서,

상기 캐핑층을 형성하는 단계는,

상기 캐핑층의 적어도 2개의 층 중 상기 제2 전극상에 최초로 배치되는 층은 상기 캐핑층에 대응하는 패턴의 슬릿부를 갖는 마스크를 이용하여 수행하고, 상기 캐핑층의 나머지 층은 오픈 마스크를 이용하여 수행되는 유기 발광 표시 장치 제조 방법.

청구항 22

제15 항에 있어서,

상기 캐핑층을 형성하는 단계는,

상기 캐핑층의 적어도 2개의 층 중 상기 제2 전극상에 최초로 배치되는 층은 상기 캐핑층에 대응하는 패턴의 슬릿부를 갖는 마스크를 이용하여 수행하고, 상기 캐핑층의 나머지 층은 마스크를 배치하지 않고 수행되는 유기 발광 표시 장치 제조 방법.

청구항 23

제15 항에 있어서,

상기 제3 전극을 형성하는 단계는 상기 캐핑층의 적어도 한 층을 형성한 후에 시작하는 것을 특징으로 하는 유기 발광 표시 장치 제조 방법.

청구항 24

제15 항에 있어서,

상기 제3 전극 및 상기 캐핑층을 형성하는 단계는,

상기 캐핑층에 대응하는 패턴의 슬릿부를 갖는 마스크를 이용하여 상기 캐핑층의 적어도 2개의 층 중 상기 제2 전극상에 최초로 배치되는 층을 형성하는 단계; 및

오픈 마스크를 이용하여 상기 제3 전극 및 상기 캐핑층의 나머지 층을 공증착 방법을 이용하여 형성하는 단계를 포함하는 유기 발광 표시 장치 제조 방법.

청구항 25

제15 항에 있어서,

상기 제3 전극은 순차적으로 적층된 복수의 전극층을 구비하는 유기 발광 표시 장치 제조 방법.

청구항 26

제25 항에 있어서,

상기 제3 전극 및 상기 캐핑층을 형성하는 단계는,

상기 캐핑층에 대응하는 패턴의 슬릿부를 갖는 마스크를 이용하여 상기 캐핑층의 복수의 층 중 상기 제2 전극과 접하는 최하부층을 형성하는 단계; 및

오픈 마스크를 이용하여 상기 제3 전극의 복수의 전극층 중 상기 제2 전극과 접하는 최하부의 전극층을 형성하는 단계를 포함하는 유기 발광 표시 장치 제조 방법.

청구항 27

제26항에 있어서,

상기 캐핑층의 최하부층 및 상기 제3 전극의 최하부층을 형성한 후에,

상기 캐핑층에 대응하는 패턴의 슬릿부를 갖는 마스크를 이용하여 상기 캐핑층의 복수의 층 중 최하부층을 제외한 나머지층을 형성하는 단계; 및

오픈 마스크를 이용하여 상기 제3 전극의 복수의 전극층 중 상기 최하부의 전극층을 제외한 나머지층을 형성하는 단계를 포함하는 유기 발광 표시 장치 제조 방법.

청구항 28

제26항에 있어서,

상기 캐핑층의 최하부층 및 상기 제3 전극의 최하부층을 형성한 후에,

오픈 마스크를 이용하여 상기 캐핑층의 복수의 층 중 최하부층을 제외한 나머지층을 형성하는 단계; 및

오픈 마스크를 이용하여 상기 제3 전극의 복수의 전극층 중 상기 최하부의 전극층을 제외한 나머지층을 형성하는 단계를 포함하는 유기 발광 표시 장치 제조 방법.

청구항 29

제25항에 있어서,

상기 제3 전극 및 상기 캐핑층을 형성하는 단계는,

상기 캐핑층을 형성하기 위한 재료를 함유하는 복수의 제1 증착 소스 및 상기 제3 전극을 형성하기 위한 재료를 함유하는 복수의 제2 증착 소스를 교대로 배치하고,

상기 제2 전극까지 형성된 상기 기판을 상기 복수의 제1 증착 소스 및 상기복수의 제2 증착 소스에 대응하도록 순차적으로 이동하면서 진행하는 것을 특징으로 하는 유기 발광 표시 장치 제조 방법.

청구항 30

제25 항에 있어서,

상기 제3 전극 및 상기 캐핑층을 형성하는 단계는,

상기 캐핑층에 대응하는 패턴의 슬릿부를 갖는 마스크를 이용하여 상기 캐핑층의 적어도 2개의 층 중 상기 제2 전극상에 최초로 배치되는 층을 형성하는 단계; 및

오픈 마스크를 이용하여 상기 제3 전극의 적어도 한 층 및 상기 캐핑층의 나머지 층 중 적어도 한층을 공증착 방법을 이용하여 동시에 형성하는 단계를 포함하는 유기 발광 표시 장치 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치 및 유기 발광 표시 장치 제조 방법에 관한 것으로 더 상세하게는 전기적 특성 및 화질 특성을 향상하는 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 근래에 표시 장치는 휴대가 가능한 박형의 평판 표시 장치로 대체되는 추세이다. 평판 표시 장치 중에서도 유기 발광 표시 장치는 자발광형 표시 장치로서 시야각이 넓고 콘트라스트가 우수할 뿐만 아니라 응답속도가 빠르다는 장점을 가져서 차세대 디스플레이 장치로 주목 받고 있다.

[0003] 유기 발광 표시 장치는 중간층, 제1 전극 및 제2 전극을 구비한다. 중간층은 유기 발광층을 구비하고, 제1 전극 및 제2 전극에 전압을 가하면 유기 발광층에서 가시광선을 발생하게 된다.

[0004] 이 때 제2 전극의 상부에 배치되는 밀봉부재 또는 불순물에 의하여 오염 및 손상될 우려가 있다.

[0005] 이로 인하여 유기 발광 표시 장치의 화질 특성 및 전기적 특성을 향상하는데 한계가 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 전기적 특성 및 화질 특성을 용이하게 향상하는 유기 발광 표시 장치 및 유기 발광 표시 장치 제조 방법을 제공할 수 있다.

과제의 해결 수단

[0007] 본 발명은 기판, 상기 기판상에 형성되는 제1 전극, 상기 제1 전극 상에 형성되고 유기 발광층을 구비하는 중간층, 상기 중간층 상에 형성되는 제2 전극, 상기 제2 전극상의 제1 영역에 형성되고 제1 가장자리를 갖고 적어도 2개의 층을 구비하는 캐핑층 및 상기 제2 전극상의 상기 제1 영역과 중첩되지 않는 제2 영역 상에 형성되고 상기 캐핑층의 제1 가장자리의 측면과 서로 연결되는 측면을 갖는 제2 가장자리를 포함하는 제3 전극을 포함하는 유기 발광 표시 장치를 개시한다.

[0008] 본 발명에 있어서 상기 제3 전극은 적어도 순차적으로 적층된 복수의 층을 구비할 수 있다.

[0009] 본 발명에 있어서 상기 제3 전극은 차례로 적층된 하부 전극층 및 상부 전극층을 구비하고, 상기 캐핑층은 차례

로 적층된 제1 캐핑층 및 제2 캐핑층을 구비할 수 있다.

- [0010] 본 발명에 있어서 상기 제3 전극은 단일층으로 형성되고, 캐핑층은 차례로 적층된 제1 캐핑층 및 제2 캐핑층을 구비할 수 있다.
- [0011] 본 발명에 있어서 상기 제3 전극은 차례로 적층된 하부 전극층 및 상부 전극층을 구비하고, 상기 캐핑층은 차례로 적층된 제1 캐핑층, 제2 캐핑층, 제3 캐핑층 및 제4 캐핑층을 구비할 수 있다.
- [0012] 본 발명에 있어서 상기 제3 전극의 두께는 상기 제2 전극의 두께보다 두꺼울 수 있다.
- [0013] 본 발명에 있어서 상기 제3 전극과 상기 캐핑층 간의 접착력은 상기 제3 전극과 상기 제2 전극 간의 접착력보다 약할 수 있다.
- [0014] 본 발명에 있어서 상기 캐핑층은 8-퀴놀리나토리튬(8-Quinolinolato Lithium), N,N-디페닐-N,N-비스(9-페닐-9H-카바졸-3-일)비페닐-4,4'-디아민(N,N-diphenyl-N,N-bis(9-phenyl-9H-carbazol-3-yl)biphenyl-4,4'-diamine), N(디페닐-4-일)9,9-디메틸-N-(4(9-페닐-9H-카바졸-3-일)페닐)-9H-플루오렌-2-아민(N(diphenyl-4-yl)9,9-dimethyl-N-(4(9-phenyl-9H-carbazol-3-yl)phenyl)-9H-fluorene-2-amine), 또는 2-(4-(9,10-디(나프탈렌-2-일)안트라센-2-일)페닐)-1-페닐-1H-벤조-[D]이미다졸(2-(4-(9,10-di(naphthalene-2-yl)anthracene-2-yl)phenyl)-1-phenyl-1H-benzo-[D]imidazole)을 포함할 수 있다.
- [0015] 본 발명에 있어서 상기 제3전극은 Mg를 포함할 수 있다.
- [0016] 본 발명에 있어서 외광이 투과 가능한 투과 영역과 상기 투과 영역에 인접하고 발광이 이뤄지는 픽셀 영역을 포함하고, 상기 투과 영역과 픽셀 영역은 상기 제1 영역에 위치하며, 상기 제1 전극은 픽셀 영역과 중첩될 수 있다.
- [0017] 본 발명에 있어서 활성층, 게이트 전극, 소스 전극 및 드레인 전극을 구비하고, 상기 제1 전극과 전기적으로 연결되는 박막 트랜지스터를 더 포함하고, 상기 제1 전극은 상기 박막 트랜지스터를 가리도록 배치될 수 있다.
- [0018] 본 발명에 있어서 상기 캐핑층은 광투과가 가능하도록 형성될 수 있다.
- [0019] 본 발명에 있어서 상기 캐핑층의 모든 가장자리와 상기 제3 전극의 가장자리가 서로 접할 수 있다.
- [0020] 본 발명에 있어서 상기 캐핑층의 면적은 적어도 한 픽셀의 발광이 일어나는 영역의 면적보다 넓을 수 있다.
- [0021] 본 발명의 다른 측면에 따르면 기판상에 제1 전극을 형성하는 단계, 상기 제1 전극 상에 유기 발광층을 구비하는 중간층을 형성하는 단계, 상기 중간층 상에 제2 전극을 형성하는 단계, 상기 제2 전극상의 제1 영역에, 제1 가장자리를 갖고 적어도 2개의 층을 구비하는 캐핑층을 형성하는 단계 및 상기 제2 전극상의 상기 제1 영역과 중첩되지 않는 제2 영역에, 상기 캐핑층의 제1 가장자리의 측면과 서로 연결되는 측면을 갖는 제2 가장자리를 포함하는 제3 전극을 형성하는 단계를 포함하는 유기 발광 표시 장치 제조 방법을 개시한다.
- [0022] 본 발명에 있어서 상기 제3 전극 및 상기 캐핑층은 증착 공정을 진행하여 형성할 수 있다.
- [0023] 본 발명에 있어서 상기 제3 전극을 형성하는 금속과 상기 캐핑층 간의 접착력은 상기 제3 전극을 형성하는 금속과 상기 제2 전극 간의 접착력보다 약한 것을 특징으로 할 수 있다.
- [0024] 본 발명에 있어서 상기 캐핑층을 형성하는 단계는, 상기 캐핑층에 대응되는 패턴의 슬릿부를 갖는 마스크를 이용하여 수행될 수 있다.
- [0025] 본 발명에 있어서 상기 제3 전극을 형성하는 단계는 오픈 마스크를 이용하여 수행될 수 있다.
- [0026] 본 발명에 있어서 상기 제3 전극을 형성하는 단계는 마스크 없이 수행될 수 있다.
- [0027] 본 발명에 있어서 상기 캐핑층을 형성하는 단계는, 상기 캐핑층의 적어도 2개의 층 중 상기 제2 전극상에 최초로 배치되는 층은 상기 캐핑층에 대응하는 패턴의 슬릿부를 갖는 마스크를 이용하여 수행하고, 상기 캐핑층의 나머지 층은 오픈 마스크를 이용하여 수행될 수 있다.
- [0028] 본 발명에 있어서 상기 캐핑층을 형성하는 단계는, 상기 캐핑층의 적어도 2개의 층 중 상기 제2 전극상에 최초로 배치되는 층은 상기 캐핑층에 대응하는 패턴의 슬릿부를 갖는 마스크를 이용하여 수행하고, 상기 캐핑층의 나머지 층은 마스크를 배치하지 않고 수행될 수 있다.

- [0029] 본 발명에 있어서 상기 제3 전극을 형성하는 단계는 상기 캐핑층의 적어도 한 층을 형성한 후에 시작하는 것을 특징으로 할 수 있다.
- [0030] 본 발명에 있어서 상기 제3 전극 및 상기 캐핑층을 형성하는 단계는, 상기 캐핑층에 대응하는 패턴의 슬릿부를 갖는 마스크를 이용하여 상기 캐핑층의 적어도 2개의 층 중 상기 제2 전극상에 최초로 배치되는 층을 형성하는 단계 및 오픈 마스크를 이용하여 상기 제3 전극 및 상기 캐핑층의 나머지 층을 공증착 방법을 이용하여 형성하는 단계를 포함할 수 있다.
- [0031] 본 발명에 있어서 상기 제3 전극은 순차적으로 적층된 복수의 전극층을 구비할 수 있다.
- [0032] 본 발명에 있어서 상기 제3 전극 및 상기 캐핑층을 형성하는 단계는, 상기 캐핑층에 대응하는 패턴의 슬릿부를 갖는 마스크를 이용하여 상기 캐핑층의 복수의 층 중 상기 제2 전극과 접하는 최하부층을 형성하는 단계 및 오픈 마스크를 이용하여 상기 제3 전극의 복수의 전극층 중 상기 제2 전극과 접하는 최하부의 전극층을 형성하는 단계를 포함할 수 있다.
- [0033] 본 발명에 있어서 상기 캐핑층에 대응하는 패턴의 슬릿부를 갖는 마스크를 이용하여 상기 캐핑층의 복수의 층 중 최하부층을 제외한 나머지층을 형성하는 단계 및 오픈 마스크를 이용하여 상기 제3 전극의 복수의 전극층 중 상기 최하부의 전극층을 제외한 나머지층을 형성하는 단계를 포함할 수 있다.
- [0034] 본 발명에 있어서 오픈 마스크를 이용하여 상기 캐핑층의 복수의 층 중 최하부층을 제외한 나머지층을 형성하는 단계 및 오픈 마스크를 이용하여 상기 제3 전극의 복수의 전극층 중 상기 최하부의 전극층을 제외한 나머지층을 형성하는 단계를 포함할 수 있다.
- [0035] 본 발명에 있어서 상기 제3 전극 및 상기 캐핑층을 형성하는 단계는, 상기 캐핑층을 형성하기 위한 재료를 함유하는 복수의 제1 증착 소스 및 상기 제3 전극을 형성하기 위한 재료를 함유하는 복수의 제2 증착 소스를 교대로 배치하고, 상기 제2 전극까지 형성된 상기 기판을 상기 복수의 제1 증착 소스 및 상기 복수의 제2 증착 소스에 대응하도록 순차적으로 이동하면서 진행할 수 있다.
- [0036] 본 발명에 있어서 상기 제3 전극 및 상기 캐핑층을 형성하는 단계는, 상기 캐핑층에 대응하는 패턴의 슬릿부를 갖는 마스크를 이용하여 상기 캐핑층의 적어도 2개의 층 중 상기 제2 전극상에 최초로 배치되는 층을 형성하는 단계 및 오픈 마스크를 이용하여 상기 제3 전극의 적어도 한 층 및 상기 캐핑층의 나머지 층 중 적어도 한층을 공증착 방법을 이용하여 동시에 형성하는 단계를 포함할 수 있다.

발명의 효과

- [0037] 본 발명에 관한 유기 발광 표시 장치 및 유기 발광 표시 장치 제조 방법은 전기적 특성 및 화질 특성을 용이하게 향상할 수 있다.

도면의 간단한 설명

- [0038] 도 1은 본 발명의 일 실시예에 관한 유기 발광 표시 장치를 도시한 개략적인 단면도이다.
- 도 2는 본 발명의 다른 실시예에 관한 유기 발광 표시 장치를 도시한 개략적인 단면도이다.
- 도 3은 도 1의 X를 확대한 도면이다.
- 도 4는 도 3의 Y1 및 Y2를 확대한 도면이다.
- 도 5 내지 도 10은 도 1의 유기 발광 표시 장치를 제조하는 방법을 순차적으로 도시한 도면들이다.
- 도 11 내지 도 13은 도 1의 유기 발광 표시 장치의 캐핑층의 형태의 다양한 예를 도시한 도면들이다.
- 도 14 내지 도 17은 도 1의 유기 발광 표시 장치를 제조하는 방법의 다른 예를 도시한 도면들이다.
- 도 18은 도 1의 유기 발광 표시 장치를 제조하는 방법의 또 다른 예를 도시한 도면이다.
- 도 19는 본 발명의 또 다른 실시예에 관한 유기 발광 표시 장치를 도시한 단면도이다.
- 도 20은 도 19의 Y1 및 Y2의 확대한 도면이다.
- 도 21 및 도 22는 도 19의 유기 발광 표시 장치를 제조하는 방법을 도시한 도면들이다.

도 23은 본 발명의 또 다른 실시예에 관한 유기 발광 표시 장치를 도시한 단면도이다.

도 24는 도 23의 Y1 및 Y2의 확대한 도면이다.

도 25 내지 도 28은 도 23의 유기 발광 표시 장치를 제조하는 방법을 순차적으로 도시한 도면들이다.

도 29 내지 도 32는 도 23의 유기 발광 표시 장치를 제조하는 다른 방법을 순차적으로 도시한 도면들이다.

도 33은 본 발명의 또 다른 실시예에 관한 유기 발광 표시 장치를 도시한 평면도이다.

도 34는 도 33의 유기 발광 표시 장치의 일 픽셀을 도시한 단면도이다.

도 35는 본 발명의 또 다른 실시예에 관한 유기 발광 표시 장치를 도시한 평면도이다.

발명을 실시하기 위한 구체적인 내용

- [0039] 이하 첨부된 도면들에 도시된 본 발명에 관한 실시예를 참조하여 본 발명의 구성 및 작용을 상세히 설명한다.
- [0040] 도 1은 본 발명의 바람직한 일 실시예에 따른 유기 발광 표시장치를 도시한 단면도이다.
- [0041] 도 1을 참조하면, 본 발명의 바람직한 일 실시예에 따른 유기 발광 표시장치는 기관(101) 상에 형성된 유기 발광부(110)와 이 유기 발광부(110)를 밀봉하는 밀봉기관(191)을 포함한다.
- [0042] 밀봉기관(191)은 투명한 물질을 함유하여 유기 발광부(110)에서 발생한 가시 광선이 통과할 수 있도록 형성되고, 유기 발광부(110)로 외기 및 수분이 침투하는 것을 차단한다.
- [0043] 기관(101)과 밀봉기관(191)은 셀링재(150)에 의해 결합되어 기관(101)과 밀봉기관(191)의 사이 공간(25)이 밀봉된다. 공간(25)에는 흡습제나 충전재 등이 위치할 수 있다.
- [0044] 도 2는 본 발명의 다른 실시예에 관한 유기 발광 표시 장치를 도시한 개략적인 단면도이다.
- [0045] 도 2의 유기 발광 표시 장치(100')는 도 1의 밀봉기관(191) 대신에 박막의 봉지막(192)을 유기 발광부(110') 상에 형성함으로써 유기 발광부(110')를 외기로부터 보호할 수 있다. 상기 봉지막(192)은 실리콘옥사이드 또는 실리콘나이트라이드와 같은 무기물로 이루어진 막과 예폭시, 폴리이미드와 같은 유기물로 이루어진 막이 교대로 성막된 구조를 취할 수 있는 데, 반드시 이에 한정되는 것은 아니며, 투명한 박막 상의 밀봉구조이면 어떠한 것이든 적용 가능하다.
- [0046] 도 3은 도 1의 X를 확대한 도면이고, 도 4는 도 3의 Y1 및 Y2를 확대한 도면이다. 구체적으로 도 3은 도 1에 도시된 유기 발광부(110)의 일 픽셀을 도시하고 있다. 물론, 도 3은 도 2에 도시된 유기 발광부(110')의 일 픽셀일 수도 있다.
- [0047] 도 3을 참조하면 기관(101)상에 버퍼막(102)이 형성되고, 이 버퍼막(102) 상에 박막 트랜지스터(TR)가 형성된다. 박막 트랜지스터(TR)는 활성층(103), 게이트 전극(105), 소스 전극(107) 및 드레인 전극(108)을 포함한다.
- [0048] 도 3에는 하나의 박막 트랜지스터(TR)만이 도시되어 있으나, 상기 픽셀은 이외에도 다른 적어도 하나의 박막 트랜지스터와 커패시터를 구비하여 픽셀 회로를 구성할 수 있다.
- [0049] 상기 버퍼막(102) 상에는 활성층(103)이 형성된다.
- [0050] 상기 버퍼막(102)은 불순 원소의 침투를 방지하며 표면을 평탄화하는 역할을 하는 것으로, 이러한 역할을 수행할 수 있는 다양한 물질로 형성될 수 있다. 일례로, 상기 버퍼막(102)은 실리콘 옥사이드, 실리콘 나이트라이드, 실리콘 옥시나이트라이드, 알루미늄옥사이드, 알루미늄나이트라이드, 티타늄옥사이드 또는 티타늄나이트라이드 등의 무기물이나, 폴리이미드, 폴리에스테르, 아크릴 등의 유기물 또는 이들의 적층체로 형성될 수 있다. 상기 버퍼막(102)은 필수 구성요소는 아니며, 필요에 따라서는 구비되지 않을 수도 있다.
- [0051] 상기 활성층(103)은 비정질 실리콘 또는 다결정 실리콘으로 형성될 수 있는 데, 반드시 이에 한정되는 것은 아니며, 산화물 반도체로 형성될 수 있다. 예를 들면 G-I-Z-O층[(In₂O₃)_a(Ga₂O₃)_b(ZnO)_c층](a, b, c는 각각 a≥0, b≥0, c>0의 조건을 만족시키는 실수)일 수 있다.
- [0052] 상기 활성층(103)을 덮도록 게이트 절연막(104)이 버퍼막(102) 상에 형성되고, 게이트 절연막(104) 상에 게이트 전극(105)이 형성된다.

- [0053] 게이트 전극(105)을 덮도록 게이트 절연막(104) 상에 층간 절연막(106)이 형성되고, 이 층간 절연막(106) 상에 소스 전극(107)과 드레인 전극(108)이 형성되어 각각 활성층(103)과 콘택 홀을 통해 콘택된다.
- [0054] 상기와 같은 박막 트랜지스터(TR)의 구조는 반드시 이에 한정되는 것은 아니며, 다양한 형태의 박막 트랜지스터의 구조가 적용 가능함은 물론이다. 예컨대, 도 3에 도시된 박막 트랜지스터(TR)는 탑 게이트 구조를 가지나, 본 발명은 게이트 바텀 게이트 구조의 박막 트랜지스터(TR)를 구비할 수도 있다. 물론 본 발명은 이 밖에도 적용 가능한 모든 박막 트랜지스터의 구조가 적용될 수 있음은 물론이다.
- [0055] 상기 박막 트랜지스터(TR)와 함께 커패시터를 포함하는 픽셀 회로(미도시)가 형성될 수 있다.
- [0056] 이러한 박막 트랜지스터(TR)를 포함하는 픽셀 회로를 덮도록 패시베이션막(109)이 형성된다. 상기 패시베이션막(109)은 상면이 평탄화된 단일 또는 복수층의 절연막이 될 수 있다. 이 패시베이션막(109)은 무기물 및/또는 유기물로 형성될 수 있다.
- [0057] 상기 패시베이션막(109) 상에는 박막 트랜지스터(TR)와 전기적으로 연결되도록 유기 발광 소자(EL)가 형성된다. 유기 발광 소자(EL)는 제1 전극(121), 제2 전극(122) 및 중간층(120)을 구비한다.
- [0058] 구체적으로, 드레인 전극(108)과 전기적으로 연결되도록 제1 전극(121)이 형성된다.
- [0059] 상기 패시베이션막(109) 상에는 상기 제1 전극(121)의 가장자리를 덮도록 화소 정의막(119)이 형성된다. 상기 화소 정의막(119)은 제1 전극(121)의 중앙부에 대응하는 개구(119a)를 구비한다.
- [0060] 개구(119a)를 통해 노출된 제1 전극(121) 상에는 유기 발광층을 구비하는 중간층(120)이 형성되고 상기 중간층(120)을 덮도록 제2 전극(122)이 형성된다.
- [0061] 상기 중간층(120)은 저분자 또는 고분자 유기막을 구비할 수 있다. 저분자 유기막을 사용할 경우, 홀 주입층(HIL: Hole Injection Layer), 홀 수송층(HTL: Hole Transport Layer), 발광층(EML: Emission Layer), 전자 수송층(ETL: Electron Transport Layer), 전자 주입층(EIL: Electron Injection Layer) 등이 단일 혹은 복합의 구조로 적용되어 형성될 수 있다. 이들 저분자 유기막은 진공증착의 방법으로 형성될 수 있다.
- [0062] 상기 정공주입층(HIL)은 구리프탈로시아닌 등의 프탈로시아닌 화합물 또는 스타버스트(Starburst)형 아민류인 TCTA, m-MTDATA, m-MTDAPB 등으로 형성할 수 있다.
- [0063] 상기 정공 수송층(HTL)은 N,N'-비스(3-메틸페닐)-N,N'-디페닐-[1,1'-비페닐]-4,4'-디아민(TPD), N,N'-디(나프탈렌-1-일)-N,N'-디페닐 벤지딘(α -NPD)등으로 형성될 수 있다.
- [0064] 상기 전자 주입층(EIL)은 LiF, NaCl, CsF, Li₂O, BaO, Liq 등의 물질을 이용하여 형성할 수 있다.
- [0065] 상기 전자 수송층(ETL)은 Alq₃를 이용하여 형성할 수 있다.
- [0066] 상기 발광층(EML)은 호스트 물질과 도판트 물질을 포함할 수 있다. 상기 발광층(EML)은 다양한 색의 가시 광선을 발광하는 발광층을 사용할 수 있다. 또한 발광층(EML)의 배치도 다양하게 정할 수 있는데, 픽셀별로 다른 색을 구현하도록 배치할 수 있다. 그러나 본 발명은 이에 한정되지 않고 백색 발광 방식, 즉 모든 픽셀에 백색광을 구현하도록 복수의 발광층을 적층된 뒤 각 픽셀별로 다른 색의 컬러 필터를 배치할 수도 있다.
- [0067] 상기 제1 전극(121)은 애노드 전극의 기능을 하고, 상기 제2 전극(122)은 캐소드 전극의 기능을 할 수 있는 데, 물론, 이들 제1 전극(121)과 제2 전극(122)의 극성은 서로 반대로 되어도 무방하다.
- [0068] 상기 제1 전극(121)이 애노드 전극의 기능을 할 경우, 상기 제1 전극(121)은 일함수가 높은 ITO, IZO, ZnO, 또는 In₂O₃ 등을 포함하여 구비될 수 있는데, 거기에 추가적으로 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Yb 또는 Ca 등으로 형성된 반사막을 더 포함할 수도 있다.
- [0069] 상기 제2 전극(122)이 캐소드 전극의 기능을 할 경우, 상기 제2 전극(122)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, 또는 Ca의 금속으로 형성될 수 있다. 또한, 제2 전극(122)은 광투과가 가능하도록 ITO, IZO, ZnO, 또는 In₂O₃ 등을 구비할 수 있다. 또는 상기 제2 전극(122)은 Al, Ag 및/또는 Mg를 이용하여 박막으로 형성할 수 있다. 제2 전극(122)은 모든 픽셀들에 걸쳐 공통된 전압이 인가되도록 형성되는 데, 이를 위해 픽셀 마다 패터닝되지 않은 공통 전극으로 형성된다. 물론 공통 전극인 상기 제2 전극(122)을 발광 영역에 대응되는 영역 이외의 영역이 제거된 메쉬(Mesh) 형태로 패터닝할 수도 있다.
- [0070] 제2 전극(122)을 공통 전극으로 형성하는 경우 제2 전극(122)의 전압 강하 현상이 발생할 수 있다. 특히, 도 3

을 기준으로 사용자가 도 3의 상부에서 화상을 인식하게 되는 전면 발광형일 경우, 제2 전극(122)이 투명한 금속산화물 또는 박막의 금속을 포함하기 때문에, 제2 전극(122)의 면저항이 커지게 되어 전압 강하가 더 크게 발생한다.

- [0071] 본 발명은 이러한 문제를 해결하기 위하여 상기 제2 전극(122)과 전기적으로 연결되도록 제3 전극(130)을 더 형성하였다.
- [0072] 그리고 제2 전극(122)의 상면이 도 1의 밀봉 기관(191)에 의해 손상될 우려가 있다. 또한 제2 전극(122)의 상면이 도 2의 봉지막(192)의 형성 시에도 손상받기 쉽다. 본 발명은 이러한 문제를 해결하기 위하여, 상기 제2 전극(122) 상에 캐핑층(140)을 형성하였다.
- [0073] 상기 캐핑층(140)은 제2 전극(122) 상의 제1 영역(R1) 상에 형성되고, 제1 가장자리(140a)를 갖는다.
- [0074] 상기 제3 전극(130)은 상기 제2 전극(122) 상의 제2 영역(R2) 상에 형성되고, 제2 가장자리(130a)를 갖는다. 상기 제3 전극(130)은 상기 캐핑층(140)과 수평인 상태로 서로 인접하게 배치된다.
- [0075] 상기 제1 영역(R1)은 적어도 하나의 픽셀에서 발광이 일어나는 면적보다 넓으며, 상기 하나의 픽셀에서 발광이 일어나는 영역을 덮는 영역에 해당한다. 상기 제1 영역(R1) 전체에 캐핑층(140)이 형성되며, 제1 영역(R1)의 가장자리는 캐핑층(140)의 제1 가장자리(140a)가 된다. 그리고 상기 제2 영역(R2)은 상기 제2 전극(122) 중 제1 영역(R1) 이외의 영역에 해당하는 데, 상기 제2 영역(R2) 전체에 제3 전극(130)이 형성되며, 제2 영역(R2)의 가장자리는 제3 전극(130)의 제2 가장자리(130a)가 된다. 상기 제2 영역(R2)은 발광이 일어나는 영역을 제외한 영역이 된다.
- [0076] 상기 캐핑층(140)의 제1 가장자리(140a)의 측면과 상기 제3 전극(130)의 제2 가장자리(130a)의 측면은 서로 맞닿은 상태가 된다.
- [0077] 상기 제3 전극(130)은 제2 전극(122)의 면저항을 줄일 수 있도록 상기 제2 전극(122)의 두께보다 두껍게 형성하는 것이 바람직하다.
- [0078] 그리고 상기 캐핑층(140)은 픽셀에서 발광이 일어나는 영역을 덮는 것이므로, 광투과가 가능하도록 형성되는 것이 바람직하다. 상기 캐핑층(140)은 상기 제3 전극(130)보다 얇게 박막으로 형성될 수 있으나, 반드시 이에 한정되는 것은 아니다.
- [0079] 본 발명의 일 실시예에 있어, 상기 제3 전극(130)과 상기 캐핑층(140) 간의 접착력은 상기 제3 전극(130)과 상기 제2 전극(122) 간의 접착력보다 약해지도록 제3 전극(130) 및 캐핑층(140)의 재료를 선택한다.
- [0080] 캐핑층(140)은 8-퀴놀리나토리튬(Liq: 8-Quinololato Lithium), N,N-디페닐-N,N-비스(9-페닐-9H-카바졸-3-일)비페닐-4,4'-디아민(HT01: N,N-diphenyl-N,N-bis(9-phenyl-9H-carbazol-3-yl)biphenyl-4,4'-diamine), N(디페닐-4-일)9,9-디메틸-N-(4(9-페닐-9H-카바졸-3-일)페닐)-9H-플루오렌-2-아민(HT211: N(diphenyl-4-yl)9,9-dimethyl-N-(4(9-phenyl-9H-carbazol-3-yl)phenyl)-9H-fluorene-2-amine), 또는 2-(4-(9,10-디(나프탈렌-2-일)안트라센-2-일)페닐)-1-페닐-1H-벤조-[D]이미다졸(LG201: 2-(4-(9,10-di(naphthalene-2-yl)anthracene-2-yl)phenyl)-1-phenyl-1H-benzo-[D]imidazole)을 포함하는 물질로 형성될 수 있다.
- [0081] 그리고 상기 제3 전극(130)은 Mg로 형성될 수 있다.
- [0082] 제3 전극(130)이 되는 Mg는 제2 전극(122)과는 유사한 재질, 즉 모두 금속이므로, 서로 접착성이 좋다. 그러나, Mg는 전술한 캐핑층(140)의 물질과는 접착이 잘 되지 않는다. 따라서 이러한 제3 전극(130) 및 캐핑층(140) 간의 접착력 특성을 이용하여 제3 전극(130)을 간단하게 패터닝할 수 있다.
- [0083] 전술한 바와 같이 제3 전극(130)은 제2 영역(R2)에만 형성되도록 패터닝되어야 한다. 그런데, 유기 발광 소자(EL)의 중간층(120)을 형성한 후에는 통상의 금속막의 패터닝 방법으로 많이 사용되는 포토 리소그래피와 같은 습식 공정을 이용하여 상기 제3 전극(130)을 패터닝할 수 없다. 이는 습식 공정으로 중간층(120)에 수분 및/또는 산소가 침투되면 유기 발광 소자(EL)의 수명이 급격히 저하되기 때문이다.
- [0084] 이 때문에, 실제 공정에서는 상기 제3 전극(130)의 패터닝이 매우 어렵게 된다.
- [0085] 본 발명은 제3 전극(130) 및 캐핑층(140) 간의 접착력 특성을 이용하여 제3 전극(130)을 간단하게 패터닝할 수 있다. 구체적인 방법은 후술한다.

- [0086] 한편, 제3 전극(130) 및 캐핑층(140)은 각각 복수의 층을 구비한다.
- [0087] 구체적으로 도 4를 참조하면 제3 전극(130)은 하부 전극층(131) 및 상부 전극층(132)을 포함한다.
- [0088] 또한, 캐핑층(140)은 제1 캐핑층(141) 및 제2 캐핑층(142)을 포함한다. 제1 캐핑층(141) 및 제2 캐핑층(142)은 전술한 캐핑층(140)의 재료들을 함유하는데 서로 동일 재료로 형성될 수 있고 다른 재료로 형성될 수도 있다.
- [0089] 캐핑층(140)의 원하는 두께를 확보하기 위하여 한번에 증착 공정을 진행하지 않고 2회에 걸쳐 나누어 증착 공정을 진행한다. 즉 제1 캐핑층(141)을 형성하고 나서 하부 전극층(131)을 형성하고, 그 후에 제2 캐핑층(142)을 형성하고 나서 상부 전극층(132)을 형성한다. 이를 통하여 제3 전극(130) 및 캐핑층(140)의 패턴링을 용이하게 진행하고, 각각의 정밀한 패턴 제어가 가능하다. 또한 결과적으로 제3 전극(130)이 제1 영역(R1)에도 형성되는 것을 용이하게 차단하여 유기 발광 표시 장치(100)의 투과율을 향상한다.
- [0090] 본 실시예에서는 캐핑층(140)을 2회의 증착 공정을 거쳐 형성하고, 제3 전극(130)을 2회의 증착 공정을 거쳐 형성한 것을 설명하였으나, 본 발명은 이에 한정되지 않고 3회 이상의 증착 공정을 거쳐 형성할 수도 있음은 물론이다.
- [0091] 도 5 내지 도 10은 도 1의 유기 발광 표시 장치를 제조하는 방법을 순차적으로 도시한 도면들이다.
- [0092] 먼저, 도 5를 참조하면 기판(101)상에 제2 전극(122)까지 형성한다.
- [0093] 그리고 나서 도 6을 참조하면 제2 전극(122)까지 형성된 기판(101)에 대하여 증착 공정을 진행한다. 즉 마스크(170)를 기판(101)에 대향하도록 배치하고, 제1 증착 소스(S1)를 이용하여 증착 공정을 진행한다. 제1 증착 소스(S1)는 전술한 캐핑층(140)을 형성하는 다양한 재료 중 적어도 하나를 포함한다.
- [0094] 마스크(170)는 차폐부(171) 및 슬릿부(172)를 포함한다. 슬릿부(172)는 소정의 패턴을 갖는데, 캐핑층(140)이 형성될 영역, 즉 제1 영역(R1)에 대응되는 패턴을 갖는다.
- [0095] 제1 증착 소스(S1)를 통한 증착 공정을 진행하여 도 7에 도시된 대로 제1 영역(R1)에 제2 전극(122)상에 캐핑층(140)의 제1 캐핑층(141)을 형성한다.
- [0096] 그리고 나서 도 8을 참조하면, 제1 캐핑층(141)까지 형성된 기판(101)에 대하여 증착 공정을 진행한다. 즉, 오픈 마스크(180)를 기판(101)에 대향하도록 배치하고, 제2 증착 소스(S2)를 이용하여 증착 공정을 진행한다. 제2 증착 소스(S2)는 전술한 제3 전극(130)을 형성하는 재료, 즉 Mg를 함유한다. 오픈 마스크(180)는 차폐부(181) 및 개구부(182)를 포함한다. 차폐부(181)는 사각의 창틀과 유사한 형태를 갖고, 개구부(182)는 차폐부(181)의 중앙을 형성한다. 오픈 마스크(180)는 특정한 패턴의 개구부(182)를 구비하지 않는다. 즉 오픈 마스크(180)는 전술한 마스크(170)와 다르게 기판(101)의 전체면에 증착 물질이 통과하도록 형성된다.
- [0097] 한편, 본 실시예에서는 오픈 마스크(180)를 구비하고 있으나, 오픈 마스크(180)도 없이 제2 증착 소스(S2)를 통한 증착 공정을 진행하는 것도 가능하다 할 것이다.
- [0098] 제2 증착 소스(S2)를 통한 증착 공정을 진행하여 제2 영역(R2)에 제2 전극(122)상에 제3 전극(130)의 하부 전극층(131)을 형성한다.
- [0099] 이 경우, 제2 증착 소스(S2)가 함유하는 제3 전극(130) 형성용 물질은 제1 캐핑층(141)과 접착력이 나쁘기 때문에 제1 캐핑층(141) 상에는 성막되지 않으며, 상대적으로 접착력이 좋은 제2 전극(122) 위에만 성막된다.
- [0100] 따라서 하부 전극층(131)은 별도의 마스크나 패턴링 공정 없이도 자연스럽게 패턴링이 될 수 있다. 특히, 제3 전극(130) 전체를 한번에 증착 공정을 통하여 형성하지 않고, 그 중 소정의 두께, 예를들면 절반의 두께에 대응하는 하부 전극층(131)을 먼저 형성하여 하부 전극층(131)의 정밀한 패턴링이 가능하다.
- [0101] 그리고 나서 도 9를 참조하면, 하부 전극층(131)까지 형성된 기판(101)에 대하여 증착 공정을 진행한다. 즉, 도 6에 도시한 것과 마찬가지로 마스크(170)를 기판(101)에 대향하도록 배치하고, 제1 증착 소스(S1)를 이용하여 증착 공정을 진행하여 제1 영역(R1)에 제1 캐핑층(141)상에 제2 캐핑층(142)을 형성하고, 캐핑층(140)이 완성된다. 마스크(170)는 전술한 것과 동일하므로 구체적인 설명은 생략한다. 또한 후술하는 실시예의 마스크(270, 370)는 마스크(170)와 동일하므로 구체적인 설명은 생략한다.
- [0102] 그리고 나서 도 10을 참조하면, 제2 캐핑층(142)까지 형성된 기판(101)에 대하여 증착 공정을 진행한다. 즉, 도 8에 도시한 것과 마찬가지로 오픈 마스크(180)를 기판(101)에 대향하도록 배치하고, 제2 증착 소스(S2)를 이용하여 증착 공정을 진행하여 제2 영역(R2)에 하부 전극층(131)상에 상부 전극층(132)을 형성하여 제3 전극(130)

을 완성한다. 전술한 것과 마찬가지로 오픈 마스크(180)도 없이 제2 증착 소스(S2)를 이용한 증착 공정을 진행하여 상부 전극층(132)을 형성하는 것도 물론 가능하다 할 것이다.

- [0103] 오픈 마스크(180)는 전술한 것과 동일하므로 구체적인 설명은 생략한다. 또한 후술하는 실시예의 오픈 마스크(280, 380)도 오픈 마스크(180)와 동일하므로 구체적인 설명은 생략한다.
- [0104] 본 실시예에서는 마스크(170)를 이용하여 2회에 걸쳐서 제1 캐핑층(141) 및 제2 캐핑층(142)을 형성하여 캐핑층(140)을 완성한다. 이를 통하여 캐핑층(140)을 원하는 두께로 원하는 패턴을 갖도록 용이하게 형성할 수 있다. 특히 캐핑층(140)을 제1 영역(R1)에만 대응되도록 정밀하게 패턴 제어가 가능하다.
- [0105] 또한, 오픈 마스크(180)를 이용하여 2회에 걸쳐서 하부 전극층(131) 및 상부 전극층(132)을 형성하여 제3 전극(130)을 완성한다. 특히, 제1 캐핑층(141)을 형성한 후 제1 캐핑층(141)을 이용하여 하부 전극층(131)을 제2 영역(R2)에 원하는 형태로 형성하고, 제2 캐핑층(142)을 형성한 후 제2 캐핑층(142)을 이용하여 상부 전극층(132)을 제2 영역(R2)에 원하는 형태로 형성한다. 이를 통하여 특정 패턴의 마스크 없이도 제3 전극(130)을 제2 영역(R2)에 정밀하게 패터닝하는 것이 용이하다.
- [0106] 도 11 내지 도 13은 도 1의 유기 발광 표시 장치의 캐핑층의 형태의 다양한 예를 도시한 도면들이다.
- [0107] 캐핑층(140)은 도 11에서 볼 수 있듯이, 하나의 픽셀(P)당 하나씩 존재하는 아일랜드 형태로 구비될 수 있다. 도 11에는 캐핑층(140)이 하나의 픽셀(P) 전체를 덮는 면적으로 되어 있으나, 반드시 이에 한정되는 것은 아니고 전술한 바와 같이 하나의 픽셀(P)의 영역 중 발광이 일어나는 면적을 덮도록 하면 무방하다. 이 경우 제3 전극(130)은 각 픽셀(P)들 사이로 격자 패턴을 이루게 된다.
- [0108] 또한 다른 예로서 캐핑층(140)은 도 12에서 볼 수 있듯이, 복수의 픽셀(P) 당 하나씩 존재하는 아일랜드 형태로 구비될 수 있다. 이 경우 제3 전극(130)은 복수 픽셀(P)들 사이로 지나가는 격자 패턴을 이루게 된다.
- [0109] 또한 다른 예로서 캐핑층(140)은 도 13에서 볼 수 있듯이, 일렬로 배치된 복수의 픽셀(P)들을 덮을 수 있도록 스트라이프 형태로 구비될 수 있다. 이 경우 제3 전극(130)은 각 픽셀 열 사이로 지나가는 스트라이프 패턴을 이루게 된다.
- [0110] 도 14 내지 도 17은 도 1의 유기 발광 표시 장치를 제조하는 방법의 다른 예를 도시한 도면들이다.
- [0111] 도 14를 참조하면 제2 전극(122)까지 형성된 기관(101)에 대하여 증착 공정을 진행한다. 마스크(170)는 차폐부(171) 및 슬릿부(172)를 포함한다. 슬릿부(172)는 소정의 패턴을 갖는데, 캐핑층(140)이 형성될 영역, 즉 제1 영역(R1)에 대응되는 패턴을 갖는다.
- [0112] 제1 증착 소스(S1)를 통한 증착 공정을 진행하여 제1 영역(R1)에 제2 전극(122)상에 캐핑층(140)의 제1 캐핑층(141)을 형성한다.
- [0113] 그리고 나서 도 15를 참조하면 제1 캐핑층(141)까지 형성된 기관(101)에 대하여 증착 공정을 진행한다. 즉, 오픈 마스크(180)를 기관(101)에 대향하도록 배치하고, 제2 증착 소스(S2)를 이용하여 증착 공정을 진행한다. 제2 증착 소스(S2)를 통한 증착 공정을 진행하여 제2 영역(R2)에 제2 전극(122)상에 제3 전극(130)의 하부 전극층(131)을 형성한다.
- [0114] 그리고 나서 도 16을 참조하면, 하부 전극층(131)까지 형성된 기관(101)에 대하여 증착 공정을 진행한다. 구체적으로 오픈 마스크(180)를 기관(101)에 대향하도록 배치하고, 제1 증착 소스(S1)를 이용하여 증착 공정을 진행하여 제1 영역(R1)에 제1 캐핑층(141)상에 제2 캐핑층(142)을 형성하고, 캐핑층(140)이 완성된다. 이 경우, 제1 증착 소스(S1)가 함유하는 제2 캐핑층(142) 형성용 물질은 제1 캐핑층(141)과 접착력이 좋고 하부 전극층(131)과는 접착력이 나쁘기 때문에 하부 전극층(131) 상에는 성막되지 않으며, 상대적으로 접착력이 좋은 제1 캐핑층(141)위에서만 성막된다.
- [0115] 그리고 나서, 도 17을 참조하면 제2 캐핑층(142)까지 형성된 기관(101)에 대하여 증착 공정을 진행한다. 즉, 오픈 마스크(180)를 기관(101)에 대향하도록 배치하고, 제2 증착 소스(S2)를 이용하여 증착 공정을 진행하여 제2 영역(R2)에 하부 전극층(131)상에 상부 전극층(132)을 형성하여 제3 전극(130)을 완성한다.
- [0116] 도 18은 도 1의 유기 발광 표시 장치를 제조하는 방법의 또 다른 예를 도시한 도면이다.
- [0117] 도 18을 참조하면 제2 전극(122)까지 형성된 기관(101)을 A 방향(X 축 방향)으로 이동하면서 연속적으로 증착 공정을 진행한다. 즉, 먼저 제1 증착 소스(S1)를 이용하여 기관(101)에 대하여 증착 공정을 진행하는데, 마스크

(170)를 배치하여 제1 영역(R1)에 제1 캐핑층을 형성한다.

- [0118] 그리고 순차적으로 제2 증착 소스(S2), 제1 증착 소스(S1), 제2 증착 소스(S2), 제1 증착 소스(S1) 및 제2 증착 소스(S2)를 이용하여 증착 공정을 진행하는데, 특히 오픈 마스크(180)를 배치하여 증착 공정을 진행한다. 물론, 오픈 마스크(180)도 생략하고 증착 공정을 진행할 수도 있다.
- [0119] 이를 통하여 3개의 층이 적층된 제3 전극(130) 및 3개의 층이 적층된 캐핑층(140)을 용이하게 형성할 수 있다.
- [0120] 도 19는 본 발명의 또 다른 실시예에 관한 유기 발광 표시 장치를 도시한 단면도이고, 도 20은 도 19의 Y1 및 Y2의 확대한 도면이다. 설명의 편의를 위하여 전술한 실시예와 상이한 점을 중심으로 설명하기로 한다.
- [0121] 도 19 및 도 20을 참조하면 기판(201)상에 버퍼막(202)이 형성되고, 이 버퍼막(202) 상에 박막 트랜지스터(TR)가 형성된다. 박막 트랜지스터(TR)는 활성층(203), 게이트 전극(205), 소스 전극(207) 및 드레인 전극(208)을 포함한다.
- [0122] 버퍼막(202) 상에는 활성층(203)이 형성되고, 활성층(203)을 덮도록 게이트 절연막(204)이 형성되고, 게이트 절연막(204) 상에 게이트 전극(205)이 형성된다. 게이트 전극(205)을 덮도록 게이트 절연막(204) 상에 층간 절연막(206)이 형성되고, 이 층간 절연막(206) 상에 소스 전극(207)과 드레인 전극(208)이 형성되어 각각 활성층(203)과 콘택 홀을 통해 콘택된다. 박막 트랜지스터(TR)를 포함하는 픽셀 회로를 덮도록 패시베이션막(209)이 형성된다. 패시베이션막(209) 상에는 박막 트랜지스터(TR)과 전기적으로 연결되도록 유기 발광 소자(EL)가 형성된다. 유기 발광 소자(EL)는 제1 전극(221), 제2 전극(222) 및 중간층(220)을 구비한다. 구체적으로, 드레인 전극(208)과 전기적으로 연결되도록 제1 전극(221)이 형성된다. 패시베이션막(209) 상에는 개구(219a)를 구비하는 화소 정의막(219)이 형성된다.
- [0123] 제1 전극(221) 상에는 유기 발광층을 구비하는 중간층(220)이 형성되고 상기 중간층(220)을 덮도록 제2 전극(222)이 형성된다.
- [0124] 제2 전극(222)과 전기적으로 연결되도록 제3 전극(230)을 형성하고 제2 전극(222) 상에 캐핑층(240)을 형성한다.
- [0125] 캐핑층(240)은 제2 전극(222) 상의 제1 영역(R1) 상에 형성되고, 제1 가장자리(240a)를 갖는다.
- [0126] 제3 전극(230)은 상기 제2 전극(222) 상의 제2 영역(R2) 상에 형성되고, 제2 가장자리(230a)를 갖는다. 상기 제3 전극(230)은 상기 캐핑층(240)과 수평인 상태로 서로 인접하게 배치된다.
- [0127] 상기 캐핑층(240)의 제1 가장자리(240a)의 측면과 상기 제3 전극(230)의 제2 가장자리(230a)의 측면은 서로 맞닿은 상태가 된다.
- [0128] 상기 제3 전극(230)은 제2 전극(222)의 면저항을 줄일 수 있도록 상기 제2 전극(222)의 두께보다 두껍게 형성하는 것이 바람직하다.
- [0129] 그리고 상기 캐핑층(240)은 픽셀에서 발광이 일어나는 영역을 덮는 것이므로, 광투과가 가능하도록 형성되는 것이 바람직하다. 상기 캐핑층(240)은 상기 제3 전극(230)보다 얇게 박막으로 형성될 수 있으나, 반드시 이에 한정되는 것은 아니다.
- [0130] 본 발명의 일 실시예에 있어, 상기 제3 전극(230)과 상기 캐핑층(240) 간의 접착력은 상기 제3 전극(230)과 상기 제2 전극(222) 간의 접착력보다 약해지도록 제3 전극(230) 및 캐핑층(240)의 재료를 선택한다.
- [0131] 한편, 본 실시예에서 캐핑층(240)은 복수의 층을 구비한다.
- [0132] 구체적으로 도 20을 참조하면 캐핑층(240)은 제1 캐핑층(241) 및 제2 캐핑층(242)을 포함한다. 제1 캐핑층(241) 및 제2 캐핑층(242)은 전술한 캐핑층(240)의 재료들을 함유하는데 서로 동일 재료로 형성될 수 있고 다른 재료로 형성될 수도 있다.
- [0133] 캐핑층(240)의 원하는 두께를 확보하기 위하여 한번에 증착 공정을 진행하지 않고 2회에 걸쳐 나누어 증착 공정을 진행한다. 즉 제1 캐핑층(241)을 형성하고 나서 제3 전극(230)을 형성하면서 동시에 제2 캐핑층(242)을 형성한다. 이를 통하여 제3 전극(230) 및 캐핑층(240)의 패터닝을 용이하게 진행하고, 각각의 정밀한 패턴 제어가 가능하다. 또한 결과적으로 제3 전극(230)이 제1 영역(R1)에도 형성되는 것을 용이하게 차단하여 유기 발광 표시 장치(200)의 투과율을 향상한다.

- [0134] 도 21 및 도 22는 도 19의 유기 발광 표시 장치를 제조하는 방법을 도시한 도면들이다.
- [0135] 먼저, 도 21을 참조하면 기판(201)에 대하여 증착 공정을 진행한다. 도시하지 않았으나 기판(201)에는 제2 전극(222)까지 형성되어 있다.
- [0136] 마스크(270)를 기판(201)에 대향하도록 배치하고, 제1 증착 소스(S1)를 이용하여 증착 공정을 진행한다. 마스크(270)는 차폐부(271) 및 슬릿부(272)를 포함하고, 슬릿부(272)는 소정의 패턴을 갖는데, 캐핑층(240)이 형성될 영역, 즉 제1 영역(R1)에 대응되는 패턴을 갖는다.
- [0137] 제1 증착 소스(S1)를 통한 증착 공정을 진행하여 제1 영역(R1)에 제2 전극(122)상에 캐핑층(240)의 제1 캐핑층(241)을 형성한다.
- [0138] 그리고 나서 도 22를 참조하면, 제1 캐핑층(241)까지 형성된 기판(201)에 대하여 증착 공정을 진행한다. 즉, 오픈 마스크(280)를 기판(201)에 대향하도록 배치하고, 제1 증착 소스(S1) 및 제2 증착 소스(S2)를 이용하여 증착 공정을 진행한다. 물론 오픈 마스크(280)는 생략 가능하다.
- [0139] 제1 증착 소스(S1) 및 제2 증착 소스(S2)를 통한 증착 공정을 진행하여 제2 영역(R2)에 제2 전극(222)상에 제3 전극(230)을 형성하고, 제1 영역(R1)에 제1 캐핑층(241)상에 제2 캐핑층(242)을 형성한다.
- [0140] 이 경우, 제2 증착 소스(S2)가 함유하는 제3 전극(230) 형성용 물질은 제1 캐핑층(241)과 접착력이 나쁘기 때문에 제1 캐핑층(241) 상에는 성막되지 않으며, 상대적으로 접착력이 좋은 제2 전극(222) 위에만 성막된다. 이와 유사하게 제1 증착 소스(S1)가 함유하는 제2 캐핑층(242) 형성용 물질은 상대적 접착력이 우수한 제1 캐핑층(241)위에 성막된다.
- [0141] 따라서 제3 전극(230) 및 제2 캐핑층(242)은 별도의 마스크나 패터닝 공정 없이도 자연스럽게 패터닝이 될 수 있다.
- [0142] 본 실시예에서는 마스크(270)를 이용하여 제1 캐핑층(241)을 형성한 후 오픈 마스크(280)를 이용하여 제2 캐핑층(242)을 형성하여 캐핑층(240)을 완성한다. 이를 통하여 캐핑층(240)을 원하는 두께로 원하는 패턴을 갖도록 용이하게 형성할 수 있다. 특히 캐핑층(240)을 제1 영역(R1)에만 대응되도록 정밀하게 패턴 제어가 가능하다.
- [0143] 또한, 오픈 마스크(280)를 이용하여 제2 캐핑층(242)의 증착 시 동시에 제3 전극(230)을 형성한다. 이를 통하여 특정 패턴의 마스크 없이도 제3 전극(230)을 제2 영역(R2)에 정밀하게 패터닝하는 것이 용이하다.
- [0144] 도 23은 본 발명의 또 다른 실시예에 관한 유기 발광 표시 장치를 도시한 단면도이고, 도 24는 도 23의 Y1 및 Y2의 확대한 도면이다. 설명의 편의를 위하여 전술한 실시예와 상이한 점을 중심으로 설명하기로 한다.
- [0145] 도 23 및 도 24를 참조하면 기판(301)상에 버퍼막(302)이 형성되고, 이 버퍼막(302) 상에 박막 트랜지스터(TR)가 형성된다. 박막 트랜지스터(TR)는 활성층(303), 게이트 전극(305), 소스 전극(307) 및 드레인 전극(308)을 포함한다.
- [0146] 버퍼막(302) 상에는 활성층(303)이 형성되고, 활성층(303)을 덮도록 게이트 절연막(304)이 형성되고, 게이트 절연막(304) 상에 게이트 전극(305)이 형성된다. 게이트 전극(305)을 덮도록 게이트 절연막(304) 상에 층간 절연막(306)이 형성되고, 이 층간 절연막(306) 상에 소스 전극(307)과 드레인 전극(308)이 형성되어 각각 활성층(303)과 콘택 홀을 통해 콘택된다. 박막 트랜지스터(TR)를 포함하는 픽셀 회로를 덮도록 패시베이션막(309)이 형성된다. 패시베이션막(309) 상에는 박막 트랜지스터(TR)와 전기적으로 연결되도록 유기 발광 소자(EL)가 형성된다. 유기 발광 소자(EL)는 제1 전극(321), 제2 전극(322) 및 중간층(320)을 구비한다. 구체적으로, 드레인 전극(308)과 전기적으로 연결되도록 제1 전극(321)이 형성된다. 패시베이션막(309) 상에는 개구(319a)를 구비하는 화소 정의막(319)이 형성된다.
- [0147] 제1 전극(321) 상에는 유기 발광층을 구비하는 중간층(320)이 형성되고 상기 중간층(320)을 덮도록 제2 전극(322)이 형성된다.
- [0148] 제2 전극(322)과 전기적으로 연결되도록 제3 전극(330)을 형성하고 제2 전극(322) 상에 캐핑층(340)을 형성한다.
- [0149] 캐핑층(340)은 제2 전극(322) 상의 제1 영역(R1) 상에 형성되고, 제1 가장자리(340a)를 갖는다.
- [0150] 제3 전극(330)은 상기 제2 전극(322) 상의 제2 영역(R2) 상에 형성되고, 제2 가장자리(330a)를 갖는다. 상기 제3 전극(330)은 상기 캐핑층(340)과 수평인 상태로 서로 인접하게 배치된다.

- [0151] 상기 캐핑층(340)의 제1 가장자리(340a)의 측면과 상기 제3 전극(330)의 제2 가장자리(330a)의 측면은 서로 맞닿은 상태가 된다.
- [0152] 상기 제3 전극(330)은 제2 전극(322)의 면저항을 줄일 수 있도록 상기 제2 전극(322)의 두께보다 두껍게 형성하는 것이 바람직하다.
- [0153] 그리고 상기 캐핑층(340)은 픽셀에서 발광이 일어나는 영역을 덮는 것이므로, 광투과가 가능하도록 형성되는 것이 바람직하다. 상기 캐핑층(340)은 상기 제3 전극(330)보다 얇게 박막으로 형성될 수 있으나, 반드시 이에 한정되는 것은 아니다.
- [0154] 본 발명의 일 실시예에 있어, 상기 제3 전극(330)과 상기 캐핑층(340) 간의 접착력은 상기 제3 전극(330)과 상기 제2 전극(322) 간의 접착력보다 약해지도록 제3 전극(330) 및 캐핑층(340)의 재료를 선택한다.
- [0155] 한편, 본 실시예에서 캐핑층(340) 및 제3 전극(330)은 각각 복수의 층을 구비한다.
- [0156] 구체적으로 도 24를 참조하면 제3 전극(330)은 하부 전극층(331) 및 상부 전극층(332)을 포함한다. 또한, 캐핑층(340)은 제1 캐핑층(341), 제2 캐핑층(342), 제3 캐핑층(343) 및 제4 캐핑층(344)을 포함한다. 제1 캐핑층(341) 내지 제4 캐핑층(344)은 서로 동일 재료로 형성될 수 있고 다른 재료로 형성될 수도 있다.
- [0157] 캐핑층(340)의 원하는 두께를 확보하기 위하여 한번에 증착 공정을 진행하지 않고 복수회, 구체적으로 4회에 걸쳐 나누어 증착 공정을 진행한다. 또한, 제3 전극(330)의 원하는 두께를 확보하기 위하여 2회에 걸쳐서 증착 공정을 진행한다.
- [0158] 즉 제1 캐핑층(341)을 형성하고 나서 하부 전극층(331)과 제2 캐핑층(342)을 동시에 형성한다. 그리고 나서, 제3 캐핑층을 형성한 후에 상부 전극층(332)과 제4 캐핑층(344)을 동시에 형성한다. 구체적인 내용은 후술한다.
- [0159] 이를 통하여 제3 전극(330) 및 캐핑층(340)의 패턴닝을 용이하게 진행하고, 각각의 정밀한 패턴 제어가 가능하다. 또한 결과적으로 제3 전극(330)이 제1 영역(R1)에도 형성되는 것을 용이하게 차단하여 유기 발광 표시 장치(300)의 투과율을 향상한다.
- [0160] 도 25 내지 도 28은 도 23의 유기 발광 표시 장치를 제조하는 방법을 순차적으로 도시한 도면들이다.
- [0161] 먼저, 도 25를 참조하면 기판(301)에 대하여 증착 공정을 진행한다. 도시하지 않았으나 기판(301)에는 제2 전극(322)까지 형성되어 있다.
- [0162] 마스크(370)를 기판(301)에 대향하도록 배치하고, 제1 증착 소스(S1)를 이용하여 증착 공정을 진행한다. 마스크(370)는 차폐부(371) 및 슬릿부(372)를 포함하고, 슬릿부(372)는 소정의 패턴을 갖는데, 캐핑층(340)이 형성될 영역, 즉 제1 영역(R1)에 대응되는 패턴을 갖는다.
- [0163] 제1 증착 소스(S1)를 통한 증착 공정을 진행하여 제1 영역(R1)에 제2 전극(322)상에 캐핑층(340)의 제1 캐핑층(341)을 형성한다.
- [0164] 그리고 나서 도 26을 참조하면, 제1 캐핑층(341)까지 형성된 기판(301)에 대하여 증착 공정을 진행한다. 즉, 오픈 마스크(380)를 기판(301)에 대향하도록 배치하고, 제1 증착 소스(S1) 및 제2 증착 소스(S2)를 이용하여 공증착 공정을 진행한다. 물론 오픈 마스크(380)는 생략 가능하다.
- [0165] 제1 증착 소스(S1) 및 제2 증착 소스(S2)를 통한 공증착 공정을 진행하여 제2 영역(R2)에 제2 전극(322)상에 하부 전극층(331)을 형성하고, 제1 영역(R1)에 제1 캐핑층(341)상에 제2 캐핑층(342)을 형성한다.
- [0166] 이 경우, 제2 증착 소스(S2)가 함유하는 제3 전극(330)의 하부 전극층(331) 형성용 물질은 제1 캐핑층(341)과 접착력이 나쁘기 때문에 제1 캐핑층(341) 상에는 성막되지 않으며, 상대적으로 접착력이 좋은 제2 전극(322) 위에만 성막된다. 이와 유사하게 제1 증착 소스(S1)가 함유하는 제2 캐핑층(342) 형성용 물질은 상대적 접착력이 우수한 제1 캐핑층(341)위에 성막된다.
- [0167] 그리고 나서, 도 27을 참조하면 하부 전극층(331) 및 제2 캐핑층(342)까지 형성된 기판(301)에 대하여 증착 공정을 진행한다.
- [0168] 마스크(370)를 기판(301)에 대향하도록 배치하고, 제1 증착 소스(S1)를 이용하여 증착 공정을 진행한다. 제1 증착 소스(S1)를 통한 증착 공정을 진행하여 제1 영역(R1)에 제2 캐핑층(342)상에 제3 캐핑층(343)을 형성한다.
- [0169] 그리고 나서 도 28을 참조하면, 제3 캐핑층(343)까지 형성된 기판(301)에 대하여 증착 공정을 진행한다. 즉, 오

픈 마스크(380)를 기관(301)에 대향하도록 배치하고, 제1 증착 소스(S1) 및 제2 증착 소스(S2)를 이용하여 공증착 공정을 진행한다. 물론 오픈 마스크(380)는 생략 가능하다.

[0170] 제1 증착 소스(S1) 및 제2 증착 소스(S2)를 통한 공증착 공정을 진행하여 제2 영역(R2)에 하부 전극층(331)상에 상부 전극층(332)을 형성하고, 제1 영역(R1)에 제3 캐핑층(343)상에 제4 캐핑층(344)을 형성한다.

[0171] 이 경우, 제2 증착 소스(S2)가 함유하는 제3 전극(330)의 상부 전극층(332) 형성용 물질은 제3 캐핑층(343)과 접착력이 나쁘기 때문에 제3 캐핑층(343) 상에는 성막되지 않으며, 상대적으로 접착력이 좋은 하부 전극층(331) 위에만 성막된다. 이와 유사하게 제1 증착 소스(S1)가 함유하는 제4 캐핑층(344) 형성용 물질은 상대적 접착력이 우수한 제3 캐핑층(343)위에 성막된다.

[0172] 본 실시예에서는 마스크(370)를 이용하여 제1 캐핑층(341)을 형성한 후 오픈 마스크(380)를 이용하여 제2 캐핑층(342)와 하부 전극층(331)을 동시에 형성한다. 또한, 이어서 제3 캐핑층(343)을 마스크(370)를 이용하여 형성한 후 오픈 마스크(380)를 이용하여 제4 캐핑층(344)와 상부 전극층(332)을 동시에 형성한다.

[0173] 이를 통하여 캐핑층(340)을 원하는 두께로 원하는 패턴을 갖도록 용이하게 형성할 수 있다. 특히 캐핑층(340)을 제1 영역(R1)에만 대응되도록 정밀하게 패턴 제어가 가능하다.

[0174] 또한, 오픈 마스크(380)를 이용하여 제2 캐핑층(342) 및 제4 캐핑층(344)의 증착 시 동시에 제3 전극(330)의 하부 전극층(331) 및 상부 전극층(332)을 형성한다. 이를 통하여 특정 패턴의 마스크 없이도 제3 전극(330)을 제2 영역(R2)에 정밀하게 패턴닝하는 것이 용이하다.

[0175] 도 29 내지 도 32는 도 23의 유기 발광 표시 장치를 제조하는 다른 방법을 순차적으로 도시한 도면들이다.

[0176] 먼저, 도 29를 참조하면 기관(301)에 대하여 증착 공정을 진행한다. 도시하지 않았으나 기관(301)에는 제2 전극(322)까지 형성되어 있다.

[0177] 마스크(370)를 기관(301)에 대향하도록 배치하고, 제1 증착 소스(S1)를 이용하여 증착 공정을 진행한다. 마스크(370)는 차폐부(371) 및 슬릿부(372)를 포함하고, 슬릿부(372)는 소정의 패턴을 갖는데, 캐핑층(340)이 형성될 영역, 즉 제1 영역(R1)에 대응되는 패턴을 갖는다.

[0178] 제1 증착 소스(S1)를 통한 증착 공정을 진행하여 제1 영역(R1)에 제2 전극(322)상에 캐핑층(340)의 제1 캐핑층(341)을 형성한다.

[0179] 그리고 나서 도 30을 참조하면, 제1 캐핑층(341)까지 형성된 기관(301)에 대하여 증착 공정을 진행한다. 즉, 오픈 마스크(380)를 기관(301)에 대향하도록 배치하고, 제1 증착 소스(S1) 및 제2 증착 소스(S2)를 이용하여 공증착 공정을 진행한다. 물론 오픈 마스크(380)는 생략 가능하다.

[0180] 제1 증착 소스(S1) 및 제2 증착 소스(S2)를 통한 공증착 공정을 진행하여 제2 영역(R2)에 제2 전극(322)상에 하부 전극층(331)을 형성하고, 제1 영역(R1)에 제1 캐핑층(341)상에 제2 캐핑층(342)을 형성한다.

[0181] 이 경우, 제2 증착 소스(S2)가 함유하는 제3 전극(330)의 하부 전극층(331) 형성용 물질은 제1 캐핑층(341)과 접착력이 나쁘기 때문에 제1 캐핑층(341) 상에는 성막되지 않으며, 상대적으로 접착력이 좋은 제2 전극(322) 위에만 성막된다. 이와 유사하게 제1 증착 소스(S1)가 함유하는 제2 캐핑층(342) 형성용 물질은 상대적 접착력이 우수한 제1 캐핑층(341)위에 성막된다.

[0182] 그리고 나서, 도 31을 참조하면 하부 전극층(331) 및 제2 캐핑층(342)까지 형성된 기관(301)에 대하여 증착 공정을 진행한다.

[0183] 오픈 마스크(380)를 기관(301)에 대향하도록 배치하고, 제1 증착 소스(S1)를 이용하여 증착 공정을 진행한다. 제1 증착 소스(S1)를 통한 증착 공정을 진행하여 제1 영역(R1)에 제2 캐핑층(342)상에 제3 캐핑층(343)을 형성한다. 이 경우, 제1 증착 소스(S1)가 함유하는 제3 캐핑층(343) 형성용 물질은 제2 캐핑층(342)과 접착력이 좋고 하부 전극층(331)과는 접착력이 나쁘기 때문에 하부 전극층(331) 상에는 성막되지 않으며, 상대적으로 접착력이 좋은 제2 캐핑층(342)위에서만 성막된다.

[0184] 그리고 나서 도 32를 참조하면, 제3 캐핑층(343)까지 형성된 기관(301)에 대하여 증착 공정을 진행한다. 즉, 오픈 마스크(380)를 기관(301)에 대향하도록 배치하고, 제1 증착 소스(S1) 및 제2 증착 소스(S2)를 이용하여 공증착 공정을 진행한다. 물론 오픈 마스크(380)는 생략 가능하다.

[0185] 제1 증착 소스(S1) 및 제2 증착 소스(S2)를 통한 공증착 공정을 진행하여 제2 영역(R2)에 하부 전극층(331)상에

상부 전극층(332)을 형성하고, 제1 영역(R1)에 제3 캐핑층(343)상에 제4 캐핑층(344)을 형성한다.

- [0186] 이 경우, 제2 증착 소스(S2)가 함유하는 제3 전극(330)의 상부 전극층(332) 형성용 물질은 제3 캐핑층(343)과 접착력이 나쁘기 때문에 제3 캐핑층(343) 상에는 성막되지 않으며, 상대적으로 접착력이 좋은 하부 전극층(331) 위에만 성막된다. 이와 유사하게 제1 증착 소스(S1)가 함유하는 제4 캐핑층(344) 형성용 물질은 상대적 접촉력이 우수한 제3 캐핑층(343)위에 성막된다.
- [0187] 본 실시예에서는 마스크(370)를 이용하여 제1 캐핑층(341)을 형성한 후 오픈 마스크(380)를 이용하여 제2 캐핑층(342)와 하부 전극층(331)을 동시에 형성한다. 또한, 이어서 제3 캐핑층(343)을 오픈 마스크(380)를 이용하여 형성한 후에, 오픈 마스크(380)를 이용하여 제4 캐핑층(344)와 상부 전극층(332)을 동시에 형성한다.
- [0188] 이를 통하여 캐핑층(340)을 원하는 두께로 원하는 패턴을 갖도록 용이하게 형성할 수 있다. 특히 캐핑층(340)을 제1 영역(R1)에만 대응되도록 정밀하게 패턴 제어가 가능하다.
- [0189] 또한, 오픈 마스크(380)를 이용하여 제2 캐핑층(342) 및 제4 캐핑층(344)의 증착 시 동시에 제3 전극(330)의 하부 전극층(331) 및 상부 전극층(332)을 형성한다. 이를 통하여 특정 패턴의 마스크 없이도 제3 전극(330)을 제2 영역(R2)에 정밀하게 패턴닝하는 것이 용이하다.
- [0190] 도 33은 본 발명의 또 다른 실시예에 관한 유기 발광 표시 장치를 도시한 평면도이고, 도 34는 도 33의 유기 발광 표시 장치의 일 픽셀을 도시한 단면도이다.
- [0191] 유기 발광 표시 장치(400)는 외광이 투과되도록 형성된 투과 영역(TA), 이러한 투과 영역(TA)을 사이에 두고 서로 이격된 복수의 픽셀 영역(PA)들을 구비한다.
- [0192] 도 33에서 볼 수 있듯이, 각 픽셀 영역(PA) 내에는 픽셀 회로부(PC)가 위치하며, 스캔 라인(S), 데이터 라인(D) 및 전원 라인(V)과 같은 복수의 도전 라인들이 이 픽셀 회로부(PC)에 전기적으로 연결된다. 도면에 도시하지는 않았지만 상기 픽셀 회로부(PC)의 구성에 따라 상기 스캔 라인(S), 데이터 라인(D) 및 전원 라인(V) 외에도 더 다양한 도전 라인들이 구비되어 있을 수 있다.
- [0193] 또한 픽셀 회로부(PC)는, 스캔 라인(S)과 데이터 라인(D)에 연결된 제1박막 트랜지스터(T1)와, 제1박막 트랜지스터(T1)와 전원 라인(V)에 연결된 제2박막 트랜지스터(T2)와, 제1박막 트랜지스터(T1)와 제2박막 트랜지스터(T2)에 연결된 커패시터(Cst)를 포함한다. 이 때, 제1박막 트랜지스터(T1)는 스위칭 트랜지스터가 되고, 제2박막 트랜지스터(T2)는 구동 트랜지스터가 된다. 상기 제2박막 트랜지스터(T2)는 제1 전극(421)과 전기적으로 연결되어 있다. 상기과 같은 박막 트랜지스터 및 커패시터의 개수는 반드시 도시된 실시예에 한정되는 것은 아니며, 픽셀 회로부(PC)에 따라 2 이상의 박막 트랜지스터, 1 이상의 커패시터가 조합될 수 있다.
- [0194] 도 33에 따르면, 스캔 라인(S)이 제1전극(221)과 중첩되게 배치된다. 그러나, 본 발명은 반드시 이에 한정되는 것은 아니며, 스캔 라인(S), 데이터 라인(D) 및 전원 라인(V)을 포함한 복수의 도전 라인들 중 적어도 어느 하나가 상기 제1 전극(421)과 중첩되도록 배치시킬 수 있으며, 경우에 따라서는 스캔 라인(S), 데이터 라인(D) 및 전원 라인(V)을 포함한 복수의 도전 라인들 모두 제1 전극(421)과 중첩되거나 제1 전극(421) 옆에 배치시킬 수 있다.
- [0195] 본 실시예는 이처럼 픽셀 영역(PA)과 투과 영역(TA)의 분리에 따라 투과 영역(TA)을 통해 외부를 관찰할 때에, 외부광이 픽셀 회로부(PC) 내의 소자들의 패턴과 관련하여 산란함에 따라 발생하는 외부 이미지 왜곡 현상을 방지할 수 있다.
- [0196] 이러한 픽셀 영역(PA)과 투과 영역(TA)의 전체 면적 대비 투과 영역(TA)의 면적의 비율이 5% 내지 90% 범위에 속하도록 픽셀 영역(PA)과 투과 영역(TA)이 형성된다.
- [0197] 픽셀 영역(PA)과 투과 영역(TA)의 전체 면적 대비 투과 영역(TA)의 면적의 비율이 5% 보다 작으면, 사용자가 유기 발광 표시 장치(400)의 반대 측에 위치한 사물 또는 이미지를 보기 어렵다. 즉, 유기 발광 표시 장치(400)가 투명하다고 표현하기는 어렵다. 그러나 투과 영역(TA)의 면적이 픽셀 영역(PA)과 투과 영역(TA)의 전체 면적 대비 5% 정도라 하더라도 외부광의 세기가 강하면 사용자가 유기 발광 표시 장치(400)를 투과하여 반대측에 위치한 사물 또는 이미지를 충분히 인식할 수 있으므로 사용자는 유기 발광 표시 장치(400)를 투명 디스플레이로서 인식한다.
- [0198] 픽셀 영역(PA)과 투명 영역(TA)의 전체 면적 대비 투명 영역(TA)의 면적의 비율이 90% 보다 크면 픽셀 영역(PA)에서의 발광을 통한 안정적인 화상을 구현하기 어렵다. 즉, 픽셀 영역(PA)의 면적이 작아질수록, 안정적 화

상을 구현하기 위해서는 중간층(420)에서 발광하는 빛의 휘도가 높아져야 한다. 이와 같이, 유기 발광 소자를 고휘도 상태로 작동시키면 수명이 급격히 저하되는 문제점이 생긴다.

- [0199] 상기 픽셀 영역(PA)과 투과 영역(TA)의 전체 면적 대비 투과 영역(TA)의 면적의 비율은 20% 내지 70%의 범위에 속하도록 하는 것이 바람직하다.
- [0200] 20% 미만에서는 투과 영역(TA)에 비해 상기 픽셀 영역(PA)의 면적이 지나치게 크므로, 사용자가 투과 영역(TA)을 통해 반대측 이미지를 관찰하는 데에 한계가 있다. 70%를 초과할 경우 픽셀 영역(PA) 내에 배치할 픽셀 회로부(PC) 설계에 많은 제약이 따르게 된다.
- [0201] 상기 픽셀 영역(PA)에는 픽셀 회로부(PC)와 전기적으로 연결된 제1 전극(421)이 구비되며, 상기 픽셀 회로부(PC)는 상기 제1 전극(421)에 가리워지도록 상기 제1 전극(421)과 중첩된다. 그리고, 전술한 스캔 라인(S), 데이터 라인(D) 및 전원 라인(V)을 포함하는 도전 라인들 중 적어도 하나가 이 제1 전극(421)을 지나가도록 배치될 수 있다. 물론, 이들 도전 라인들은 픽셀 회로부(PC)에 비해 투과율을 저해하는 비율이 적기 때문에 설계 조건에 따라서는 모두 제1 전극(421)에 인접하게 배치시킬 수 있다.
- [0202] 전술한 바와 같이, 만일 제1 전극(421)은 광 반사가 가능한 도전성 금속으로 이루어진 반사막을 포함하는 경우, 제1 전극(421)이 픽셀 회로부(PC)를 가려주고, 픽셀 영역(PA)에서의 픽셀 회로부(PC)에 의한 외부 이미지 왜곡 등을 차단한다.
- [0203] 도 12에서 볼 수 있듯이, 제1 영역(R1) 내에 픽셀 영역(PA)과 투과 영역(TA)이 위치한다.
- [0204] 이 때, 상기 캐핑층(440)은 제1 영역(R1) 내에 위치하므로, 픽셀 영역(PA)과 투과 영역(TA)을 모두 덮게 된다. 그리고, 상기 제3 전극(430)은 제1 영역(R1) 외측의 제2 영역(R2)에 구비된다.
- [0205] 이러한 실시예에 있어서, 상기 캐핑층(440)은 전술한 바와 같이 투명한 유기물을 사용하므로 투과 영역(TA)에서의 광투과도에 영향을 미치지 않을 수 있다. 캐핑층(440) 및 제3 전극(430)의 구조, 재질 및 형성 방법 등은 전술한 실시예들과 동일하다.
- [0206] 한편, 비록 도면으로 도시하지는 않았지만, 상기 투과 영역(TA)에는 적어도 제2 전극(430)의 일부가 제거된 투과창이 형성되어, 투과 영역(TA)에서의 광투과도를 더욱 높일 수 있다. 이 때, 투과창은 반드시 제2 전극(430)만 제거되는 것에 그치지 않고, 화소 정의막(419), 패시베이션막(409), 층간 절연막(406), 게이트 절연막(404) 및 버퍼막(402) 중 적어도 하나의 막에 더 형성될 수 있다.
- [0207] 도 35는 본 발명의 또 다른 실시예에 관한 유기 발광 표시 장치를 도시한 평면도이다. 구체적으로 도 35는 유기 발광 표시 장치(500)의 세 개의 서브 픽셀에 대응하는 평면을 도시하고 있다.
- [0208] 도 35의 경우, 세 개의 서브 픽셀들의 제1 전극들(521a)(521b)(521c) 당 하나의 투과 영역(TA)이 형성된다. 제1 데이터 라인(D1) 내지 제3 데이터 라인(D3)은 각각 상기 세 개의 서브 픽셀들의 제1 전극들(521a)(521b)(521c)에 전기적으로 연결된다. 그리고 제1 전원 라인(V1)은 첫번째 제1 전극(521a) 및 두번째 제1 전극(521b)에 전기적으로 연결되고, 제2 전원 라인(V2)은 세번째 제1 전극(521c)에 전기적으로 연결된다.
- [0209] 이러한 구조의 경우 복수의 서브픽셀에 대하여 하나의 큰 투과 영역(TA)을 구비하고 있으므로, 전체 디스플레이의 투과율을 더욱 높일 수 있고, 광산란에 의한 이미지 왜곡 효과도 더욱 줄일 수 있다.
- [0210] 도시하지 않았지만, 상기 투과 영역(TA)에도 전술한 바와 같이 적어도 제2전극, 화소 정의막, 패시베이션막, 층간 절연막, 게이트 절연막 및 버퍼막 중 적어도 하나의 막에 투과창이 더 형성될 수 있다.
- [0211] 또한 본 실시예에서도 제1 영역(미도시)내에 투과 영역(TA) 및 픽셀 영역(PA)이 배치되고, 캐핑층(미도시)는 제1 영역(미도시)에 배치되어 투과 영역(TA) 및 픽셀 영역(PA)을 덮는다. 그리고 제3 전극(미도시)는 제1 영역(미도시)외측의 제2 영역에 형성된다.
- [0212] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

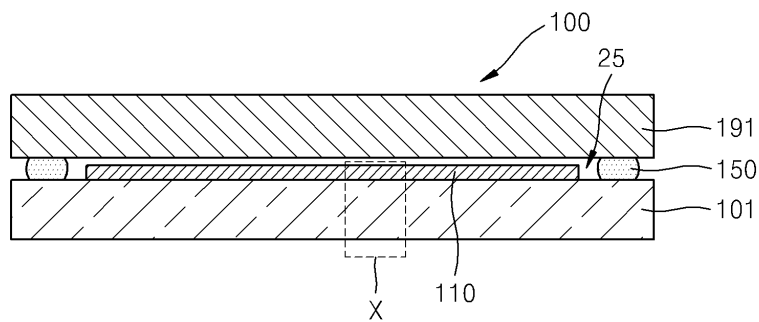
부호의 설명

- [0213] 100, 200, 300, 400, 500: 유기 발광 표시 장치

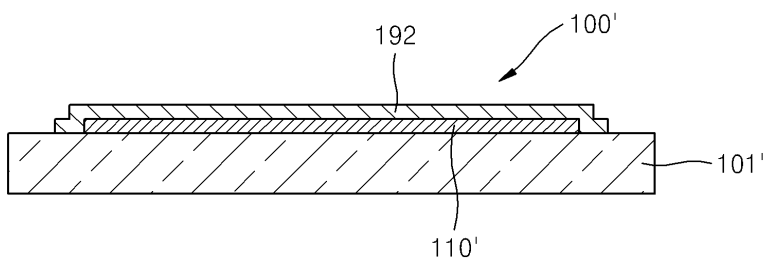
101, 201, 301, 401: 기판
 121, 221, 321, 421, 521: 제1 전극
 122, 222, 322, 422: 제2 전극
 120, 220, 320, 420: 중간층
 130, 230, 330, 430: 제3 전극
 140, 240, 340, 440: 캐핑층
 PA: 픽셀 영역
 TA: 투과 영역
 PC: 픽셀 회로부

도면

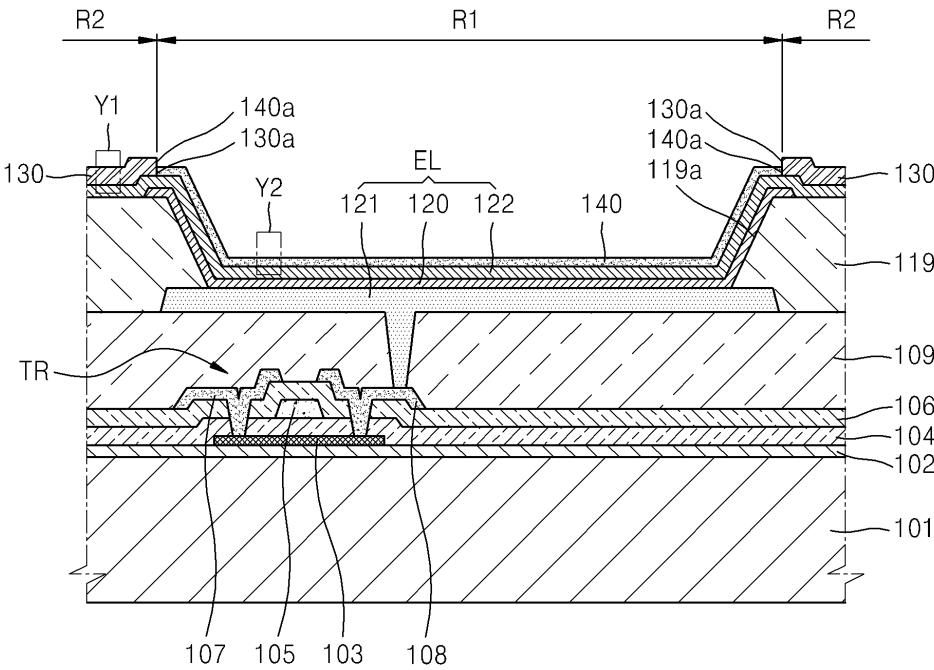
도면1



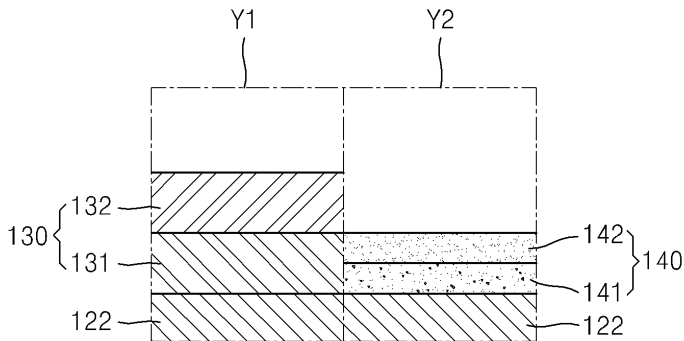
도면2



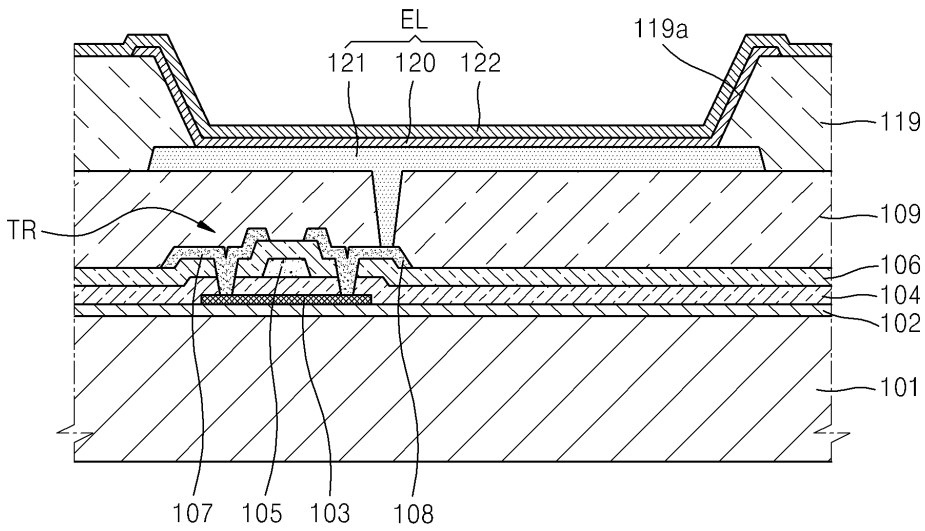
도면3



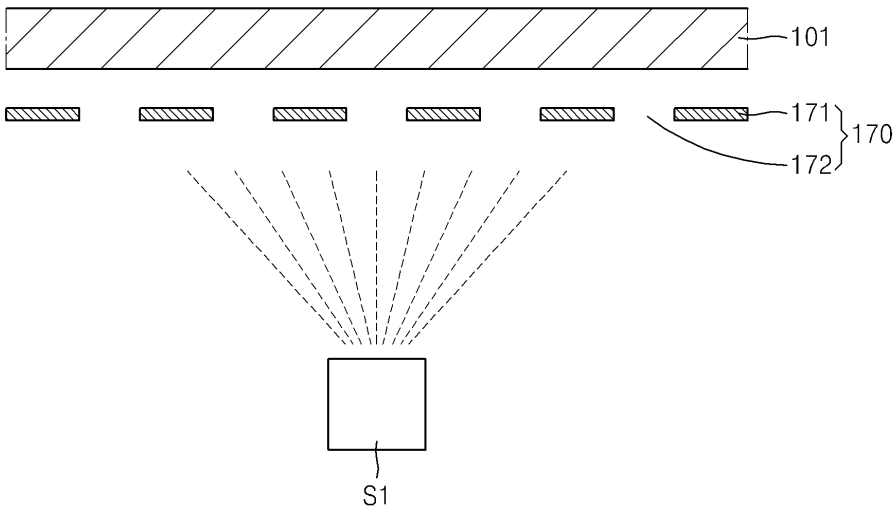
도면4



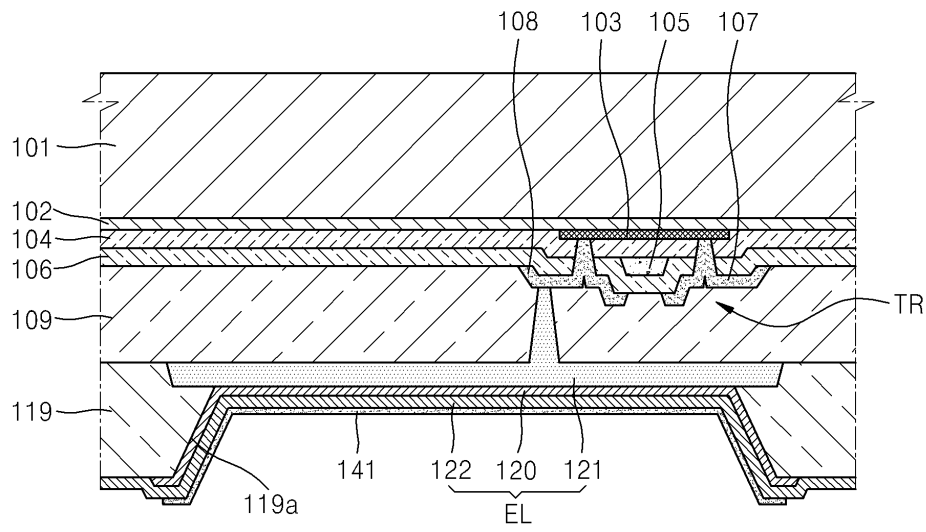
도면5



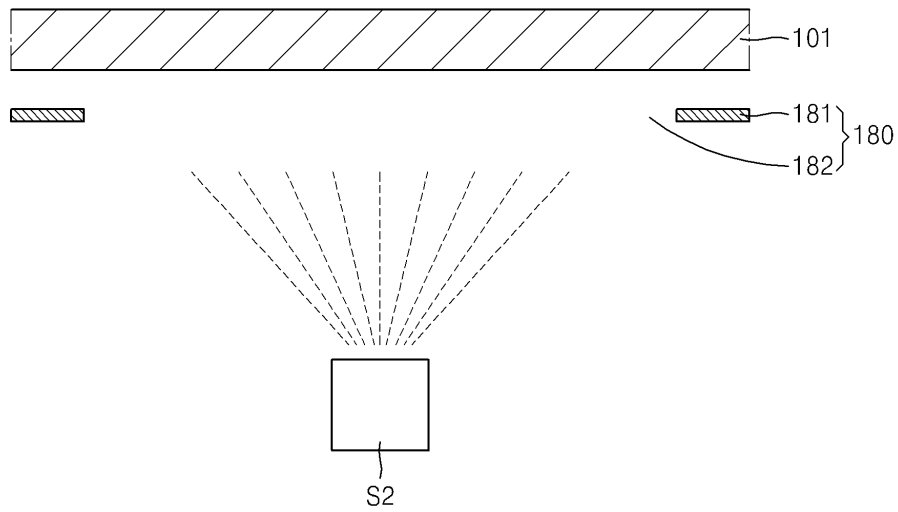
도면6



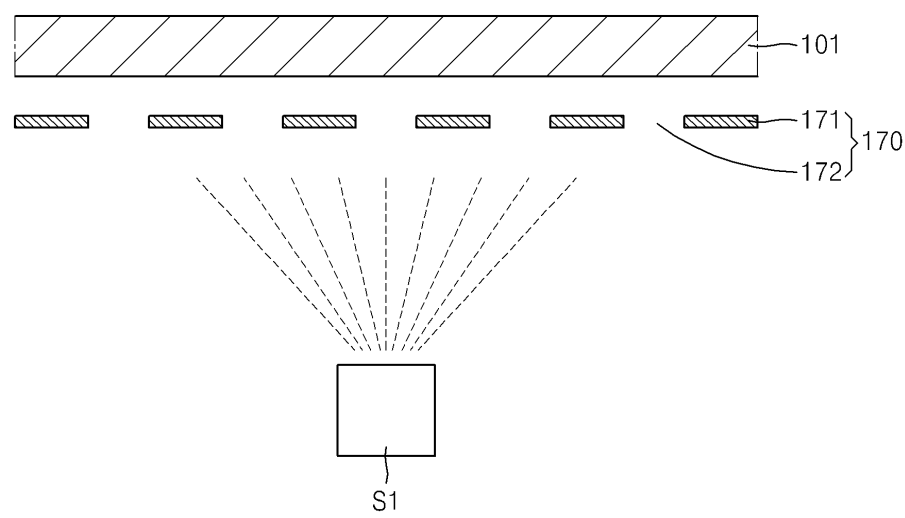
도면7



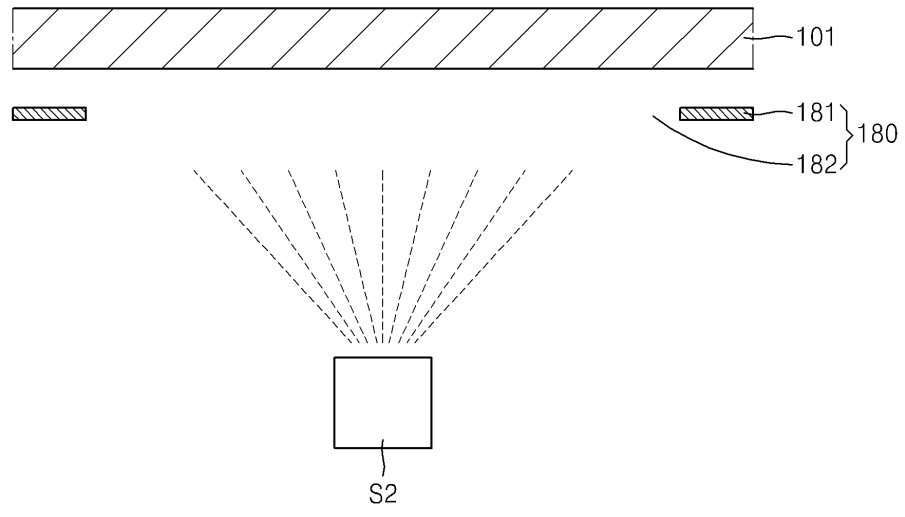
도면8



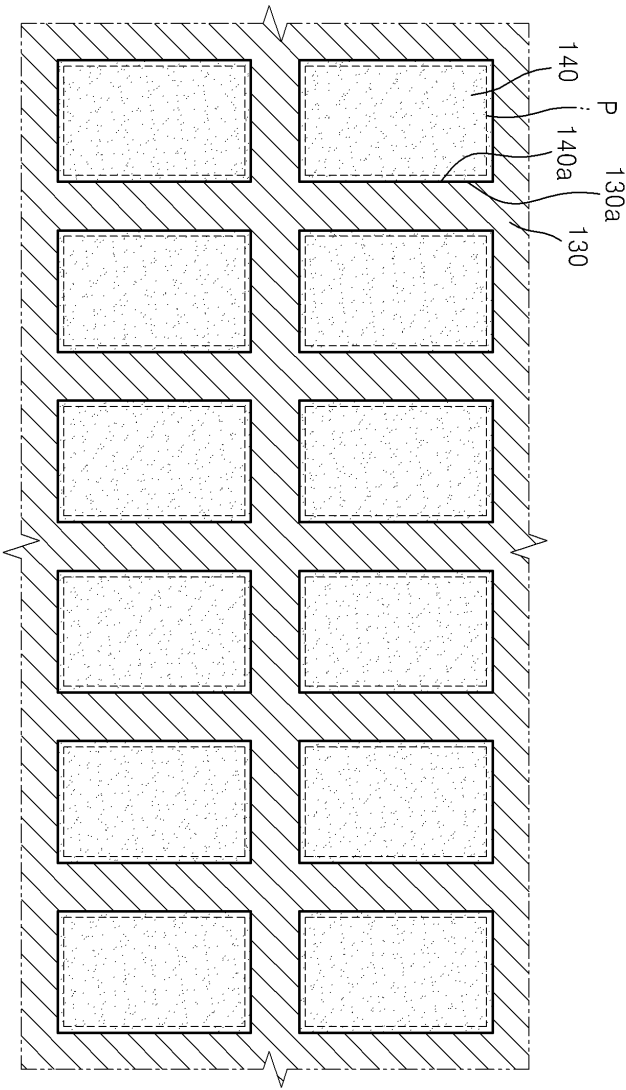
도면9



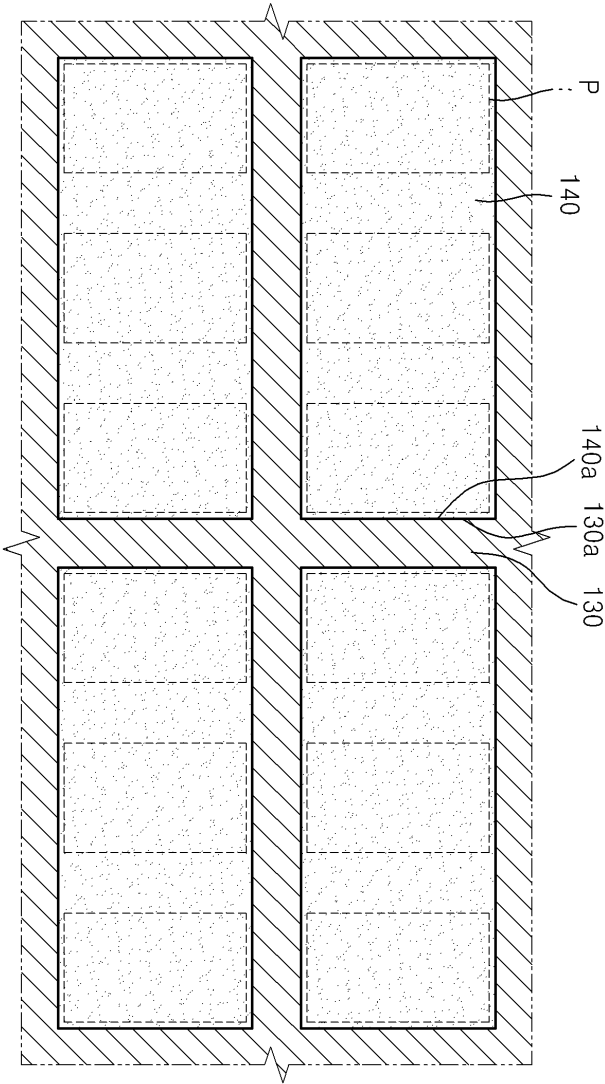
도면10



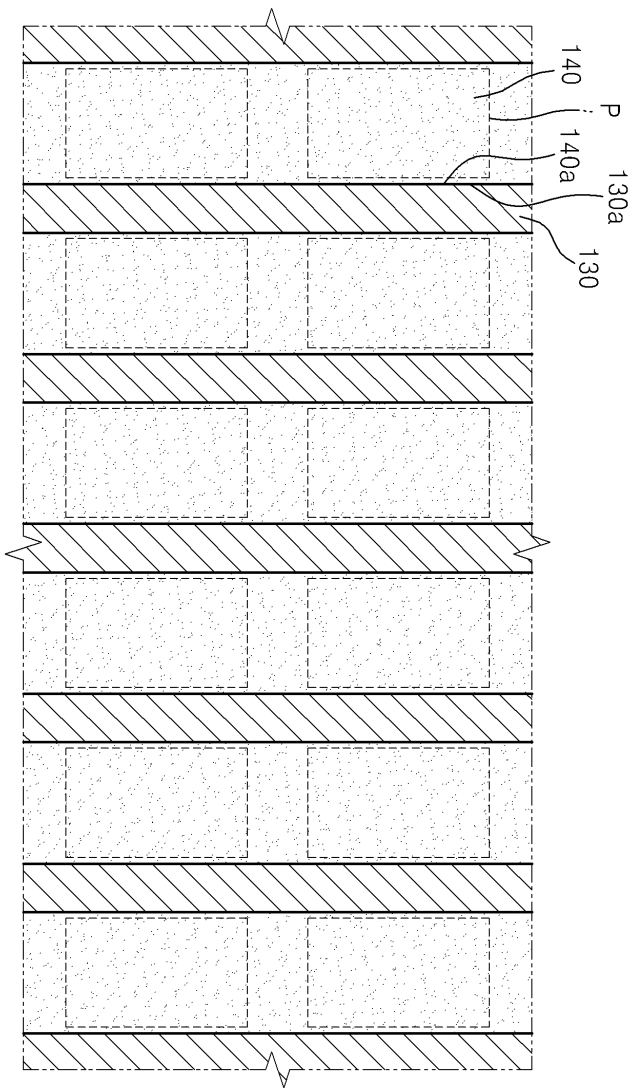
도면11



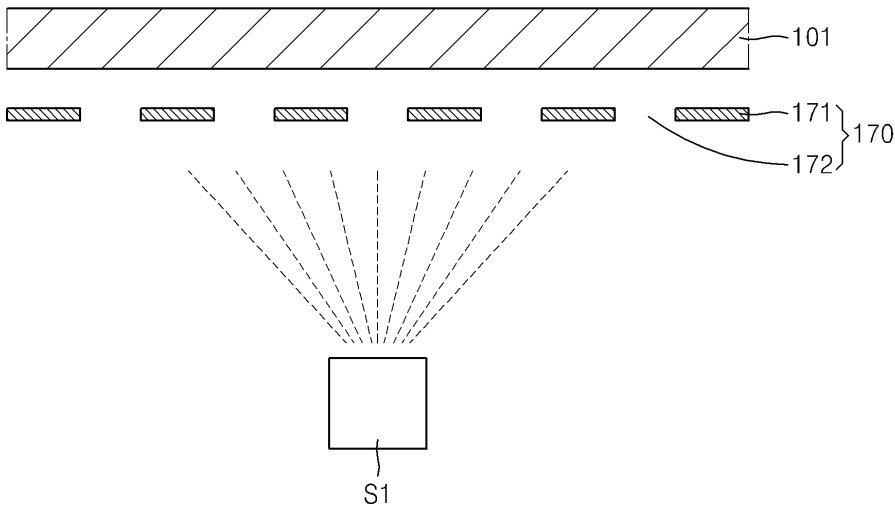
도면12



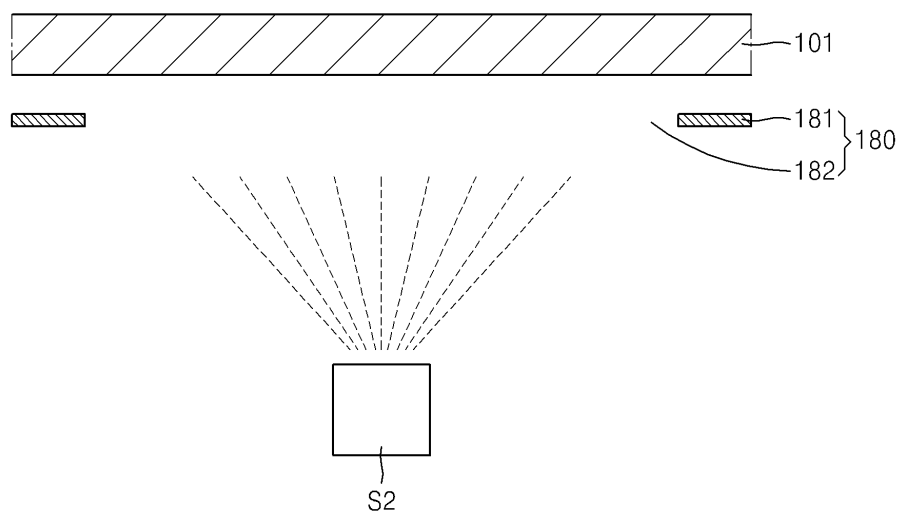
도면13



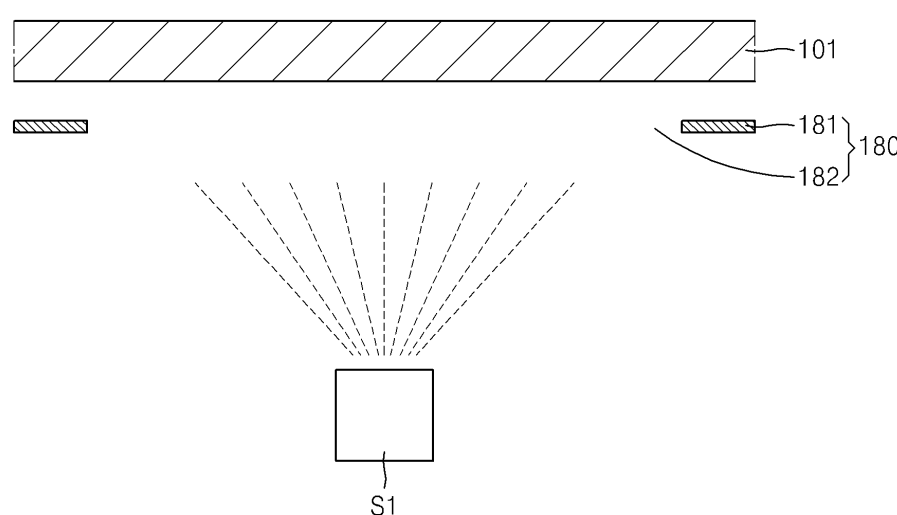
도면14



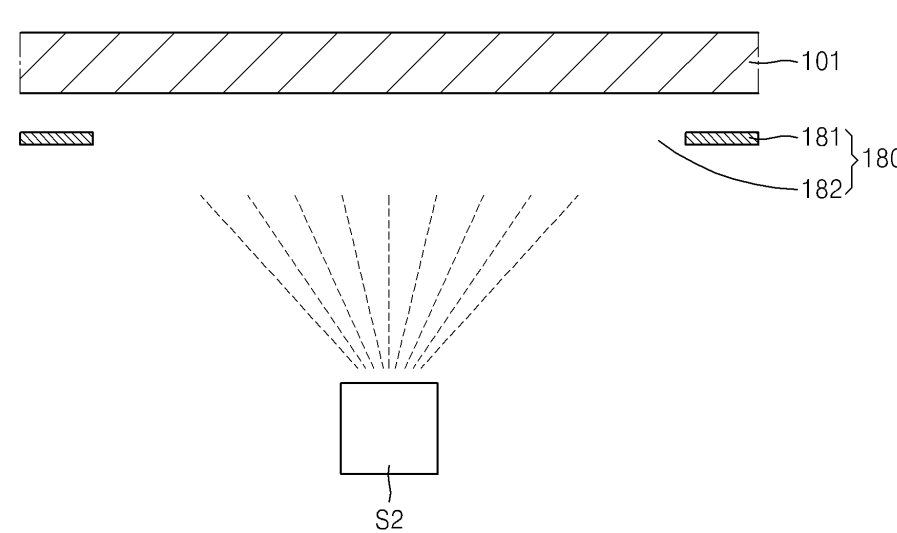
도면15



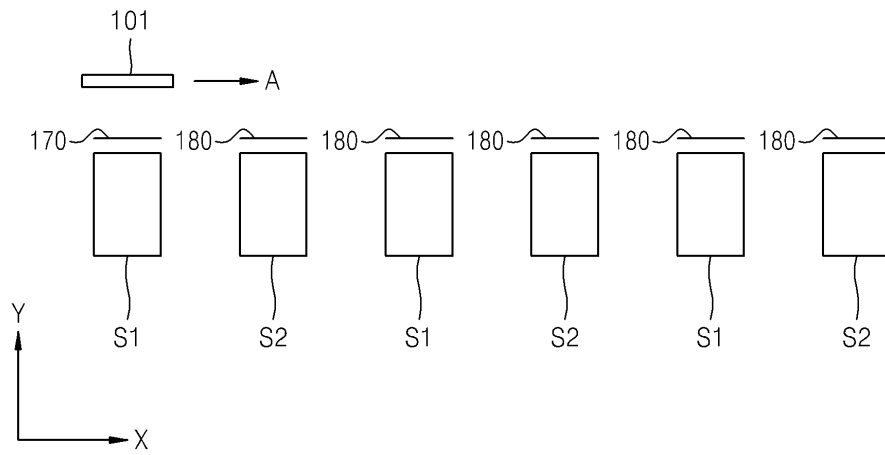
도면16



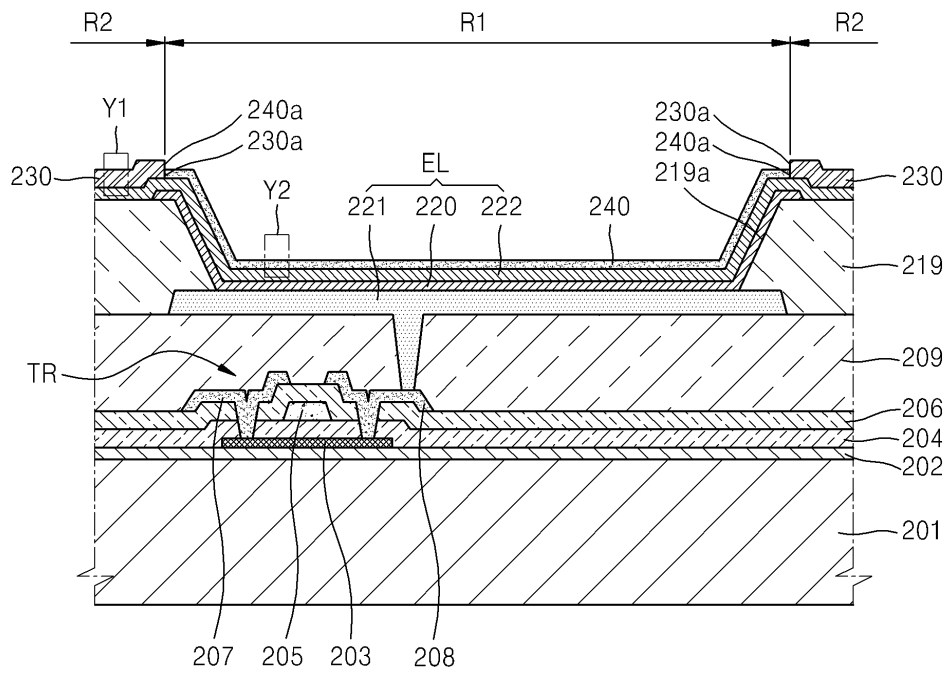
도면17



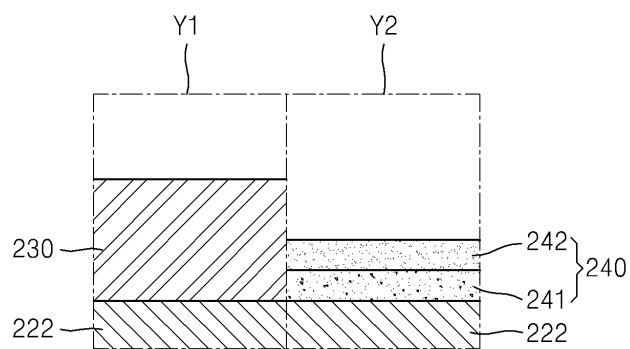
도면18



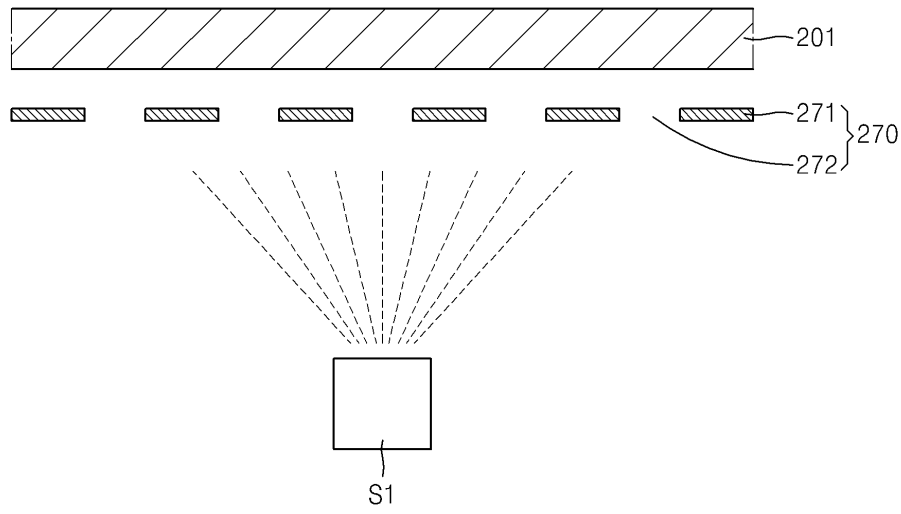
도면19



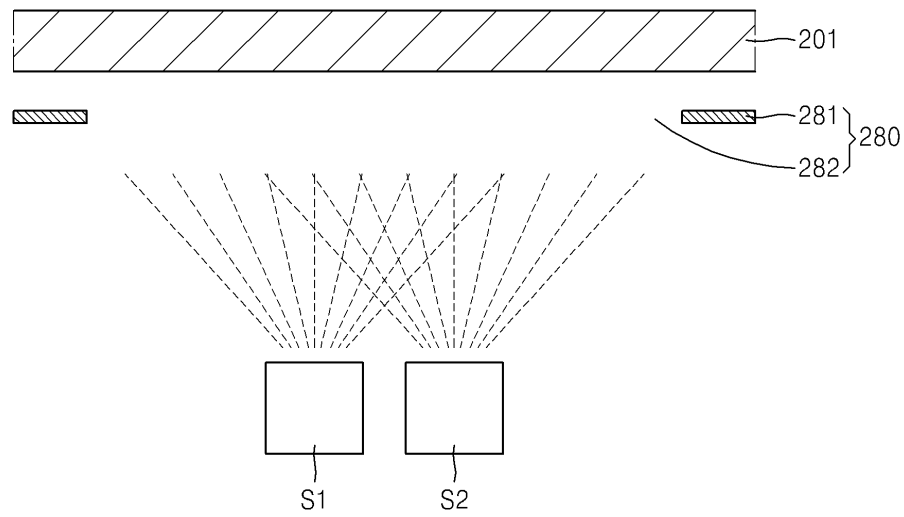
도면20



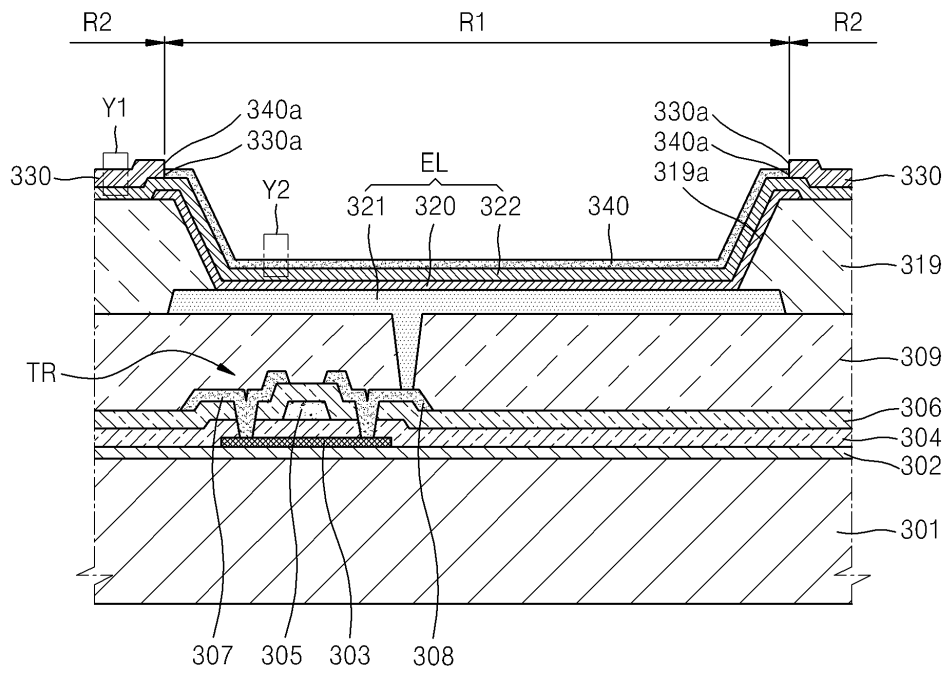
도면21



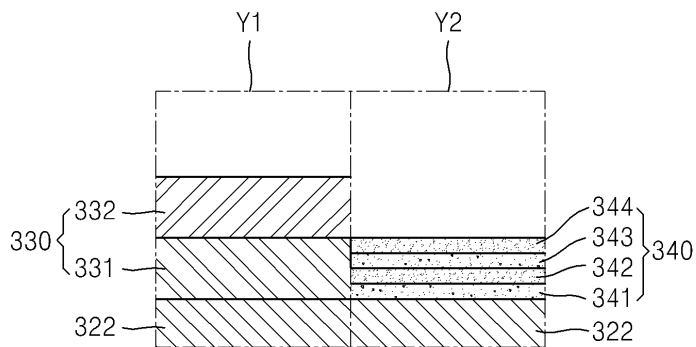
도면22



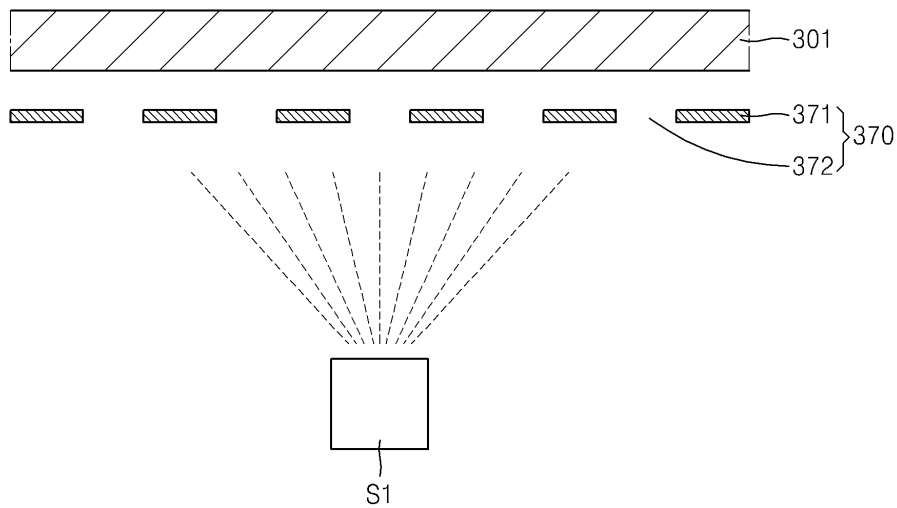
도면23



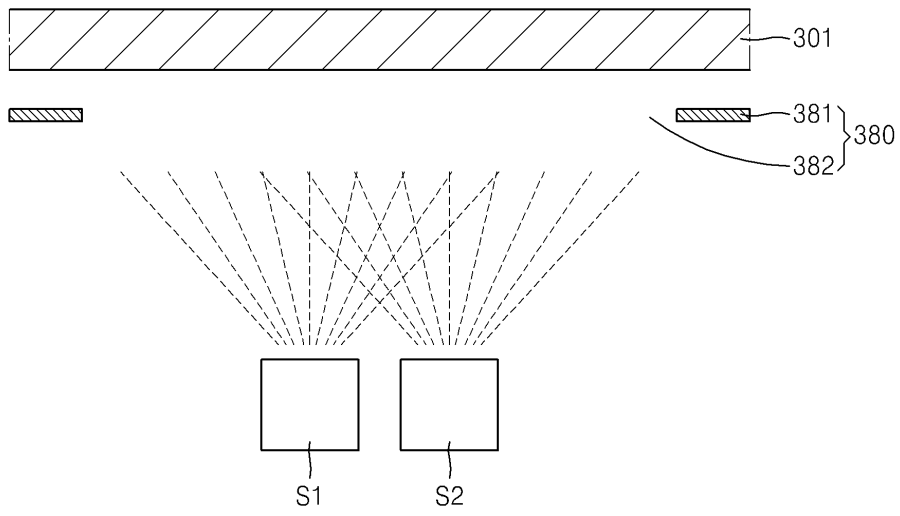
도면24



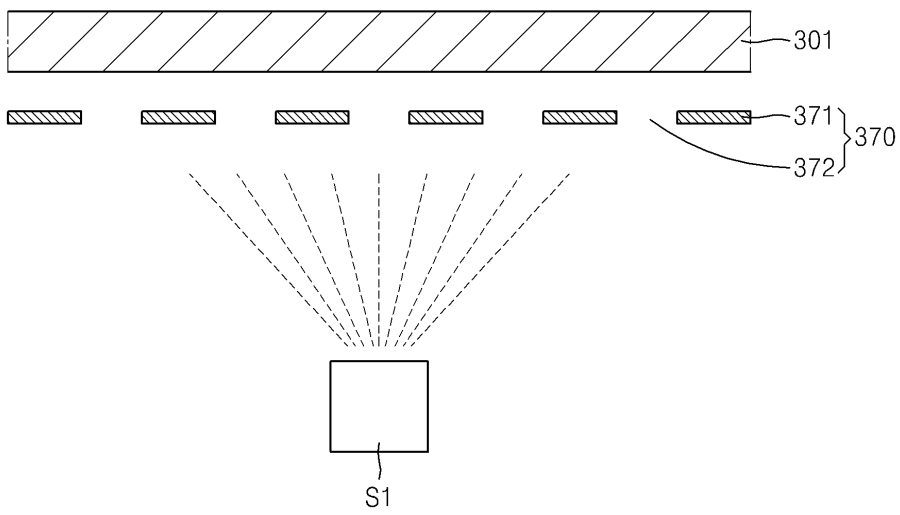
도면25



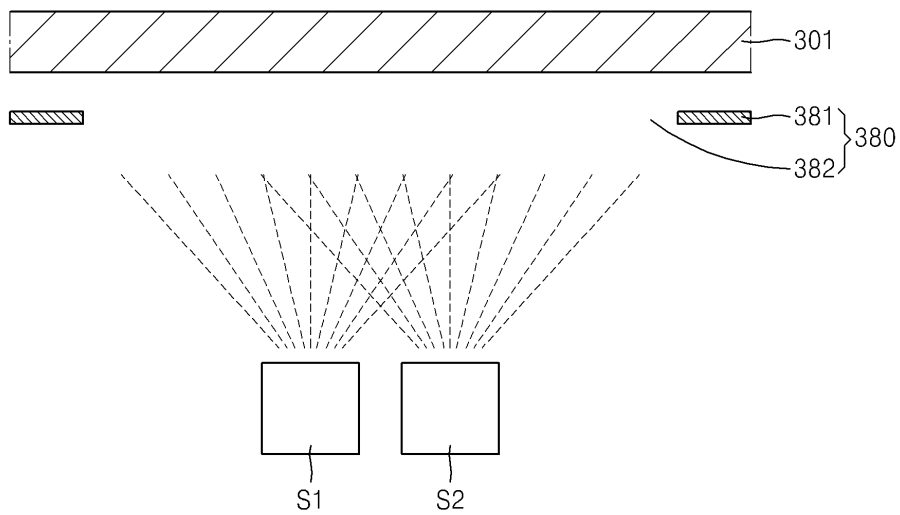
도면26



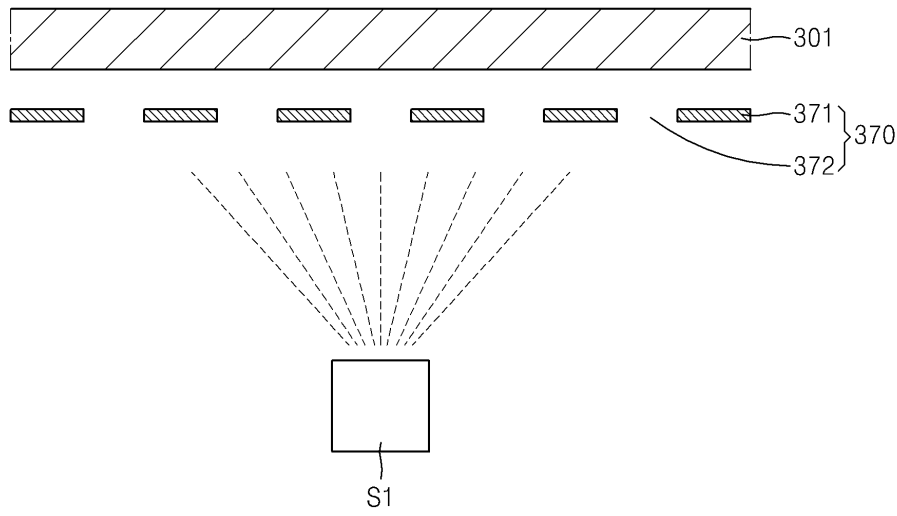
도면27



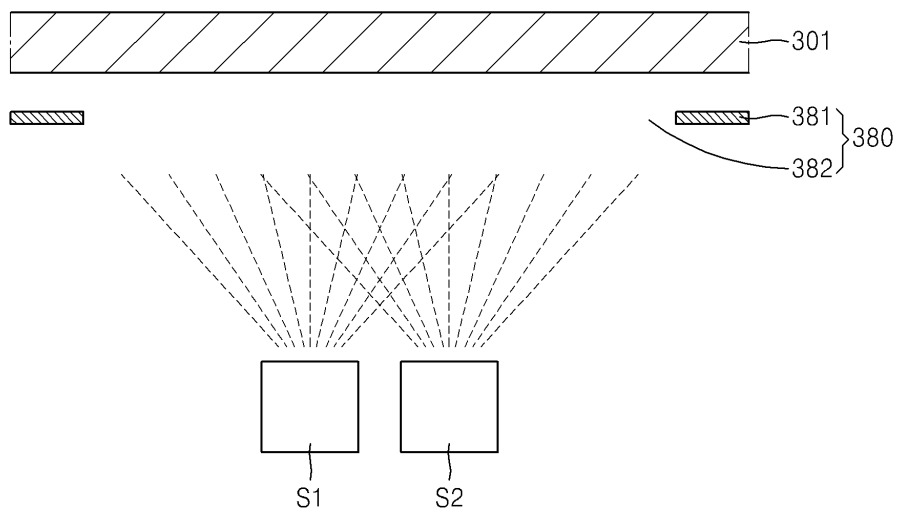
도면28



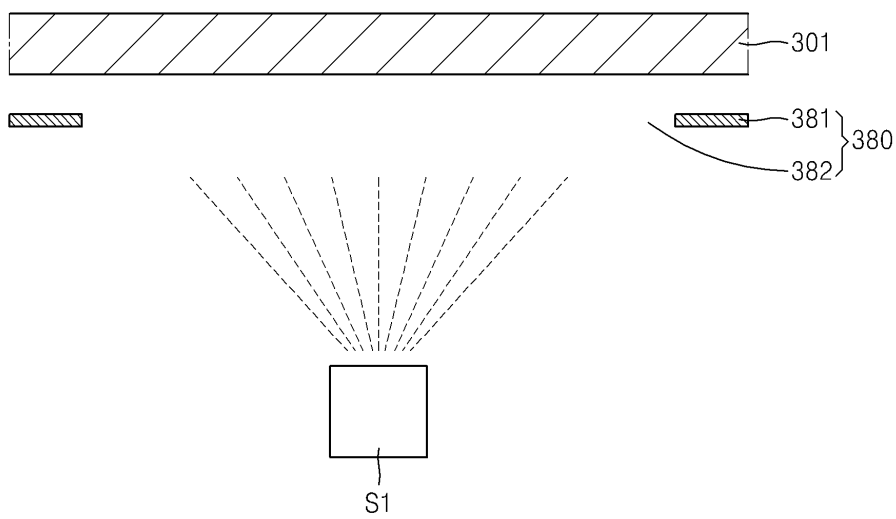
도면29



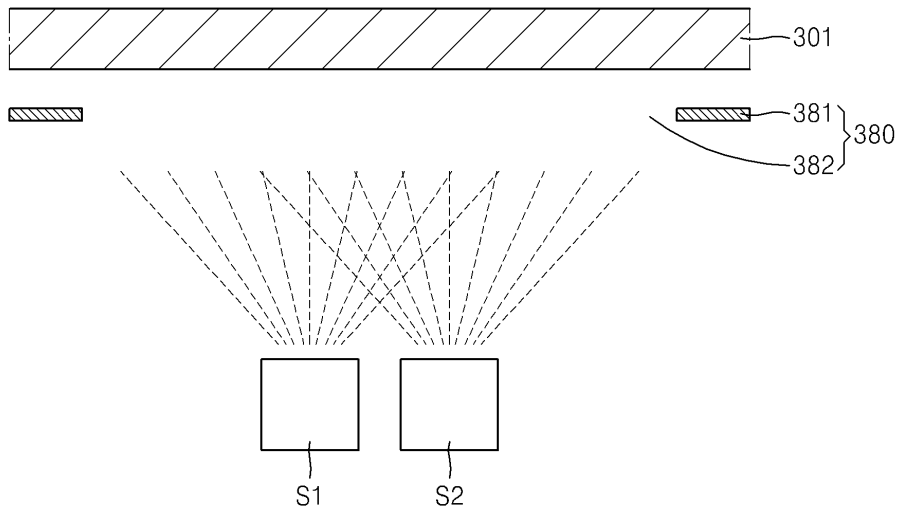
도면30



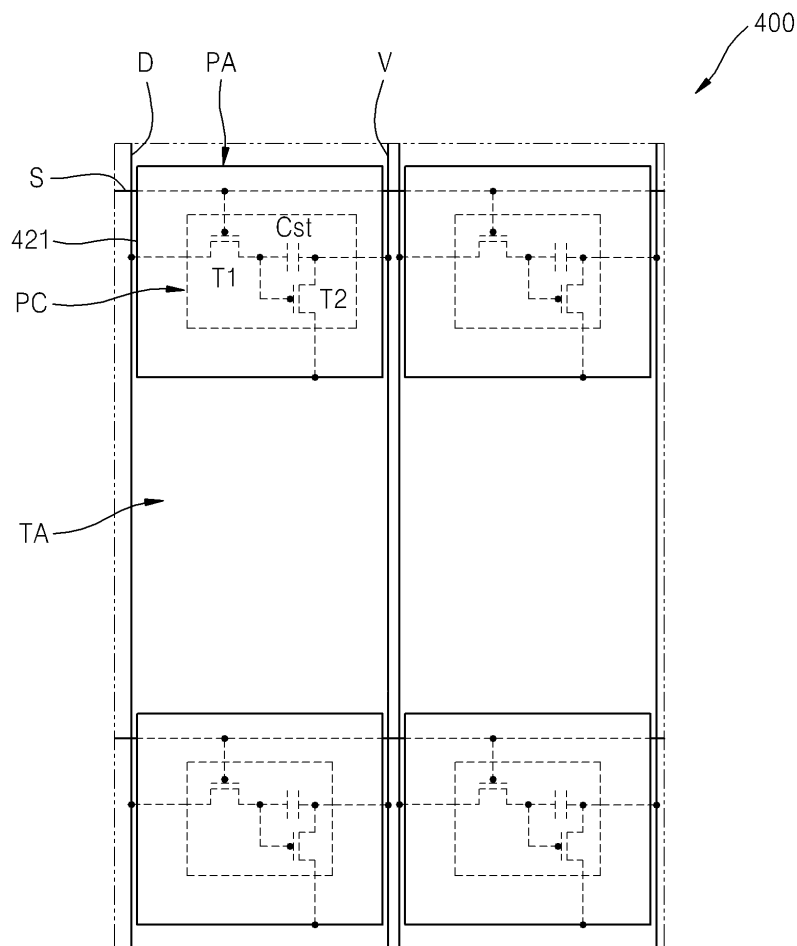
도면31



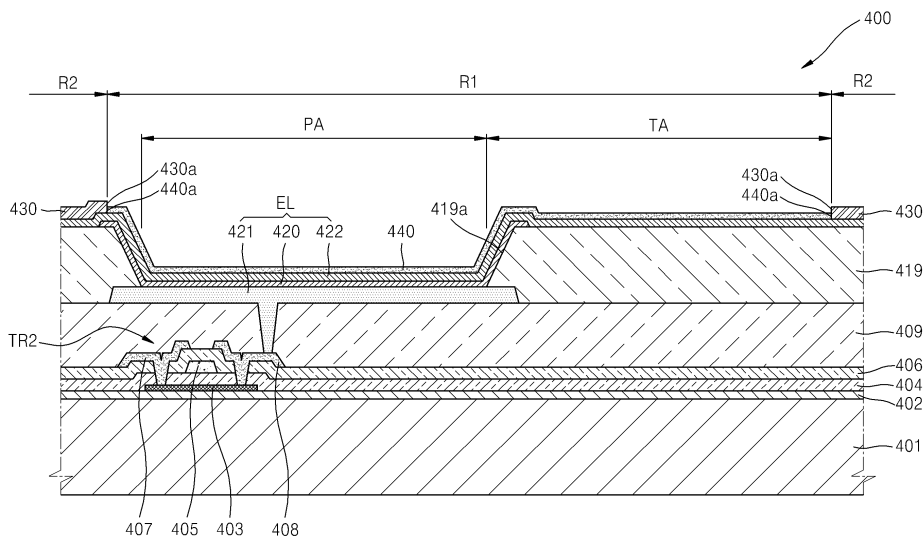
도면32



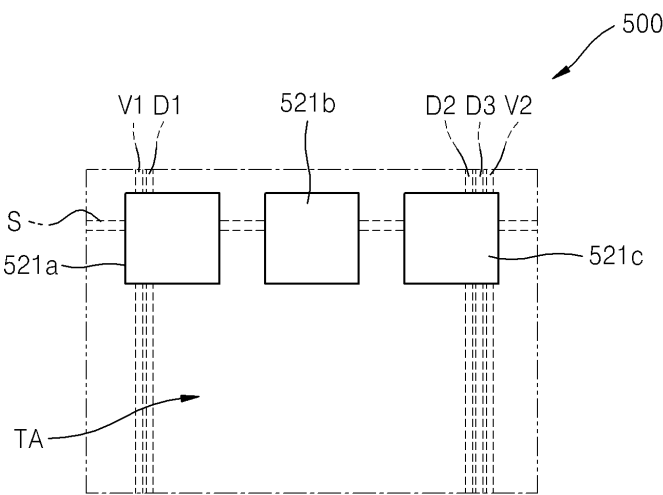
도면33



도면34



도면35



专利名称(译)	有机发光显示设备及其制造方法		
公开(公告)号	KR102083983B1	公开(公告)日	2020-03-04
申请号	KR1020130061251	申请日	2013-05-29
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	최준호 조관현 정진구		
发明人	최준호 조관현 정진구		
IPC分类号	H01L51/50 H01L51/56		
CPC分类号	H01L27/326 H01L51/5228 H01L51/5234 H01L51/5262 H01L2251/5315 H01L27/3248 H01L27/3258 H01L27/3272 H01L51/0052 H01L51/0061 H01L51/0072 H01L51/0077 H01L51/5203 H01L51/5256		
审查员(译)	允我永		
其他公开文献	KR1020140140411A		
外部链接	Espacenet		

摘要(译)

提供了一种有机发光显示装置及其制造方法。该设备包括基板，形成在基板上的第一电极，形成在第一电极上的中间层。中间层包括有机发射层。在中间层上形成第二电极，并且在第一区域中在第二电极上形成覆盖层。覆盖层包括第一边缘部分和至少两层。在第二区域中的第二电极上形成第三电极。第二区域不与第一区域重叠，并且第三电极包括第二边缘部分，该第二边缘部分的侧面部分面对覆盖层的第一边缘部分的侧面部分。可以改善电性能和图像质量。

