



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년10월29일
(11) 등록번호 10-2037206
(24) 등록일자 2019년10월22일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) G09G 3/30 (2006.01)
H05B 33/06 (2006.01)
(21) 출원번호 10-2013-0036525
(22) 출원일자 2013년04월03일
심사청구일자 2018년04월02일
(65) 공개번호 10-2014-0120580
(43) 공개일자 2014년10월14일
(56) 선행기술조사문헌
JP2013048109 A*
KR100739335 B1*
KR1020050079636 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
박성언
경기 수원시 영통구 매탄로126번길 22, 104동 10
2호 (매탄동, 주공그린빌)
(74) 대리인
특허법인 고려

전체 청구항 수 : 총 21 항

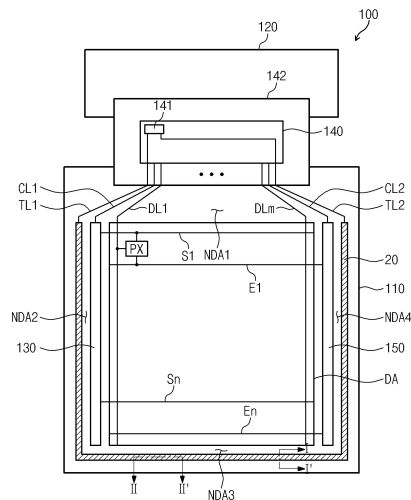
심사관 : 김우영

(54) 발명의 명칭 유기발광 표시장치 및 그것의 검사 방법

(57) 요약

유기발광 표시장치는 복수의 화소들이 배치된 표시영역 및 상기 표시영역 주변에 형성된 비표시 영역을 포함하는 표시 패널, 상기 화소들에 주사 신호들을 제공하는 주사 구동부, 상기 비표시 영역에 연결되어 상기 화소들에 데이터 전압을 제공하고, 입력 신호를 생성하는 소스 구동칩, 상기 화소들에 발광 제어신호들을 제공하는 발광 제어 구동부, 상기 비표시 영역에 배치된 제1 검출 커패시터, 및 상기 소스 구동칩과 상기 제1 검출 커패시터에 연결되어 상기 입력 신호를 상기 제1 검출 커패시터에 제공하는 제1 및 제2 테스트 라인들을 포함하고, 상기 소스 구동칩은 상기 입력 신호에 따른 상기 제1 검출 커패시터의 충전 타이밍을 출력 신호로서 출력한다.

대표도 - 도1



명세서

청구범위

청구항 1

복수의 화소들이 배치된 표시영역 및 상기 표시영역 주변에 형성된 비표시 영역을 포함하는 표시 패널;
 상기 화소들에 주사 신호들을 제공하는 주사 구동부;
 상기 비표시 영역에 연결되어 상기 화소들에 데이터 전압을 제공하고, 입력 신호를 생성하는 소스 구동칩;
 상기 화소들에 발광 제어신호들을 제공하는 발광 제어 구동부;
 상기 비표시 영역에 배치된 제1 검출 커패시터; 및
 상기 소스 구동칩과 상기 제1 검출 커패시터에 연결되어 상기 입력 신호를 상기 제1 검출 커패시터에 제공하는 제1 및 제2 테스트 라인들을 포함하고,
 상기 소스 구동칩은 상기 표시 패널이 휘어질 때 발생하는 상기 제1 검출 커패시터의 전압의 변화를 출력 신호로서 출력하는 유기발광 표시장치.

청구항 2

제 1 항에 있어서,
 상기 비표시 영역은,
 상기 표시 영역의 상측에 인접하고 상기 소스 구동 칩이 연결된 제1 비표시 영역;
 상기 표시 영역의 좌측에 인접하고 상기 주사 구동부가 배치된 제2 비표시 영역;
 상기 표시 영역의 하측에 인접한 제3 비표시 영역; 및
 상기 표시 영역의 우측에 인접하고 상기 발광 제어 구동부가 배치된 제4 비표시 영역을 포함하고,
 상기 제1 검출 커패시터는 상기 제2, 제3, 및 제4 비표시 영역들에 형성되는 유기발광 표시장치.

청구항 3

제 2 항에 있어서,
 상기 소스 구동칩은 상기 입력 전압을 생성하고, 상기 생성된 입력 전압을 상기 제1 및 제2 테스트 라인들을 통해 상기 제1 검출 커패시터에 제공하는 결합 검출부를 포함하는 유기발광 표시장치.

청구항 4

제 3 항에 있어서,
 상기 결합 검출부는,
 상기 제1 테스트 라인에 연결된 제1 노드; 및
 상기 제2 테스트 라인에 연결된 제2 노드를 포함하고,
 상기 결합 검출부는 상기 제1 노드 및 상기 제2 노드 사이에서 측정되는 상기 출력 신호를 출력하는 유기발광 표시장치.

청구항 5

제 2 항에 있어서,
 상기 제1 검출 커패시터는,

상기 제1 테스트 라인에 연결된 제1 전극;

상기 제1 전극과 오버랩되며 상기 제2 테스트 라인에 연결된 제2 전극; 및

상기 제1 전극과 상기 제2 전극 사이에 배치된 절연막을 포함하는 유기발광 표시장치.

청구항 6

제 5 항에 있어서,

상기 제1 전극은 상기 제2 비표시 영역에서 상기 주사 구동부보다 외곽에 배치되고, 상기 제2 전극은 상기 제4 비표시 영역에서 상기 발광 제어 구동부보다 외곽에 배치되는 유기발광 표시장치.

청구항 7

복수의 화소들이 배치된 표시영역 및 상기 표시영역 주변에 형성되고 제1 검출 커패시터가 배치된 비표시 영역을 포함하는 표시 패널 및 상기 비표시 영역에 연결되어 입력 신호를 생성하는 소스 구동칩을 포함하는 유기발광 표시장치의 검사 방법에 있어서,

상기 표시 패널을 준비하는 단계;

상기 입력 신호를 생성하는 단계;

상기 제1 검출 커패시터에 상기 입력 신호를 제공하는 단계;

상기 표시 패널이 휘어질 때 발생하는 상기 제1 검출 커패시터의 전압의 변화를 출력 신호로서 출력하는 단계; 및

상기 출력 신호의 라이징 타임을 제1 기간과 비교하여 상기 표시 패널의 결함을 검출하는 단계를 포함하고,

상기 제1 기간은 상기 제1 검출 커패시터에 결함이 없을 경우, 상기 제1 검출 커패시터의 충전 레벨이 상기 입력 신호의 레벨까지 충전되는데 소요되는 시간으로 정의되는 유기발광 표시장치의 검사 방법.

청구항 8

제 7 항에 있어서,

상기 표시 패널의 결함을 검출하는 단계는,

상기 충전 신호의 상기 라이징 타임이 상기 제1 기간과 같을 경우 상기 표시 패널을 정상으로 판별하는 단계; 및

상기 충전 신호의 상기 라이징 타임이 상기 제1 기간보다 작은 제2 기간을 가질 경우, 상기 표시 패널을 결함 상태로 판별하는 단계를 포함하는 유기발광 표시장치의 검사 방법.

청구항 9

제 7 항에 있어서,

상기 유기발광 표시장치는,

상기 화소들에 주사 신호들을 제공하는 주사 구동부;

상기 화소들에 발광 제어신호들을 제공하는 발광 제어 구동부; 및

상기 소스 구동칩과 상기 제1 검출 커패시터에 연결되어 상기 입력 신호를 상기 제1 검출 커패시터에 제공하는 제1 및 제2 테스트 라인들을 더 포함하고,

상기 소스 구동칩은 상기 화소들에 데이터 전압을 제공하고, 상기 소스 구동칩은 상기 입력 신호에 따른 상기 제1 검출 커패시터의 상기 충전 타이밍을 상기 출력 신호로서 출력하는 유기발광 표시장치의 검사 방법.

청구항 10

제 9 항에 있어서,

상기 비표시 영역은,
 상기 표시 영역의 상측에 인접하고 상기 소스 구동 칩이 연결된 제1 비표시 영역;
 상기 표시 영역의 좌측에 인접하고 상기 주사 구동부가 배치된 제2 비표시 영역;
 상기 표시 영역의 하측에 인접한 제3 비표시 영역; 및
 상기 표시 영역의 우측에 인접하고 상기 발광 제어 구동부가 배치된 제4 비표시 영역을 포함하고,
 상기 제1 검출 커패시터는 상기 제2, 제3, 및 제4 비표시 영역들에 형성되는 유기발광 표시장치의 검사 방법.

청구항 11

제 10 항에 있어서,
 상기 소스 구동칩은 상기 입력 전압을 생성하고, 상기 생성된 입력 전압을 상기 제1 및 제2 테스트 라인들을 통해 상기 제1 검출 커패시터에 제공하는 결합 검출부를 포함하고,
 상기 결합 검출부는,
 상기 제1 테스트 라인에 연결된 제1 노드; 및
 상기 제2 테스트 라인에 연결된 제2 노드를 포함하고,
 상기 결합 검출부는 상기 제1 노드 및 상기 제2 노드 사이에서 측정되는 상기 출력 신호를 출력하는 유기발광 표시장치의 검사 방법.

청구항 12

제 10 항에 있어서,
 상기 제1 검출 커패시터는,
 상기 제1 테스트 라인에 연결된 제1 전극;
 상기 제1 전극과 오버랩되며 상기 제2 테스트 라인에 연결된 제2 전극; 및
 상기 제1 전극과 상기 제2 전극 사이에 배치된 절연막을 포함하고,
 상기 제1 전극은 상기 제2 비표시 영역에서 상기 주사 구동부보다 외곽에 배치되고, 상기 제2 전극은 상기 제4 비표시 영역에서 상기 발광 제어 구동부보다 외곽에 배치되는 유기발광 표시장치의 검사 방법.

청구항 13

복수의 화소들이 배치된 표시영역 및 상기 표시영역 주변에 형성된 비표시 영역을 포함하는 표시 패널;
 상기 화소들에 주사 신호들을 제공하는 주사 구동부;
 상기 비표시 영역에 연결되어 상기 화소들에 데이터 전압을 제공하고, 입력 신호를 생성하는 소스 구동칩;
 상기 화소들에 발광 제어신호들을 제공하는 발광 제어 구동부;
 상기 비표시 영역에 배치된 제1, 제2, 및 제3 검출 커패시터들; 및
 상기 소스 구동칩과 상기 제1, 제2, 및 제3 검출 커패시터들에 연결되어 상기 입력 신호를 상기 제1, 제2, 및 제3 검출 커패시터들에 제공하는 복수의 테스트 라인들을 포함하고,
 상기 소스 구동칩은 상기 테스트 라인들을 통해 상기 입력 신호를 선택적으로 상기 제1, 제2, 및 제3 검출 커패시터들에 제공하고, 상기 표시 패널이 휘어질 때 발생하는 상기 제1, 제2, 및 제3 검출 커패시터들의 전압들의 변화들을 출력 신호로서 출력하는 유기발광 표시장치.

청구항 14

제 13 항에 있어서,
 상기 비표시 영역은,

상기 표시 영역의 상측에 인접하고 상기 소스 구동 칩이 연결된 제1 비표시 영역;

상기 표시 영역의 좌측에 인접하고 상기 주사 구동부와 상기 제1 검출 커패시터가 배치된 제2 비표시 영역;

상기 표시 영역의 하측에 인접하고 상기 제2 검출 커패시터가 배치된 제3 비표시 영역; 및

상기 표시 영역의 우측에 인접하고 상기 제3 검출 커패시터가 배치된 제4 비표시 영역을 포함하는 유기발광 표시장치.

청구항 15

제 14 항에 있어서,

상기 소스 구동칩은

상기 입력 전압을 생성하는 결합 검출부;

상기 결합 검출부에 연결되어 상기 입력 전압을 인가받는 제1 및 제2 배선들; 및

상기 제1 및 제2 배선들에 연결되어 상기 입력 전압을 제공받고, 상기 입력 전압을 선택적으로 상기 제1, 제2, 및 제3 검출 커패시터들에 제공하는 디멀티플렉서를 포함하는 유기발광 표시장치.

청구항 16

제 15 항에 있어서,

상기 결합 검출부는,

상기 제1 배선에 연결된 제1 노드; 및

상기 제2 배선에 연결된 제2 노드를 포함하고,

상기 결합 검출부는 상기 제1 노드 및 상기 제2 노드 사이에서 측정되는 상기 출력 신호를 출력하는 유기발광 표시장치.

청구항 17

제 15 항에 있어서,

상기 테스트 라인들은,

상기 디멀티플렉서와 상기 제1 검출 커패시터에 연결되는 제1 및 제2 테스트 라인들;

상기 디멀티플렉서와 상기 제2 검출 커패시터에 연결되는 제3 및 제4 테스트 라인들; 및

상기 디멀티플렉서와 상기 제3 검출 커패시터에 연결되는 제5 및 제6 테스트 라인들을 포함하는 유기발광 표시장치.

청구항 18

제 17 항에 있어서,

상기 디멀티플렉서는,

제1 스위칭 제어 신호에 응답하여 턴 온되어 상기 입력 신호를 상기 제1 및 제2 테스트 라인들을 통해 상기 제1 검출 커패시터에 제공하는 제1 스위칭 소자;

제2 스위칭 제어 신호에 응답하여 턴 온되어 상기 입력 신호를 상기 제3 및 제4 테스트 라인들을 통해 상기 제2 검출 커패시터에 제공하는 제2 스위칭 소자; 및

제3 스위칭 제어 신호에 응답하여 턴 온되어 상기 입력 신호를 상기 제5 및 제6 테스트 라인들을 통해 상기 제3 검출 커패시터에 제공하는 제3 스위칭 소자를 포함하는 유기발광 표시장치.

청구항 19

제 17 항에 있어서,

상기 제1 검출 커패시터는,
 상기 제1 테스트 라인에 연결된 제1 전극;
 상기 제1 전극과 오버랩되며 상기 제2 테스트 라인에 연결된 제2 전극; 및
 상기 제1 전극과 상기 제2 전극 사이에 배치된 절연막을 포함하고,
 상기 제1 및 제2 전극들은 상기 주사 구동부보다 외곽에 배치되는 유기발광 표시장치.

청구항 20

제 17 항에 있어서,
 상기 제2 검출 커패시터는,
 상기 제3 비표시 영역에 배치된 제3 전극;
 상기 제3 비표시 영역의 소정의 영역에서 상기 제3 전극과 오버랩되는 제4 전극; 및
 상기 제3 전극과 상기 제4 전극 사이에 배치된 절연막을 포함하고,
 상기 제3 전극은 상기 제2 비표시 영역으로 연장되어 상기 주사 구동부보다 외곽에 배치되며 상기 제3 테스트 라인에 연결되고, 상기 제4 전극은 상기 제4 비표시 영역으로 연장되어 상기 발광 제어 구동부보다 외곽에 배치되어 상기 제4 테스트 라인에 연결되는 유기발광 표시장치.

청구항 21

제 17 항에 있어서,
 상기 제3 검출 커패시터는,
 상기 제5 테스트 라인에 연결된 제5 전극;
 상기 제5 전극과 오버랩되며 상기 제6 테스트 라인에 연결된 제6 전극; 및
 상기 제5 전극과 상기 제6 전극 사이에 배치된 절연막을 포함하고,
 상기 제5 및 제6 전극들은 상기 발광 제어 구동부보다 외곽에 배치되는 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광 표시장치 및 그것의 검사 방법에 관한 것이다.

배경 기술

- [0002] 최근 휘도 특성 및 시야각 특성이 우수하고, 액정표시장치와 달리 별도의 광원부를 요구하지 않는 유기발광 표시장치가 차세대 평판표시장치로 주목받고 있다. 유기발광 표시장치는 전자와 정공의 재결합에 의해 광을 발생하는 유기발광 다이오드를 이용하여 영상을 표시한다. 이러한 유기발광 표시장치는 빠른 응답속도를 갖고 소비전력이 낮은 장점이 있다.
- [0003] 일반적으로 유기발광 표시장치는 영상을 표시하는 복수의 화소들을 포함하는 표시 패널, 화소들에 주사 신호들을 순차적으로 공급하는 주사 구동부, 화소들에 데이터 전압들을 공급하는 데이터 구동부, 및 화소들에 발광 제어 신호들을 공급하는 발광 제어 구동부를 포함한다.
- [0004] 화소들은 주사신호들에 응답하여 데이터 전압들을 공급받는다. 화소들은 데이터 전압들에 대응하는 소정 휘도의 빛을 생성함으로써 소정의 영상을 표시한다. 화소들의 발광시간은 발광 제어 신호들에 의해 제어된다.
- [0005] 최근 플렉서블한 재질의 기판(예를 들어 플라스틱 기판)을 사용하여 플렉서블한 특징을 갖는 표시 패널들이 개발되고 있다. 유기발광 표시장치는 플렉서블한 특징을 갖는 표시 패널을 포함할 수 있다. 플렉서블한 특징을 갖는 표시 패널의 경우, 표시 패널이 휘어질 때 표시 패널에 크랙(crack)과 같은 결함이 발생 될 수 있다. 실질적으로 표시 패널의 모든 영역을 상세히 검사하여 결함을 검출하는 것은 어렵다. 따라서, 효율적으로 표시 패널에

발생되는 결함을 검출하는 방법이 요구되고 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 목적은 표시 패널에 발생된 결함을 검출할 수 있는 유기발광 표시장치 및 그것의 검사 방법을 제공하는데 있다.

과제의 해결 수단

[0007] 본 발명의 실시 예에 따른 유기발광 표시장치는 복수의 화소들이 배치된 표시영역 및 상기 표시영역 주변에 형성된 비표시 영역을 포함하는 표시 패널, 상기 화소들에 주사 신호들을 제공하는 주사 구동부, 상기 비표시 영역에 연결되어 상기 화소들에 데이터 전압을 제공하고, 입력 신호를 생성하는 소스 구동칩, 상기 화소들에 발광 제어신호들을 제공하는 발광 제어 구동부, 상기 비표시 영역에 배치된 제1 검출 커패시터, 및 상기 소스 구동칩과 상기 제1 검출 커패시터에 연결되어 상기 입력 신호를 상기 제1 검출 커패시터에 제공하는 제1 및 제2 테스트 라인들을 포함하고, 상기 소스 구동칩은 상기 입력 신호에 따른 상기 제1 검출 커패시터의 충전 타이밍을 출력 신호로서 출력한다.

[0008] 상기 비표시 영역은, 상기 표시 영역의 상측에 인접하고 상기 소스 구동 칩이 연결된 제1 비표시 영역, 상기 표시 영역의 좌측에 인접하고 상기 주사 구동부가 배치된 제2 비표시 영역, 상기 표시 영역의 하측에 인접한 제3 비표시 영역, 및 상기 표시 영역의 우측에 인접하고 상기 발광 제어 구동부가 배치된 제4 비표시 영역을 포함하고, 상기 제1 검출 커패시터는 상기 제2, 제3, 및 제4 비표시 영역들에 형성된다.

[0009] 상기 소스 구동칩은 상기 입력 전압을 생성하고, 상기 생성된 입력 전압을 상기 제1 및 제2 테스트 라인들을 통해 상기 제1 검출 커패시터에 제공하는 결함 검출부를 포함한다.

[0010] 상기 결함 측정부는, 상기 제1 테스트 라인에 연결된 제1 노드, 및 상기 제2 테스트 라인에 연결된 제2 노드를 포함하고, 상기 결함 측정부는 상기 제1 노드 및 상기 제2 노드 사이에서 측정되는 상기 출력 신호를 출력한다.

[0011] 상기 제1 검출 커패시터는, 상기 제1 테스트 라인에 연결된 제1 전극, 상기 제1 전극과 오버랩되며 상기 제2 테스트 라인에 연결된 제2 전극, 및 상기 제1 전극과 상기 제2 전극 사이에 배치된 절연막을 포함한다.

[0012] 상기 제1 전극은 상기 제2 비표시 영역에서 상기 주사 구동부보다 외곽에 배치되고, 상기 제2 전극은 상기 제4 비표시 영역에서 상기 발광 제어 구동부보다 외곽에 배치된다.

[0013] 복수의 화소들이 배치된 표시영역 및 상기 표시영역 주변에 형성되고 제1 검출 커패시터가 배치된 비표시 영역을 포함하는 표시 패널 및 상기 비표시 영역에 연결되어 입력 신호를 생성하는 소스 구동칩을 포함하는 유기발광 표시장치의 검사 방법은, 상기 표시 패널을 준비하는 단계, 상기 입력 신호를 생성하는 단계, 상기 제1 검출 커패시터에 상기 입력 신호를 제공하는 단계, 상기 입력 신호에 따른 상기 제1 검출 커패시터의 충전 타이밍을 출력 신호로서 출력하는 단계, 및 상기 출력 신호의 라이징 타임을 제1 기간과 비교하여 상기 표시 패널의 결함을 검출하는 단계를 포함한다.

[0014] 상기 표시 패널의 결함을 검출하는 단계는, 상기 충전 신호의 상기 라이징 타임이 상기 제1 기간과 같을 경우 상기 표시패널을 정상으로 판별하는 단계, 및 상기 충전 신호의 상기 라이징 타임이 상기 제1 기간보다 작은 제2 기간을 가질 경우, 상기 표시 패널을 결함 상태로 판별하는 단계를 포함한다.

[0015] 본 발명의 다른 실시 예에 따른 유기발광 표시장치는, 복수의 화소들이 배치된 표시영역 및 상기 표시영역 주변에 형성된 비표시 영역을 포함하는 표시 패널, 상기 화소들에 주사 신호들을 제공하는 주사 구동부, 상기 비표시 영역에 연결되어 상기 화소들에 데이터 전압을 제공하고, 입력 신호를 생성하는 소스 구동칩, 상기 화소들에 발광 제어신호들을 제공하는 발광 제어 구동부, 상기 비표시 영역에 배치된 제1, 제2, 및 제3 검출 커패시터들, 및 상기 소스 구동칩과 상기 제1, 제2, 및 제3 검출 커패시터들에 연결되어 상기 입력 신호를 상기 제1, 제2, 및 제3 검출 커패시터들에 제공하는 복수의 테스트 라인들을 포함하고, 상기 소스 구동칩은 상기 테스트 라인들을 통해 상기 입력 신호를 선택적으로 상기 제1, 제2, 및 제3 검출 커패시터들에 제공하고, 상기 제1, 제2, 및 제3 검출 커패시터들의 충전 타이밍을 출력 신호로서 출력한다.

[0016] 상기 비표시 영역은, 상기 표시 영역의 상측에 인접하고 상기 소스 구동 칩이 연결된 제1 비표시 영역, 상기 표시 영역의 좌측에 인접하고 상기 주사 구동부와 상기 제1 검출 커패시터가 배치된 제2 비표시 영역, 상기 표시

영역의 하측에 인접하고 상기 제2 검출 커패시터가 배치된 제3 비표시 영역, 및 상기 표시 영역의 우측에 인접하고 상기 제3 검출 커패시터가 배치된다.

- [0017] 상기 소스 구동칩은 상기 입력 전압을 생성하는 결합 검출부, 상기 결합 검출부에 연결되어 상기 입력 전압을 인가받는 제1 및 제2 배선들, 및 상기 제1 및 제2 배선들에 연결되어 상기 입력 전압을 제공받고, 상기 입력 전압을 선택적으로 상기 제1, 제2, 및 제3 검출 커패시터들에 제공하는 디멀티플렉서를 포함한다.
- [0018] 상기 결합 측정부는, 상기 제1 배선에 연결된 제1 노드, 및 상기 제2 배선에 연결된 제2 노드를 포함하고, 상기 결합 측정부는 상기 제1 노드 및 상기 제2 노드 사이에서 측정되는 상기 출력 신호를 출력한다.
- [0019] 상기 테스트 라인들은, 상기 디멀티플렉서와 상기 제1 검출 커패시터에 연결되는 제1 및 제2 테스트 라인들, 상기 디멀티플렉서와 상기 제2 검출 커패시터에 연결되는 제3 및 제4 테스트 라인들, 및 상기 디멀티플렉서와 상기 제3 검출 커패시터에 연결되는 제5 및 제6 테스트 라인들을 포함한다.
- [0020] 상기 디멀티플렉서는, 제1 스위칭 제어 신호에 응답하여 턴 온되어 상기 입력 신호를 상기 제1 및 제2 테스트 라인들을 통해 상기 제1 검출 커패시터에 제공하는 제1 스위칭 소자, 제2 스위칭 제어 신호에 응답하여 턴 온되어 상기 입력 신호를 상기 제3 및 제4 테스트 라인들을 통해 상기 제2 검출 커패시터에 제공하는 제2 스위칭 소자, 및 제3 스위칭 제어 신호에 응답하여 턴 온되어 상기 입력 신호를 상기 제5 및 제6 테스트 라인들을 통해 상기 제3 검출 커패시터에 제공하는 제3 스위칭 소자를 포함한다.
- [0021] 상기 제1 검출 커패시터는, 상기 제1 테스트 라인에 연결된 제1 전극, 상기 제1 전극과 오버랩되며 상기 제2 테스트 라인에 연결된 제2 전극, 및 상기 제1 전극과 상기 제2 전극 사이에 배치된 절연막을 포함하고, 상기 제1 및 제2 전극들은 상기 주사 구동부보다 외곽에 배치된다.
- [0022] 상기 제2 검출 커패시터는, 상기 제3 비표시 영역에 배치된 제3 전극, 상기 제3 비표시 영역의 소정의 영역에서 상기 제3 전극과 오버랩되는 제4 전극, 및 상기 제3 전극과 상기 제4 전극 사이에 배치된 절연막을 포함하고, 상기 제3 전극은 상기 제2 비표시 영역으로 연장되어 상기 주사 구동부보다 외곽에 배치되며 상기 제3 테스트 라인에 연결되고, 상기 제4 전극은 상기 제4 비표시 영역으로 연장되어 상기 발광 제어 구동부보다 외곽에 배치되어 상기 제4 테스트 라인에 연결된다.
- [0023] 상기 제3 검출 커패시터는, 상기 제5 테스트 라인에 연결된 제5 전극, 상기 제5 전극과 오버랩되며 상기 제6 테스트 라인에 연결된 제6 전극, 및 상기 제5 전극과 상기 제6 전극 사이에 배치된 절연막을 포함하고, 상기 제5 및 제6 전극들은 상기 발광제어 구동부보다 외곽에 배치된다.

발명의 효과

- [0024] 본 발명의 유기발광 표시장치 및 그것의 검사 방법은 표시 패널에 발생된 결함을 검출할 수 있다.

도면의 간단한 설명

- [0025] 도 1은 본 발명의 실시 예에 따른 유기발광 표시장치의 평면도이다.
- 도 2는 도 1에 도시된 I-I'선의 단면도이다.
- 도 3은 도 1에 도시된 결합 측정부와 제1 검출 커패시터의 등가 회로를 개략적으로 도시한 도면이다.
- 도 4a, 도 4b, 및 도 4c는 도 1에 도시된 II-II' 선의 단면도이다.
- 도 5는 도 1에 도시된 결합 측정부의 입력 신호 및 출력 신호의 타이밍도를 도시한 도면이다.
- 도 6은 본 발명의 실시 예에 따른 유기발광 표시장치의 검사 방법을 도시한 순서도이다.
- 도 7은 본 발명의 다른 실시 예에 따른 유기발광 표시장치의 평면도이다.
- 도 8은 도 6에 도시된 III-III'선의 단면도이다.
- 도 9는 도 6에 도시된 IV-IV'선의 단면도이다.
- 도 10은 도 6에 도시된 V-V'선의 단면도이다.
- 도 11은 도 6에 도시된 VI-VI'선의 단면도이다.
- 도 12는 도 6에 도시된 결합 측정부, 디멀티플렉서, 및 제1 내지 제3 검출 커패시터들의 등가 회로를 개략적으로

로 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0027] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.
- [0028] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작 시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0029] 비록 제1, 제2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소 또는 제1 섹션은 본 발명의 기술적 사상 내에서 제2 소자, 제2 구성요소 또는 제2 섹션일 수도 있음은 물론이다.
- [0030] 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 개략도인 평면도 및 단면도를 참고하여 설명될 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이고, 발명의 범주를 제한하기 위한 것은 아니다.
- [0031] 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명한다.
- [0032] 도 1은 본 발명의 실시예에 따른 유기발광 표시장치의 평면도이다. 도 2는 도 1에 도시된 I-I'선의 단면도이다.
- [0033] 도 1 및 도 2를 참조하면, 유기발광 표시장치는 표시 패널(110), 구동 회로 기판(120), 주사 구동부(130), 소스 구동 칩(140), 및 발광 제어 구동부(150)를 포함한다.
- [0034] 표시 패널(110)의 평면상의 영역은 표시 영역(DA) 및 표시 영역(DA) 주변에 형성된 비표시 영역(NDA1, NDA2, NDA3, NDA4)을 포함한다. 비표시 영역(NDA1, NDA2, NDA3, NDA4)은 표시 영역(DA)의 상측에 인접한 영역으로 정의되는 제1 비표시 영역(NDA1), 표시 영역(DA)의 좌측에 인접한 영역으로 정의되는 제2 비표시 영역(NDA2), 표시 영역(DA)의 하측에 인접한 영역으로 정의되는 제3 비표시 영역(NDA3), 및 표시 영역(DA)의 우측에 인접한 영역으로 정의되는 제4 비표시 영역(NDA4)을 포함한다.
- [0035] 표시 패널(110)은 복수의 화소들(PX), 복수의 주사 라인들(S1~Sn), 복수의 데이터 라인들(D1~Dm), 복수의 발광 제어 라인들(E1~En), 복수의 제어 라인들(CL1, CL2), 복수의 테스트 라인들(TL1, TL2), 및 제1 검출 커패시터(DC1)을 포함한다. n 및 m은 0보다 큰 정수이다.
- [0036] 화소들(PX)은 매트릭스 형태로 배열되어 표시 영역(DA)에 배치된다. 화소들(PX)은 행 방향으로 연장된 주사 라인들(S1~Sn) 및 주사 라인들(S1~Sn)과 교차하는 데이터 라인들(D1~Dm)에 연결된다. 또한, 화소들(PX)은 주사 라인들(S1~Sn)과 평행하게 연장된 발광 제어 라인들(E1~En)에 연결된다.
- [0037] 주사 라인들(S1~Sn)은 주사 구동부(130)에 연결되어 주사 신호들을 수신한다. 데이터 라인들(D1~Dm)은 소스 구동 칩(140)에 연결되어 데이터 전압들을 수신한다. 발광 제어 라인들(E1~En)은 발광 제어 구동부(150)에 연결되어 발광 제어 신호들을 수신한다.

- [0038] 제어 라인들(CL1,CL2)은 제1 제어라인(CL1) 및 제2 제어라인(CL2)을 포함한다. 제1 제어라인(CL1)은 주사 구동부(130) 및 소스 구동칩(140)에 연결된다. 제2 제어라인(CL2)은 발광 제어 구동부(150) 및 소스 구동칩(140)에 연결된다.
- [0039] 소스 구동칩(140)은 연성 회로 기관(142) 상에 실장 되어 구동 회로 기관(120)과 표시 패널(110)의 제1 비표시 영역(NDA1)에 연결된다.
- [0040] 도시하지 않았으나, 구동 회로 기관(120)에 실장된 타이밍 컨트롤러는 제1 제어 신호, 제2 제어 신호, 제3 제어 신호 및 영상 신호들을 생성한다. 제1 제어 신호는 소스 구동칩(140)을 경유하여 제1 제어 라인(CL1)을 통해 주사 구동부(130)에 제공된다. 제2 제어 신호 및 영상 신호들은 소스 구동칩(140)에 제공된다. 제3 제어 신호는 소스 구동칩(140)을 경유하여 제2 제어 라인(CL2)을 통해 발광 제어 구동부(150)에 제공된다.
- [0041] 주사 구동부(130)는 표시 패널(110)의 제2 비표시 영역(NDA2)에 배치된다. 주사 구동부(130)는 제1 제어 라인(CL1)을 통해 제공받은 제1 제어 신호에 응답하여 복수의 주사 신호들을 생성한다. 주사 신호들은 주사 라인들(S1~Sn)을 통해 화소들(PX)에 행 단위로 그리고 순차적으로 인가된다.
- [0042] 소스 구동칩(140)은 제2 제어 신호에 응답하여 영상 신호들에 대응되는 데이터 전압들을 생성한다. 데이터 전압들은 대응하는 데이터 라인들(DL1~DLm)을 통해 화소들(PX)에 제공된다.
- [0043] 발광 제어 구동부(150)는 표시 패널(110)의 제4 비표시 영역(NDA4)에 배치된다. 발광 제어 구동부(150)는 제2 제어 라인(CL2)을 통해 제공받은 제3 제어 신호에 응답하여 복수의 발광 제어 신호들을 생성한다. 발광 제어 신호들은 발광 제어 라인들(E1~En)을 통해 화소들(PX)에 행 단위로 그리고 순차적으로 인가된다.
- [0044] 화소들(PX)은 주사신호들에 응답하여 데이터 전압들을 공급받는다. 화소들(PX)은 데이터 전압들에 대응하는 소정 휘도의 빛을 생성함으로써 소정의 영상을 표시한다. 화소들(PX)의 발광시간은 발광 제어 신호들에 의해 제어된다.
- [0045] 소스 구동칩(140)은 결합 측정부(141)를 포함한다. 결합 측정부(141)는 입력 신호(Vin)를 생성한다. 입력 신호(Vin)는 테스트 펄스 신호로 정의될 수 있다. 결합 측정부(141)는 소스 구동칩(140)에 포함되는 구성으로 설명되었으나, 이에 한정되지 않고, 소스 구동칩(140)이 실장 되지 않은 연성회로기관(142) 상에 실장 될 수 있다.
- [0046] 제1 검출 커패시터(DC1)는 제2, 제3 및 제4 비표시 영역들(NDA2,NDA3,NDA4)에서 표시 영역(DA)을 둘러싸도록 형성될 수 있다. 구체적으로, 제2, 제3 및 제4 비표시 영역(NDA2,NDA3,NDA4)에서 표시 패널(110)은 제1 기관(111), 제1 기관(111) 상에 형성된 제1 전극(10), 제1 전극(10)을 덮도록 제1 기관(111) 상에 형성된 제1 절연막(112), 제1 절연막(112) 상에 형성된 제2 전극(20), 및 제2 전극(20)을 덮도록 제1 절연막(112) 상에 형성된 제2 절연막(113)을 포함한다.
- [0047] 제1 전극(10) 및 제2 전극(20)은 제1 절연막(112)을 사이에 두고 서로 오버랩되어 제2, 제3 및 제4 비표시 영역(NDA2,NDA3,NDA4)에서 표시 영역(DA)을 둘러싸도록 형성될 수 있다. 즉, 제1 전극(10) 및 제2 전극(20)은 서로 오버랩되어 "ㄷ"자 형상을 가질 수 있다. 도 1에는 설명의 편의를 위해 제1 전극(10)보다 상부에 배치된 제2 전극(20)만이 도시되었다. 제1 검출 커패시터(DC1)는 서로 오버랩되는 제1 전극(10) 및 제2 전극(20)과 제1 전극(10) 및 제2 전극(20) 사이에 배치된 제1 절연막(112)에 의해 형성된다.
- [0048] 제1 전극(10)은 제2 비표시 영역(NDA2)에서 주사 구동부(130)보다 외곽에 배치될 수 있다. 제2 전극(20) 제4 비표시 영역(NDA4)에서 발광 제어 구동부(150)보다 외곽에 배치될 수 있다.
- [0049] 테스트 라인들(TL1,TL2)은 제1 테스트 라인(TL1) 및 제2 테스트 라인(TL2)을 포함한다. 제1 테스트 라인(TL1) 및 제2 테스트 라인(TL2)은 연성회로 기관(142)을 경유하여 소스 구동칩(140)의 결합 측정부(141) 및 제1 검출 커패시터(DC1)에 연결된다. 도 2에 도시된 바와 같이, 제1 테스트 라인(TL1)은 결합 측정부(141) 및 제1 검출 커패시터(DC1)의 제1 전극(10)에 연결된다. 또한, 제2 테스트 라인(TL2)은 결합 측정부(141) 및 제1 검출 커패시터(DC1)의 제2 전극(20)에 연결된다.
- [0050] 예시적인 실시 예로서 제1 테스트 라인(TL1)은 제2 비표시 영역(NDA2)으로 연장되어 제1 전극(10)에 연결되고, 제2 테스트 라인(TL2)은 제4 비표시 영역(NDA4)으로 연장되어 제2 전극(20)에 연결된다. 그러나, 제1 및 제2 테스트 라인들(TL1,TL2)의 배치 구성은 이에 한정되지 않는다. 예를 들어, 제1 테스트 라인(TL1)은 제4 비표시 영역(NDA4)으로 연장되어 제1 전극(10)에 연결되고, 제2 테스트 라인(TL2)은 제2 비표시 영역(NDA2)으로 연장되어 제2 전극(20)에 연결될 수 있다.

- [0051] 결합 측정부(141)에서 생성된 입력 신호(Vin)는 도 2에 도시된 바와 같이, 제1 및 제2 테스트 라인들(TL1, TL2)을 통해 제1 검출 커패시터(DC1)에 제공된다. 제1 검출 커패시터(DC1)에는 입력 신호(Vin)에 대응되는 전압이 충전될 수 있다. 결합 측정부(141)에서 제1 검출 커패시터(DC1)의 충전 타이밍이 출력 신호로서 측정될 수 있다. 측정된 출력 신호에 따라서 표시 패널(110)의 결합 여부가 검출될 수 있다. 이러한 구성은 이하, 도 3 내지 도 5를 참조하여 상세히 설명될 것이다.
- [0052] 도 3은 도 1에 도시된 결합 측정부와 제1 검출 커패시터의 등가 회로를 개략적으로 도시한 도면이다.
- [0053] 도 3을 참조하면, 결합 측정부(141)은 입력 신호(Vin)를 발생한다. 도시하지 않았으나, 결합 측정부(141)은 입력 신호(Vin)로서 테스트 펄스 신호를 발생하기 위한 펄스 발생부를 포함할 수 있다.
- [0054] 앞서 설명한 바와 같이, 결합 측정부(141)에서 발생된 입력 신호(Vin)는 제1 및 제2 테스트 라인들(TL1, TL2)을 통해 제1 검출 커패시터(DC1)에 제공된다. 예를 들어, 입력 신호(Vin)는 정극성(+) 전압 및 부극성(-) 전압을 포함할 수 있다. 부극성(-) 전압이 제1 테스트 라인(TL1)을 통해 제1 전극(10)에 제공되고, 정극성(+) 전압이 제2 테스트 라인(TL2)을 통해 제2 전극(20)에 제공된다. 도시하지 않았으나, 부극성(-) 전압은 접지 전압일 수 있다. 제1 검출 커패시터(DC1)는 입력 신호(Vin)에 대응되는 전압을 충전한다.
- [0055] 결합 측정부(141)는 제1 테스트 라인(TL1)에 연결된 제1 노드(N1) 및 제2 테스트 라인(TL2)에 연결된 제2 노드(N2)를 포함한다. 결합 측정부(141)의 제1 노드(N1) 및 제2 노드(N2) 사이에서 출력 신호(Vout)가 측정될 수 있다. 출력 신호(Vout)는 제1 검출 커패시터(DC1)의 충전 타이밍으로 정의될 수 있다. 제1 검출 커패시터(DC1)의 충전 타이밍은 제1 검출 커패시터(DC1)의 용량의 변화에 따라서 달라질 수 있다. 제1 검출 커패시터(DC1)의 용량은 제1 검출 커패시터(DC1)의 결합에 따라서 달라질 수 있다. 결합 측정부(141)는 출력 신호(Vout)를 출력한다.
- [0056] 표시 패널(110)이 플렉서블한 특성을 가지고 휘어질 경우, 제1 검출 커패시터(DC1)를 형성하는 제1 전극(10), 제2 전극(20), 또는 제1 전극(10)과 제2 전극(20) 사이에 배치된 제1 절연막(112)에 결합이 생길 수 있다. 이러한 경우, 제1 검출 커패시터(DC1)의 용량이 변할 수 있다. 제1 검출 커패시터(DC1)의 용량의 변화에 따라서 제1 검출 커패시터(DC1)의 충전 타이밍이 달라지고, 이러한 상태는 출력 신호(Vout)를 통해 검출될 수 있다.
- [0057] 도시하지 않았으나, 결합 측정부(141)에서 출력되는 출력 신호(Vout)는 외부의 테스터 장치에 제공되어, 표시 패널(110)의 결합 여부를 판별하기 위해 이용될 수 있다. 즉, 제1 전극(10), 제2 전극(20), 및 제1 절연막(112)에 결합이 생기지 않아 제1 검출 커패시터(DC1)의 용량이 정상적인 경우, 정상적인 출력 신호(Vout)가 출력되고, 표시 패널(110)은 정상으로 판별된다.
- [0058] 그러나, 즉, 제1 전극(10), 제2 전극(20), 또는 제1 절연막(112)에 결합이 생겨 제1 검출 커패시터(DC1)의 용량이 변할 경우, 정상적인 출력 신호(Vout)가 출력되지 않는다. 이러한 경우, 표시 패널(110)은 결합 상태로 판별된다. 예를 들어, 플렉서블한 특징을 갖는 표시 패널(110)이 휘어져 제1 검출 커패시터(DC1)에 결합이 발생하고, 제1 검출 커패시터(DC1)가 배치되지 않은 표시 패널(110)의 다른 영역에도 결합이 발생할 수 있다. 결합에 따른 제1 검출 커패시터(DC1)의 용량의 변화는 출력 신호(Vout)를 통해 검출된다. 이러한 경우, 제1 검출 커패시터(DC1)가 배치되지 않은 표시 패널(110)의 다른 영역에도 결합이 발생된 것으로 판별된다.
- [0059] 제1 검출 커패시터(DC1)의 결합 및 제1 검출 커패시터(DC1)의 결합에 따른 충전 타이밍은 도 4a, 도 4b, 도 4c, 및 도 5를 참조하여 상세히 설명될 것이다.
- [0060] 도 4a, 도 4b, 및 도 4c는 도 1에 도시된 II-II' 선의 단면도이다.
- [0061] 도 4a, 도 4b, 및 도 4c는 표시 패널(110)의 휘어짐에 따라서 발생할 수 있는 제1 검출 커패시터(DC1)의 다양한 결합 상태를 도시한 도면이다.
- [0062] 도 4a 및 도 4b를 참조하면, 제1 전극(10)에 제1 결합(DP1)이 생기거나 제2 전극(20)에 제2 결합(DP2)이 생길 수 있다. 도시하지 않았으나, 제1 전극(10)과 제2 전극(20)에 결합이 생길 수 있다. 제1 결합(DP1) 및 제2 결합(DP2)은 크랙으로서 제1 전극(10) 및 제2 전극(20)이 외력에 의해 갈라진 상태로 정의될 수 있다.
- [0063] 커패시터의 용량은 유전체를 사이에 두고 서로 오버랩되는 두 개의 전극의 면적에 비례하고 두 개의 전극 사이의 거리에 반비례한다. 두 개의 전극 중 어느 하나의 전극에 결합으로서 크랙이 발생될 수 있다. 즉, 두 개의 전극 중 어느 하나의 전극이 갈라져 끊어질 수 있다. 이러한 경우, 끊어진 전극에 의해 커패시터의 용량이 줄어든다.

- [0064] 예를 들어, 도 4a 도시된 바와 같이 제1 전극(10)에 제1 결함(DP1)이 생길 수 있다. 이러한 경우, 제1 전극(10)은 제1 결함(DP1)에 의해 갈라져 좌측의 제1 서브 전극(SE1) 및 우측의 제2 서브 전극(SE2)으로 구분될 수 있다. 제2 전극(20)은 제2 테스트 라인(TL2)에 연결되어 있다. 제1 전극(10)의 제1 서브 전극(SE1)에 제1 테스트 라인(TL1)이 연결되어 있으며, 제1 결함(DP1)에 의해 제1 전극(10)의 제2 서브 전극(SE2)에는 제1 테스트 라인(TL1)이 연결되지 않는다.
- [0065] 입력 신호(Vin)는 제1 및 제2 테스트 라인들(TL1, TL2)을 통해 제1 전극(10)의 제1 서브 전극(SE1) 및 제2 전극(20)에 제공된다. 따라서, 제1 검출 커패시터(DC1)의 용량은 제1 전극(10)의 제1 서브 전극(SE1)의 영역 및 제1 전극(10)의 제1 서브 전극(SE1)과 오버랩되는 제2 전극(20)의 영역에 의해 결정된다.
- [0066] 제1 및 제2 전극들(10, 20)에 결함이 생기지 않았을 경우 서로 오버랩되는 제1 전극(10) 및 제2 전극(20)의 면적보다 제1 전극(10)에 제1 결함(DP1)이 생겼을 경우 서로 오버랩되는 제1 서브 전극(SE1) 및 제2 전극(20)의 면적이 작다. 따라서, 제1 및 제2 전극들(10, 20)에 결함이 생기지 않았을 경우보다 제1 전극(10)에 제1 결함(DP1)이 생겼을 경우, 제1 검출 커패시터(DC1)의 용량이 작아진다.
- [0067] 같은 이유로 제2 전극(20)에 제2 결함(DP2)이 생길 경우, 제1 검출 커패시터(DC1)의 용량은 제2 전극(20)의 제4 서브 전극(SE4)의 영역 및 제2 전극(20)의 제4 서브 전극(SE4)과 오버랩되는 제1 전극(10)의 영역에 의해 결정된다. 따라서, 제1 및 제2 전극들(10, 20)에 결함이 생기지 않았을 경우보다 제2 전극(20)에 제2 결함(DP2)이 생겼을 경우, 제1 검출 커패시터(DC1)의 용량이 작아진다.
- [0068] 도시하지 않았으나, 같은 이유로, 제1 및 제2 전극들(10, 20)에 결함이 생기지 않았을 경우보다 제1 및 제2 전극들(10, 20)에 결함이 생겼을 경우, 제1 검출 커패시터(DC1)의 용량이 작아진다.
- [0069] 도 4c를 참조하면, 제1 절연막(112)에 제3 결함(DP3)이 생길 수 있다. 제1 절연막(112)은 무기 절연막일 수 있다. 예시적인 실시 예로서 제1 절연막(112)은 실리콘 나이트 라이드(SiNx)로 형성될 수 있다. 제3 결함(DP3)이 생길 경우, 제3 결함(DP3)에는 공기(Air)가 채워 질 수 있다. 실리콘 나이트 라이드(SiNx)의 유전률은 6.9 패럿/미터일 수 있다. 공기의 유전률은 1.0005 패럿/미터일 수 있다. 즉, 공기의 유전률은 제1 절연막(112)보다 낮다.
- [0070] 커패시터의 용량은 두 개의 전극 사이에 배치된 유전체의 유전률에 비례한다. 제1 절연막(112) 및 공기는 유전체로 정의될 수 있다. 제3 결함(DP3)에는 공기가 채워지며, 공기의 유전률은 제1 절연막(112)보다 낮다. 따라서, 제1 절연막(112)에 제3 결함(DP3)이 생기지 않았을 경우보다 제3 결함(DP3)이 생겼을 경우, 제1 검출 커패시터(DC1)의 유전체의 유전률이 낮아진다. 즉, 제1 절연막(112)에 제3 결함(DP3)이 생기지 않았을 경우보다 제3 결함(DP3)이 생겼을 경우, 제1 검출 커패시터(DC1)의 용량이 작아진다.
- [0071] 도 5는 도 1에 도시된 결함 측정부의 입력 신호 및 출력 신호의 타이밍도를 도시한 도면이다.
- [0072] 도 5를 참조하면, 입력 신호(Vin)는 제1 구간(1H)을 갖는 펄스 신호일 수 있다. 제1 구간(1H)은 하이 레벨 신호로 정의될 수 있다. 출력 신호(Vout)는 제1 출력 신호(Vout1) 및 제2 출력 신호(Vout2)를 포함한다.
- [0073] 제1 출력 신호(Vout1)는 제1 전극(10), 제2 전극(20), 및 제1 절연막(112)에 결함이 생기지 않았을 경우, 제1 검출 커패시터(DC1)의 충전 타이밍으로 정의될 수 있다. 즉, 제1 출력 신호(Vout1)는 제1 전극(10), 제2 전극(20), 및 제1 절연막(112)에 결함이 생기지 않았을 경우 제1 노드(N1) 및 제2 노드(N2) 사이의 출력 신호(Vout1)일 수 있다. 제1 출력 신호(Vout1)의 라이징 타임은 제1 기간(t1)으로 정의될 수 있다. 제1 출력 신호(Vout1)의 라이징 타임은 입력 신호(Vin)의 하이 레벨까지 충전되는데 소요되는 시간으로 정의될 수 있다.
- [0074] 제2 출력 신호(Vout2)는 제1 전극(10), 제2 전극(20), 또는 제1 절연막(112)에 결함이 생겼을 경우, 제1 검출 커패시터(DC1)의 충전 타이밍으로 정의될 수 있다. 즉, 제2 출력 신호(Vout2)는 제1 전극(10), 제2 전극(20), 또는 제1 절연막(112)에 결함이 생겼을 경우 제1 노드(N1) 및 제2 노드(N2) 사이의 출력 신호(Vout)일 수 있다. 제2 출력 신호(Vout2)의 라이징 타임은 제2 기간(t2)으로 정의될 수 있다. 제2 출력 신호(Vout2)의 라이징 타임은 입력 신호(Vin)의 하이 레벨까지 충전되는데 소요되는 시간으로 정의될 수 있다.
- [0075] 전술한 바와 같이, 제1 전극(10), 제2 전극(20), 또는 제1 절연막(112)에 결함이 생겼을 경우, 제1 검출 커패시터(DC1)의 용량은 작아진다. 라이징 타임은 제1 검출 커패시터(DC1)의 용량에 비례한다. 즉, 제1 검출 커패시터(DC1)의 용량이 클수록 라이징 타임은 커지고 제1 검출 커패시터(DC1)의 용량이 작을수록 라이징 타임은 작아진다.
- [0076] 제1 전극(10), 제2 전극(20), 또는 제1 절연막(112)에 결함이 생겼을 경우, 제1 검출 커패시터(DC1)의 용량은

작아진다. 따라서, 제1 전극(10), 제2 전극(20), 또는 제1 절연막(112)에 결함이 생기지 않았을 경우보다 제1 전극(10), 제2 전극(20), 또는 제1 절연막(112)에 결함이 생겼을 경우, 출력 신호(Vout)의 라이징 타임은 제1 기간(t1)보다 작은 제2 기간(t2)을 갖는다.

- [0077] 전술한 바와 같이, 출력 신호(Vout)는 외부의 테스터 장치에 제공되어, 표시 패널(110)의 결함 여부를 판별하기 위해 이용될 수 있다. 출력 신호(Vout)가 제1 출력 신호(Vout1)일 경우, 표시 패널(110)은 정상으로 판별된다. 출력 신호(Vout)가 제2 출력 신호(Vout2)일 경우, 표시 패널(110)은 결함 상태로 판별된다. 즉, 출력 신호(Vout)의 라이징 타임이 제1 기간(t1)을 가질 경우, 표시 패널(110)은 정상으로 판별되고, 제2 기간(t2)을 가질 경우, 표시 패널(110)은 결함 상태로 판별된다.
- [0078] 결과적으로, 본 발명의 실시 예에 따른 유기발광 표시장치(100)는 표시 패널(110)에 발생된 결함을 검출할 수 있다.
- [0079] 도 6은 본 발명의 실시 예에 따른 유기발광 표시장치의 검사 방법을 도시한 순서도이다.
- [0080] 도 6을 참조하면, 단계(S110)에서 도 1에 도시된 표시 패널(110)이 준비된다. 전술한 바와 같이, 표시 패널(110)의 제2, 제3, 및 제4 비표시 영역들(NDA2, NDA3, NDA4)에 제1 검출 커패시터(DC1)가 형성되며, 제1 비표시 영역(NDA1)에 입력 신호(Vin)를 생성하는 소스 구동칩(140)이 연결된다.
- [0081] 단계(S120)에서 입력 신호가 생성된다. 구체적으로, 소스 구동칩(140)의 결함 검출부(141)는 테스트 펄스 신호인 입력 신호(Vin)를 생성한다.
- [0082] 단계(S130)에서 제1 검출 커패시터(DC1)에 입력 신호(Vin)가 제공된다. 따라서 제1 검출 커패시터(DC1)에 입력 신호(Vin)에 대응되는 전압이 충전될 수 있다.
- [0083] 단계(S140)에서 입력 신호(Vin)에 따른 제1 검출 커패시터(DC1)의 충전 타이밍을 출력 신호(Vout)로서 출력한다. 구체적으로, 소스 구동칩(140)의 결함 검출부(141)는 제1 검출 커패시터(DC1)의 충전 타이밍을 출력 신호(Vout)로서 검출하여 출력한다.
- [0084] 단계(S150)에서 출력 신호(Vout)의 라이징 타임을 제1 기간(t1)과 비교한다. 전술한 바와 같이, 제1 전극(10), 제2 전극(20), 및 제1 절연막(112)에 결함이 생기지 않았을 경우, 출력 신호(Vout)의 라이징 타임은 제1 기간(t1)을 갖는다. 그러나, 제1 전극(10), 제2 전극(20), 또는 제1 절연막(112)에 결함이 생겼을 경우, 출력 신호(Vout)의 라이징 타임은 제1 기간(t1)을 갖지 않는다. 구체적으로 제1 전극(10), 제2 전극(20), 또는 제1 절연막(112)에 결함이 생겼을 경우, 출력 신호(Vout)의 라이징 타임은 제1 기간(t1)보다 작은 제2 기간(t2)을 가질 수 있다.
- [0085] 단계(S160)에서 출력 신호(Vout)의 라이징 타임이 제1 기간(t1)과 같을 경우, 단계(S170)에서 표시 패널(110)은 정상으로 판별된다. 단계(S160)에서 출력 신호(Vout)의 라이징 타임이 제1 기간(t1)과 다를 경우, 단계(S180)에서 표시 패널(110)은 결함 상태로 판별된다.
- [0086] 결과적으로, 본 발명의 실시 예에 따른 유기발광 표시장치(100)는 표시 패널(110)에 발생된 결함을 검출할 수 있다.
- [0087] 도 7은 본 발명의 다른 실시 예에 따른 유기발광 표시장치의 평면도이다. 도 8은 도 7에 도시된 III-III'선의 단면도이다. 도 9는 도 7에 도시된 IV-IV'선의 단면도이다. 도 10은 도 7에 도시된 V-V'선의 단면도이다. 도 11은 도 7에 도시된 VI-VI'선의 단면도이다.
- [0088] 도 7에 도시된 유기발광 표시장치(200)는 디멀티플렉서(143)를 포함하고, 제2 내지 제4 비표시 영역들(NDA2, NDA3, NDA4)에 배치된 검출 커패시터의 구성이 다른 것을 제외하면 도 1에 도시된 유기발광 표시장치(100)와 동일한 구성을 갖는다. 이하, 도 1에 도시된 유기발광 표시장치(100)와 다른 구성만이 설명될 것이며, 동일한 구성은 동일한 부호를 사용하여 도시하였다.
- [0089] 도 7 내지 도 11을 참조하면, 소스 구동칩(140)은 결함 측정부(141), 디멀티플렉서(143), 및 결함 측정부(141)와 디멀티플렉서(143)에 연결되는 제1 및 제2 배선들(L1, L2)을 포함한다. 전술한 바와 같이 결함 측정부(141)는 입력 신호(Vin)를 생성한다. 입력 신호(Vin)는 제1 및 제2 배선들(L1, L2)을 통해 디멀티플렉서(143)에 제공된다.
- [0090] 결함 측정부(141) 및 디멀티플렉서(143)는 소스 구동칩(140)에 포함되는 구성으로 설명되었으나, 이에 한정되지 않고, 소스 구동칩(140)이 실장되지 않은 연성회로기판(142) 상에 실장될 수 있다.

- [0091] 표시 패널(110)은 제2, 제3 및 제4 비표시 영역들(NDA2, NDA3, NDA4)에 형성되는 제1, 제2, 및 제3 검출 커패시터들(DC1, DC2, DC3)을 포함한다. 구체적으로, 제2 비표시 영역(NDA2)에 제1 검출 커패시터(DC1)가 형성된다. 제3 비표시 영역(NDA3)에 제2 검출 커패시터(DC2)가 형성된다. 제4 비표시 영역(NDA4)에 제3 검출 커패시터(DC3)가 형성된다.
- [0092] 도 8에 도시된 바와 같이, 제2 비표시 영역(NDA2)에서 표시 패널(110)의 제1 기판(111) 상에 서로 이격되어 제1 전극(10) 및 제3 전극(30)이 형성된다. 제1 전극(10) 및 제3 전극(30)을 덮도록 제1 기판(111) 상에 제1 절연막(112)이 형성된다. 제1 절연막(112) 상에 제1 전극(10)과 오버랩되도록 제2 전극(20)이 형성된다. 제2 전극(20)을 덮도록 제1 절연막(112) 상에 제2 절연막(113)이 형성된다. 제1, 제2, 및 제3 전극들(10, 20, 30)은 제2 비표시 영역(NDA2)에서 주사 구동부(130)보다 외곽에 배치된다.
- [0093] 제1 검출 커패시터(DC1)는 제2 비표시 영역(NDA2)에서 서로 오버랩되는 제1 전극(10) 및 제2 전극(20)과 제1 전극(10) 및 제2 전극(20) 사이에 배치된 제1 절연막(112)에 의해 형성된다.
- [0094] 도 7, 도 9, 및 도 11에 도시된 바와 같이, 제3 전극(30)은 제2 비표시 영역(NDA2) 및 제3 비표시 영역(NDA2)에서 제1 기판(111) 상에 형성된다. 제3 전극(30)을 덮도록 제1 기판(111) 상에 제1 절연막(112)이 형성된다. 제3 비표시 영역(NDA3) 및 제4 비표시 영역(NDA4)에서 제1 절연막(112) 상에 제4 전극(40)이 형성된다. 제4 전극(40)을 덮도록 제1 절연막(112) 상에 제2 절연막(113)이 형성된다. 제3 전극(30) 및 제4 전극(40)은 제3 비표시 영역(NDA3)의 소정의 영역(A1)에서 오버랩될 수 있다.
- [0095] 제2 검출 커패시터(DC2)는 제3 비표시 영역(NDA3)의 소정의 영역(A1)에서 서로 오버랩되는 제3 전극(30) 및 제4 전극(40)과 제3 전극(30) 및 제4 전극(40) 사이에 배치된 제1 절연막(112)에 의해 형성된다.
- [0096] 제2 검출 커패시터(DC2)는 제3 비표시 영역(NDA3)에 배치된 제3 전극(30), 제3 비표시 영역(NDA3)의 소정의 영역(A1)에서 제3 전극(30)과 오버랩되는 제4 전극(40), 및 제3 전극(30)과 제4 전극(40) 사이에 배치된 제1 절연막(112)에 의해 형성된다. 제3 전극(30)은 제2 비표시 영역(NDA2)으로 연장되어 주사 구동부(130)보다 외곽에 배치된다. 제4 전극(40)은 제4 비표시 영역(NDA4)으로 연장되어 발광제어 구동부(150)보다 외곽에 배치된다.
- [0097] 도 10에 도시된 바와 같이, 제4 비표시 영역(NDA4)에서 표시 패널(110)의 제1 기판(111) 상에 제5 전극(50)이 형성된다. 제5 전극(50)을 덮도록 제1 기판(111) 상에 제1 절연막(112)이 형성된다. 제1 절연막(112) 상에 서로 이격되어 제4 전극(40) 및 제6 전극(60)이 형성된다. 제4 비표시 영역(NDA4)에서 제6 전극(60)은 제5 전극(50)과 서로 오버랩되도록 형성된다. 제4 전극(40) 및 제6 전극(60)을 덮도록 제1 절연막(112) 상에 제2 절연막(113)이 형성된다. 제4, 제5, 및 제6 전극들(40, 50, 60)은 제4 비표시 영역(NDA4)에서 주사 구동부(130)보다 외곽에 배치될 수 있다.
- [0098] 제3 검출 커패시터(DC3)는 제4 비표시 영역(NDA4)에서 서로 오버랩되는 제5 전극(50) 및 제6 전극(60)과 제5 전극(50) 및 제6 전극(60) 사이에 배치된 제1 절연막(112)에 의해 형성된다.
- [0099] 테스트 라인들(TL1~TL6)은 제1 내지 제6 테스트 라인들(TL1~TL6)을 포함한다. 제1 내지 제6 테스트 라인들(TL1~TL6)은 디멀티플렉서(143) 및 제1 내지 제3 검출 커패시터들(DC1~DC3)에 연결된다. 구체적으로, 제1 테스트 라인(TL1) 및 제2 테스트 라인(TL2)은 디멀티플렉서(143) 및 제1 검출 커패시터(DC1)에 연결된다. 제3 테스트 라인(TL3) 및 제4 테스트 라인(TL4)은 디멀티플렉서(143) 및 제2 검출 커패시터(DC2)에 연결된다. 제5 테스트 라인(TL5) 및 제6 테스트 라인(TL6)은 디멀티플렉서(143) 및 제3 검출 커패시터(DC3)에 연결된다.
- [0100] 도 8에 도시된 바와 같이, 제1 테스트 라인(TL1)은 디멀티플렉서(143) 및 제1 검출 커패시터(DC1)의 제1 전극(10)에 연결된다. 제2 테스트 라인(TL2)은 디멀티플렉서(143) 및 제1 검출 커패시터(DC1)의 제2 전극(20)에 연결된다. 디멀티플렉서(143)는 결합 측정부(141)로부터 제공된 입력 신호(Vin)를 선택적으로 제1 테스트 라인(TL1) 및 제2 테스트 라인(TL2)을 통해 제1 검출 커패시터(DC1)에 제공한다.
- [0101] 도 7, 도 9, 및 도 11에 도시된 바와 같이, 제3 테스트 라인(TL3)은 디멀티플렉서(143) 및 제3 전극(30)에 연결된다. 제4 테스트 라인(TL4)은 디멀티플렉서(143) 및 제4 전극(40)에 연결된다. 전술한 바와 같이 제3 전극(30) 및 제4 전극(40)은 제3 비표시 영역(NDA3)의 소정의 영역(A1)에서 오버랩될 수 있다. 제3 비표시 영역(NDA3)의 소정의 영역(A1)에 제2 검출 커패시터(DC2)가 형성된다. 디멀티플렉서(143)는 결합 측정부(141)로부터 제공된 입력 신호(Vin)를 선택적으로 제3 테스트 라인(TL3)에 연결된 제3 전극(30) 및 제4 테스트 라인(TL4)에 연결된 제4 전극(40)을 통해 제2 검출 커패시터(DC2)에 제공한다.
- [0102] 도 10에 도시된 바와 같이, 제5 테스트 라인(TL5)은 디멀티플렉서(143) 및 제3 검출 커패시터(DC3)의 제5 전극

(50)에 연결된다. 제6 테스트 라인(TL6)은 디멀티플렉서(143) 및 제3 검출 커패시터(DC3)의 제6 전극(60)에 연결된다. 디멀티플렉서(143)는 결합 측정부(141)로부터 제공된 입력 신호(Vin)를 선택적으로 제5 테스트 라인(TL5) 및 제6 테스트 라인(TL6)을 통해 제3 검출 커패시터(DC3)에 제공한다.

- [0103] 도 12는 도 7에 도시된 결합 측정부, 디멀티플렉서, 및 제1 내지 제3 검출 커패시터들의 등가 회로를 개략적으로 도시한 도면이다.
- [0104] 도 12를 참조하면, 전술한 와 같이, 결합 측정부(141)에 발생된 입력 신호(Vin)는 제1 및 제2 배선들(L1,L2)을 통해 디멀티플렉서(143)에 제공된다. 디멀티플렉서(143)는 선택적으로 입력 신호(Vin)를 제1, 제2, 및 제3 검출 커패시터들(DC1,DC2,DC3) 중 어느 하나에 제공할 수 있다.
- [0105] 결합 측정부(141)는 제1 배선(L1)에 연결된 제1 노드(N1) 및 제2 배선(L2)에 연결된 제2 노드(N2)를 포함한다. 결합 측정부(141)의 제1 노드(N1) 및 제2 노드(N2) 사이에서 출력 신호(Vout)가 측정될 수 있다.
- [0106] 디멀티플렉서(143)는 제1, 제2, 및 제3 스위칭 소자들(SW1,SW2,SW3)을 포함한다. 제1, 제2, 및 제3 스위칭 소자들(SW1,SW2,SW3)의 소스 전극들은 제1 배선(L1)을 통해 결합 측정부(141)에 연결된다.
- [0107] 제1, 제2, 및 제3 스위칭 소자들(SW1,SW2,SW3)의 게이트 전극들은 각각 대응하는 제1, 제2, 및 제3 스위칭 제어 신호들(CS1,CS2,CS3)을 수신한다. 따라서, 제1, 제2, 및 제3 스위칭 소자들(SW1,SW2,SW3)은 각각 대응하는 제1, 제2, 및 제3 스위칭 제어 신호들(CS1,CS2,CS3)에 응답하여 선택적으로 턴 온될 수 있다.
- [0108] 제1 스위칭 소자(SW1)의 드레인 전극은 제2 테스트 라인(TL2)을 통해 제1 검출 커패시터(DC1)의 제2 전극(20)에 연결된다. 제2 스위칭 소자(SW2)의 드레인 전극은 제4 테스트 라인(TL4)을 통해 제2 검출 커패시터(DC2)의 제4 전극(40)에 연결된다. 제3 스위칭 소자(SW3)의 드레인 전극은 제6 테스트 라인(TL6)을 통해 제3 검출 커패시터(DC2)의 제6 전극(20)에 연결된다.
- [0109] 제1 검출 커패시터(DC1)의 제1 전극(10)에 연결된 제1 테스트 라인(TL1), 제2 검출 커패시터(DC2)의 제3 전극(30)에 연결된 제3 테스트 라인(TL3), 및 제3 검출 커패시터(DC3)의 제5 전극(50)에 연결된 제5 테스트 라인(TL5)은 디멀티플렉서(143)를 통해 제2 배선(L2)에 연결된다.
- [0110] 도시하지 않았으나 제1, 제2, 및 제3 스위칭 제어 신호들(CS1,CS2,CS3)은 구동 회로 기관(120)에 실장된 타이밍 컨트롤러로부터 제1, 제2, 및 제3 스위칭 소자들(SW1,SW2,SW3)에 제공될 수 있다.
- [0111] 제1 스위칭 소자(SW1)는 제1 스위칭 제어 신호(CS1)에 응답하여 턴 온 된다. 턴 온 된 제1 스위칭 소자(SW1)는 입력 신호(Vin)를 제1 검출 커패시터(DC1)에 제공한다. 즉, 턴 온 된 제1 스위칭 소자(SW1)에 의해 입력 신호(Vin)는 제1 및 제2 테스트 라인들(TL1,TL2)을 통해 제1 검출 커패시터(DC1)에 제공된다.
- [0112] 제2 스위칭 소자(SW2)는 제2 스위칭 제어 신호(CS2)에 응답하여 턴 온 된다. 턴 온 된 제2 스위칭 소자(SW2)는 입력 신호(Vin)를 제2 검출 커패시터(DC2)에 제공한다. 즉, 턴 온 된 제2 스위칭 소자(SW2)에 의해 입력 신호(Vin)는 제3 및 제4 테스트 라인들(TL3,TL4)을 통해 제2 검출 커패시터(DC2)에 제공된다.
- [0113] 제3 스위칭 소자(SW3)는 제3 스위칭 제어 신호(CS3)에 응답하여 턴 온 된다. 턴 온 된 제3 스위칭 소자(SW3)는 입력 신호(Vin)를 제3 검출 커패시터(DC3)에 제공한다. 즉, 턴 온 된 제3 스위칭 소자(SW3)에 의해 입력 신호(Vin)는 제5 및 제6 테스트 라인들(TL5,TL6)을 통해 제3 검출 커패시터(DC3)에 제공된다.
- [0114] 이러한 구성에 의해 제1, 제2, 및 제3 검출 커패시터들(DC1,DC2,DC3)의 용량의 변화에 따른 출력 신호(Vout)가 측정될 수 있다. 측정된 출력 신호(Vout)에 따라서 표시 패널(110)의 결합 여부가 검출될 수 있다. 유기발광 표시장치(200)의 결합 검출 방법은 도 1에 도시된 유기발광 표시장치(100)의 결합 검출 방법과 실질적으로 동일하므로 설명을 생략한다. 제1 검출 커패시터(DC1)에 의해 표시 패널(110)의 좌측 영역의 결합이 검출될 수 있다. 제2 검출 커패시터(DC2)에 의해 표시 패널(110)의 하측 영역의 결합이 검출될 수 있다. 제3 검출 커패시터(DC3)에 의해 표시 패널(110)의 우측 영역의 결합이 검출될 수 있다.
- [0115] 결과적으로, 본 발명의 다른 실시 예에 따른 유기발광 표시장치(200)는 표시 패널(110)에 발생된 결합을 검출할 수 있다.
- [0116] 이상 실시 예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다. 또한 본 발명에 개시된 실시 예는 본 발명의 기술 사상을 한정하기 위한 것이 아니고, 하기의 특허 청구의 범위 및 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것

으로 해석되어야 할 것이다.

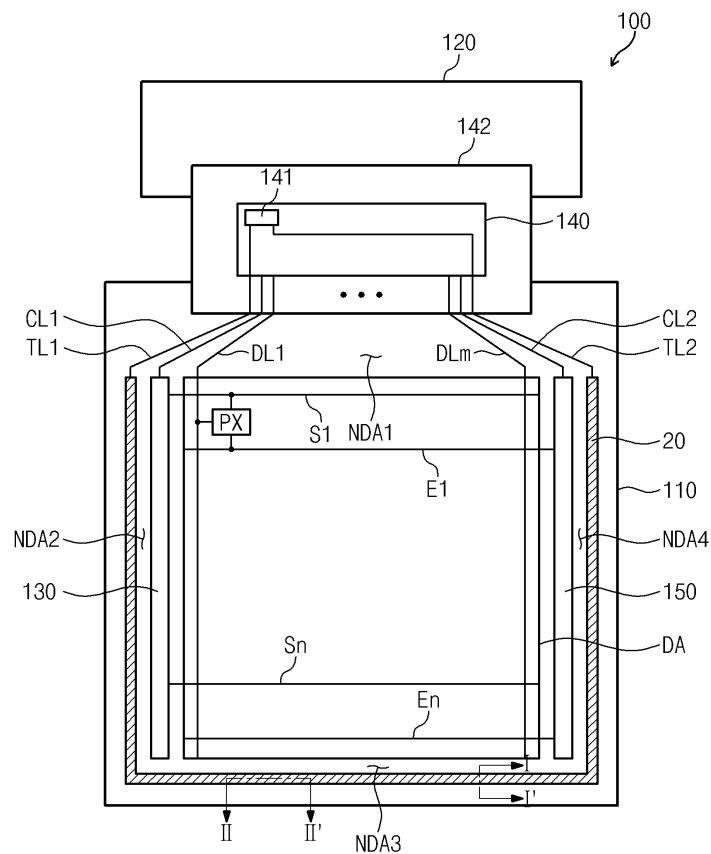
부호의 설명

[0117]

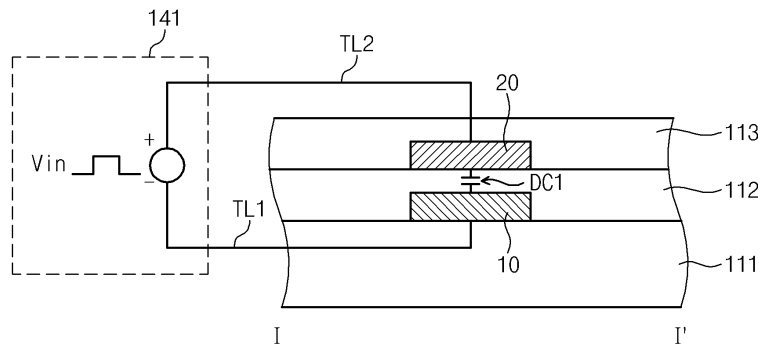
100,200: 유기발광 표시장치	110: 표시 패널
120: 구동 회로 기판	130: 주사 구동부
140: 소스 구동칩	150: 발광 제어 구동부
141: 결함 검출부	142: 연성회로기판
143: 디멀티플렉서	111: 제1 기판
112: 제1 절연막	113: 제2 절연막
10,20,30,40,50,60: 제1, 제2, 제3, 제4, 제5, 및 제6 전극	
DC1,DC2,DC3: 제1, 제2, 및 제3 검출 커패시터	

도면

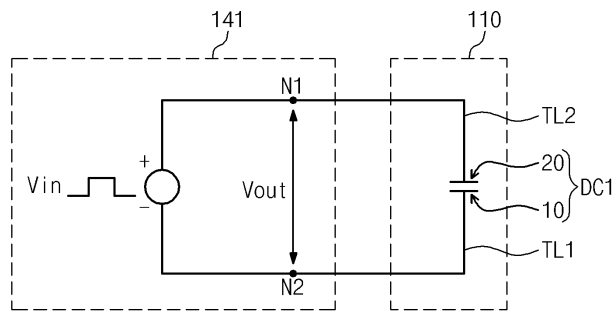
도면1



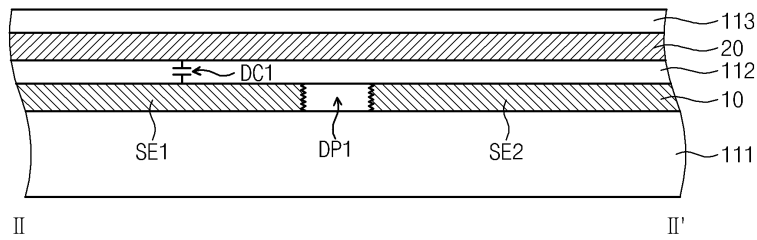
도면2



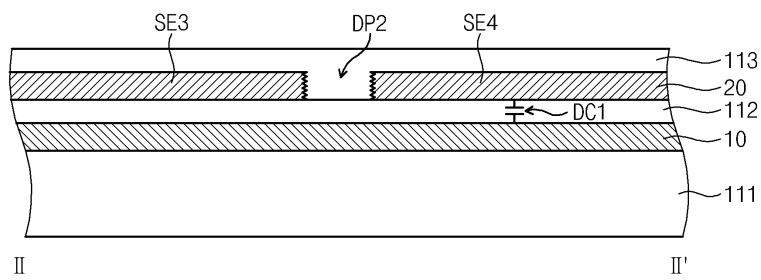
도면3



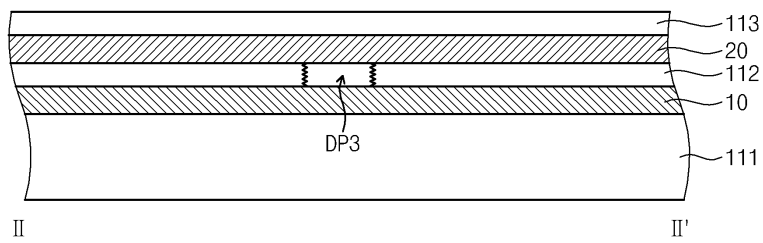
도면4a



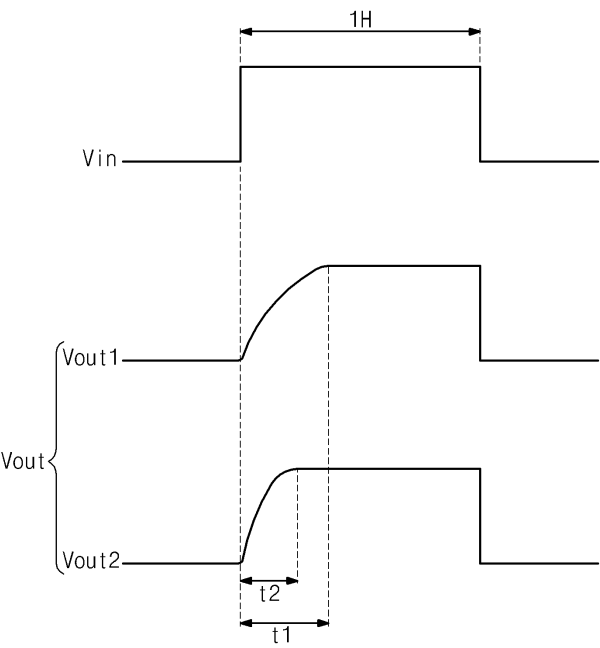
도면4b



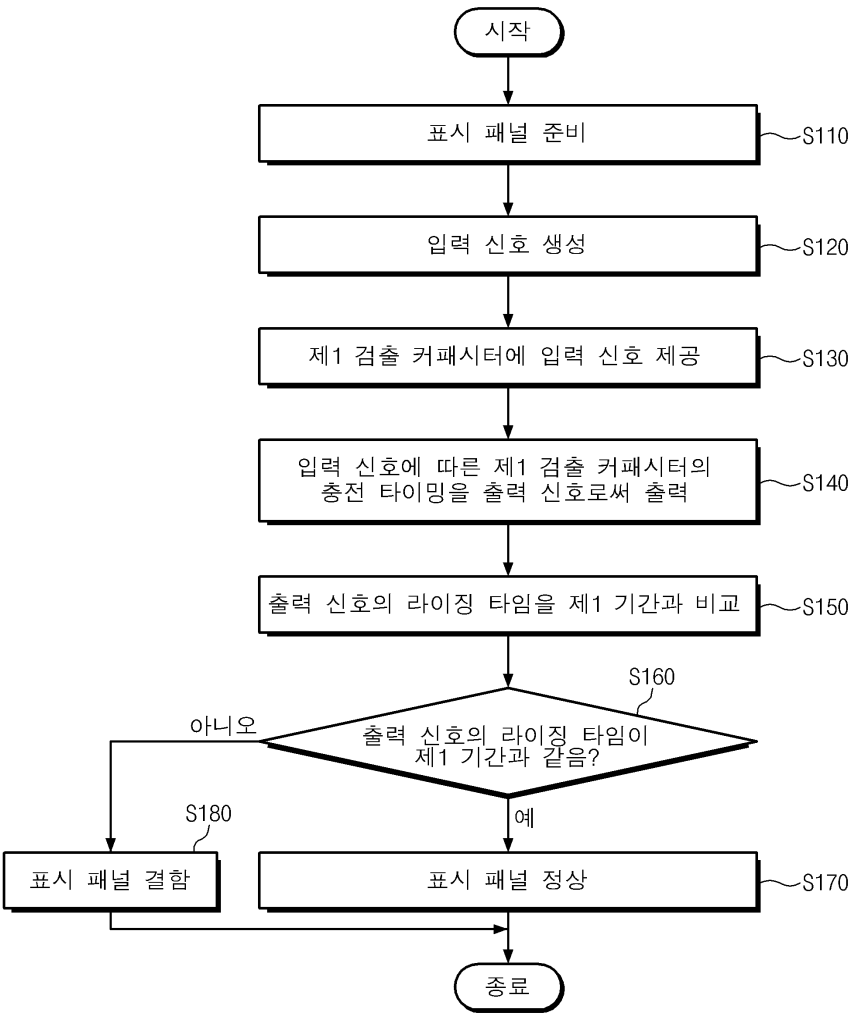
도면4c



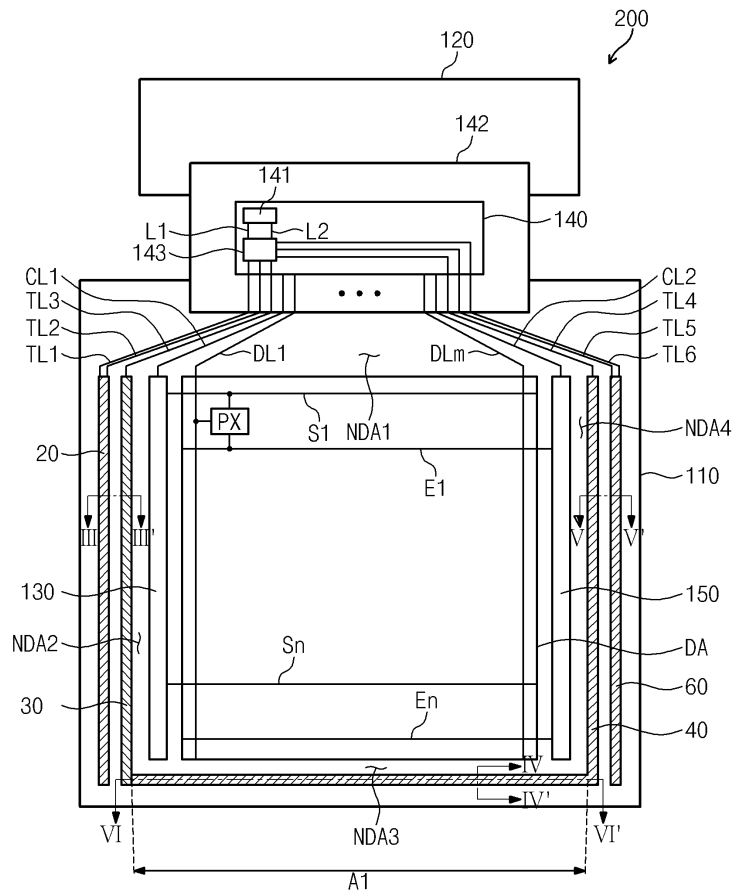
도면5



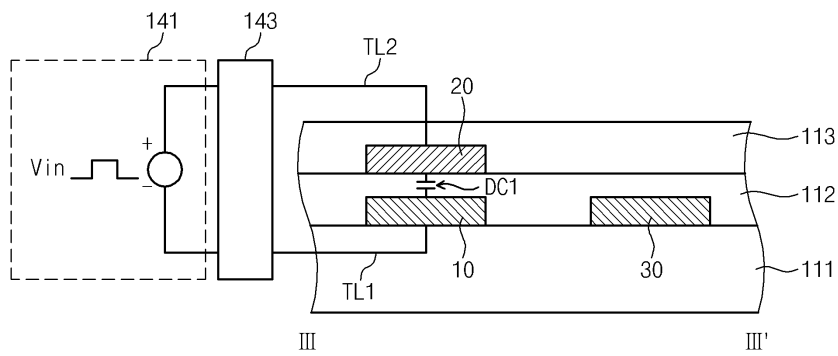
도면6



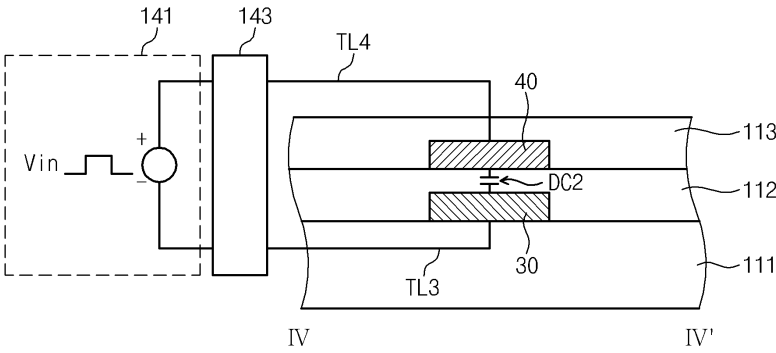
도면7



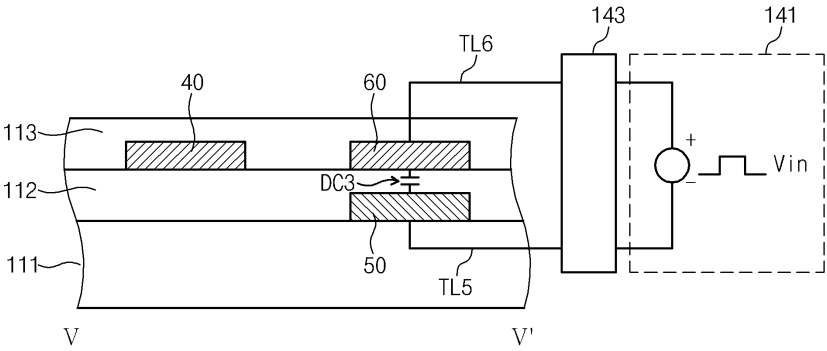
도면8



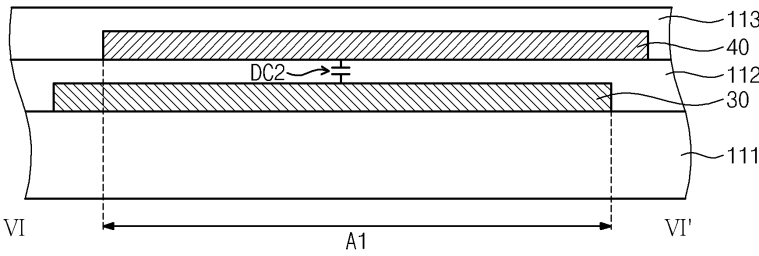
도면9



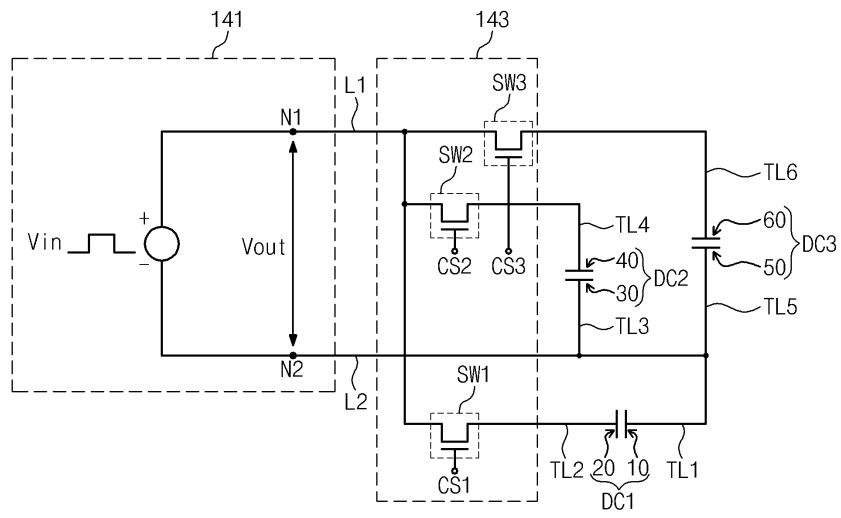
도면10



도면11



도면12



专利名称(译)	有机发光显示器及其检查方法		
公开(公告)号	KR102037206B1	公开(公告)日	2019-10-29
申请号	KR1020130036525	申请日	2013-04-03
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	PARK SUNG UN 박성언		
发明人	박성언		
IPC分类号	H01L51/52 H05B33/06 G09G3/30		
CPC分类号	H01L51/50 H01L51/56 H01L2251/568 H01L51/5203 G09G3/30 H01L2251/50 G09G3/006 G09G3/3208 G09G2380/02 G09G3/3258 G09G3/3266 G09G3/3275 G09G2300/0426 G09G2310/0251 G09G2310/08 G09G2320/0626		
其他公开文献	KR1020140120580A		
外部链接	Espacenet		

摘要(译)

有机发光显示装置包括：显示面板，包括：显示区域，在该显示区域中布置有多个像素；以及非显示区域，该非显示区域形成在该显示区域周围；扫描驱动器，用于向该像素提供扫描信号；以及像素，该像素连接到该非显示区域。将数据电压提供给发光器件并生成输入信号的源极驱动芯片，将发光控制信号提供给像素的发光控制驱动器，设置在非显示区域中的第一检测电容器以及源极驱动芯片和源极驱动芯片。第一测试线和第二测试线连接到第一检测电容器，以将输入信号提供给第一检测电容器，其中，源极驱动芯片根据输入信号输出第一检测电容器的充电定时。输出为信号。

