



공개특허 10-2020-0072244



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0072244  
(43) 공개일자 2020년06월22일

(51) 국제특허분류(Int. Cl.)  
*H01L 51/52* (2006.01) *H01L 27/32* (2006.01)  
(52) CPC특허분류  
*H01L 51/5284* (2013.01)  
*H01L 27/32* (2013.01)  
(21) 출원번호 10-2018-0160207  
(22) 출원일자 2018년12월12일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
김미애  
경기도 파주시 월롱면 엘지로 245  
(74) 대리인  
특허법인 정안

전체 청구항 수 : 총 12 항

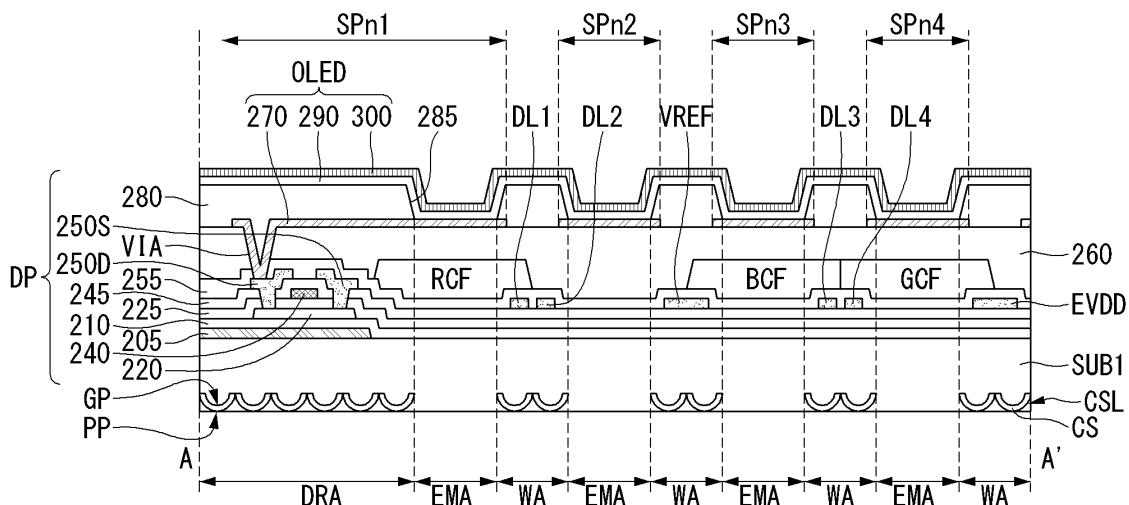
(54) 발명의 명칭 표시장치

### (57) 요 약

본 발명은 외부광의 반사율을 낮추고 휙도 손실을 최소화할 수 있는 표시장치를 제공한다. 본 발명의 일 실시예에 따른 표시장치는 기판, 상기 기판 상에 위치하는 적어도 하나의 박막트랜지스터, 및 상기 박막트랜지스터 상에 위치하며, 상기 적어도 하나의 박막트랜지스터에 연결된 유기발광 다이오드를 포함하며, 상기 기판 내에 배치되며, 복수의 카본셀 입자를 포함하는 광흡수층이 구비될 수 있다.

대 표 도 - 도7

100



## 명세서

### 청구범위

#### 청구항 1

기판;

상기 기판 상에 위치하는 적어도 하나의 박막트랜지스터; 및

상기 박막트랜지스터 상에 위치하며, 상기 적어도 하나의 박막트랜지스터에 연결된 유기발광 다이오드;를 포함하며,

상기 기판 내에 배치되며, 복수의 카본쉘 입자를 포함하는 광흡수층이 구비되는 표시장치.

#### 청구항 2

기판;

상기 기판 상에 위치하는 평탄화층;

상기 평탄화층 상에 위치하는 적어도 하나의 박막트랜지스터; 및

상기 박막트랜지스터 상에 위치하며, 상기 적어도 하나의 박막트랜지스터에 연결된 유기발광 다이오드;를 포함하며,

상기 평탄화층 내에 배치되며, 복수의 카본쉘 입자를 포함하는 광흡수층이 구비되는 표시장치.

#### 청구항 3

제1 항 또는 제2 항에 있어서,

상기 기판은 상기 적어도 하나의 박막트랜지스터가 포함되는 회로영역을 포함하는 표시장치.

#### 청구항 4

제3 항에 있어서,

상기 광흡수층은 상기 회로영역과 중첩하여 배치되는 표시장치.

#### 청구항 5

제1 항 또는 제2 항에 있어서,

상기 기판은 상기 적어도 하나의 박막트랜지스터에 신호를 인가하는 적어도 하나의 배선들을 포함하는 배선영역을 포함하는 표시장치.

#### 청구항 6

제5 항에 있어서,

상기 광흡수층은 상기 배선영역과 중첩하여 배치되는 표시장치.

#### 청구항 7

제1 항 또는 제2 항에 있어서,

상기 복수의 카본쉘 입자는 불록부와 오목부를 구비하는 표시장치.

#### 청구항 8

제7 항에 있어서,

상기 복수의 카본셀 입자는 상기 볼록부가 상기 기판의 외부면을 향해 배열된 표시장치.

### 청구항 9

제7 항에 있어서,

상기 복수의 카본셀 입자는 상기 오목부가 상기 기판의 외부면을 향해 배열된 표시장치.

### 청구항 10

제7 항에 있어서,

상기 복수의 카본셀 입자는 상기 볼록부와 상기 오목부가 향하는 방향이 불규칙하게 배열된 표시장치.

### 청구항 11

제1 항 또는 제2 항에 있어서,

상기 복수의 카본셀 입자는 100 내지 1000nm의 크기로 이루어진 표시장치.

### 청구항 12

제2 항에 있어서,

상기 평탄화층은 폴리아미드(PI), 폴리아크릴레이트(PA), 폴리메틸메타크릴레이트(PMMA) 및 폴리에틸렌테레프탈레이트(PET) 중 선택된 어느 하나로 이루어진 표시장치.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 표시장치에 관한 것으로, 구체적으로 유기발광표시장치에 관한 것이다.

### 배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있다. 표시장치 분야는 부피가 큰 음극선관(Cathode Ray Tube: CRT)을 대체하는, 얇고 가벼우며 대면적이 가능한 평판 표시장치(Flat Panel Display Device: FPD)로 급속히 변화해 왔다. 평판 표시장치에는 액정표시장치(Liquid Crystal Display Device: LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 유기발광표시장치(Organic Light Emitting Display Device: OLED), 그리고 전기영동표시장치(Electrophoretic Display Device: ED) 등이 있다.

[0003] 이 중 유기발광표시장치는 스스로 발광하는 자발광 소자로서 응답속도가 빠르고 발광효율, 휙도 및 시야각이 큰 장점이 있다. 특히, 유기발광표시장치는 유연한(flexible) 플렉서블 기판 위에도 형성할 수 있을 뿐 아니라, 플라즈마 디스플레이 패널(Plasma Display Panel)이나 무기 전계발광(EL) 디스플레이에 비해 낮은 전압에서 구동 가능하고 전력 소모가 비교적 적으며, 색감이 뛰어나다는 장점이 있다.

### 발명의 내용

#### 해결하려는 과제

[0004] 유기발광표시장치는 외부광의 반사를 저감하기 위해 편광판을 표시면에 구비하고 있다. 그러나 편광판은 외부광의 반사율을 낮출 수 있으나 휙도가 손실되는 문제가 있다.

#### 과제의 해결 수단

[0005] 본 발명은 외부광의 반사율을 낮추고 휙도 손실을 최소화할 수 있는 표시장치를 제공한다.

[0006] 본 발명의 일 실시예에 따른 표시장치는 기판, 상기 기판 상에 위치하는 적어도 하나의 박막트랜지스터, 및 상기 박막트랜지스터 상에 위치하며, 상기 적어도 하나의 박막트랜지스터에 연결된 유기발광 다이오드를 포함하며, 상기 기판 내에 배치되며, 복수의 카본셀 입자를 포함하는 광흡수층이 구비될 수 있다.

- [0007] 또한, 본 발명의 일 실시예에 따른 표시장치는 기판, 상기 기판 상에 위치하는 평탄화층, 상기 평탄화층 상에 위치하는 적어도 하나의 박막트랜지스터, 및 상기 박막트랜지스터 상에 위치하며, 상기 적어도 하나의 박막트랜지스터에 연결된 유기발광 다이오드를 포함하며, 상기 평탄화층 내에 배치되며, 복수의 카본셀 입자를 포함하는 광흡수층이 구비될 수 있다.
- [0008] 상기 기판은 상기 적어도 하나의 박막트랜지스터가 포함되는 회로영역을 포함할 수 있다.
- [0009] 상기 광흡수층은 상기 회로영역과 중첩하여 배치될 수 있다.
- [0010] 상기 기판은 상기 적어도 하나의 박막트랜지스터에 신호를 인가하는 적어도 하나의 배선들을 포함하는 배선영역을 포함할 수 있다.
- [0011] 상기 광흡수층은 상기 배선영역과 중첩하여 배치될 수 있다.
- [0012] 상기 복수의 카본셀 입자는 볼록부와 오목부를 구비할 수 있다.
- [0013] 상기 복수의 카본셀 입자는 상기 볼록부가 상기 기판의 외부면을 향해 배열될 수 있다.
- [0014] 상기 복수의 카본셀 입자는 상기 오목부가 상기 기판의 외부면을 향해 배열될 수 있다.
- [0015] 상기 복수의 카본셀 입자는 상기 볼록부와 상기 오목부가 향하는 방향이 불규칙하게 배열될 수 있다.
- [0016] 상기 복수의 카본셀 입자는 100 내지 1000nm의 크기로 이루어질 수 있다.
- [0017] 상기 평탄화층은 폴리이미드(PI), 폴리아크릴레이트(PA), 폴리메틸메타크릴레이트(PMMA) 및 폴리에틸렌테레프탈레이트(PET) 중 선택된 어느 하나로 이루어질 수 있다.

### 발명의 효과

- [0018] 본 발명의 일 실시예들에 따른 표시장치는 기판 상에 또는 기판 내에 카본셀 입자를 포함하는 광흡수층을 구비함으로써, 외부광의 반사를 줄여 표시장치의 반사율을 저감할 수 있는 이점이 있다.

### 도면의 간단한 설명

- [0019] 도 1은 본 발명의 유기발광표시장치를 개략적으로 나타낸 블록도.  
 도 2는 본 발명의 서브픽셀을 개략적으로 나타낸 회로 구성도.  
 도 3은 본 발명의 서브픽셀을 나타낸 상세 회로 구성도.  
 도 4는 본 발명의 표시 패널을 나타낸 단면도.  
 도 5는 본 발명에 따른 서브픽셀들의 평면 레이아웃을 개략적으로 나타낸 도면.  
 도 6은 본 발명의 제1 실시예에 따른 서브픽셀의 평면 레이아웃을 나타낸 도면.  
 도 7은 도 6의 절취선 A-A'에 따라 절취한 단면도.  
 도 8은 본 발명의 제1 실시예에 따른 광흡수층을 나타낸 단면도.  
 도 9 및 도 10은 본 발명의 다양한 형상의 광흡수층을 나타낸 단면도.  
 도 11은 본 발명의 카본셀 입자를 제조하는 공정을 나타낸 플로우차트.  
 도 12는 본 발명의 카본셀 입자를 나타낸 광학 이미지.  
 도 13은 본 발명의 서브픽셀의 레이아웃에서 광흡수층의 배치를 나타낸 평면도.  
 도 14는 본 발명의 제2 실시예에 따른 표시장치를 나타낸 단면도.

### 발명을 실시하기 위한 구체적인 내용

- [0020] 이하, 첨부한 도면을 참조하여, 본 발명의 바람직한 실시 예들을 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는

것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.

[0021] 본 발명에 따른 표시장치는 유리 기판 또는 플렉서블 기판 상에 표시소자가 형성된 표시장치이다. 표시장치의 예로, 유기발광표시장치, 액정표시장치, 전기영동표시장치 등이 사용 가능하나, 본 발명에서는 유기발광표시장치를 예로 설명한다. 유기발광표시장치는 애노드인 제1 전극과 캐소드인 제2 전극 사이에 유기물로 이루어진 유기막층을 포함한다. 따라서, 제1 전극으로부터 공급받는 정공과 제2 전극으로부터 공급받는 전자가 유기막층 내에서 결합하여 정공-전자쌍인 여기자(exciton)를 형성하고, 여기자가 바닥상태로 돌아오면서 발생하는 에너지에 의해 발광하는 자발광 표시장치이다.

[0022] 도 1은 유기발광표시장치의 개략적인 블록도이고, 도 2는 서브픽셀의 개략적인 회로 구성도이며, 도 3은 서브픽셀의 상세 회로 구성도이고, 도 4는 표시 패널의 단면도이다.

[0023] 도 1에 도시된 바와 같이, 유기발광표시장치에는 영상 처리부(110), 타이밍 제어부(120), 데이터 구동부(130), 스캔 구동부(140) 및 표시 패널(150)이 포함된다.

[0024] 영상 처리부(110)는 외부로부터 공급된 데이터 신호(DATA)와 더불어 데이터 인에이블 신호(DE) 등을 출력한다. 영상 처리부(110)는 데이터 인에이블 신호(DE) 외에도 수직 동기신호, 수평 동기신호 및 클럭신호 중 하나 이상을 출력할 수 있으나 이 신호들은 설명의 편의상 생략 도시한다.

[0025] 타이밍 제어부(120)는 영상 처리부(110)로부터 데이터 인에이블 신호(DE) 또는 수직 동기신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호와 더불어 데이터 신호(DATA)를 공급받는다. 타이밍 제어부(120)는 구동신호에 기초하여 스캔 구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다.

[0026] 데이터 구동부(130)는 타이밍 제어부(120)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어부(120)로부터 공급되는 데이터 신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 변환하여 출력한다. 데이터 구동부(130)는 데이터 라인들(DL1 ~ DLn)을 통해 데이터 신호(DATA)를 출력한다. 데이터 구동부(130)는 IC(Integrated Circuit) 형태로 형성될 수 있다.

[0027] 스캔 구동부(140)는 타이밍 제어부(120)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 스캔 신호를 출력한다. 스캔 구동부(140)는 게이트 라인들(GL1 ~ GLm)을 통해 스캔 신호를 출력한다. 스캔 구동부(140)는 IC(Integrated Circuit) 형태로 형성되거나 표시 패널(150)에 게이트인패널(Gate In Panel) 방식으로 형성된다.

[0028] 표시 패널(150)은 데이터 구동부(130) 및 스캔 구동부(140)로부터 공급된 데이터 신호(DATA) 및 스캔 신호에 대응하여 영상을 표시한다. 표시 패널(150)은 영상을 표시할 수 있도록 동작하는 서브픽셀들(SP)을 포함한다.

[0029] 서브픽셀들(SP)은 적색 서브픽셀, 녹색 서브픽셀 및 청색 서브픽셀을 포함하거나 백색 서브픽셀, 적색 서브픽셀, 녹색 서브픽셀 및 청색 서브픽셀을 포함한다. 서브픽셀들(SP)은 발광 특성에 따라 하나 이상 다른 발광 면적을 가질 수 있다.

[0030] 도 2에 도시된 바와 같이, 하나의 서브픽셀에는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 보상회로(CC) 및 유기 발광다이오드(OLED)가 포함된다.

[0031] 스위칭 트랜지스터(SW)는 제1 게이트 라인(GL1)을 통해 공급된 스캔신호에 응답하여 제1 데이터 라인(DL1)을 통해 공급되는 데이터 신호가 커패시터(Cst)에 데이터 전압으로 저장되도록 스위칭 동작한다. 구동 트랜지스터(DR)는 커패시터(Cst)에 저장된 데이터 전압에 따라 전원 라인(EVDD)(고전위전압)과 캐소드 전원 라인(EVSS)(저전위전압) 사이로 구동 전류가 흐르도록 동작한다. 유기발광다이오드(OLED)는 구동 트랜지스터(DR)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.

[0032] 보상회로(CC)는 구동 트랜지스터(DR)의 문턱전압 등을 보상하기 위해 서브픽셀 내에 추가된 회로이다. 보상회로(CC)는 하나 이상의 트랜지스터로 구성된다. 보상회로(CC)의 구성은 외부 보상 방법에 따라 매우 다양한바 이에 대한 예시를 설명하면 다음과 같다.

[0033] 도 3에 도시된 바와 같이, 보상회로(CC)에는 센싱 트랜지스터(ST)와 센싱 라인(VREF)(또는 레퍼런스라인)이 포함된다. 센싱 트랜지스터(ST)는 구동 트랜지스터(DR)의 소스 전극과 유기발광다이오드(OLED)의 애노드 전극 사이(이하 센싱노드)에 접속된다. 센싱 트랜지스터(ST)는 센싱 라인(VREF)을 통해 전달되는 초기화전압(또는 센싱 전압)을 구동 트랜지스터(DR)의 센싱 노드에 공급하거나 구동 트랜지스터(DR)의 센싱 노드 또는 센싱 라인

(VREF)의 전압 또는 전류를 센싱할 수 있도록 동작한다.

[0034] 스위칭 트랜지스터(SW)는 제1 데이터 라인(DL1)에 드레인 전극이 연결되고, 구동 트랜지스터(DR)의 게이트 전극에 소스 전극이 연결된다. 구동 트랜지스터(DR)는 전원 라인(EVDD)에 드레인 전극이 연결되고 유기발광다이오드(OLED)의 애노드 전극에 소스 전극이 연결된다. 커패시터(Cst)는 구동 트랜지스터(DR)의 게이트 전극에 상부전극이 연결되고 유기발광다이오드(OLED)의 애노드 전극에 하부전극이 연결된다. 유기발광다이오드(OLED)는 구동 트랜지스터(DR)의 소스 전극에 애노드 전극이 연결되고 제2 전원 라인(EVSS)에 캐소드 전극이 연결된다. 센싱 트랜지스터(ST)는 센싱 라인(VREF)에 드레인 전극이 연결되고 센싱 노드인 유기발광다이오드(OLED)의 애노드 전극 및 구동 트랜지스터(DR)의 소스 전극에 소스 전극이 연결된다.

[0035] 센싱 트랜지스터(ST)의 동작 시간은 외부 보상 알고리즘(또는 보상 회로의 구성)에 따라 스위칭 트랜지스터(SW)와 유사/동일하거나 다를 수 있다. 일례로, 스위칭 트랜지스터(SW)는 제1 게이트 라인(GL1)에 게이트 전극이 연결되고, 센싱 트랜지스터(ST)는 제2 게이트 라인(GL2)에 게이트 전극이 연결될 수 있다. 이 경우, 제1 게이트 라인(GL1)에는 스캔 신호(Scan)가 전달되고 제2 게이트 라인(GL2)에는 센싱 신호(Sense)가 전달된다. 다른 예로, 스위칭 트랜지스터(SW)의 게이트 전극에 연결된 제1 게이트 라인(GL1)과 센싱 트랜지스터(ST)의 게이트 전극에 연결된 제2 게이트 라인(GL2)은 공통으로 공유하도록 연결될 수 있다.

[0036] 센싱 라인(VREF)은 데이터 구동부에 연결될 수 있다. 이 경우, 데이터 구동부는 실시간, 영상의 비표시기간 또는 N 프레임(N은 1 이상 정수) 기간 동안 서브픽셀의 센싱 노드를 센싱하고 센싱결과를 생성할 수 있게 된다. 한편, 스위칭 트랜지스터(SW)와 센싱 트랜지스터(ST)는 동일한 시간에 턴온될 수 있다. 이 경우, 데이터 구동부의 시분할 방식에 의거 센싱 라인(VREF)을 통한 센싱 동작과 데이터 신호를 출력하는 데이터 출력 동작은 상호 분리(구분) 된다.

[0037] 이 밖에, 센싱결과에 따른 보상 대상은 디지털 형태의 데이터신호, 아날로그 형태의 데이터신호 또는 감마 등이 될 수 있다. 그리고 센싱결과를 기반으로 보상신호(또는 보상전압) 등을 생성하는 보상 회로는 데이터 구동부의 내부, 타이밍 제어부의 내부 또는 별도의 회로로 구현될 수 있다.

[0038] 광차단층(LS)은 구동 트랜지스터(DR)의 채널영역 하부에만 배치되거나 구동 트랜지스터(DR)의 채널영역 하부뿐만 아니라 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)의 채널영역 하부에도 배치될 수 있다. 광차단층(LS)은 단순히 외광을 차단할 목적으로 사용하거나, 광차단층(LS)을 다른 전극이나 라인과의 연결을 도모하고, 커패시터 등을 구성하는 전극으로 활용할 수 있다. 그러므로 광차단층(LS)은 차광 특성을 갖도록 복층(이종 금속의 복층)의 금속층으로 선택된다.

[0039] 기타, 도 3에서는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 유기발광다이오드(OLED), 센싱 트랜지스터(ST)를 포함하는 3T(Transistor)1C(Capacitor) 구조의 서브픽셀을 일례로 설명하였지만, 보상회로(CC)가 추가된 경우 3T2C, 4T2C, 5T1C, 6T2C 등으로 구성될 수도 있다.

[0040] 도 4에 도시된 바와 같이, 기판(또는 박막 트랜지스터 기판)(SUB1)의 표시영역(AA) 상에는 도 3에서 설명된 회로를 기반으로 서브픽셀들이 형성된다. 표시영역(AA) 상에 형성된 서브픽셀들은 보호필름(또는 보호기판)(SUB2)에 의해 밀봉된다. 기타 미설명된 NA는 비표시영역을 의미한다. 기판(SUB1)은 유리나 연성을 갖는 재료로 선택될 수 있다.

[0041] 서브픽셀들은 표시영역(AA) 상에서 적색(R), 백색(W), 청색(B) 및 녹색(G)의 순으로 수평 또는 수직하게 배치된다. 그리고 서브픽셀들은 적색(R), 백색(W), 청색(B) 및 녹색(G)이 하나의 픽셀(P)이 된다. 그러나 서브픽셀들의 배치 순서는 발광재료, 발광면적, 보상회로의 구성(또는 구조) 등에 따라 다양하게 변경될 수 있다. 또한, 서브픽셀들은 적색(R), 청색(B) 및 녹색(G)이 하나의 픽셀(P)이 될 수 있다.

[0042] 도 5는 본 발명에 따른 서브픽셀들의 평면 레이아웃을 개략적으로 나타낸 도면이다.

[0043] 도 4 및 도 5에 도시된 바와 같이, 기판(SUB1)의 표시영역(AA) 상에는 발광영역(EMA)과 회로영역(DRA)을 갖는 제1 서브픽셀(SPn1) 내지 제4 서브픽셀(SPn4)이 형성된다. 발광영역(EMA)에는 유기발광다이오드(발광소자)가 형성되고, 회로영역(DRA)에는 유기발광다이오드를 구동하는 스위칭, 센싱 및 구동 트랜지스터 등을 포함하는 회로가 형성된다. 제1 서브픽셀(SPn1) 내지 제4 서브픽셀(SPn4)은 회로영역(DRA)에 위치하는 스위칭 및 구동 트랜지스터 등의 동작에 대응하여 발광영역(EMA)에 위치하는 유기발광다이오드가 빛을 발광하게 된다. 제1 서브픽셀(SPn1) 내지 제4 서브픽셀(SPn4) 사이에 위치하는 "WA"는 배선영역으로서, 전원 라인(EVDD), 센싱 라인(VREF), 제1 내지 제4 데이터 라인들(DL1 ~ DL4)이 배치된다. 제1 및 제2 게이트 라인들(GL1, GL2)은 제1 서브픽셀

(SPn1) 내지 제4 서브픽셀(SPn4)을 가로지르며 배치된다.

[0044] 전원 라인(EVDD), 센싱 라인(VREF), 제1 내지 제4 데이터 라인들(DL1 ~ DL4)과 같은 배선들은 물론 박막 트랜지스터를 구성하는 전극들은 서로 다른 층에 위치하지만 콘택홀(비어홀)을 통한 접촉으로 인하여 전기적으로 연결된다. 센싱 라인(VREF)은 센싱 연결라인(VREFC)을 통해 제1 내지 제4 서브픽셀(SPn1~SPn4)의 각 센싱 트랜지스터(미도시)에 연결된다. 전원 라인(EVDD)은 전원 연결라인(EVDDC)을 통해 제1 내지 제4 서브픽셀(SPn1~SPn4)의 각 구동 트랜지스터(미도시)에 연결된다. 제1 및 제2 게이트 라인들(GL1, GL2)은 제1 내지 제4 서브픽셀(SPn1~SPn4)의 각 센싱 및 스위칭 트랜지스터(미도시)에 연결된다.

[0045] 도 6은 본 발명의 제1 실시예에 따른 서브픽셀의 평면 레이아웃을 나타낸 도면이고, 도 7은 도 6의 절취선 A-A'에 따라 절취한 단면도이다. 도 8은 본 발명의 일 실시예에 따른 광흡수층을 나타낸 단면도이고, 도 9 및 도 10은 본 발명의 다양한 형상의 광흡수층을 나타낸 단면도이다. 도 11은 본 발명의 카본셀 입자를 제조하는 공정을 나타낸 플로우차트이고, 도 12는 본 발명의 카본셀 입자를 나타낸 광학 이미지이며, 도 13은 본 발명의 서브픽셀의 레이아웃에서 광흡수층의 배치를 나타낸 평면도이다.

[0046] 도 6을 참조하면, 본 발명의 제1 실시예에 따른 유기발광표시장치는 제1 및 제2 게이트 라인(GL1, GL2)과 제1 내지 제4 데이터 라인(DL1~DL4)이 교차하여 제1 내지 제4 서브픽셀(SPn1~SPn4)이 정의된다. 구체적으로, 제1 내지 제4 데이터 라인(DL1~DL4)과 각각 연결되는 제1 내지 제4 서브픽셀(SPn1~SPn4)은 센싱 라인(VREF)에 공통으로 연결되어 있다. 센싱 라인(VREF)은 제2 및 제3 서브픽셀(SPn2, SPn3)과는 직접 연결되어 있고, 제1 및 제4 서브픽셀(SPn1, SPn4)과는 센싱 연결라인(VREFC)을 통해 연결된다. 제1 내지 제4 서브픽셀(SPn1~SPn4)의 양 가장자리에는 전원 라인(EVDD)이 각각 배치되고, 전원 라인(EVDD)과 인접한 제1 및 제4 서브픽셀(SPn1, SPn4)은 직접 연결되고 제2 및 제3 서브픽셀(SPn2, SPn3)은 전원 연결라인(EVDDC)을 통해 연결된다.

[0047] 각 서브픽셀들의 발광영역(EMA)에는 유기발광다이오드(OLED)의 제1 전극(ANO)이 배치되어 있고, 회로영역(DRA)에는 구동 트랜지스터(DR), 커페시터(Cst), 센싱 트랜지스터(ST) 및 스위칭 트랜지스터(SW)가 배치된다. 예를 들어, 구동 트랜지스터(DR)는 게이트 전극(240), 드레인 전극(250D), 소스 전극(250S) 및 반도체층(220)으로 구성된다. 센싱 라인(VREF)은 센싱연결라인(VREFC)을 통해 제1 내지 제4 서브픽셀(SPn1~SPn4)의 각 센싱 트랜지스터(ST)에 연결된다. 전원 라인(EVDD)은 전원 연결라인(EVDDC)을 통해 제1 내지 제4 서브픽셀(SPn1~SPn4)의 각 구동 트랜지스터(DR)에 연결된다. 제1 및 제2 게이트 라인들(GL1, GL2)은 제1 내지 제4 서브픽셀(SPn1~SPn4)의 각 센싱 및 스위칭 트랜지스터(ST, SW)에 연결된다.

[0048] 도 7을 참조하면, 본 발명의 제1 실시예에 따른 유기발광표시장치(100)는 표시패널(DP)을 포함한다. 표시패널(DP)은 유기발광다이오드를 포함하는 유기발광표시패널일 수 있다.

[0049] 전술한 표시패널(DP)을 살펴보면, 기판(SUB1) 상에 광차단층(205)이 위치한다. 광차단층(205)은 외부의 광이 입사되는 것을 차단하여 박막트랜지스터에서 광전류가 발생하는 것을 방지하는 역할을 한다. 광차단층(205)은 광흡수율과 도전성이 우수한 MoTi로 이루어질 수 있다. 광차단층(205) 상에 베퍼층(210)이 위치한다. 베퍼층(210)은 광차단층(205)에서 유출되는 알칼리 이온 등과 같은 불순물로부터 후속 공정에서 형성되는 박막트랜지스터를 보호하는 역할을 한다. 베퍼층(210)은 실리콘 산화물(SiO<sub>x</sub>), 실리콘 질화물(SiNx) 또는 이들의 다중층일 수 있다.

[0050] 베퍼층(210) 상에 반도체층(220)이 위치한다. 반도체층(220)은 실리콘 반도체나 산화물 반도체로 이루어질 수 있다. 실리콘 반도체는 비정질 실리콘 또는 결정화된 다결정 실리콘을 포함할 수 있다. 여기서, 다결정 실리콘은 이동도가 높아(100cm<sup>2</sup>/Vs 이상), 에너지 소비 전력이 낮고 신뢰성이 우수하여, 구동 소자용 게이트 드라이버 및/또는 멀티플렉서(MUX)에 적용하거나 화소 내 구동 TFT에 적용할 수 있다. 한편, 산화물 반도체는 오프-전류가 낮으므로, 온(On) 시간이 짧고 오프(Off) 시간을 길게 유지하는 스위칭 TFT에 적합하다. 또한, 오프 전류가 작으므로 화소의 전압 유지 기간이 길어서 저속 구동 및/또는 저 소비 전력을 요구하는 표시장치에 적합하다. 또한, 반도체층(220)은 p형 또는 n형의 불순물을 포함하는 드레인 영역 및 소스 영역을 포함하고 이를 사이에 채널을 포함한다.

[0051] 반도체층(220) 상에 게이트 절연막(225)이 위치한다. 게이트 절연막(225)은 실리콘 산화물(SiO<sub>x</sub>), 실리콘 질화물(SiNx) 또는 이들의 다중층일 수 있다. 게이트 절연막(225)은 기판 전체에 형성될 수도 있으나 반도체층(220)의 일부에만 패턴되어 형성될 수도 있다. 게이트 절연막(225) 상에 상기 반도체층(220)의 일정 영역, 즉 불순물이 주입되었을 경우의 채널과 대응되는 위치에 게이트 전극(240)이 위치한다. 게이트 전극(240)은 몰리브덴(Mo), 알루미늄(AI), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서

선택된 어느 하나 또는 이들의 합금으로 형성된다. 또한, 게이트 전극(240)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다. 예를 들면, 게이트 전극(240)은 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수 있다.

[0052] 게이트 전극(240) 상에 게이트 전극(240)을 절연시키는 충간 절연막(245)이 위치한다. 충간 절연막(245)은 실리콘 산화막(SiO<sub>x</sub>), 실리콘 질화막(SiNx) 또는 이들의 다중층일 수 있다. 충간 절연막(245) 상에 소스 전극(250S) 및 드레인 전극(250D)이 위치한다. 소스 전극(250S) 및 드레인 전극(250D)은 반도체층(220)의 소스/드레인 영역을 각각 노출하는 콘택홀을 통해 반도체층(220)에 연결된다. 소스 전극(250S) 및 드레인 전극(250D)은 단일층 또는 다중층으로 이루어질 수 있으며, 상기 소스 전극(250S) 및 드레인 전극(250D)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 상기 소스 전극(250S) 및 드레인 전극(250D)이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 티타늄/알루미늄/티타늄, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다. 따라서, 반도체층(220), 게이트 전극(240), 소스 전극(250S) 및 드레인 전극(250D)을 포함하는 구동 트랜지스터(DR)가 구성된다.

[0053] 구동 트랜지스터(DR)를 포함하는 기판(SUB1) 상에 제1 내지 제4 데이터 라인(DL1~DL4), 센싱 라인(VREF) 및 전원 라인(EVDD)이 각각 이격되어 배치된다. 즉, 제1 서브픽셀(SPn1)과 제2 서브픽셀(SPn2) 사이에 제1 및 제2 데이터 라인(DL1, DL2)이 위치하고, 제2 서브픽셀(SPn2)과 제3 서브픽셀(SPn3) 사이에 센싱 라인(VREF)이 위치하고, 제3 서브픽셀(SPn3)과 제4 서브픽셀(SPn4) 사이에 제3 및 제4 데이터 라인(DL3, DL4)이 위치하며, 제4 서브픽셀(SPn4)의 일측에 전원 라인(EVDD)이 위치한다.

[0054] 이들을 포함하는 기판(SUB1) 상에 패시베이션막(255)이 위치한다. 패시베이션막(255)은 하부의 소자를 보호하는 절연막으로, 실리콘 산화막(SiO<sub>x</sub>), 실리콘 질화막(SiNx) 또는 이들의 다중층일 수 있다. 패시베이션막(255) 상에 컬러필터들(RCF, BCF, GCF)가 위치한다. 본 발명의 컬러필터(RCF, BCF, GCF)는 발광층에서 발광하는 백색의 광의 색을 변환시키는 것으로, 예를 들어, 제1 서브픽셀(SPn1)에 적색 컬러필터(RCF)가 위치하고, 제3 서브픽셀(SPn3)에 청색 컬러필터(BCF)가 위치하며 제4 서브픽셀(SPn4)에 녹색 컬러필터(GCF)가 위치한다. 제2 서브픽셀(SPn2)은 컬러필터가 위치하지 않아 백색의 광이 그대로 출사될 수 있다. 따라서, 제1 서브픽셀(SPn1)은 적색 서브픽셀이 될 수 있고 제2 서브픽셀(SPn2)은 백색 서브픽셀이 될 수 있으며 제3 서브픽셀(SPn3)은 청색 서브픽셀이 될 수 있고 제4 서브픽셀(SPn4)은 녹색 서브픽셀이 될 수 있다.

[0055] 컬러필터들(RCF, BCF, GCF) 상에 오버코트층(260)이 위치한다. 오버코트층(260)은 하부 구조의 단차를 완화시킬 수 있으며, 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물로 이루어진다. 오버코트층(260)은 상기 유기물을 액상 형태로 코팅한 다음 경화시키는 SOG(spin on glass)와 같은 방법으로 형성될 수 있다. 오버코트층(260)의 일부 영역에는 패시베이션막(255)을 노출하여 드레인 전극(250D)을 노출시키는 비아홀(VIA)이 위치한다.

[0056] 오버코트층(260) 상에 유기발광 다이오드(OLED)가 위치한다. 보다 자세하게는, 오버코트층(260) 상에 제1 전극(270)이 위치한다. 제1 전극(270)은 화소 전극으로 작용하며, 구동 트랜지스터(DR)의 드레인 전극(250D)에 연결된다. 제1 전극(270)은 애노드로 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ZnO(Zinc Oxide) 등의 투명도전물질로 이루어질 수 있다.

[0057] 제1 전극(270) 상에 화소를 구획하는 뱅크층(280)이 위치한다. 뱅크층(280)은 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물로 이루어진다. 뱅크층(280)은 제1 전극(270)을 노출시키는 개구부(285)가 위치한다. 기판(SUB1)의 표시영역에는 제1 전극(270)에 컨택하는 유기막층(290)이 위치한다. 유기막층(290)은 전자와 정공이 결합하여 발광하는 발광층을 포함하며, 정공주입층, 정공수송층, 전자수송층 또는 전자주입층 중 적어도 하나를 더 포함할 수 있다. 유기막층(290) 상에 제2 전극(300)이 위치한다. 제2 전극(300)은 캐소드 전극으로 일함수가 낮은 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag) 또는 이들의 합금으로 이루어질 수 있다. 제2 전극(300)은 광을 반사할 수 있는 반사 전극일 수 있다.

[0058] 한편, 본 발명의 기판(SUB1)은 플렉서블한 성질을 가지는 플라스틱 기판으로 이루어질 수 있다. 플라스틱 기판은 예를 들어, 폴리이미드(PI), 폴리아크릴레이트(PA), 폴리메틸메타크릴레이트(PMMA), 폴리에틸렌테레프탈레이트(PET) 등으로 이루어질 수 있다. 기판(SUB1)은 광을 흡수할 수 있는 광흡수층(CSL)을 포함한다.

- [0059] 하기에서는 본 발명의 광흡수층에 대해 구체적으로 설명하기로 한다.
- [0060] 도 8을 참조하면, 광흡수층(CSL)은 외부로부터 입사되는 광을 흡수하여 표시장치의 광 반사율을 줄이는 역할을 한다. 광흡수층(CSL)은 복수의 카본쉘 입자(CS)를 포함한다. 카본쉘 입자(CS)는 탄소 원자들의 결합으로 구성되어, 탄소의 광 흡수 특성을 이용하여 광을 흡수할 수 있다. 카본쉘 입자(CS)는 속이 빈 반구형(hemispherical type)으로 이루어진다. 여기서 반구형은 정확히 반구형이 아니어도 무방하며 곡면을 가지는 형상이라면 어떠한 형상도 가능하다. 본 발명의 카본쉘 입자(CS)는 속이 빈 반구형 형상을 가짐으로써, 평평한 막(flat layer)에 비해 넓은 표면적을 가져 광흡수 효과를 향상시킬 수 있다.
- [0061] 카본쉘 입자(CS)는 일정 크기로 이루어지며, 바람직하게는 100 내지 1000nm의 크기(d)으로 이루어질 수 있다.
- [0062] 전술한 기판(SUB1) 내에서 카본쉘 입자(CS)는 규칙적 또는 불규칙적으로 배열될 수 있다. 구체적으로 전술한 도 7에 도시된 바와 같이, 카본쉘 입자(CS)는 볼록부(PP)와 오목부(GP)를 가질 수 있다. 여기서, 카본쉘 입자(CS)는 볼록부(PP)가 기판(SUB1) 하면을 향하도록 배치되고, 오목부(GP)는 기판(SUB1) 상면을 향하도록 배치될 수 있다. 이때, 카본쉘 입자(CS)의 볼록부(PP)는 기판(SUB1) 하면에 컨택하여 기판(SUB1) 하면 밖으로 노출될 수도 있다. 카본쉘 입자(CS)의 오목부(GP)는 기판(SUB1) 내부에 완전히 감싸질 수 있다.
- [0063] 카본쉘 입자(CS)의 볼록부(PP)가 기판(SUB1) 외부면을 향해 배치되면, 기판(SUB1) 외부면에서 충격이 가해졌을 때 볼록부(PP)들의 엠보싱(embossing) 구조로 인해 충격을 흡수할 수 있는 이점이 있다.
- [0064] 또한, 도 8에 도시된 바와 같이, 카본쉘 입자(CS)는 볼록부(PP)가 기판(SUB1) 상면을 향하도록 배치되고, 오목부(GP)는 기판(SUB1) 하면을 향하도록 배치될 수 있다. 이때, 카본쉘 입자(CS)의 오목부(GP)는 기판(SUB1) 하면에 컨택하여 기판(SUB1) 하면 밖으로 노출될 수도 있다. 카본쉘 입자(CS)의 볼록부(PP)는 기판(SUB1) 내부에 완전히 감싸질 수 있다.
- [0065] 또한, 도 9에 도시된 바와 같이, 카본쉘 입자(CS)는 볼록부(PP)와 오목부(GP)가 다양한 방향을 향해 배치되어 불규칙적(random)으로 배열될 수 있다. 기판(SUB1)이 플렉서블한 경우, 기판(SUB1)이 다양한 방향으로 구부러졌을 때 기판(SUB1)에 가해지는 응력을 완화하여 기판(SUB1)에 크랙이 가해지는 것을 방지할 수 있는 이점이 있다.
- [0066] 한편, 본 발명의 광흡수층(CSL)은 전술한 도 7 내지 9에 도시된 것처럼, 복수의 카본쉘 입자(CS)들이 1층으로 배열된 구조로 이루어질 수 있으며, 도 10에 도시된 것처럼, 복수의 카본쉘 입자(CS)들이 다층으로 적층된 구조로 이루어질 수 있다.
- [0067] 본 발명의 카본쉘 입자(CS)는 코어-쉘 구조의 입자를 통해 제조될 수 있다.
- [0068] 도 11을 참조하면, 카본쉘 입자는 금속 전구체 용액을 제조하는 단계(S1), 초음파를 조사하여 금속 나노입자를 제조하는 단계(S2), 금속 나노입자를 건조하는 단계(S3), 및 열처리하여 카본쉘 입자를 제조하는 단계(S4)를 통해 제조될 수 있다.
- [0069] 금속 전구체 용액을 제조하는 단계(S1)는 탄소를 포함하는 용매에 금속 전구체를 용해하여 금속 전구체 용액을 제조할 수 있다. 금속 전구체는 금속염, 금속산화물 및 금속화합물 중 선택된 어느 하나 이상을 사용할 수 있다. 금속염은 예를 들어, 질산염, 탄산염, 염화염, 산화염, 황산염, 아세트산염, 아세틸아세토네이트, 이들의 수화물 및 이들의 혼합물 중 선택된 어느 하나 이상을 사용할 수 있다. 금속은 예를 들어, 마그네슘, 칼슘, 스트론튬, 바륨, 티타늄, 바나듐, 크롬, 망간, 철, 코발트, 니켈, 구리, 아연, 갈륨, 게르마늄, 이트륨, 지르코늄, 몰리브데늄, 루테늄, 은, 카드뮴, 인듐, 주석, 백금, 금, 납, 란타늄, 세륨, 프로세오디뮴, 네오디뮴, 사마륨, 유로피뮴, 가돌리움, 터븀, 디스프로슘, 이터븀 및 루테슘 중 선택된 어느 하나 이상을 사용할 수 있다.
- [0070] 용매는 탄소를 포함하는 용매를 사용할 수 있으며, 예를 들어, 에테르계, 탄화수소계 및 알코올계 중 선택된 어느 하나 이상을 사용할 수 있다. 에테르계는 예를 들어, C6~C25 에테르를 사용할 수 있으며, 부틸에테르, 헥실에테르, 옥틸에테르, 벤질에테르, 페닐에테르 및 데실에테르 중 선택된 어느 하나 이상을 사용할 수 있다. 탄화수소계 용매는 예를 들어, 벤젠, 헥산, 클로로벤조이산, 톨루엔, 크릴렌, 테트라데신, 헥사데신 및 옥타데신 중 선택된 어느 하나 이상을 사용할 수 있다. 알코올계는 예를 들어, 헥사데카놀, 데카놀, 에틸렌글리콜, 옥틸알콜, 1,2-헥사데케인디올, 1,2-옥테인디올 및 1,2-도데케인디올 중 선택된 어느 하나 이상을 사용할 수 있다.
- [0071] 상기 초음파를 조사하여 금속 나노입자를 제조하는 단계(S2)는 상기 금속 전구체 용액에 초음파를 조사하여 탄

소를 포함하는 금속 나노입자를 제조할 수 있다. 초음파는 2 내지 200kHz의 강도로 1분 내지 12시간 동안 조사 할 수 있다. 이때, 용매는 탄소의 원료물질로 작용하여 초음파 조사에 의해 금속 전구체로부터 금속 나노입자가 제조되고 용매가 분산되면서 생성된 탄소가 금속 나노입자에 혼합되어 탄소를 포함하는 금속 나노입자가 제조된다.

[0072] 상기 금속 나노입자를 제조하는 단계(S3)는 금속 전구체 용액으로부터 탄소를 포함하는 금속 나노입자를 석출하고 건조할 수 있다. 석출 방법으로는 금속 전구체 용액에 에탄올을 첨가하고 원심 분리하여 석출할 수 있다. 건조는 50 내지 80도의 온도에서 3 내지 12시간 동안 수행될 수 있다.

[0073] 상기 열처리하여 카본쉘 입자를 제조하는 단계(S4)는 금속 나노입자를 열처리하여 탄소가 코팅된 금속 나노입자를 제조하고 금속 나노입자에서 코어를 분리하여 카본쉘을 제조할 수 있다. 열처리 온도는 900 내지 1200도에서 3 내지 12 시간 동안 수행될 수 있다. 열처리는 아르곤 기체, 질소 기체, 산소 기체 및 수소 기체 중 선택된 어느 하나의 분위기에서 수행될 수 있다. 열처리 과정에서 금속 나노입자와 혼합되어 있던 탄소의 일부는 금속산화물 형태로 존재하는 금속 나노입자를 금속 형태로 변화시키고 나머지 탄소는 금속 나노입자의 표면으로 확산되어 나와 결과적으로 금속 나노입자의 표면에 성장하여 탄소 코팅층을 형성한다. 특히, 열처리가 계속되면 금속 나노입자의 크기가 증가하여 탄소 코팅층을 뚫고 나와 금속 나노입자와 탄소 코팅층이 분리된다. 도 12에 도시된 바와 같이, 이 분리된 탄소 코팅층은 본 발명의 카본쉘 입자로 이용한다.

[0074] 제조된 카본쉘 입자는 용매에 분산하고 코팅 및 건조 과정을 거쳐 광흡수층으로 제조될 수 있다. 이때, 카본쉘 입자는 소수성 처리를 통해 표면에 소수성기를 결합시킨 후 용매에 분산하여 코팅하면, 같은 소수성끼리 모이는 성질을 이용하여 카본쉘 입자들로 이루어진 광흡수층을 제조할 수 있다.

[0075] 한편, 도 7 및 도 13을 참조하면, 본 발명의 광흡수층(CSL)은 각 서브픽셀들(SPn1~SPn4)의 회로영역(DRA) 및 배선영역(WA)에 대응 및 중첩하여 배치될 수 있다. 회로영역(DRA)과 배선영역(WA)은 금속으로 이루어진 소자와 배선들이 배치되어 외부광이 반사되는 주 영역으로 작용한다. 따라서, 본 발명에서는 서브픽셀들(SPn1~SPn4)의 회로영역(DRA) 및 배선영역(WA)에 대응 및 중첩하여 광흡수층(CSL)을 배치함으로써, 회로영역(DRA)과 배선영역(WA)으로 입사되는 외부광을 흡수하여 광 반사율을 저감할 수 있다.

[0076] 전술한 도 7의 표시장치는 유리기판 상에 제조된 후 유리기판과 기판(SUB1)의 분리를 통해 제조될 수 있다.

[0077] 구체적으로, 유리기판 상에 카본쉘 입자가 분산된 용액을 코팅한 후 건조하여 본 발명의 광흡수층(CSL)을 형성 한다. 광흡수층(CSL)이 형성된 유리기판 상에 폴리이미드 등의 고분자를 코팅하고 기판(SUB1)을 형성한 후, 기판(SUB1) 상에 박막트랜지스터, 유기발광다이오드 등의 소자를 형성한다. 이후, 기판(SUB1)과 유리기판을 분리 함으로써 도 7에 도시된 본 발명의 일 실시예에 따른 표시장치가 제조될 수 있다.

[0078] 상기와 같이, 본 발명의 제1 실시예에 따른 표시장치는 기판에 카본쉘 입자들로 구성된 광흡수층을 형성함으로써, 표시패널의 회로영역 및 배선영역에서 반사되는 외부광의 반사를 줄여 표시장치의 반사율을 저감할 수 있는 이점이 있다.

[0079] 본 발명의 표시장치는 전술한 제1 실시예의 플라스틱 기판을 이용한 플렉서블 표시장치 외에 유리기판이 구비된 표시장치에도 적용할 수 있다. 여기에서는 유리기판 상에 광흡수층이 구비된 표시장치에 대해 설명하기로 한다. 여기에서는 전술한 도 7과 중복되는 설명은 생략하기로 한다.

[0080] 도 14는 본 발명의 제2 실시예에 따른 표시장치를 나타낸 단면도이다.

[0081] 도 14를 참조하면, 본 발명의 제2 실시예에 따른 표시장치는 유리기판으로 이루어진 기판(SUB1)을 포함할 수 있다. 기판(SUB1)은 투명한 유리기판으로 이루어진다. 기판(SUB1) 상에 광흡수층(CSL)을 포함하는 평탄화층(PI)이 위치한다. 평탄화층(PI)은 광흡수층(CSL)의 카본쉘 입자(CS)들의 단차를 평탄화하여 상부의 소자가 형성되기 용이하게 하는 역할을 한다. 평탄화층(PI)은 전술한 제1 실시예의 기판과 동일한 재료로 이루어지며 예를 들어, 폴리이미드(PI), 폴리아크릴레이트(PA), 폴리메틸메타크릴레이트(PMMA), 폴리에틸렌테레프탈레이트(PET) 등으로 이루어질 수 있다.

[0082] 광흡수층(CSL)은 평탄화층(PI) 내에 배치되어, 외부로부터 입사되는 광을 흡수하여 표시장치의 광 반사율을 줄이는 역할을 한다. 광흡수층(CSL)은 복수의 카본쉘 입자(CS)를 포함한다. 카본쉘 입자(CS)는 속이 빈 반구형으로 이루어진다.

[0083] 카본쉘 입자(CS)는 일정 크기로 이루어지며, 바람직하게는 100 내지 1000nm의 크기(d)으로 이루어질 수 있다. 광흡수층(CSL) 내에서 카본쉘 입자(CS)는 규칙적 또는 불규칙적으로 배열될 수 있다. 또한, 광흡수층(CSL)은 복

수의 카본셀 입자(CS)들이 1층 또는 다층으로 배열된 구조로 이루어질 수 있다.

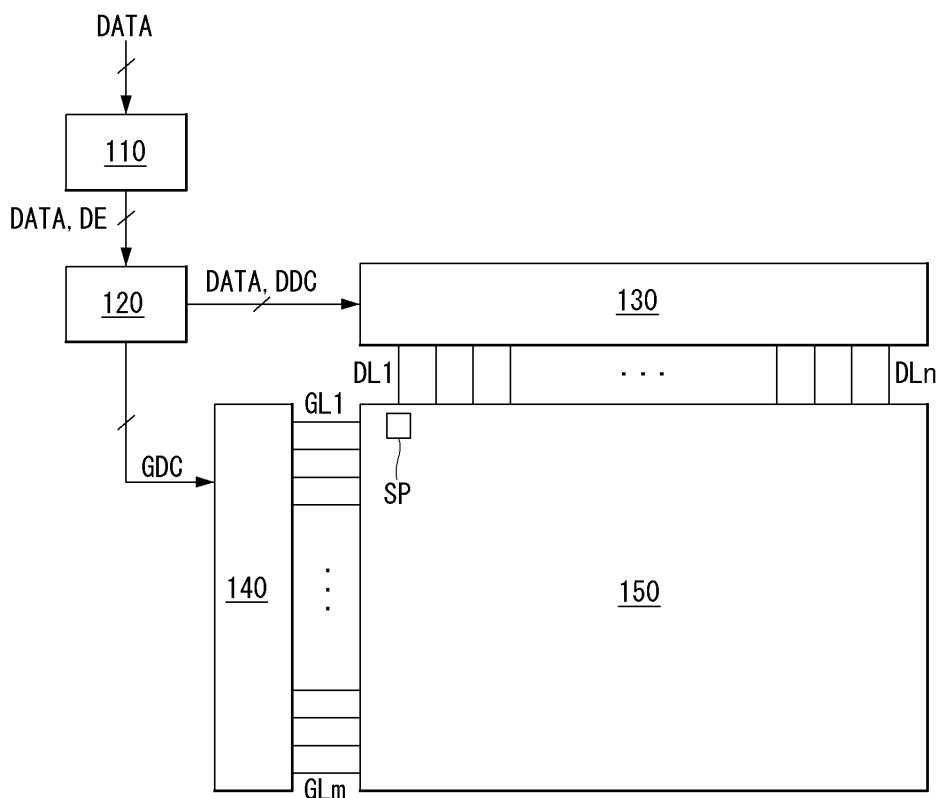
- [0084] 광흡수층(CSL)은 각 서브픽셀들(SPn1~SPn4)의 회로영역(DRA) 및 배선영역(WA)에 대응 및 중첩하여 배치됨으로써, 회로영역(DRA)과 배선영역(WA)으로 입사되는 외부광을 흡수하여 광 반사율을 저감할 수 있다.
- [0085] 상기와 같이, 본 발명의 일 실시예들에 따른 표시장치는 기판 상에 또는 기판 내에 카본셀 입자를 포함하는 광흡수층을 구비함으로써, 외부광의 반사를 줄여 표시장치의 반사율을 저감할 수 있는 이점이 있다.
- [0086] 이상 설명한 내용을 통해 당업자라면 본 명세서의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 명세서의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

### 부호의 설명

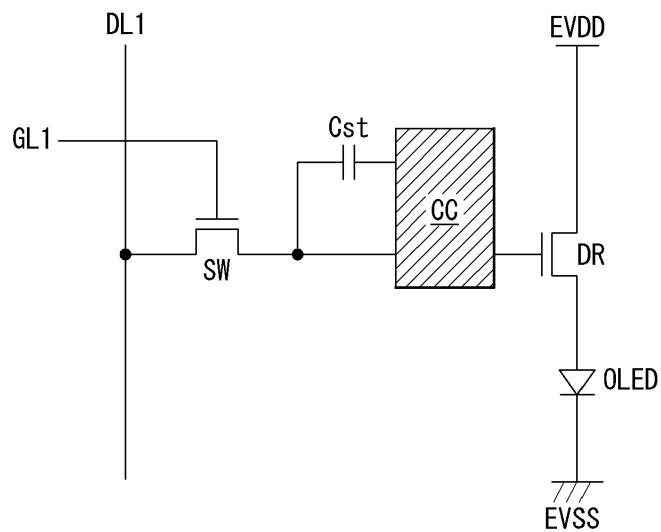
- SUB1 : 기판 DP : 표시 패널  
 OLED : 유기발광 다이오드 DRA : 회로영역  
 WA : 배선영역 EMA : 발광영역  
 CSL : 광흡수층 CS : 카본셀 입자  
 GP : 오목부 PP : 볼록부

### 도면

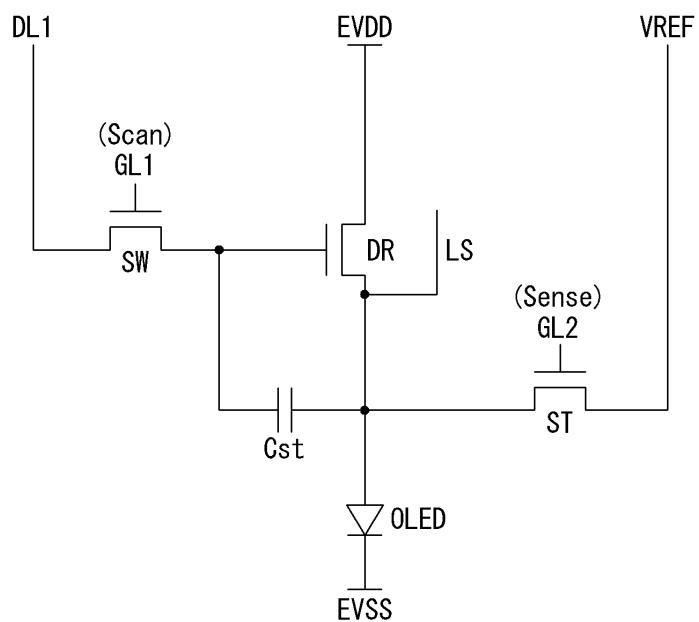
#### 도면1



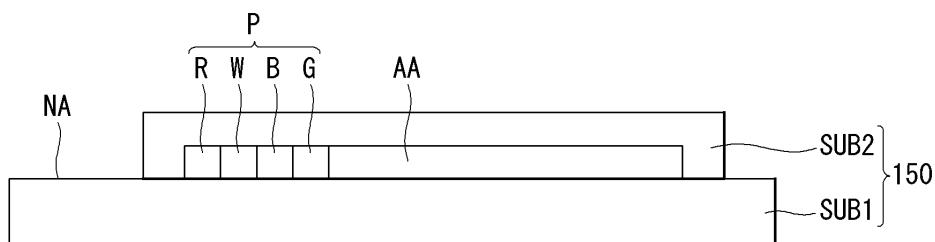
## 도면2



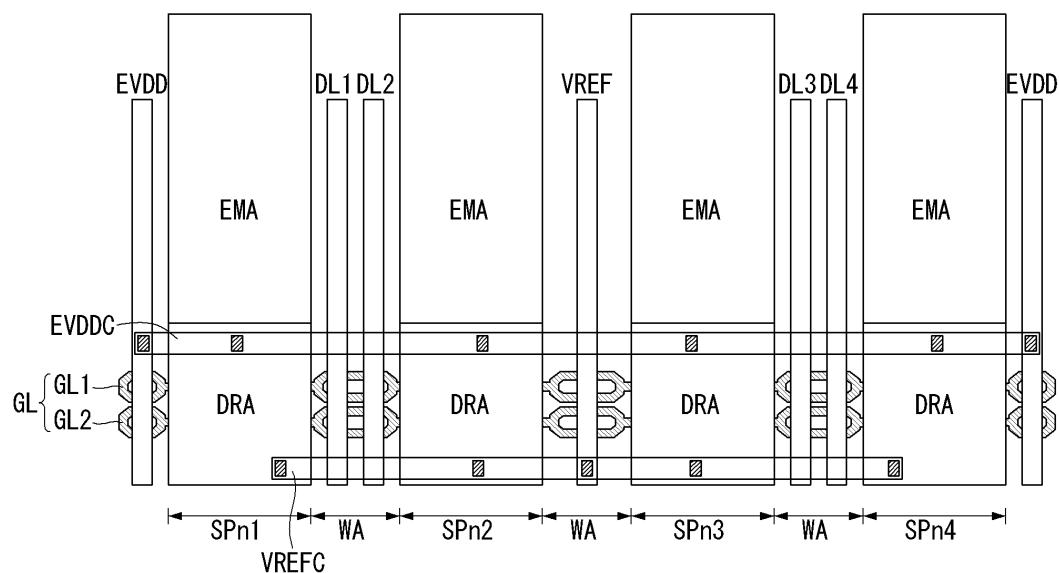
## 도면3



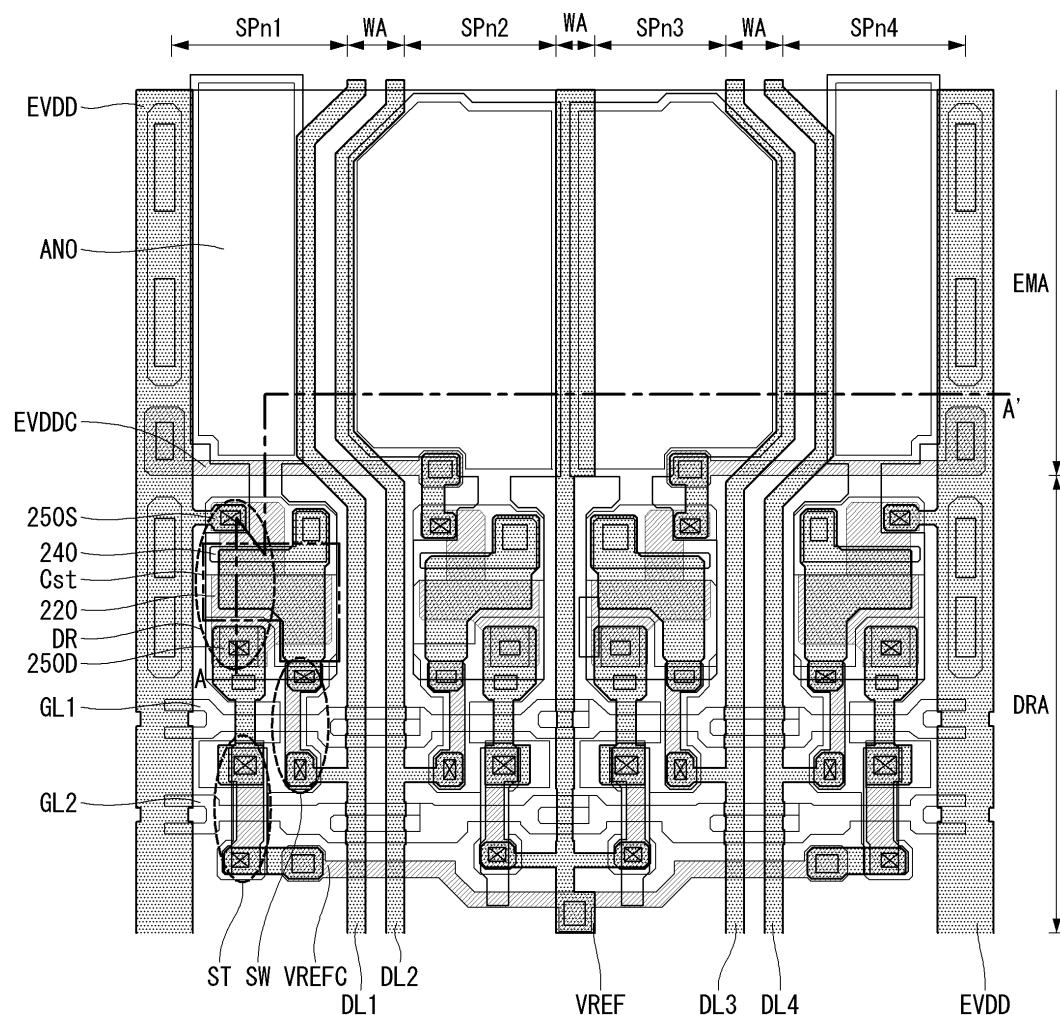
## 도면4



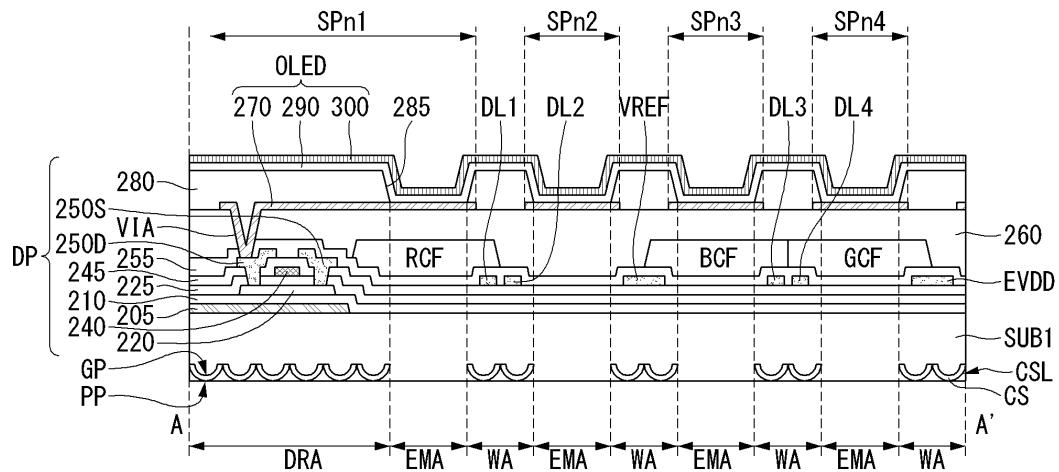
## 도면5



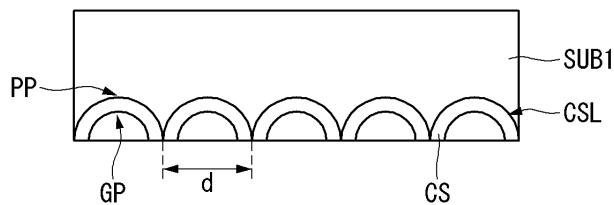
## 도면6



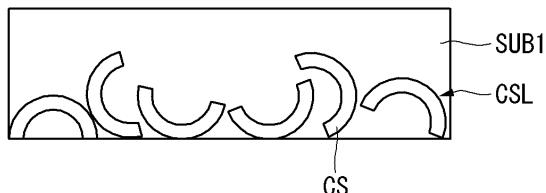
## 도면7

100

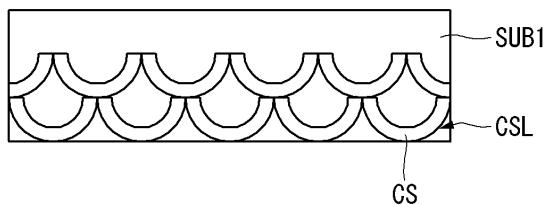
## 도면8

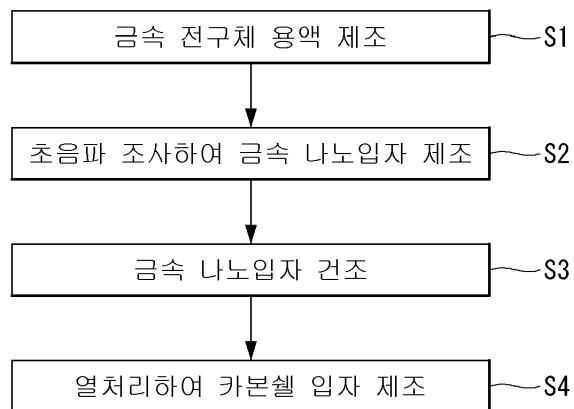
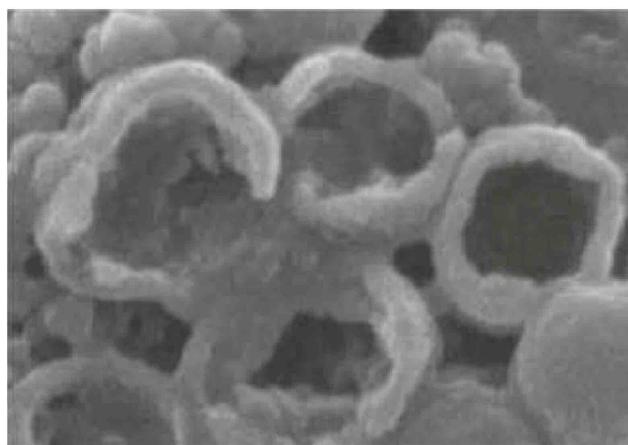
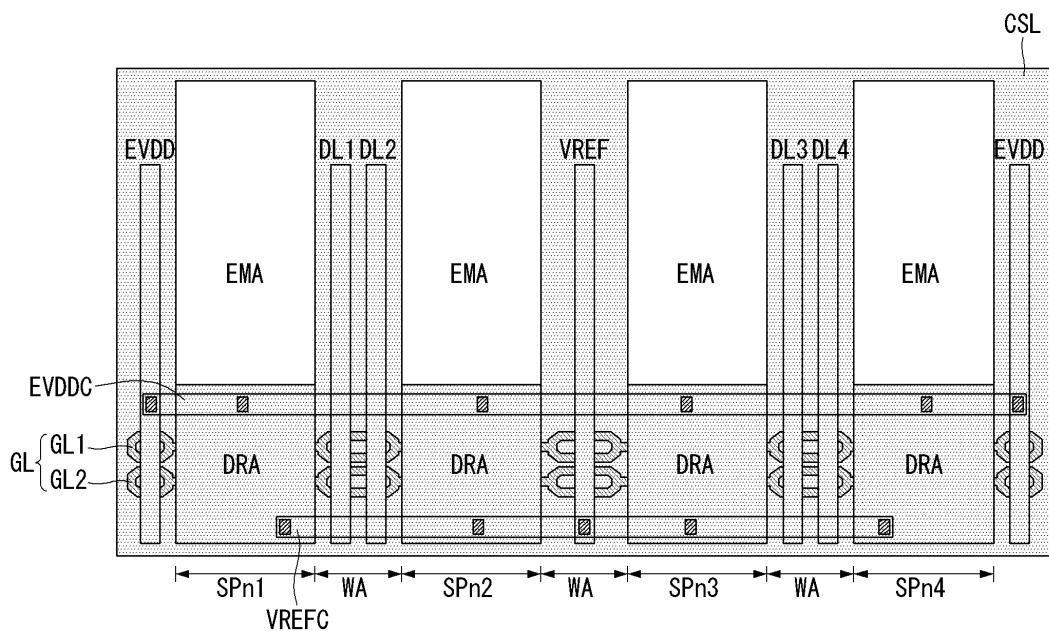


## 도면9

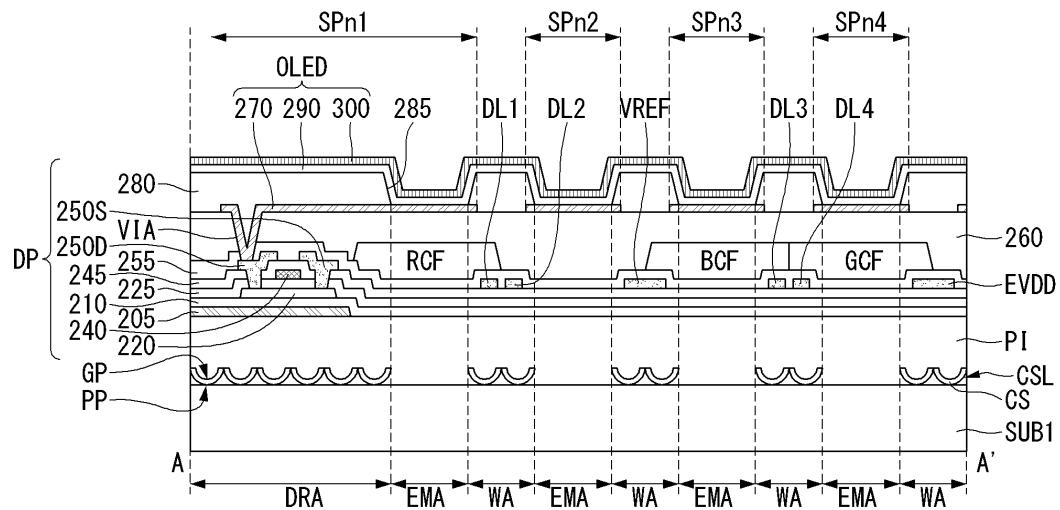


## 도면10



**도면11****도면12****도면13**

## 도면14

100

专利名称(译)	显示		
公开(公告)号	<a href="#">KR1020200072244A</a>	公开(公告)日	2020-06-22
申请号	KR1020180160207	申请日	2018-12-12
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김미애		
发明人	김미애		
IPC分类号	H01L51/52 H01L27/32		
CPC分类号	H01L51/5284 H01L27/32		
外部链接	<a href="#">Espacenet</a>		

## 摘要(译)

本发明提供一种显示装置,其能够降低外部光的反射率并使亮度损失最小。根据本发明示例性实施例的显示装置包括:基板;位于基板上的至少一个薄膜晶体管;以及位于薄膜晶体管上并连接至至少一个薄膜晶体管的有机发光二极管。可以提供设置在基板上并包括多个碳壳颗粒的光吸收层。

