



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0079231
(43) 공개일자 2019년07월05일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) G09G 3/3233 (2016.01)
H01L 27/32 (2006.01)

(52) CPC특허분류
H01L 51/5243 (2013.01)
G09G 3/3233 (2013.01)

(21) 출원번호 10-2017-0181293
(22) 출원일자 2017년12월27일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
박정수
경기도 파주시 월롱면 엘지로 245
김소현
경기도 파주시 월롱면 엘지로 245

(74) 대리인
특허법인인벤싱크

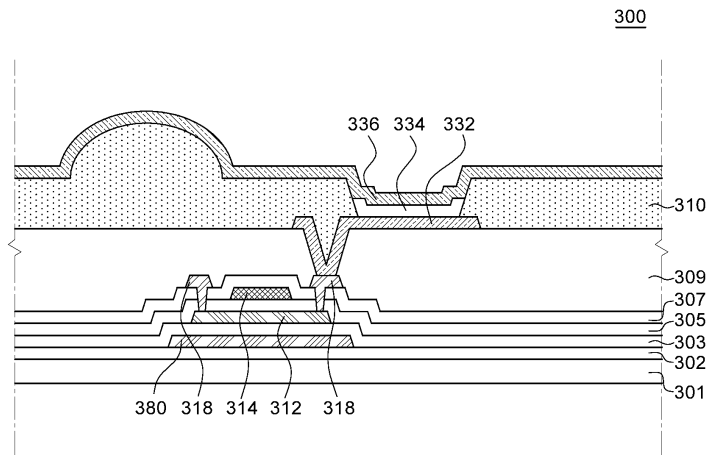
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 유기발광 표시장치

(57) 요약

본 명세서는 유기발광 표시장치를 개시한다. 상기 유기발광 표시장치는, 게이트(gate), 소스(source), 및 고준위 전원단과 연결된 드레인(drain)을 갖는 구동 트랜지스터(driving transistor); 상기 구동 트랜지스터의 상기 소스와 연결된 애노드(anode) 및 저준위 전압단과 연결된 캐소드(cathode)를 갖는 유기발광 다이오드(organic light emitting diode); 상기 저준위 전원단과 상기 유기발광 다이오드의 캐소드 사이에 있는 스위치; 상기 구동 트랜지스터의 반도체 층의 하부에 위치하고, 소정 전원에 연결된 차폐 금속 층을 포함할 수 있다.

대표도 - 도3b



(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 27/3265 (2013.01)

H01L 51/5203 (2013.01)

G09G 2230/00 (2013.01)

G09G 2300/0842 (2013.01)

명세서

청구범위

청구항 1

게이트(gate), 소스(source), 및 고준위 전원단과 연결된 드레인(drain)을 갖는 구동 트랜지스터(driving transistor);

상기 구동 트랜지스터의 상기 소스와 연결된 애노드(anode) 및 저준위 전압단과 연결된 캐소드(cathode)를 갖는 유기발광 다이오드(organic light emitting diode);

상기 저준위 전원단과 상기 유기발광 다이오드의 캐소드 사이에 있는 스위치; 및

상기 구동 트랜지스터의 반도체 층의 하부에 위치하고, 소정 전원에 연결된 차폐 금속 층을 포함하는 유기발광 표시장치.

청구항 2

제1 항에 있어서,

상기 유기발광 다이오드는 제1 시간 구간에서 오프(off) 되고, 제2 시간 구간에서 온(on)되는 유기발광 표시장치.

청구항 3

제1 항에 있어서,

상기 스위치는,

상기 유기발광 다이오드가 제1 시간 구간에서 오프(off) 되고, 제2 시간 구간에서 온(on)되도록 동작하는 유기발광 표시장치.

청구항 4

제2 항 또는 제3 항에 있어서,

상기 제1 시간 구간은, 상기 구동 트랜지스터에 영상 신호가 전달되는 시간 구간이고,

상기 제2 시간 구간은, 상기 유기발광 다이오드가 상기 전달된 영상 신호를 기반으로 발광하는 시간 구간인 유기발광 표시장치.

청구항 5

제3 항에 있어서,

상기 차폐 금속 층은,

상기 유기발광 다이오드가 온(on)되는 시간 구간에서 소정의 전압을 공급받는 유기발광 표시장치.

청구항 6

제5 항에 있어서,

상기 차폐 금속 층은,

상기 유기발광 다이오드가 오프(off)되는 시간 구간에서는 그라운드 전압을 공급받는 유기발광 표시장치.

청구항 7

제5 항에 있어서,

상기 소정의 전압은 2.5 볼트(V) 이상인 유기발광 표시장치.

청구항 8

제5 항에 있어서,

상기 차폐 금속 층은, 비표시 영역에서 상기 소정 전원의 배선과 연결된 유기발광 표시장치.

청구항 9

제1 항에 있어서,

상기 스위치를 제어하는 전원 컨트롤러를 더 포함하는 유기발광 표시장치.

청구항 10

제9 항에 있어서,

상기 스위치 및 상기 전원 컨트롤러는,

전원관리 집적회로(PMIC)에 포함된 유기발광 표시장치.

청구항 11

제1 항에 있어서,

데이터 전압을 공급하는 데이터 라인과 상기 구동 트랜지스터의 게이트 사이에 전기적으로 연결되된 제1 트랜지스터;

기준 전압을 공급하는 기준 전압 라인과 상기 구동 트랜지스터의 소스 사이에 전기적으로 연결된 제2 트랜지스터; 및

상기 구동 트랜지스터의 게이트와 소스 사이에 전기적으로 연결된 커패시터를 더 포함하는 유기발광 표시장치.

청구항 12

제11 항에 있어서,

상기 제1 트랜지스터는 제1 게이트 라인을 통해 인가되는 제1 게이트 신호를 통해 스위칭되고, 상기 제2 트랜지스터는 제2 게이트 라인을 통해 인가되는 제2 게이트 신호를 통해 스위칭되는 유기발광 표시장치.

청구항 13

제12 항에 있어서,

상기 제1 트랜지스터는, 상기 제1 게이트 신호에 의해 온 상태가 되면 상기 데이터 전압을 상기 구동 트랜지스터의 게이트에 인가하고,

상기 제2 트랜지스터는 상기 제2 게이트 신호에 의해 온 상태가 되면 상기 기준 전압을 상기 구동 트랜지스터의 소스에 인가하는 유기발광 표시장치.

청구항 14

제13 항에 있어서,

상기 커패시터는 한 프레임 동안 데이터 정보를 유지하며, 상기 데이터 정보는 상기 게이트에 인가된 상기 데이터 전압과 상기 소스에 인가된 상기 기준 전압의 차이인 유기발광 표시장치.

청구항 15

제1 항에 있어서,

상기 유기발광 표시장치는,

가상현실 구현장치에 적용되는 표시장치인 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 명세서는 유기발광 표시장치에 관한 것이다. 더 구체적으로는 가상현실(Virtual Reality) 구현장치에 적용되는 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 가상현실(VR: Virtual Reality)이란, 인공적인 기술을 활용하여 인체의 오감(시각, 청각, 후각, 미각, 촉각)을 자극함으로써 실제로 연기 힘든 또는 얻을 수 없는 경험/환경 등을 가상으로 체험할 수 있게 하는 환경이다. 가상현실은 입력장치, 출력장치, 장치구동 소프트웨어, 콘텐츠 등 다양한 하드웨어와 소프트웨어 모듈을 통해 구현될 수 있다. 일반적으로 가상현실 구현장치는 입력부, 처리부 및 출력부로 구성될 수 있다. 그 중에서 출력부는 몰입도를 높인 디스플레이 장치로 구성될 수 있다.

[0003] 가상현실 구현장치는 정보를 표현하는 표시장치가 매우 중요하다. 특히 가상현실로의 몰입감을 위해서는 해상도 등의 화상 표현 성능은 물론 그 형태도 중요하다. 이에 가상현실 구현용 표시장치의 한 형태로서 머리에 쓰는 형태의 디스플레이(Head Mounted Display, HMD) 기기가 많이 사용된다. 상기 HMD로는 가볍고 얇은 표시장치가 사용되는 것이 유리하다

[0004] 최근에는 HMD를 비롯한 가상현실 구현장치의 출력부(표시장치)에 적용하기 위한 유기발광 표시장치(OLED)가 연구되고 있다. 유기발광 표시장치는 전극 사이의 얇은 발광층을 이용한 자발광 소자를 사용하는 표시장치로서, 경량화, 박막화가 가능하다는 장점이 있기 때문이다. 그에 따라, 가상현실 구현장치라는 사용 특성에 적합하도록 가상현실 구현장치용 유기발광 표시장치의 구조, 동작, 기능 등을 개량/변경하는 연구도 심도 있게 수행되고 있다.

발명의 내용

해결하려는 과제

[0005] 본 명세서는 가상현실 구현장치에 사용되는 유기발광 표시장치 및 그 구동방법을 제안하는 것을 목적으로 한다. 본 명세서의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0006] 본 명세서의 일 실시예에 따라 유기발광 표시장치가 제공된다. 상기 유기발광 표시장치는, 게이트(gate), 소스(source), 및 고준위 전원단과 연결된 드레인(drain)을 갖는 구동 트랜지스터(driving transistor); 상기 구동 트랜지스터의 상기 소스와 연결된 애노드(anode) 및 저준위 전원단과 연결된 캐소드(cathode)를 갖는 유기발광 다이오드(organic light emitting diode); 상기 저준위 전원단과 상기 유기발광 다이오드의 캐소드 사이에 있는 스위치; 상기 구동 트랜지스터의 반도체 층의 하부에 위치하고, 소정 전원에 연결된 차폐 금속 층을 포함할 수 있다.

[0007] 상기 유기발광 다이오드는 제1 시간 구간에서 오프(off) 되고, 제2 시간 구간에서 온(on)될 수 있다. 한편, 상기 스위치는, 상기 유기발광 다이오드가 제1 시간 구간에서 오프(off) 되고, 제2 시간 구간에서 온(on)되도록 동작할 수 있다.

[0008] 상기 제1 시간 구간은, 상기 구동 트랜지스터에 영상 신호가 전달되는 시간 구간이고, 상기 제2 시간 구간은, 상기 유기발광 다이오드가 상기 전달된 영상 신호를 기반으로 발광하는 시간 구간이다.

[0009] 상기 차폐 금속 층은, 상기 유기발광 다이오드가 온(on)되는 시간 구간에서 소정의 전압을 공급받고, 상기 유기발광 다이오드가 오프(off)되는 시간 구간에서는 그라운드 전압을 공급받을 수 있다.

[0010] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0011] 본 명세서의 실시예들은, 복원 잔상 및 휘도 저하 문제를 저감시키는 유기발광 표시장치 및 그 구동 방법을 제

공할 수 있다. 더불어, 본 명세서의 실시예들은, 제조 공정을 단순화 한 유기발광 표시장치를 제공할 수 있다. 본 명세서의 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

[0012] 도 1은 전자장치에 포함될 수 있는 예시적인 유기발광 표시장치를 도시한다.

도 2a 내지 2d는 가상현실 구현장치에 사용되는 유기발광 표시장치 및 구동을 나타내는 예시적인 도면이다.

도 3a 내지 3c는 본 명세서의 일 실시예에 따른 유기발광 표시장치 및 구동을 나타내는 예시적인 도면이다.

발명을 실시하기 위한 구체적인 내용

[0013] 본 명세서의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0014] 본 명세서의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 명세서가 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다. 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0015] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다. 소자 또는 층이 다른 소자 또는 층 "위 (on)"로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.

[0016] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0017] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다. 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.

[0018] 도 1은 전자장치에 포함될 수 있는 예시적인 유기발광 표시장치를 도시한다.

[0019] 상기 유기발광 표시장치(100)는 적어도 하나의 표시 영역(active area)을 포함하고, 상기 표시 영역에는 픽셀(pixel)들의 어레이(array)가 형성된다. 하나 이상의 비표시 영역(inactive area)이 상기 표시 영역의 주위에 배치될 수 있다. 즉, 상기 비표시 영역은, 표시 영역의 하나 이상의 측면에 인접할 수 있다. 상기 표시 영역 및 상기 비표시 영역의 형태/배치는 한정되지 않는다. 상기 표시 영역 및 상기 비표시 영역은, 상기 유기발광 표시장치(100)를 탑재한 전자장치의 디자인에 적합한 형태일 수 있다. 상기 전자장치는 가상현실(VR) 표시장치일 수 있으며, 표시 영역의 예시적 형태는 오각형, 육각형, 원형, 타원형 등이다.

[0020] 상기 표시 영역 내의 각 픽셀은 픽셀 회로와 연관될 수 있다. 상기 픽셀 회로는, 백플레인(backplane) 상의 하나 이상의 스위칭 트랜지스터 및 하나 이상의 구동 트랜지스터를 포함할 수 있다. 각 픽셀 회로는, 게이트 드라이버(Gate Driver) 및 데이터 드라이버(Data Driver)와 같은 하나 이상의 구동 회로와 통신하기 위해, 게이트 라인(Gate Line) 및 데이터 라인(Data Line)과 전기적으로 연결될 수 있다. 상기 구동 회로는, 상기 비표시 영역에 TFT(thin film transistor)로 구현될 수도 있고, 분리된 인쇄 회로 기판에 탑재되고 FPCB(flexible

printed circuit board), COF(chip-on-film), TCP(tape-carrier-package) 등과 같은 회로 필름을 통하여 상기 비표시 영역에 배치된 연결 인터페이스(패드/범프, 핀 등)와 결합될 수 있다. 이러한 픽셀 회로 및 구동 회로의 배치가 도 1에 예시되어 있다.

- [0021] 도 1과 같이 표시패널(110)에는 제1방향으로 복수의 데이터 라인(DL1, DL2, DL3, ..., DLm)이 배치되고, 제1방향과 교차하는 제2방향으로 복수의 게이트 라인(GL1, GL2, ..., GLn)이 배치되며, 복수의 픽셀(P이 매트릭스 타입으로 배치될 수 있다.
- [0022] 데이터 드라이버(120)는, 특정 게이트 라인(GL)이 열리면, 컨트롤러(140)로부터 수신한 영상 데이터(Data')를 아날로그 형태의 데이터 전압(Vdata)으로 변환하여 데이터 라인들(DL1, DL2, DL3, ..., DLm)로 공급한다.
- [0023] 게이트 드라이버(130)는, 컨트롤러(140)의 제어에 따라, 온(On) 전압 또는 오프(Off) 전압의 게이트 신호를 게이트 라인들(GL1, GL2, ..., GLn)로 순차적으로 공급한다. 게이트 드라이버(130)는, 구동 방식에 따라서, 표시패널(110)의 양측에 위치할 수도 있고, 경우에 따라서는, 일 측에만 위치할 수도 있다. 또한, 게이트 드라이버(130)는, 복수의 게이트 드라이버 집적회로들을 포함할 수 있는데, 이러한 게이트 드라이버 집적회로들은, 테이프 오토메티드 본딩(TAB: Tape AuTrmated Bonding) 방식 또는 칩 온 글래스(COG) 방식으로 표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, GIP(Gate In Panel) 타입으로 구현되어 표시패널(110)에 직접 배치될 수도 있다. 한편, 상기 게이트 드라이버 집적회로들 각각은 쉬프트 레지스터, 레벨 쉬프터 등을 포함할 수 있다.
- [0024] 컨트롤러(140)는 데이터 드라이버(120) 및 게이트 드라이버(130)를 제어하며, 데이터 드라이버(120) 및 게이트 드라이버(130)로 제어신호를 공급한다. 컨트롤러(140)는, 각 프레임에서 구현하는 타이밍에 따라 스캔을 시작하고, 호스트 시스템에서 입력되는 영상 데이터(Data)를 데이터 드라이버(120)에서 사용하는 데이터 신호 형식에 맞게 전환하여 전환된 영상 데이터(Data')를 출력하고, 스캔에 맞춰 적당한 시간에 데이터 구동을 통제한다. 그 이외에도, 컨트롤러(140)는, 데이터 드라이버(120) 및 게이트 드라이버(130)를 제어하기 위하여, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 데이터 인에이블 신호, 클럭 신호 등의 타이밍 신호를 입력받아, 각종 제어 신호들을 생성하여 데이터 드라이버(120) 및 게이트 드라이버(130)로 출력할 수 있다. 예를 들어, 컨트롤러(140)는, 게이트 드라이버(130)를 제어하기 위하여, 게이트 스타트 펄스(GSP: Gate Start Pulse), 게이트 쉬프트 클럭(GSC: Gate Shift Clock), 게이트 출력 인에이블 신호(GOE: Gate Output Enable) 등을 포함하는 게이트 제어 신호들(GCSs: Gate Control Signals)을 출력할 수 있다. 컨트롤러(140)는, 데이터 드라이버(120)를 제어하기 위하여, 소스 스타트 펄스(SSP: Source Start Pulse), 소스 샘플링 클럭(SSC: Source Sampling Clock), 소스 출력 인에이블 신호(SOE: Souce Output Enable) 등을 포함하는 데이터 제어 신호들(DCSs: Data Control Signals)을 출력할 수 있다.
- [0025] 유기발광 표시장치(100)는, 표시패널(110), 데이터 드라이버(120) 및 게이트 드라이버(130) 등으로 각종 전압 또는 전류를 공급해주거나 공급할 각종 전압 또는 전류를 제어하는 전원 컨트롤러(150)를 더 포함할 수 있다. 이러한 전원 컨트롤러(150)는 전원관리 집적회로(PMIC: Power Management IC)라고 불리기도 한다.
- [0026] 상기 유기발광 표시장치(100)는 픽셀들에 기준 전압(Vref)을 공급하는 복수의 기준 전압 라인들(VR1, VR2, VR3, ..., VRm), 복수의 기준 전압 라인들(170)과 공통으로 연결된 기준 전압 링크 라인(170)을 포함할 수 있다. 또한 상기 유기발광 표시장치(100)는, 픽셀 회로의 구동과 관련된 고준위 전압(VDD) 및 저준위 전압(VSS)을 공급하는 고준위/저준위 전압 라인도 포함할 수 있다.
- [0027] 상기 유기발광 표시장치(100)는, 다양한 신호를 생성하거나 표시 영역내의 픽셀을 구동하기 위한, 다양한 부가 요소들을 더 포함할 수 있다. 상기 픽셀을 구동하기 위한 부가 요소는 인버터 회로, 멀티플렉서, 정전기 방전 회로(electro static discharge) 등을 포함할 수 있다. 상기 유기발광 표시장치(100)는 픽셀 구동 이외의 기능과 연관된 부가 요소도 포함할 수 있다. 예를 들어, 상기 유기발광 표시장치(100)는 터치 감지 기능, 사용자 인증 기능(예: 지문 인식), 멀티 레벨 압력 감지 기능, 촉각 피드백(tactile feedback) 기능 등을 제공하는 부가 요소들을 포함할 수 있다. 상기 언급된 부가 요소들은 상기 비표시 영역 및/또는 상기 연결 인터페이스와 연결된 외부 회로에 위치할 수 있다.
- [0028] 도 2a 내지 2d는 가상현실 구현장치에 사용되는 유기발광 표시장치 및 구동을 나타내는 예시적인 도면이다.
- [0029] 도 2a는상기 유기발광 표시장치의 단위 픽셀 회로를 나타낸 예시도이고, 도 2c는 도 2a에 도시된 회로의 구동 타이밍을 나타낸 도면이다. 가상현실 구현장치에 사용되는 유기발광 표시장치에 있어서, 각 픽셀에 영상 신호(표시 정보)가 전달되는 과정은 통상적인 유기발광 표시장치와 유사하다.
- [0030] 도 2a와 2c를 참조하여 보면, 유기발광 표시장치(100)의 각 단위 픽셀 회로(이하, 픽셀 회로)는, 유기발광 다이

오드(OLED: Organic Light Emitting Diode)와, 유기발광 다이오드(OLED)로 전류를 공급하여 유기발광다이오드(OLED)를 구동하는 구동 트랜지스터(D-Tr: driving transistor)를 포함한다.

- [0031] 유기발광 다이오드(OLED)는 제1전극(예: 애노드)과 제2전극(예: 캐소드)을 포함한다. 상기 제1전극과 제2전극 사이에는 유기발광층이 배치될 수 있다. 유기발광다이오드(OLED)의 제1전극은 구동 트랜지스터(D-Tr)와 연결되고, 제2전극은 저준위 전압(VSS)과 연결된다. 저준위 전압(또는 기저 전압)은 전원 컨트롤러(150)의 제어에 의해 로우전압과 하이전압으로 전압이 변경될 수 있다.
- [0032] 구동 트랜지스터(D-Tr)의 제1 노드는 게이트 노드(G 노드)로서, 제1 전압이 인가된다. 구동 트랜지스터(D-Tr)의 제2 노드는 소스 노드(S 노드)로서, 제2 전압이 인가된다. 여기서, 상기 제1 전압은 해당 픽셀에 대응되는 데이터 전압(Vdata)일 수 있고, 상기 제2 전압은 기준 전압(Vref: reference voltage)일 수 있다. 구동 트랜지스터(D-Tr)의 제3 노드는 드레인 노드(D 노드)로서, 고준위 전압(VDD)이 인가된다. 요약하면, 구동 트랜지스터(D-Tr)는 데이터 전압(Vdata)이 인가되는 제1 노드(G 노드)와, 유기발광다이오드(OLED)의 제1전극과 연결된 제2 노드(S 노드)와, 고준위 전압(VDD)과 연결된 제3 노드(D 노드)를 포함한다.
- [0033] 픽셀 회로는, 구동 트랜지스터(D-Tr)의 제1 노드(G 노드)와 제2 노드(S 노드) 사이에 연결되는 커패시터, 예를 들어 저장 커패시터(storage capacitor)를 포함할 수 있다. 이러한 커패시터(Cst)는 한 프레임 동안 일정 전압을 유지시켜 준다.
- [0034] 한편 각 픽셀 회로는, 구동 트랜지스터(D-Tr) 이외에, 하나 이상의 트랜지스터를 더 포함할 수 있고, 경우에 따라서는, 하나 이상의 커패시터를 더 포함할 수 있다. 도 2a와 같은 회로 구성에서 상기 픽셀 회로는 제1 트랜지스터(Tr1), 제2 트랜지스터(Tr2)를 더 포함할 수 있다.
- [0035] 상기 제1 트랜지스터(Tr1)는 제1 게이트 라인을 통해 인가되는 제1 게이트 신호(SCAN1)를 통해 온-오프 또는 스위칭된다. 상기 제1 트랜지스터(Tr1)는, 제1 게이트 신호(SCAN1)에 의해 온 상태가 되면 데이터 전압(Vdata)을 구동 트랜지스터(D-Tr)의 제1 노드(G 노드)에 인가하게 된다. 상기 제2 트랜지스터(Tr2)는 제2 게이트 라인을 통해 인가되는 제2 게이트 신호(SCAN2)를 통해 온-오프 또는 스위칭된다. 상기 제2 트랜지스터(Tr2)는 제2 게이트 신호(SCAN2)에 의해 온 상태가 되면 기준 전압(Vref)을 구동 트랜지스터(D-Tr)의 제2 노드(S 노드)에 인가하게 된다.
- [0036] 커패시터(Cst)는 한 프레임 동안 구동 트랜지스터(D-Tr)의 제1 노드(G 노드)에 인가된 데이터 전압(Vdata=VG)과 제2 노드(S 노드)에 인가된 기준 전압(Vref=VS)의 차이인 데이터 정보(Vgs)을 유지시켜 준다.
- [0037] 후술할 차폐 금속 층(BSM)은 구동 트랜지스터(D-Tr)의 소스 노드에 연결될 수 있다.
- [0038] 도 2b는 상기 유기발광 표시장치의 단면도이다. 유기발광 표시장치(200)의 경우, 표시 영역(A/A)에는 베이스 층(201) 상에 박막트랜지스터(212, 214, 218), 유기발광 소자(232, 234, 236) 및 각종 기능 층(layer)들이 위치한다.
- [0039] 베이스 층(201)은 유기발광 표시장치(200)의 다양한 구성요소들을 지지한다. 베이스 층(201)은 투명한 절연 물질, 예를 들어 유리, 플라스틱 등과 같은 절연 물질로 형성될 수 있다. 기판(어레이 기판)은, 상기 베이스 층(201) 위에 형성된 소자 및 기능 층, 예를 들어 스위칭 TFT, 구동 TFT, 유기발광소자, 보호막 등을 포함하는 개념으로 지칭되기도 한다.
- [0040] 버퍼 층(202)이 베이스 층(201) 상에 위치할 수 있다. 상기 버퍼 층(buffer layer)은 베이스 층(201) 또는 하부의 층들에서 유출되는 알칼리 이온 등과 같은 불순물로부터 박막트랜지스터(Thin Film Transistor: TFT)를 보호하기 위한 기능 층이다. 상기 버퍼 층(202)은 실리콘 산화물(SiOx), 실리콘 질화물(SiNx) 또는 이들의 다층으로 이루어질 수 있다.
- [0041] 베이스 층(201)이 플라스틱 물질로 구성되고, 질화 실리콘(SiNx) 등을 포함하는 버퍼 층(202)이 사용되는 경우, 베이스 층(201) 또는 버퍼 층(202)으로부터 수소 또는 수분이 상부로 이동하여, 박막트랜지스터의 반도체 층(212)에 영향을 줄 수 있다. 또한, 베이스 층(201)이 플라스틱 물질로 이루어지는 경우, 제조 공정 중에 베이스 층(201)을 지지하기 위해 별도의 지지 기판(이송 기판)이 베이스 층(201) 하부에 부착된다. 이 때, 베이스 층(201)과 지지 기판 사이에는 희생 층이 배치된다. 제조 공정이 완료되면, 레이저 탈착(release) 공정을 통해 베이스 층(201)과 지지 기판이 분리될 수 있다. 이러한 레이저 탈착 공정 중에 조사되는 레이저에 의해 베이스 층(201) 상에 형성된 박막트랜지스터의 반도체 층(212)이 손상될 수도 있다. 또한, 베이스 층(201)과 희생 층에 의해 발생하는 전류 강하(drop) 현상으로 인하여, 박막트랜지스터의 임계 전압(Vth)이 변동될 수 있다. 구체적인

으로, 레이저 및 외부로부터 유입되는 빛에 의해 희생 층에 네가티브 차지 트랩(negative charge trap)이 발생되고, 베이스 층(201)을 이루는 물질인 플라스틱 물질, 예를 들어, 폴리이미드(PI)에서 양(+)전하들이 희생 층으로 이동한다. 이에 따라, 베이스 층(201) 표면의 전위(potential)가 증가하며, 박막트랜지스터의 임계 전압(V_{th})이 양(positive)의 방향으로 천이(shift)될 수 있다. 이러한 임계 전압(V_{th})의 천이는 유기 발광 표시 장치(100)의 신뢰성을 저하시킨다. 이에, 본 발명의 다양한 실시예들에 따른 유기 발광 표시 장치(200)에서는 차폐 금속 층(Bottom Shield Metal: BSM)을 더 포함할 수 있다.

- [0042] 상기 차폐 금속 층(280)이 버퍼 층(202) 상에 배치된다. 차폐 금속 층(280)은 버퍼 층(202) 상에서 박막트랜지스터의 반도체 층(212)과 중첩하도록 배치될 수 있고, 단면 상에서 차폐 금속 층(280)의 폭은 반도체 층(212)의 폭 이상일 수 있다. 차폐 금속 층(280)은 다양한 금속 물질로 이루어질 수 있고, 차폐 금속 층(280)은 특정 전압이 인가되거나 또는 플로팅(floating)될 수 있다. 일 예로 도 2b의 차폐 금속 층(280)은 구동 트랜지스터(D-Tr)의 소스(218)에 연결되었다.
- [0043] 차폐 금속 층(280) 상에는, 차폐 금속 층(280)과 반도체 층(212)을 절연시키기 위한 액티브 버퍼(203)가 배치된다. 액티브 버퍼(203)는 버퍼 층(202)과 동일한 물질로 형성될 수 있다. 예를 들어, 액티브 버퍼(203)는 질화 실리콘(Si_3N_4) 또는 산화 실리콘(SiO_2)의 단일층 또는 질화 실리콘(Si_3N_4)과 산화 실리콘(SiO_2)의 다중층으로 이루어질 수 있다.
- [0044] 상기 액티브 버퍼(203) 또는 상기 베이스 층(201) 위에 박막트랜지스터가 놓인다. 박막트랜지스터는 반도체 층(212), 게이트 절연층(205), 게이트 전극(214), 층간 절연층(interlayer dielectric layer, 207), 소스(source) 및 드레인(drain) 전극(218)이 순차적으로 적층된 형태일 수 있다. 반도체 층(212)은 폴리 실리콘(p-Si)으로 만들어질 수 있으며, 이 경우 소정의 영역이 불순물로 도핑될 수도 있다. 또한, 반도체 층(212)은 아몰포스 실리콘(a-Si)으로 만들어질 수도 있고, 펜타센 등과 같은 다양한 유기 반도체 물질로 만들어질 수도 있다. 나아가 반도체 층(212)은 산화물(oxide)로 만들어질 수도 있다.
- [0045] 게이트 전극(214)은 다양한 도전성 물질, 예컨대, 마그네슘(Mg), 알루미늄(Al), 니켈(Ni), 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 금(Au) 또는 이들의 합금 등으로 형성될 수 있다.
- [0046] 게이트 절연층(205), 층간 절연층(207)은 실리콘 산화물(SiO_2) 또는 실리콘 질화물(Si_3N_4) 등과 같은 절연성 물질로 형성될 수 있으며, 이외에도 절연성 유기물 등으로 형성될 수도 있다. 게이트 절연층(205)과 층간 절연층(207)의 선택적 제거로 소스 및 드레인 영역이 노출되는 콘택 홀(contact hole)이 형성될 수 있다.
- [0047] 소스 및 드레인 전극(218)은 게이트 절연층(205) 또는 층간 절연층(207) 상에 전극용 물질로 단일층 또는 다층의 형상으로 형성된다. 필요에 따라 무기 절연 물질로 구성된 보호 층(passivation)이 상기 소스 및 드레인 전극(218)을 덮을 수도 있다.
- [0048] 박막 트랜지스터의 소스 전극(218)이 콘택홀을 통해 차폐 금속 층(280)과 연결될 수 있다. 이에 따라, 차폐 금속 층(280)에는 박막트랜지스터의 소스 전극(218)과 동일한 전압이 인가된다. 차폐 금속 층(280)에 의해 수소 또는 수분이 차단되고, 레이저 탈착 공정 동안 조사되는 레이저도 차단되며, 베이스 층(201) 표면의 전위가 증가함에 따라 발생할 수 있는 박막트랜지스터의 임계 전압(V_{th})의 천이 현상 또한 억제될 수 있다.
- [0049] 평탄화 층(209)이 박막트랜지스터 상에 위치할 수 있다. 평탄화 층(209)은 박막트랜지스터를 보호하고 그 상부를 평탄화한다. 평탄화 층(209)은 다양한 형태로 구성될 수 있는데, BCB(Benzocyclobutene) 또는 아크릴(Acryl) 등과 같은 유기 절연막, 또는 실리콘 질화막(Si_3N_4), 실리콘 산화막(SiO_2)와 같은 무기 절연막으로 형성될 수도 있고, 단층으로 형성되거나 이중 혹은 다중 층으로 구성될 수도 있는 등 다양한 변형이 가능하다.
- [0050] 유기발광소자는 제1 전극(232), 유기발광 층(234), 제2 전극(236)이 순차적으로 배치된 형태일 수 있다. 즉, 유기발광소자는 평탄화 층(209) 상에 형성된 제1 전극(232), 제1 전극(232) 상에 위치한 유기발광 층(234) 및 유기발광 층(234) 상에 위치한 제2 전극(236)으로 구성될 수 있다.
- [0051] 제1 전극(232)은 콘택 홀을 통해 구동 박막트랜지스터의 드레인 전극(218)과 전기적으로 연결된다. 유기발광 표시장치(100)가 상부 발광(top emission) 방식인 경우, 이러한 제1 전극(232)은 반사율이 높은 불투명한 도전 물질로 만들어질 수 있다. 예를 들면, 제1 전극(232)은 은(Ag), 알루미늄(Al), 금(Au), 몰리브덴(Mo), 텅스텐(W), 크롬(Cr) 또는 이들의 합금 등으로 형성될 수 있다. 상기 제1 전극(232)은 유기발광 다이오드의 애노드(anode)일 수 있다.
- [0052] बैं크(210)는 발광 영역을 제외한 나머지 영역에 형성된다. 이에 따라, बैं크(210)는 발광 영역과 대응되는 제1

전극(232)을 노출시키는 बैं크 홀을 가진다. बैं크(210)는 실리콘 질화막(SiNx), 실리콘 산화막(SiOx)와 같은 무기 절연 물질 또는 BCB, 아크릴계 수지 또는 이미드계 수지와 같은 유기 절연물질로 만들어질 수 있다.

[0053] 유기발광 층(234)이 बैं크(210)에 의해 노출된 제1 전극(232) 상에 위치한다. 유기발광 층(234)은 발광층, 전자 주입층, 전자수송층, 정공수송층, 정공주입층 등을 포함할 수 있다. 상기 유기발광 층은, 하나의 빛을 발광하는 단일 발광층 구조로 구성될 수도 있고, 복수 개의 발광층으로 구성되어 백색 광을 발광하는 구조로 구성될 수도 있다.

[0054] 제2 전극(236)이 유기발광층(234) 상에 위치한다. 유기발광 표시장치(200)가 상부 발광(top emission) 방식인 경우, 제2 전극(236)은 인듐 틴 옥사이드(Indium Tin Oxide; ITO) 또는 인듐 징크 옥사이드(Indium Zinc Oxide; IZO) 등과 같은 투명한 도전 물질로 형성됨으로써 유기발광 층(234)에서 생성된 광을 제2 전극(236) 상부로 방출시킨다. 상기 제2 전극(236)은 유기발광 다이오드의 캐소드(cathode)일 수 있다.

[0055] 도 2c는 도 2a에 도시된 픽셀 회로의 구동 타이밍을 나타낸 도면이다. 도 2c를 참조하여 보면, 하나의 프레임(frame) 구간은 제1 시간 구간(T1) 및 제2 시간 구간(T2)으로 구분될 수 있다. 상기 제1 구간은 각 픽셀에 출력 데이터(영상 신호)를 기입하고 일정 시간 유지하는 데이터 기입 및 유지 구간(Data write & hold period)이고, 상기 제2 구간은 기입된 데이터에 따라 발광하는 발광 구간(Emission period)을 포함한다. 데이터 기입 및 유지 구간은, 각 픽셀에 데이터를 기입하는 데이터 기입 구간(Data write period)과 기입된 데이터를 일정 시간 유지하는 데이터 유지 구간(Data hold period)으로 더 세분화될 수도 있고, 샘플링 구간, 초기화 구간 등의 추가 동작 구간을 더 포함할 수도 있다.

[0056] 게이트 라인들(GL1, GL2, ..., GLn)의 순서대로 게이트 신호들이 순차적으로 인가되므로, 도 2c에 도시된 바와 같이 픽셀들 각각의 데이터 기입 구간은 게이트 라인들(GL1, GL2, ..., GLn)의 순서대로 순차적으로 위치할 수 있다. 결과적으로 각 픽셀을 기준으로 해당 데이터 기입 구간 이후 나머지 데이터 기입 및 유지 구간이 데이터 유지 구간에 해당하게 된다. 따라서, 각 픽셀마다 데이터 유지 구간의 길이가 다를 수 있다.

[0057] 제1 트랜지스터(Tr1)는 상기 제1 시간 구간(T1) 중 해당 구동 트랜지스터(D-Tr)에 데이터 전압(Vdata)을 인가하는 구간 동안 턴온(turn on)한다. 다시 말해 특정 픽셀에 인가되는 게이트 신호(SCAN1)는 해당 데이터 기입 구간 동안 하이상태를 유지하고 나머지 동안 로우상태를 유지한다. 따라서, 제1 트랜지스터(Tr1)는 해당 데이터 기입 구간 동안 게이트 신호(SCAN1)에 의해 턴온하여 데이터 전압(Vdata)을 구동 트랜지스터(D-Tr)의 제1 노드(G 노드)에 인가한다.

[0058] 제2 트랜지스터(Tr2)는 상기 제1 시간 구간(T1) 중 해당 구동 트랜지스터(D-Tr)에 기준 전압(Vref)을 인가하는 구간 동안 턴온하여 기준 전압(Vref)을 구동 트랜지스터(D-Tr)의 제2 노드(S 노드)에 인가한다.

[0059] 상기 제1 시간 구간(T1) 동안, 즉 모든 픽셀에 데이터 기입이 진행되는 동안에 유기발광 다이오드(OLED)는 발광하지 않는다. 도 2c 및 2d를 참조하여 보면, 상기 제1 시간 구간(T1) 동안 모든 픽셀 회로에 포함된 유기발광 다이오드(OLED)들의 캐소드에 연결된 스위치(SW0)가 고준위 전압단(VDD)에 연결되어 있기 때문에, 유기발광 다이오드(OLED)에는 전류가 흐르지 않고, 따라서 유기발광 다이오드(OLED)들은 발광하지도 않는다. 그러나, 모든 픽셀에 데이터 기입이 완료된 후 제2 시간 구간(T2)이 되면, 상기 스위치(SW0)는 저준위 전압단(Vss)에 연결되어 모든 픽셀의 유기발광 다이오드(OLED)들은 발광하게 된다.

[0060] 이와 같이 유기발광 표시장치의 모든 픽셀이 같은 시점(시간 구간)에서 발광하는 이유는 가상현실(VR) 표시장치 특유의 사용환경에 기인한 것이다. 가상현실(VR) 표시장치는 몰입감을 높이기 위해 사용자의 눈 가까이에서 화상을 표현하는 경우가 많기 때문에, 다른 유기발광 표시장치와 같이 각 픽셀의 데이터 기입 및 발광을 순차적으로 수행하면 (소위 롤링 셔터(rolling shutter) 동작), 수평 라인의 순차적 발광이 사용자에게 인지되거나, 또는 빠르게 변하는 영상이 왜곡되어 인식되기도 한다. 따라서, 이러한 시감 저하를 개선하기 위해 가상현실 구현 장치용 유기발광 표시장치는, 상기와 같이 모든 픽셀의 유기발광 다이오드(OLED)들이 동시에 발광하는 구동을 하며, 이를 글로벌 셔터(global shutter)라 칭하기도 한다.

[0061] 한편, 차폐 금속 층(BSM)에는 일정한 전압(도 2a와 같은 회로에서는 Vref)이 인가될 수 있다. 이 경우, 차폐 금속 층에 가해지는 전압(VBSM)은, 제2 트랜지스터(Tr2)가 턴온된 후에는 상기 제1 시간 구간(T1) 및 상기 제2 시간 구간(T2) 동안 기준 전압(Vref)으로 유지된다.

[0062] 상술한 것과 같이, 상기 차폐 금속 층의 적용을 통해 박막트랜지스터의 안정성이 개선되었으나, 본 명세서의 발명자들은 상기 차폐 금속 층(BSM)에 가해지는 전압(예: Vref)과 관련한 문제도 있음을 발견하였다. 그것은 복원 잔상 및 휘도 저하 문제이다. 글로벌 셔터 동작에 따라, 1 프레임의 상당 시간 동안 구동 트랜지스터(D-Tr)의

소스에 전류가 흐르므로, 소스 노드의 전압이 고준위 전압(VDD)만큼 상승한다. 이에 따라, 구동 트랜지스터(D-Tr)의 소스 노드에 연결된 차폐 금속 층(BSM)의 전압도 소스 노드 전압과 동일하게 상승한다. 이렇게 차폐 금속 층(BSM)의 전압이 상승하면 구동 트랜지스터의 게이트 전극에 의해 형성되는 채널 외에 차폐 금속 층(BSM)에 의한 채널(back channel)이 형성된다. 상기 채널(back channel)에 의해 TFT의 히스테리시스(hysteresis) 특성이 악화되어 복원 잔상이 나타날 수 있다. 이러한 변화를 감소시키기 위해 스캔 타이밍(scan timing)을 변경하여 구동 트랜지스터(D-Tr)의 이동도(mobility) 편차를 보상할 수 있지만, 면 응답 속도가 현저히 나빠지는 역효과도 나타난다. 다른 해결책으로, 차폐 금속 층(BSM)을 다른 전원에 연결하여 고정 전압을 공급하면, 휘도가 목표 값 이하로 나타나는 현상이 발생하는 것이 관찰되었다. 이에 따라 본 발명자들은 기존과는 다른 방식으로 차폐 금속 층에 의한 문제를 해소할 수 있는 픽셀 구조를 고안하였다.

[0063] 도 3a 내지 3c는 본 명세서의 일 실시예에 따른 유기발광 표시장치 및 구동을 나타내는 예시적인 도면이다.

[0064] 도 3a는 본 명세서의 일 실시예에 따른 유기발광 표시장치의 단위 픽셀 회로를 나타낸 도면이고, 도 3b는 픽셀 회로에 포함된 소자들의 동작 타이밍을 나타낸 도면이다. 도 3a 및 3b에서 차폐 금속 층(BSM, 380)을 제외한 나머지 소자 및 동작은, 도 2a 내지 2d에서 설명된 것과 실질적으로 동일하므로, 중복 설명은 생략한다. 다만, 이하에서 설명되는 유기발광 표시장치는, 도 2a 내지 2d와는 달리 차폐 금속 층(BSM)에 공급 전원을 조절하는 별도의 전원을 포함하고 있는 바, 이하에서는 그 차이점을 중심으로 설명한다.

[0065] 도 3a 및 3b에 도시된 것과 같이, 상기 차폐 금속 층(BSM, 380)은 구동 트랜지스터(D-Tr)에 연결되지 않고 독립된 전원(VBSM)에 연결된다. 또한, 도 3c와 같이 픽셀의 동작(데이터 기입 및 발광) 타이밍과 연계되어 특정 시간에 차폐 금속 층(380)에 공급되는 전압이 변화한다. 예를 들어, 도 3c의 T1과 같은 어드레싱(addressing) 구간에서는 차폐 금속 층(380)에 공급되는 전압(VBSM)이 그라운드 전압(예: 0 V)로 유지되고, T2와 같은 발광 구간에서는 차폐 금속 층(380)에 공급되는 전압(VBSM)이 소정 전압(예: 2.5 V) 이상으로 상승한다. 이와 같은 동작을 하면, T1 구간에서는 상기 차폐 금속 층(380)이 일정한 전압으로 유지됨으로써 복원잔상 및 응답 속도가 개선되고, T2 구간에서는 상기 차폐 금속 층이 소정의 전위를 가짐으로써 휘도 저하 문제가 해소된다. 상기 차폐 금속 층(380)으로 타이밍에 맞춰 전원을 공급하는 동작은 T-CON, D-IC, PMIC 등이 수행할 수 있다. 상기 차폐 금속 층(380)은 상기 소정 전원과 픽셀 외부에서 연결될 수 있다. 일 예로 상기 차폐 금속 층(380)은 상기 소정 전원의 배선과 비표시 영역(베젤부)에서 연결될 수 있다. 이 경우 상기 차폐 금속 층(380)은 다수의 픽셀에 걸쳐 상하 및/또는 좌우로 연장된 하나의 금속으로 이루어질 수 있다.

[0066] 본 명세서의 실시예에 따른 유기발광 표시장치(300)는 가상현실(VR) 구현장치에 적용될 수 있다. 상기 유기발광 표시장치(300)는 구동 트랜지스터(D-Tr) 및 유기발광 다이오드(OLED)를 포함하는 다수 개의 픽셀을 포함할 수 있다. 상기 구동 트랜지스터(D-Tr)는 게이트(gate); 상기 유기발광 다이오드(OLED)와 연결된 소스(source); 고준위 전원단(VDD)과 연결된 드레인(drain)을 갖는다. 상기 유기발광 다이오드(OLED)는 상기 구동 트랜지스터(D-Tr)의 소스와 연결된 애노드(anode) 및 저준위 전압단(VSS)과 연결된 캐소드(cathode)를 갖는다. 또한 상기 유기발광 표시장치(300)는 상기 저준위 전원단과 상기 유기발광 다이오드의 캐소드 사이에 있는 스위치(SW0); 상기 구동 트랜지스터(D-Tr)의 반도체 층(312)의 하부에 위치하고, 소정 전원에 연결된 차폐 금속 층(380)을 포함할 수 있다. 상기 유기발광 다이오드는 제1 시간 구간(T1)에서 오프(off) 되고, 제2 시간 구간(T2)에서 온(on) 될 수 있다. 상기 제1 시간 구간(T1)은 상기 구동 트랜지스터(D-Tr)에 영상 신호(예: Vdata)가 전달되는 시간 구간이고, 상기 제2 시간 구간(T2)은, 상기 유기발광 다이오드(OLED)가 상기 전달된 영상 신호를 기반으로 발광하는 시간 구간이다. 1 프레임 구간은 상기 제1 시간 구간(T1)과 상기 제2 시간 구간(T2)으로 이루어진다.

[0067] 상기 스위치(SW0)는, 다수 개의 픽셀 모두에 연결될 수 있고, 상기 다수 개의 픽셀 각각에 포함된 유기발광 다이오드들(OLEDs)의 발광을 제어하도록 구비된다. 즉, 상기 스위치(SW0)는, 상기 유기발광 다이오드들(OLEDs)이 제1 시간 구간(T1)에서 함께 오프(off) 되고, 제2 시간 구간(T2)에서 함께 온(on)되도록 동작할 수 있다. 상기 스위치(SW0)는 상기 픽셀 회로들 외부(예: 표시영역의 외부)에 위치할 수 있다. 또한 상기 스위치를 제어하는 전원 컨트롤러가 유기발광 표시장치에 더 구비될 수도 있다. 이때 상기 스위치(SW0) 및 전원 컨트롤러는, 상기 픽셀 회로들이 배치된 표시 영역(active area) 외부에 위치한 전원관리 집적회로(PMIC)에 포함될 수 있다. 상기 전원관리 집적회로는 칩(chip), 인쇄회로기판(PCB) 등에 실장되어 기판(substrate)에 연결되거나, 또는 기판 내의 비표시 영역(inactive area)에 직접 구현될 수도 있다.

[0068] 상기 차폐 금속 층(380)은, 상기 유기발광 다이오드(OLED)가 온(on)되는 시간 구간에서 소정의 전압을 공급받을 수 있다. 상기 소정의 전압은 2.5 볼트(V) 이상일 수 있다. 또한 상기 차폐 금속 층(380)은, 상기 유기발광 다이오드(OLED)가 오프(off)되는 시간 구간에서는 그라운드 전압(예: 0 V)을 공급받을 수 있다. 상기 차폐 금속

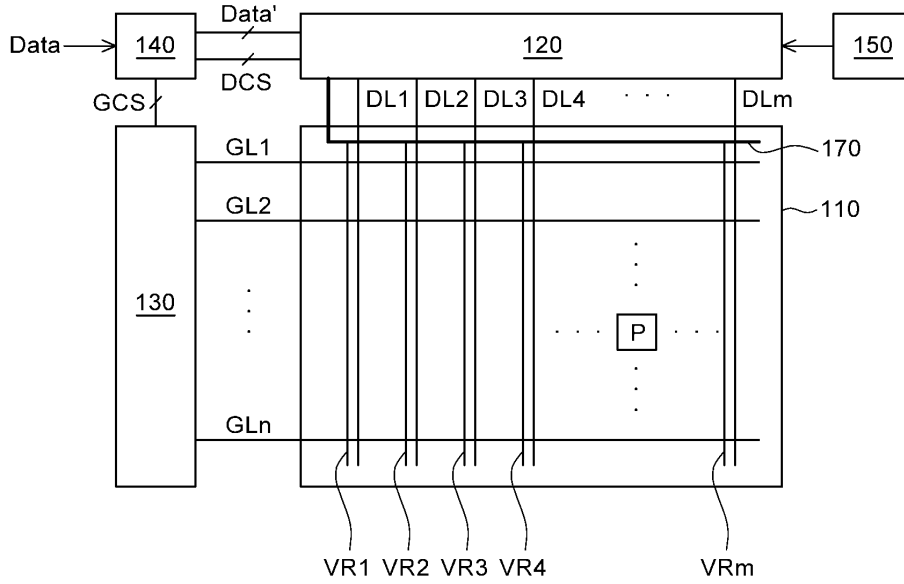
층(380)은, 비표시 영역에서 상기 소정 전원의 배선과 연결될 수 있다.

- [0069] 본 명세서의 실시예에 따른 유기발광 표시장치(300)는, 도 3a와 같이, 데이터 전압(Vdata)을 공급하는 데이터 라인(DL)과 구동 트랜지스터(D-Tr)의 게이트 사이에 전기적으로 연결되고, 제1 게이트 라인을 통해 인가되는 제1 게이트 신호(SCAN1)에 의해 스위칭되는 제1 트랜지스터(Tr1); 기준 전압(Vref)을 공급하는 기준 전압 라인과 구동 트랜지스터(D-Tr)의 소스 사이에 전기적으로 연결되고, 제2 게이트 라인을 통해 인가되는 제2 게이트 신호(SCAN2)에 의해 스위칭되는 제2 트랜지스터(Tr2); 상기 구동 트랜지스터(D-Tr)의 게이트와 소스 사이에 전기적으로 연결된 커패시터(Cst)를 더 포함할 수 있다.
- [0070] 상기 제1 트랜지스터(Tr1)는 제1 게이트 라인을 통해 인가되는 제1 게이트 신호(SCAN1)를 통해 온-오프 또는 스위칭된다. 상기 제1 트랜지스터(Tr1)는, 제1 게이트 신호(SCAN1)에 의해 온 상태가 되면 데이터 전압(Vdata)을 구동 트랜지스터(D-Tr)의 제1 노드(G 노드)에 인가하게 된다. 상기 제2 트랜지스터(Tr2)는 제2 게이트 라인을 통해 인가되는 제2 게이트 신호(SCAN2)를 통해 온-오프 또는 스위칭된다. 상기 제2 트랜지스터(Tr2)는 제2 게이트 신호(SCAN2)에 의해 온 상태가 되면 기준 전압(Vref)을 구동 트랜지스터(D-Tr)의 제2 노드(S 노드)에 인가하게 된다. 상기 커패시터(Cst)는 한 프레임 동안 구동 트랜지스터(D-Tr)의 제1 노드(G 노드)에 인가된 데이터 전압(Vdata=VG)과 제2 노드(S 노드)에 인가된 기준 전압(Vref=VS)의 차이인 데이터 정보(Vgs)을 유지시켜 준다.
- [0071] 상기와 같은 구성을 갖는 본 명세서의 실시예에 따른 유기발광 표시장치는, 복원 잔상 발생/응답 특성 저하 및 휘도 저하 문제를 모두 개선할 수 있다. 더 나아가, 상기 유기발광 표시장치는 기존의 구성에 비하여 제조 공정이 단순화될 수 있다. 즉, 도 2b와 같이 차폐 금속 층을 구동 트랜지스터의 소스 노드를 연결하기 위해서는 컨택 홀(contact hole) 3개와 브릿지(bridge)가 1개 사용된다. 그러나, 본 발명의 실시예는 차폐 금속 층을 픽셀 내부에서 다른 노드와 연결 할 필요가 없으므로, 추가적인 컨택 홀이 필요없다. 이로써 제조 공정이 더 단순해져서 공정에 기인한 불량도 저감된다. 또한 감소된 컨택 홀/브릿지만큼 확보된 공간을 활용하여 캐패시턴스를 증가시켜 표시 성능을 개선할 수 있다.
- [0072] 이상 첨부된 도면을 참조하여 본 명세서의 실시예들을 상세하게 설명하였으나, 본 명세서는 반드시 이러한 실시예로 국한되는 것은 아니고, 그 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 명세서에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 당업자에 의해 기술적으로 다양하게 연동 및 구동될 수 있으며, 각 실시예들이 서로에 대하여 독립적으로 실시되거나 연관 관계로 함께 실시될 수도 있다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

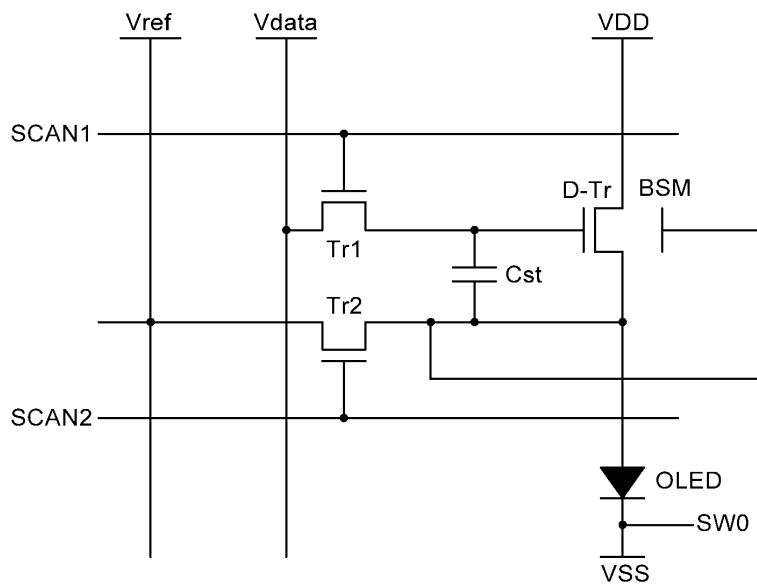
도면

도면1

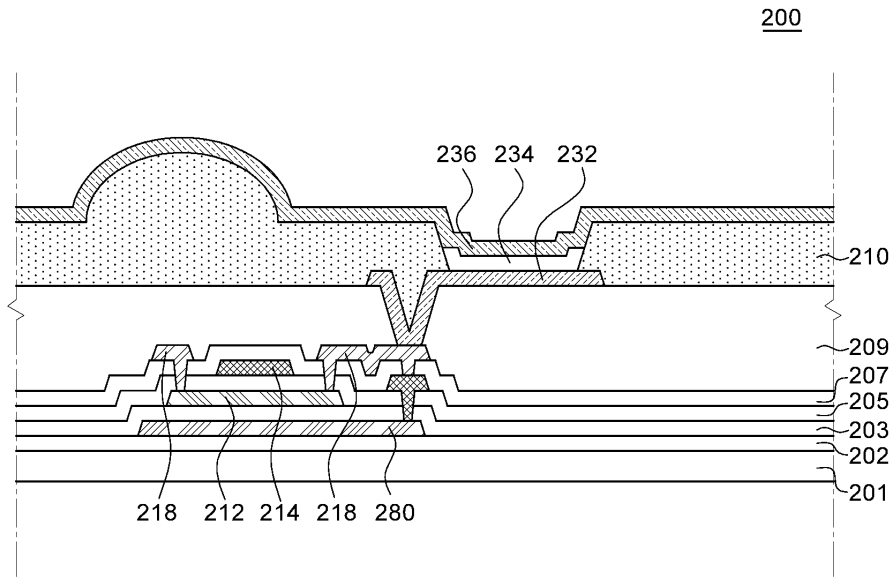
100



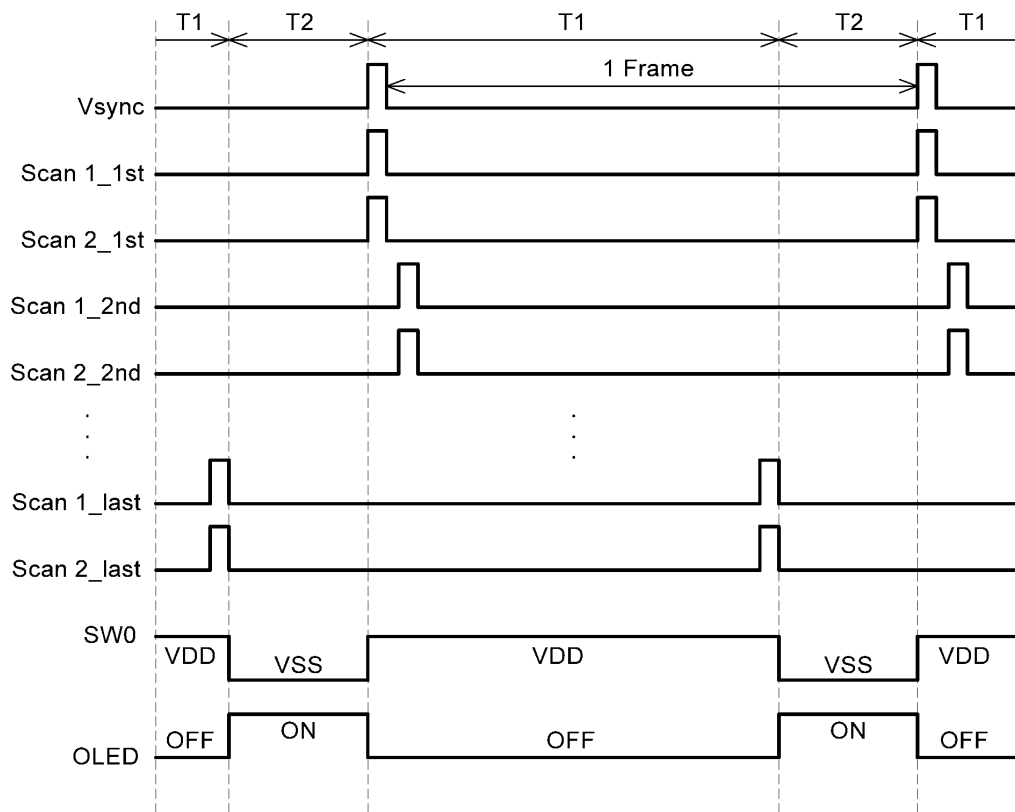
도면2a



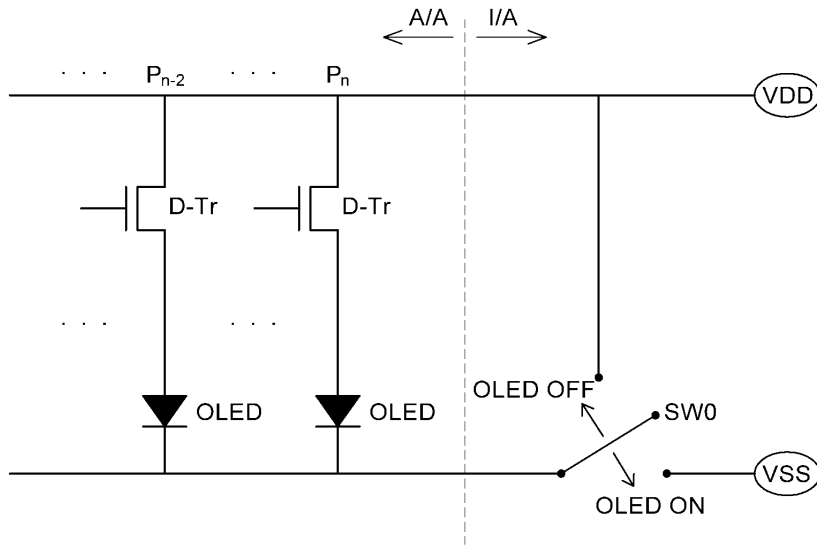
도면2b



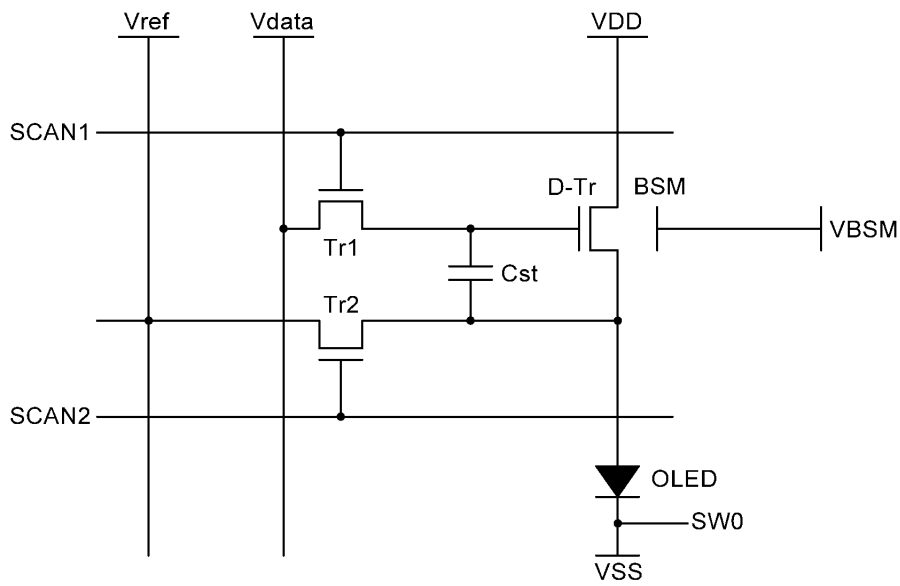
도면2c



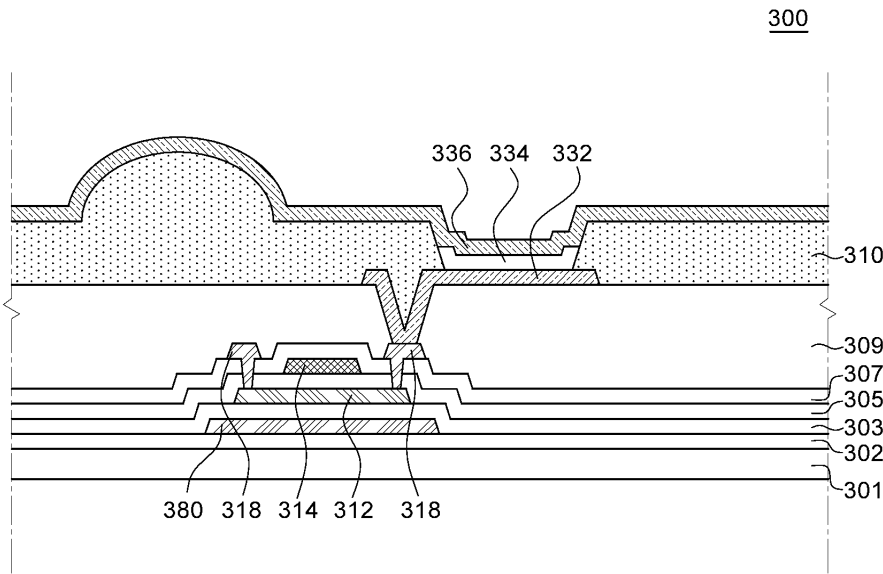
도면2d



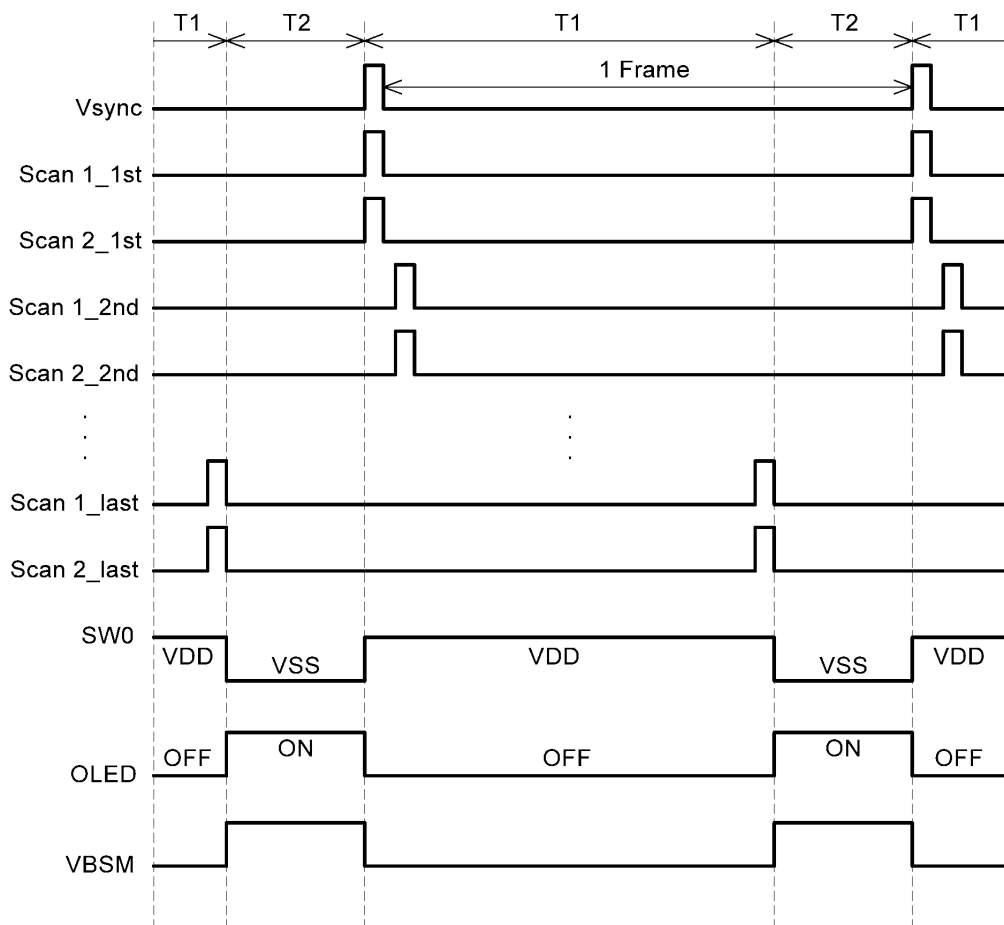
도면3a



도면3b



도면3c



| | | | |
|----------------|---|---------|------------|
| 专利名称(译) | 有机发光显示器 | | |
| 公开(公告)号 | KR1020190079231A | 公开(公告)日 | 2019-07-05 |
| 申请号 | KR1020170181293 | 申请日 | 2017-12-27 |
| [标]申请(专利权)人(译) | 乐金显示有限公司 | | |
| 申请(专利权)人(译) | LG显示器有限公司 | | |
| [标]发明人 | 박정수 김소현 | | |
| 发明人 | 박정수 김소현 | | |
| IPC分类号 | H01L51/52 G09G3/3233 H01L27/32 | | |
| CPC分类号 | H01L51/5243 G09G3/3233 H01L27/3262 H01L27/3265 H01L51/5203 G09G2230/00 G09G2300/0842 G09G3/3225 H01L27/3244 H01L27/3272 G09G2300/023 G09G2300/0426 G09G2300/043 G09G2300/0814 G09G2300/0819 G09G2300/0866 G09G2310/08 G09G2320/045 G09G2330/06 H01L27/1218 H01L29/78639 G06F3/011 G09G3/3266 G09G3/3291 G09G2310/0294 G09G2330/021 H01L27/124 H01L27/3276 | | |
| 外部链接 | Espacenet | | |

摘要(译)

在本说明书中公开了一种有机发光显示装置。该有机发光显示装置可以包括：驱动晶体管，其具有连接至高电平电源端子的栅极，源极和漏极；以及驱动晶体管。有机发光二极管，其阳极连接到驱动晶体管的源极，阴极连接到低电平电源端子。开关设置在低电平功率端子和有机发光二极管的阴极之间；屏蔽金属层设置在驱动晶体管的半导体层下方并连接到预定电源。可以防止亮度降低。

