



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0055301
(43) 공개일자 2019년05월23일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01)

(52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 27/3211 (2013.01)

(21) 출원번호 10-2017-0151496
(22) 출원일자 2017년11월14일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자
김용재
서울특별시 송파구 오금로61길 20, 현대아파트
203동 803호 (거여동)

전진
서울특별시 서초구 효령로68길 9-2, 현대아파트
20동 1301호 (서초동)

(74) 대리인
특허법인가산

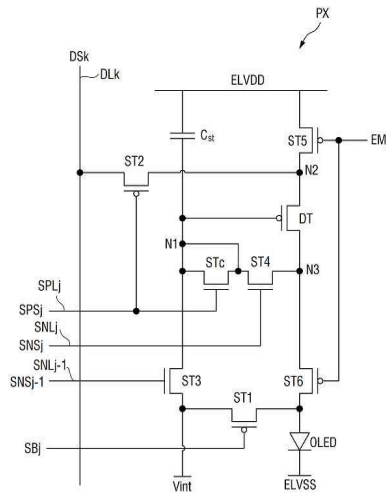
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

유기 발광 표시 장치가 제공된다. 유기 발광 표시 장치는 복수의 화소를 포함하되, 각각의 상기 화소는 유기 발광 다이오드, 제1 노드에 연결된 제어 전극, 제2 노드에 연결된 입력 전극 및 제3 노드에 연결된 출력 전극을 포함하고, 상기 제어 전극의 전압에 따라 상기 유기 발광 다이오드에 구동 전류를 제공하는 구동 트랜지스터, 상기 제1 노드에 연결된 유지 커패시터, 상기 제1 노드와 상기 제3 노드의 연결 여부를 제어하는 제1 트랜지스터, 및 상기 제1 노드에 입력 전극과 출력 전극이 모두 연결된 보상 트랜지스터를 포함한다.

대표도 - 도2



(52) CPC특허분류
H01L 27/3265 (2013.01)

명세서

청구범위

청구항 1

복수의 화소를 포함하는 유기 발광 표시 장치로서, 각각의 상기 화소는

유기 발광 다이오드;

제1 노드에 연결된 제어 전극, 제2 노드에 연결된 입력 전극 및 제3 노드에 연결된 출력 전극을 포함하고, 상기 제어 전극의 전압에 따라 상기 유기 발광 다이오드에 구동 전류를 제공하는 구동 트랜지스터;

상기 제1 노드에 연결된 유지 커패시터;

상기 제1 노드와 상기 제3 노드의 연결 여부를 제어하는 제1 트랜지스터; 및

상기 제1 노드에 입력 전극과 출력 전극이 모두 연결된 보상 트랜지스터를 포함하는 유기 발광 표시 장치.

청구항 2

제1 항에 있어서,

상기 보상 트랜지스터와 상기 제1 트랜지스터는 서로 반대로 제어되는 유기 발광 표시 장치.

청구항 3

제2 항에 있어서,

상기 구동 트랜지스터와 상기 제1 트랜지스터는 서로 다른 타입의 트랜지스터인 유기 발광 표시 장치.

청구항 4

제3 항에 있어서,

상기 구동 트랜지스터는 P타입 트랜지스터이고, 상기 제1 트랜지스터는 N타입 트랜지스터인 유기 발광 표시 장치.

청구항 5

제4 항에 있어서,

상기 보상 트랜지스터는 N타입 트랜지스터인 유기 발광 표시 장치.

청구항 6

제5 항에 있어서,

상기 제1 트랜지스터의 제어 신호와 상기 보상 트랜지스터의 제어 신호는 서로 역상인 유기 발광 표시 장치.

청구항 7

제4 항에 있어서,

상기 보상 트랜지스터는 P타입 트랜지스터인 유기 발광 표시 장치.

청구항 8

제7 항에 있어서,

상기 제1 트랜지스터와 상기 보상 트랜지스터의 제어 전극에는 동일한 신호가 제공되는 유기 발광 표시 장치.

청구항 9

제4 항에 있어서,

상기 구동 트랜지스터는 제1 반도체층을 포함하고, 상기 제1 트랜지스터는 상기 제1 반도체층과 다른 층에 배치된 제2 반도체층을 포함하는 유기 발광 표시 장치.

청구항 10

제9 항에 있어서,

상기 제1 반도체층은 비정질 실리콘, 폴리 실리콘 및 저온 폴리 실리콘 중 적어도 하나 이상의 물질로 구성된 유기 발광 표시 장치.

청구항 11

제10 항에 있어서,

상기 제2 반도체층은 산화물 반도체로 구성된 유기 발광 표시 장치.

청구항 12

제3 항에 있어서,

상기 제1 트랜지스터와 상기 보상 트랜지스터는 동일한 타입의 트랜지스터인 유기 발광 표시 장치.

청구항 13

제12 항에 있어서,

상기 제1 트랜지스터의 활성층과 상기 보상 트랜지스터의 활성층은 동일한 반도체층을 공유하는 유기 발광 표시 장치.

청구항 14

제1 항에 있어서,

상기 제2 노드에 데이터 신호의 제공 여부를 제어하는 제2 트랜지스터를 더 포함하는 유기 발광 표시 장치.

청구항 15

복수의 화소가 정의된 기판;

상기 기판 상에 배치된 제1 반도체층;

상기 제1 반도체층 상에 배치된 제2 반도체층; 및

상기 제2 반도체층 상에 배치되며, 각각의 상기 화소마다 배치된 유기 발광 다이오드를 포함하되,

상기 유기 발광 다이오드에 구동 전류를 제공하는 구동 트랜지스터의 활성층은 상기 제1 반도체층이고,

상기 구동 트랜지스터의 출력 전극과 제어 전극에 접속되는 제1 트랜지스터의 활성층은 상기 제2 반도체층이고,

상기 구동 트랜지스터의 제어 전극에 입력 전극과 출력 전극이 모두 접속된 보상 트랜지스터의 활성층은 상기 제2 반도체층인 유기 발광 표시 장치.

청구항 16

제15 항에 있어서,

상기 구동 트랜지스터와 상기 제1 트랜지스터는 서로 다른 타입의 트랜지스터인 유기 발광 표시 장치.

청구항 17

제16 항에 있어서,

상기 제1 트랜지스터와 상기 보상 트랜지스터는 동일한 타입의 트랜지스터인 유기 발광 표시 장치.

청구항 18

제17 항에 있어서,

상기 제1 트랜지스터의 제어 신호와 상기 보상 트랜지스터의 제어 신호는 서로 역상인 유기 발광 표시 장치.

청구항 19

제15 항에 있어서,

상기 제1 반도체층은 비정질 실리콘, 폴리 실리콘 및 저온 폴리 실리콘 중 적어도 하나 이상의 물질로 구성되고,

상기 제2 반도체층은 산화물 반도체로 구성된 유기 발광 표시 장치.

청구항 20

제15 항에 있어서,

상기 구동 트랜지스터에 데이터 신호의 제공 여부를 제어하는 제2 트랜지스터를 더 포함하는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치는 자체발광 특성을 갖는 차세대 표시 장치로서, 액정 표시 장치(Liquid Crystal Display Device; LCD)에 비해 시야각, 콘트라스트(contrast), 응답 속도, 소비 전력 등의 측면에서 우수한 특성을 갖는다.

[0003] 유기 발광 표시 장치에서 화상을 구현하는 각각의 화소는 애노드 전극, 유기 박막층 및 캐소드 전극으로 구성되는 유기 발광 다이오드(Organic Light Emitting Diode) 및 유기 발광 다이오드의 제어를 위한 복수의 박막 트랜지스터들을 포함한다.

[0004] 일반적으로 액티브 매트릭스 방식에 사용되는 박막 트랜지스터는 채널 영역, 소스 영역 및 드레인 영역을 제공하는 활성층과, 채널 영역 상부에 형성되며 게이트 절연막에 의해 활성층과 전기적으로 절연되는 게이트 전극을 포함한다.

[0005] 이와 같이 이루어진 박막 트랜지스터의 활성층은 대개 비정질 실리콘(Amorphous Silicon)이나 폴리 실리콘(Poly-Silicon)과 같은 반도체층으로 형성한다.

[0006] 이 때, 상기 활성층을 비정질 실리콘으로 형성하면 이동도(mobility)가 낮아 고속으로 동작되는 구동 회로의 구현이 어렵다는 단점이 있다.

[0007] 반면, 활성층을 폴리 실리콘으로 형성하면 이동도는 높지만 다결정성(polycrystalline nature)에 기인하여 문턱 전압(threshold voltage)이 불균일해지기 때문에 문턱전압과 이동도의 산포를 보상하기 위한 보상 회로가 필요하다. 이와 같이 활성층을 폴리 실리콘으로 형성하면 다수의 박막 트랜지스터와 커패시터로 구성되는 복잡한 보상 회로가 포함되기 때문에 수율이 낮을 뿐만 아니라 평면(coplanar) 구조로 인해 비정질 실리콘의 경우보다 마스크 수가 증가하여 제조 비용이 많이 소요된다.

[0008] 한편, 저온 폴리 실리콘(Low Temperature Poly-Silicon; LTPS)을 이용한 종래의 박막 트랜지스터 제조 방법은 레이저 열처리 등과 같은 고가의 공정이 포함되고 특성 제어가 어렵기 때문에 대면적의 기판에 적용이 어려운 문제점이 있다.

[0009] 이러한 문제점을 해결하기 위해 최근에는 산화물 반도체를 활성층으로 이용하는 경우도 있다.

[0010] 산화아연(ZnO)을 주성분으로 하는 산화물 반도체는 비정질 형태이면서 안정적인 재료로 평가되고 있으며, 이러

한 산화물 반도체를 활성층으로 이용하면 별도의 공정 장비를 추가적으로 구입하지 않고도 기존의 공정 장비를 이용하여 350℃ 이하의 저온에서 박막 트랜지스터를 제조할 수 있으며, 이온 주입 공정이 생략되는 등 여러 가지 장점이 있다.

[0011] 그러나, 이와 같은 산화물 반도체를 활성층으로 활용한 박막 트랜지스터는 소자의 특성이 트랜지스터의 구조에 따라 큰 차이가 발생되며, 이에 일반적으로 N타입 트랜지스터로 한정되어 개발되고 있는 실정이다.

[0012] 소자의 특성 및 균일도를 고려하여 하부 게이트(inverted staggered bottom gate) 구조의 박막 트랜지스터에 적용되고 있으나, 전계효과 이동도 특성이 20cm²/Vs 수준으로 작다는 단점이 있으며, 이에 따라 상기 산화물 반도체를 활용한 박막 트랜지스터를 표시 패널에 적용하고자 할 경우 집적도 측면에서 기존의 비정질 실리콘(Amorphous Silicon)이나 폴리 실리콘(Poly-Silicon) 박막 트랜지스터에 비해 떨어진다.

발명의 내용

해결하려는 과제

[0013] 한편, 화소에 포함된 박막 트랜지스터들 중, 비정질 실리콘, 폴리 실리콘, 저온 폴리 실리콘 반도체의 장점과, 산화물 반도체의 장점을 얻어낼 수 있는 구조가 요구된다. 이에 각각의 화소에 포함된 박막 트랜지스터들 중, 일부는 비정질 실리콘, 폴리 실리콘, 저온 폴리 실리콘 반도체를 포함하는 박막 트랜지스터를 사용하고, 다른 일부는 산화물 반도체를 포함하는 박막 트랜지스터를 사용하는 구조가 제시된다.

[0014] 다만, 산화물 반도체를 활성층으로 활용한 박막 트랜지스터를 N타입 트랜지스터로 구현하는 경우, 해당 박막 트랜지스터가 턴 오프됨에 따라 박막 트랜지스터의 소스 전극 및 드레인 전극의 전압이 강해질 우려가 있다. 다시 말하면, 킥백에 의한 전압 강하가 발생할 우려가 있다. 특히, 킥백에 의한 전압 강하가 각각의 화소의 구동 트랜지스터의 게이트 전극에 발생하는 경우, 표시 품질에 영향을 미칠 우려가 있다.

[0015] 이에, 킥백에 의한 전압 강하로 인한 표시 품질의 저하가 최소화된 구조를 갖는 유기 발광 표시 장치가 요구된다.

[0016] 본 발명의 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0017] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 복수의 화소를 포함하되, 각각의 상기 화소는 유기 발광 다이오드, 제1 노드에 연결된 제어 전극, 제2 노드에 연결된 입력 전극 및 제3 노드에 연결된 출력 전극을 포함하고, 상기 제어 전극의 전압에 따라 상기 유기 발광 다이오드에 구동 전류를 제공하는 구동 트랜지스터, 상기 제1 노드에 연결된 유지 커패시터, 상기 제1 노드와 상기 제3 노드의 연결 여부를 제어하는 제1 트랜지스터, 및 상기 제1 노드에 입력 전극과 출력 전극이 모두 연결된 보상 트랜지스터를 포함한다.

[0018] 또한, 상기 보상 트랜지스터와 상기 제1 트랜지스터는 서로 반대로 제어될 수 있다.

[0019] 또한, 상기 구동 트랜지스터와 상기 제1 트랜지스터는 서로 다른 타입의 트랜지스터일 수 있다.

[0020] 또한, 상기 구동 트랜지스터는 P타입 트랜지스터이고, 상기 제1 트랜지스터는 N타입 트랜지스터일 수 있다.

[0021] 또한, 상기 보상 트랜지스터는 N타입 트랜지스터일 수 있다.

[0022] 또한, 상기 제1 트랜지스터의 제어 신호와 상기 보상 트랜지스터의 제어 신호는 서로 역상일 수 있다.

[0023] 또한, 상기 보상 트랜지스터는 P타입 트랜지스터일 수 있다.

[0024] 또한, 상기 제1 트랜지스터와 상기 보상 트랜지스터의 제어 전극에는 동일한 신호가 제공될 수 있다.

[0025] 또한, 상기 구동 트랜지스터는 제1 반도체층을 포함하고, 상기 제1 트랜지스터는 상기 제1 반도체층과 다른 층에 배치된 제2 반도체층을 포함할 수 있다.

[0026] 또한, 상기 제1 반도체층은 비정질 실리콘, 폴리 실리콘 및 저온 폴리 실리콘 중 적어도 하나 이상의 물질로 구성될 수 있다.

- [0027] 또한, 상기 제2 반도체층은 산화물 반도체로 구성될 수 있다.
- [0028] 또한, 상기 제1 트랜지스터와 상기 보상 트랜지스터는 동일한 타입의 트랜지스터일 수 있다.
- [0029] 또한, 상기 제1 트랜지스터의 활성층과 상기 보상 트랜지스터의 활성층은 동일한 반도체층을 공유할 수 있다.
- [0030] 또한, 상기 제2 노드에 데이터 신호의 제공 여부를 제어하는 제2 트랜지스터를 더 포함할 수 있다.
- [0031] 상기 과제를 해결하기 위한 본 발명의 다른 실시예에 따른 유기 발광 표시 장치는 복수의 화소가 정의된 기판, 상기 기판 상에 배치된 제1 반도체층, 상기 제1 반도체층 상에 배치된 제2 반도체층, 및 상기 제2 반도체층 상에 배치되며, 각각의 상기 화소마다 배치된 유기 발광 다이오드를 포함하되, 상기 유기 발광 다이오드에 구동 전류를 제공하는 구동 트랜지스터의 활성층은 상기 제1 반도체층이고, 상기 구동 트랜지스터의 출력 전극과 제어 전극에 접속되는 제1 트랜지스터의 활성층은 상기 제2 반도체층이고, 상기 구동 트랜지스터의 제어 전극에 입력 전극과 출력 전극이 모두 접속된 보상 트랜지스터의 활성층은 상기 제2 반도체층이다.
- [0032] 또한, 상기 구동 트랜지스터와 상기 제1 트랜지스터는 서로 다른 타입의 트랜지스터일 수 있다.
- [0033] 또한, 상기 제1 트랜지스터와 상기 보상 트랜지스터는 동일한 타입의 트랜지스터일 수 있다.
- [0034] 또한, 상기 제1 트랜지스터의 제어 신호와 상기 보상 트랜지스터의 제어 신호는 서로 역상일 수 있다.
- [0035] 또한, 상기 제1 반도체층은 비정질 실리콘, 폴리 실리콘 및 저온 폴리 실리콘 중 적어도 하나 이상의 물질로 구성되고, 상기 제2 반도체층은 산화물 반도체로 구성될 수 있다.
- [0036] 또한, 상기 구동 트랜지스터에 데이터 신호의 제공 여부를 제어하는 제2 트랜지스터를 더 포함할 수 있다.
- [0037] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

- [0038] 본 발명의 실시예들에 의하면 킥백에 의한 전압 강하로 인한 표시 품질의 저하가 최소화된 구조를 갖는 유기 발광 표시 장치를 제공할 수 있다.
- [0039] 본 발명의 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

- [0040] 도 1은 일 실시예에 따른 유기 발광 표시 장치의 블록도이다.
- 도 2는 일 실시예에 따른 화소의 등가 회로도이다.
- 도 3은 일 실시예에 따른 화소에 입력되는 신호들의 일부의 타이밍도이다.
- 도 4는 일 실시예에 따른 화소에 입력되는 신호의 일부 및 제1 노드의 전압 레벨의 그래프이다.
- 도 5는 일 실시예에 따른 유기 발광 표시 장치의 일 화소에 대한 단면도이다.
- 도 6은 다른 실시예에 따른 화소의 등가 회로도이다.

발명을 실시하기 위한 구체적인 내용

- [0041] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0042] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)"로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0043] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한

되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다.

- [0044] 이하, 첨부된 도면을 참고로 하여 본 발명의 실시예들에 대해 설명한다.
- [0045] 도 1은 일 실시예에 따른 유기 발광 표시 장치의 블록도이다.
- [0046] 도 1을 참조하면, 일 실시예에 따른 유기 발광 표시 장치는 표시부(10), 데이터 구동부(20), 스캔 구동부(30), 타이밍 제어부(40) 및 전원 공급부(50)를 포함한다.
- [0047] 표시부(10)는 매트릭스 형태로 배열되는 복수의 화소(PX)들이 배치된다. 또한, 표시부(10)에는 일 방향으로 연장된 데이터 라인들(DL1~DLm, m은 2 이상의 자연수) 및 이와 교차하도록 배치된 복수의 스캔 라인(SPL1~SPLn)들 및 반전 스캔 라인들(SNL1~SNLn, n은 2 이상의 자연수)이 배치된다.
- [0048] 다만, 이에 제한되지 아니하고, 표시부(10)에는 스캔 라인들(SPL1~SPLn) 및 반전 스캔 라인들(SNL1~SNLn) 나란하게 각각의 화소(PX)의 발광 여부를 제어하는 발광 라인들(미도시)이 배치될 수 있다. 나아가, 표시부(10)에는 스캔 라인들(SPL1~SPLn), 반전 스캔 라인들(SNL1~SNLn) 및 발광 라인들 외에 이들과 나란하게 또 다른 라인들이 추가로 배치될 수도 있다. 예를 들면, 각각의 화소의 특정 노드를 초기화시키기 위한 구동을 수행하는 초기화 라인(미도시)이 배치될 수 있다. 나아가, 각각의 화소들 간의 특성 차이에 의한 얼룩의 시인 방지를 위한 문턱 전압 보상, 형광성 유기 화합물의 열화에 따른 얼룩 시인 방지를 위한 열화 보상에 사용되는 데이터의 수집 및 데이터 기입을 위한 각종 제어 라인이 추가될 수도 있다.
- [0049] 데이터 구동부(20)는 다수의 소스 드라이브 IC(Integrated Circuit)들을 포함한다. 데이터 구동부(20)는 타이밍 제어부(40)로부터 디지털 비디오 데이터(DATA)를 제공받을 수 있다. 데이터 구동부(20)는 타이밍 제어부(40)로부터 제공받은 소스 타이밍 제어신호(DCS)에 응답하여 디지털 비디오 데이터(DATA)를 감마 보상 전압으로 변환하여 데이터 신호를 생성하고, 상기 데이터 신호를 스캔 신호에 동기되도록 데이터 라인(DL1~DLm)에 공급할 수 있다.
- [0050] 스캔 구동부(30)는 스캔 신호 및 반전 스캔 신호를 생성하고 출력하는 회로 및 발광 신호를 생성하고 출력하는 회로 등을 포함한다. 스캔 신호, 반전 스캔 신호 및 발광 신호를 생성하고 출력하는 회로들은 쉬프트 레지스터, 레벨 쉬프터 및 출력 버퍼 등으로 구성될 수 있다. 스캔 구동부(30)는 스캔 라인(SPL1~SPLn)에 스캔 신호를 순차적으로 제공할 수 있으며, 반전 스캔 라인(SNL1~SNLn)에 반전 스캔 신호를 순차적으로 제공할 수 있다.
- [0051] 한편, 표시부(10)에 스캔 라인(SL1~SLn)과 나란한 또 다른 라인들이 형성되는 경우, 스캔 구동부(30)는 또 다른 라인들에 신호를 출력하기 위한 적어도 하나의 출력 회로를 더 포함할 수도 있다.
- [0052] 타이밍 제어부(40)는 LVDS(Low Voltage Differential Signaling) 인터페이스, TMSD(Transition Minimized differential Signaling) 인터페이스 등의 인터페이스를 통해 호스트 시스템(미도시)으로부터 디지털 비디오 데이터(DATA)를 입력받는다. 또한, 타이밍 제어부(40)는 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호(Data Enable), 도트 클럭(Dot Clock) 등의 타이밍 신호를 입력받는다. 타이밍 제어부(40)는 타이밍 신호에 기초하여 이터 구동부(20)와 스캔 구동부(30)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 생성할 수 있다. 타이밍 제어신호들은 스캔 구동부(30)의 동작 타이밍을 제어하기 위한 스캔 타이밍 제어신호(SCS), 데이터 구동부(20)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DCS)를 포함할 수 있다. 타이밍 제어부(40)는 스캔 타이밍 제어신호(SCS)를 스캔 구동부(30)에 제공할 수 있고, 데이터 타이밍 제어신호(DCS)를 데이터 구동부(20)에 제공할 수 있다.
- [0053] 전원 공급부(50)는 각각의 화소(PX)들에 제1 전원 전압(ELVSS), 제2 전원 전압(ELVDD) 및 초기화 전압(Vint)을 제공한다. 이하에서는, 제1 전원 전압(ELVSS)은 저전위 전압이고, 제2 전원 전압(ELVDD)은 고전위 전압이며, 초기화 전압(Vint)은 저전위 전압보다 높고 고전위 전압보다 낮은 레벨의 전압인 경우를 가정하기로 한다.
- [0054] 또한, 전원 공급부(50)는 소정의 로직 레벨 전압들을 타이밍 제어부(40)로 제공하고, 게이트 온 전압과 게이트 오프 전압을 스캔 구동부(30)에 제공할 수도 있다.
- [0055] 이하에서는, 각각의 화소(PX)의 구조에 대하여 구체적으로 설명하기로 한다.
- [0056] 도 2는 일 실시예에 따른 화소의 등가 회로도이다.
- [0057] 도 2를 참조하면, 일 실시예에 따른 화소(PX)는 구동 트랜지스터(DT), 유기 발광 다이오드(Organic Light

Emitting Diode, OLED), 제어 회로, 커패시터(C) 등을 포함한다. 제어 회로는 제1 내지 제6 트랜지스터(ST1~ST6) 및 보상 트랜지스터(STc)를 포함한다.

- [0058] 화소(PX)는 제j-1 스캔 라인(SPLj-1)(여기서, j는 $2 \leq j \leq n+1$ 을 만족하는 양의 정수), 제j 스캔 라인(SPLj), 제j-1 반전 스캔 라인(SNLj-1), 제j 발광 라인(EMlj) 및 제j 데이터 라인(Dj)(여기서, j는 $1 \leq j \leq m$ 을 만족하는 양의 정수)에 접속될 수 있다. 이를 통하여, 각각 제j 스캔 신호(SPSj), 제j 반전 스캔 신호(SNSj), 제j-1 반전 스캔 신호(SNSj-1) 및 제k 데이터 신호(DSk) 제공받을 수 있다.
- [0059] 또한, 제j 초기화 신호(SBj), 제j 발광 신호(EMj), 화소(PX)는 제1 전원 전압(ELVSS), 제2 전원 전압(ELVDD) 및 초기화 전압(Vint)을 제공받을 수 있다. 제j 초기화 신호(SBj)는 화소(PX1)의 유기 발광 다이오드(OLED)의 애노드 전극의 초기화 구동을 제어할 수 있으며, 제j 발광 신호(EMj)는 유기 발광 다이오드(OLED)의 발광 여부를 제어할 수 있다.
- [0060] 구동 트랜지스터(DT)는 제어 전극의 전압에 따라 드레인-소스간 전류가 제어될 수 있다. 구동 트랜지스터(DT)의 제어 전극은 제1 노드(N1)에 접속되고, 제1 전극은 제2 노드(N2)에 접속되며, 제2 전극은 제3 노드(N3)에 접속된다. 여기서, 여기서, 제어 전극은 게이트 전극일 수 있다. 또한, 제1 전극은 소스 전극 또는 드레인 전극, 제2 전극은 제1 전극과 다른 전극일 수 있다. 예를 들어, 제1 전극이 소스 전극인 경우, 제2 전극은 드레인 전극일 수 있다.
- [0061] 유기 발광 다이오드(OLED)는 구동 트랜지스터(DT)의 드레인-소스간 전류에 따라 발광한다. 유기 발광 다이오드(OLED)의 애노드 전극은 제1 트랜지스터(ST1)의 제1 전극과 제6 트랜지스터(ST6)의 제2 전극에 접속되며, 캐소드 전극은 제1 전원 전압(ELVSS)을 제공받을 수 있다.
- [0062] 또한, 구동 트랜지스터(DT)는 P타입 트랜지스터일 수 있다.
- [0063] 제1 트랜지스터(ST1)는 유기 발광 다이오드(OLED)의 애노드 전극에 접속된다. 제1 트랜지스터(ST1)는 초기화 신호(GBj)에 의해 턴-온 되어 유기 발광 다이오드(OLED)의 애노드 전극에 초기화 전압(Vint)을 제공할 수 있다. 이로 인해, 유기 발광 다이오드(OLED)의 애노드 전극은 초기화 전압(Vint)으로 방전될 수 있다. 여기서, 제1 트랜지스터(ST1)의 제어 전극은 제j-1 반전 스캔 신호를 제공받을 수 있으며, 제1 전극은 유기 발광 다이오드(OLED)의 애노드 전극에 접속될 수 있다.
- [0064] 제1 트랜지스터(ST1)은 N타입 트랜지스터일 수 있다.
- [0065] 제2 트랜지스터(ST2)는 제2 노드(N2)와 데이터 라인(DLk) 사이에 접속된다. 제2 트랜지스터(ST2)는 제j 스캔 라인(SPLj)의 제j 스캔 신호(PSj)에 의해 턴-온 되어 제2 노드(N2)와 제k 데이터 라인(DLk)을 연결할 수 있다. 이로 인해, 제2 노드(N2)에는 제k 데이터 라인(DLk)의 데이터 신호(DSk)가 제공될 수 있다. 제2 트랜지스터(ST2)의 제어 전극은 제j 스캔 라인(SPLj)에 접속되고, 제1 전극은 제k 데이터 라인(DLk)에 접속되며, 제2 전극은 제2 노드(N2)에 접속될 수 있다.
- [0066] 제2 트랜지스터(ST2)는 P타입 트랜지스터일 수 있다.
- [0067] 제3 트랜지스터(ST3)는 제1 노드(N1)와 초기화 전압(Vint)을 제공받는 라인 사이에 접속된다. 제3 트랜지스터(ST3)는 제j-1 반전 스캔 라인(SNLj-1)의 제j 반전 스캔 신호(SNSj-1)에 의해 턴-온 되어 제1 노드(N1)에 초기화 전압(Vint)을 제공할 수 있다. 이로 인해, 제1 노드(N1)는 제1 초기화 전압(Vint)으로 초기화될 수 있다. 제3 트랜지스터(ST3)의 제어 전극은 제j-1 반전 스캔 라인(SNLj-1)에 접속되고, 제1 전극은 제1 노드(N1)에 접속되며, 제2 전극은 초기화 전압(Vint)을 제공받는 라인에 접속될 수 있다.
- [0068] 제3 트랜지스터(ST3)는 N타입 트랜지스터일 수 있다.
- [0069] 제4 트랜지스터(ST4)는 제1 노드(N1)와 제3 노드(N3) 사이에 접속된다. 제4 트랜지스터(ST4)는 제j 반전 스캔 라인(SNLj)의 제j 반전 스캔 신호(SSj)에 의해 턴-온 되며, 제1 노드(N1)와 제3 노드(N3)를 연결할 수 있다. 이 경우, 구동 트랜지스터(DT)의 게이트 전극과 제2 전극이 접속되므로, 구동 트랜지스터(DT)는 다이오드(diode)로 구동할 수 있다. 제4 트랜지스터(ST4)의 게이트 전극은 제j 반전 스캔 라인(SNLj)에 접속되고, 제1 전극은 제3 노드(N3)에 접속되며, 제2 전극은 제1 노드(N1)에 접속될 수 있다.
- [0070] 제4 트랜지스터(ST4)는 N타입 트랜지스터일 수 있다.
- [0071] 제5 트랜지스터(ST5)는 제2 전원 전압(ELVDD)을 제공받는 라인과 제2 노드(N2) 사이에 접속될 수 있다. 제5 트랜지스터(ST5)는 제j 발광 신호(EMj) 의하여 턴-온 되어 제2 노드(N2)에 제2 전원 전압(ELVDD)을 제공할 수 있다.

다.

- [0072] 제5 트랜지스터(ST5)는 P타입 트랜지스터일 수 있다.
- [0073] 제6 트랜지스터(ST6)는 제3 노드(N3)와 유기 발광 다이오드(OLED)의 애노드 전극 사이에 접속된다. 제6 트랜지스터(ST6)의 제어 전극은 제j 발광 신호(EMj)를 제공하는 라인에 접속될 수 있다. 이에, 제6 트랜지스터(ST6)은 제j 발광 신호(EMj)에 의해 턴-온 되어 제3 노드(N3)와 유기 발광 다이오드(OLED)의 애노드 전극을 연결할 수 있다. 제6 트랜지스터(ST6)의 제1 전극은 제3 노드(N3)에 접속될 수 있으며, 제2 전극은 유기 발광 다이오드(OLED)의 애노드 전극에 접속될 수 있다. 제5 및 제6 트랜지스터(T5, T6)의 턴-온에 의하여, 구동 트랜지스터(DT)의 드레인-소스간 전류가 유기 발광 다이오드(OLED)에 제공될 수 있다.
- [0074] 제6 트랜지스터(ST6)는 P타입 트랜지스터일 수 있다.
- [0075] 보상 트랜지스터(STc)는 제1 전극이 제1 노드(N1)에 접속되고, 제2 전극이 제1 노드(N1) 및 제3 트랜지스터(ST3)의 제2 전극에 접속된다. 다시 말하면, 보상 트랜지스터(STc)의 소스 및 드레인 전극은 모두 제1 노드(N1)에 접속되며, 그 중 하나의 전극은 제4 트랜지스터(ST4)의 제2 전극에 동시에 접속될 수 있다. 이에, 보상 트랜지스터(STc)의 제어 전극에 제공되는 전압 레벨에 관계없이, 보상 트랜지스터(STc)의 제1 전극과 제2 전극은 서로 연결되어 동일한 전압 레벨을 가질 수 있다.
- [0076] 한편, 보상 트랜지스터(STc)의 제1 전극과 제2 전극은 동일한 전압 레벨을 갖는다 하더라도, 보상 트랜지스터(STc)의 제어 전극은 제j 스캔 라인(SPLj)과 접속되어 제j 스캔 신호(SPSj)를 제공받을 수 있다. 또한, 보상 트랜지스터(STc)의 턴 온/오프 여부를 제어하는 제j 스캔 신호(SPSj)는 인접 배치된 제4 트랜지스터(ST4)의 제어 전극에 제공되는 제j 반전 스캔 신호(SNSj)의 역상일 수 있다. 이에 따라, 보상 트랜지스터(STc)가 턴 온 상태에서 턴 오프 상태로 변경되는 경우, 제4 트랜지스터는 턴 오프 상태에서 턴 온 상태로 변경될 수 있다. 이와 반대로, 보상 트랜지스터(STc)가 턴 오프 상태에서 턴 온 상태로 변경되는 경우, 제4 트랜지스터는 턴 온 상태에서 턴 오프 상태로 변경될 수 있다.
- [0077] 이처럼, 보상 트랜지스터(STc)과 제4 트랜지스터는 동일한 타이밍에 턴 오프 및 턴 온 되거나, 턴 온 및 턴 오프되는 바, 서로의 킥백 전압을 최소화할 수 있다. 특히, 제4 트랜지스터(ST4)가 턴 온 상태에서 턴 오프 상태로 변경되는 경우, 제4 트랜지스터(ST4)는 N타입 트랜지스터인 바, 킥백에 의하여 제1 노드(N1)의 전압 레벨이 강화될 수 있다. 그러나, 보상 트랜지스터(STc) 또한 N타입 트랜지스터이므로, 제4 트랜지스터(ST4)가 턴 온 상태에서 턴 오프 상태로 변경되는 시점에, 턴 오프 상태에서 턴 온 상태로 변경되는 바, 제4 트랜지스터(ST4)의 킥백에 의한 제1 노드(N1)의 전압 레벨 강화를 최소화할 수 있다.
- [0078] 보다 구체적으로, 제4 트랜지스터(ST4)가 턴 오프됨에 따라, 제4 트랜지스터(ST4)의 활성층에 포함된 전자들이 방출되어 제1 노드(N1)로 유입되며 제1 노드(N1)의 전압 레벨 강화를 야기할 가능성이 있다. 다만, 보상 트랜지스터(STc)가 제1 노드(N1)에 연결되는 경우, 제1 노드(N1)로 제공된 제4 트랜지스터(ST4)의 킥백에 의한 전자들은, 보상 트랜지스터(STc)의 활성층으로 유입될 수 있다. 이에, 제1 노드(N1)의 전압 레벨 강하가 최소화될 수 있다. 특히, 제4 트랜지스터(ST4)와 보상 트랜지스터(STc)의 활성층이 일체로 형성된 경우에 제4 트랜지스터(ST4)의 킥백에 의한 제1 노드(N1)의 전압 레벨 강하가 더욱 최소화될 수 있다. 이에 대한 구체적인 설명은 후술하기로 한다.
- [0079] 보상 트랜지스터(STc)는 N타입 트랜지스터일 수 있다.
- [0080] 유지 커패시터(Cst)는 제1 노드(N1)와 제2 전원 전압(ELVDD)이 제공되는 라인 사이에 접속되어 제1 노드(N1)의 전압을 유지한다.
- [0081] 제1 노드(N1)는 구동 트랜지스터(DT)의 제어 전극에 접속된다. 동시에, 제1 노드(N1)는 제3 트랜지스터(ST3)의 제1 전극, 제4 트랜지스터(ST4)의 제2 전극, 보상 트랜지스터(STc)의 제1 전극 및 제2 전극과, 유지 커패시터(Cst)의 일측 전극 간의 접점일 수 있다.
- [0082] 제3 노드(N3)는 구동 트랜지스터(DT)의 제2 전극에 접속된다. 동시에, 제3 노드(N3)는 구동 트랜지스터(DT)의 제2 전극, 제4 트랜지스터(ST4)의 제1 전극 및 제6 트랜지스터(ST6)의 제1 전극의 접점일 수 있다.
- [0083] 제1 전원 전압(ELVSS), 제2 전원 전압(ELVDD) 및 초기화 전압(Vint)은 구동 트랜지스터(DT)의 특성, 유기 발광 다이오드(OLED)의 특성 등을 고려하여 설정될 수 있다.
- [0084] 본 실시예에서는, 구동 트랜지스터(DT), 제1 트랜지스터(ST1), 제2 트랜지스터(ST2), 제5 트랜지스터(ST5) 및

제6 트랜지스터(ST6)은 P타입 트랜지스터일 수 있으며, 제3 트랜지스터(ST3), 제4 트랜지스터(ST4) 및 보상 트랜지스터(STc)는 N타입 트랜지스터일 수 있다.

- [0085] 여기서, P타입 트랜지스터로 구성되는 구동 트랜지스터(DT), 제1 트랜지스터(ST1), 제2 트랜지스터(ST2), 제5 트랜지스터(ST5) 및 제6 트랜지스터(ST6)는 활성층의 구성 물질로 비정질 실리콘, 폴리 실리콘 및 저온 폴리 실리콘 중 적어도 하나 이상의 물질로 구성될 수 있다. 반면, N타입 트랜지스터로 구성되는 제3 트랜지스터(ST3), 제4 트랜지스터(ST4) 및 보상 트랜지스터(STc)의 활성층은 산화물 반도체로 구성될 수 있다.
- [0086] 각각의 트랜지스터들의 타입은 이에 제한되지 않을 수 있다. 즉, 최적화에 따라 일부의 설계 변경이 가능할 수 있다. 다만, 일부의 설계가 변경된다 하더라도, 구동 트랜지스터(DT)는 P타입 트랜지스터이며, 제4 트랜지스터(ST4)는 N타입 트랜지스터일 수 있다. 제4 트랜지스터(ST4)가 N타입 트랜지스터인 경우에 한하여 제4 트랜지스터(ST4)의 제1 전극 및 제2 전극에 킥백에 의한 전압 강하가 발생할 수 있으며, 전압 강하게 소스-드레인 전류에 크게 영향을 받는 트랜지스터는 P타입 트랜지스터일 수 있기 때문이다. 보다 구체적으로, 구동 트랜지스터(DT)가 P타입 트랜지스터인 경우, 블랙 화상을 구현하기 위하여 구동 트랜지스터(DT)의 소스-드레인 전류를 최소화하기 위하여는 구동 트랜지스터(DT)의 제어 전극인 제1 노드(N1)의 전압이 높게 유지되어야 하는 반면, N타입 트랜지스터인 제4 트랜지스터(ST4)는 제1 노드(N1)의 전압을 킥백에 의하여 강하시키는 문제점이 발생하기 때문이다.
- [0087] 도 3은 일 실시예에 따른 화소에 입력되는 신호들의 일부의 타이밍도이다.
- [0088] 도 3에서는 임의의 프레임(Frame) 동의 제1 전원 전압(ELVSS), 제2 전원 전압(ELVDD), 제j 스캔 신호(SPSj), 제j 반전 스캔 신호(SNSj), 제j-1 반전 스캔 신호(SNSj-1) 및 제j 발광 신호(EMj)의 전압 레벨 및 파형이 도시될 수 있다.
- [0089] 여기서, 제j 스캔 신호(SPSj)는 제2 트랜지스터(ST2) 및 보상 트랜지스터(STc)를 제어하기 위한 신호이고, 제j 반전 스캔 신호(SNSj)는 제4 트랜지스터(ST4)를 제어하기 위한 신호이며, 제j-1 반전 스캔 신호(SNSj-1)는 제3 트랜지스터(ST3)를 제어하기 위한 신호이고, 제j 발광 신호(EMj)는 제5 트랜지스터(ST5) 및 제6 트랜지스터(ST6)를 제어하기 위한 신호일 수 있다.
- [0090] 도 3을 참조하면, 제j 스캔 신호(SPSj), 제j 반전 스캔 신호(SNSj), 제j-1 반전 스캔 신호(SNSj-1) 및 제j 발광 신호(EMj)들 각각은 1개의 프레임(Frame) 기간을 주기로 반복되는 신호일 수 있다.
- [0091] 제j 스캔 신호(SPSj)는 1 수평 기간동안 제1 전압 레벨(V1)을 유지할 수 있다. 여기서, 1 수평 기간이란 어느 한 스캔 라인(SPL1~SPLn)에 접속된 화소(PX)들 각각에 데이터 신호(DS1~DSm)가 공급되는 1수평 라인 스캐닝 기간을 지시할 수 있다. 데이터 신호(DS1~DSm)들은 스캔 신호(SPS1~SPSn)들에 동기하여 대응하는 화소(PX)들 내부로 공급될 수 있다.
- [0092] 1 프레임 기간(Frame)은 제1 내지 제3 기간(t1, t2, t3)을 포함할 수 있다.
- [0093] 제1 기간(t1)은 구동 트랜지스터(DT)의 제어 전극에 접속된 제1 노드(N1)을 초기화하고, 구동 트랜지스터(DT)에 온 바이어스를 인가하며, 유기 발광 다이오드(OLE)의 애노드 전극을 초기화하는 기간일 수 있다. 이를 위하여, 제j 스캔 신호(SPSj)는 제2 전압 레벨(V2)로 유지되고, 제j 반전 스캔 신호(SNSj)는 제1 전압 레벨(V1)로 유지되며, 제j-1 반전 스캔 신호(SNSj-1)는 제2 전압 레벨(V2)로 유지되고, 제j 발광 신호(EMj)는 제2 전압 레벨(V2)로 유지될 수 있다.
- [0094] 제2 기간(t2)은 데이터 신호(DSk)가 공급되며, 구동 트랜지스터(DT)의 문턱전압을 센싱하는 기간일 수 있다. 이를 위하여, 제j 스캔 신호(SPSj)는 제1 전압 레벨(V1)로 유지되고, 제j 반전 스캔 신호(SNSj)는 제2 전압 레벨(V2)로 유지되며, 제j-1 반전 스캔 신호(SNSj-1)는 제1 전압 레벨(V1)로 유지되고, 제j 발광 신호(EMj)는 제2 전압 레벨(V2)로 유지될 수 있다.
- [0095] 제3 기간(t3)은 유기 발광 다이오드(OLED)가 발광하는 기간일 수 있다. 이를 위하여, 제j 스캔 신호(SPSj)는 제2 전압 레벨(V2)로 유지되고, 제j 반전 스캔 신호(SNSj)는 제1 전압 레벨(V1)로 유지되며, 제j-1 반전 스캔 신호(SNSj-1)는 제2 전압 레벨(V2)로 유지되고, 제j 발광 신호(EMj)는 제1 전압 레벨(V1)로 유지될 수 있다.
- [0096] 여기서, 제1 전압 레벨(V1) 및 제2 전압 레벨(V2)는 각각 스캔 구동부(30)의 출력 전압일 수 있다. 제1 및 제2 전압 레벨(V1, V2)에 대응되는 전압을 제공받는 트랜지스터가 P타입 트랜지스터인 경우, 제1 전압 레벨(V1)은 박막 트랜지스터를 턴 온 시키는 전압 레벨로, 제2 전압 레벨(V2)은 박막 트랜지스터를 턴 오프 시키는 전압 레벨로 기능할 수 있다. 반대로, 제1 및 제2 전압 레벨(V1, V2)에 대응되는 전압을 제공받는 트랜지스터가 N타입

트랜지스터인 경우, 제1 전압 레벨(V1)은 박막 트랜지스터를 턴 오프 시키는 전압 레벨로, 제2 전압 레벨(V2)은 박막 트랜지스터를 턴 온 시키는 전압 레벨로 기능할 수 있다.

- [0097] 이하에서는, 보상 트랜지스터(STc)가 제1 노드(N1)의 전압 강하를 방지하는 과정에 대하여 보다 구체적으로 설명하기로 한다.
- [0098] 도 4는 일 실시예에 따른 화소에 입력되는 신호의 일부 및 제1 노드의 전압 레벨의 그래프이다.
- [0099] 도 4에서는 도 3에 도시된 일 프레임(Frame) 구간 중, 제j 스캔 신호(SPSj)가 제2 전압 레벨(V1)에서 제1 전압 레벨(V1)으로 변경되고, 다시 제1 전압 레벨(V2)로 변경되는 시점을 포함하는 일 구간에 대한 그래프를 도시한다. 다시 말하면, 도 3의 제2 기간(t2)에 대응되는 구간의 그래프를 도시한다.
- [0100] 도 4를 참조하면, 제j 스캔 신호(SPSj)와 제j 반전 스캔 신호(SNSj)는 서로 역상을 갖는다. 이에, 제1 시점(tm1)에서, 제j 스캔 신호(SPSj)가 제2 전압 레벨(V2)에서 제1 전압 레벨(V1)로 변경됨과 동시에, 제j 반전 스캔 신호(SNSj)는 제1 전압 레벨(V1)에서 제2 전압 레벨(V2)로 변경된다.
- [0101] 이에 따라, 해당 화소(PX)에 제공된 제j 데이터 신호(DSj)는 제2 트랜지스터(ST2), 구동 트랜지스터(DT), 및 제4 트랜지스터(ST4)를 거쳐 제1 노드(N1)에 전달되며, 이에 따라 제1 노드(N1)의 전압 레벨이 상승한다.
- [0102] 다음으로, 제2 시점(tm2)에서는, 제j 스캔 신호(SPSj)가 제1 전압 레벨(V1)에서 제2 전압 레벨(V2)로 변경됨과 동시에, 제j 반전 스캔 신호(SNSj)는 제2 전압 레벨(V1)에서 제2 전압 레벨(V1)로 변경된다.
- [0103] 이에 따라, 제2 트랜지스터(ST2), 구동 트랜지스터(DT), 및 제4 트랜지스터(ST4)는 턴 오프된다. 여기서, 제4 트랜지스터(ST4)가 턴 오프되는 경우, 제4 트랜지스터(ST4)의 활성층에 포함된 전자들이 제1 노드(N1)으로 유입되어 제1 노드(N1)의 전압 레벨이 강하할 우려가 있다. 그럼에도 불구하고, 본 발명의 경우 보상 트랜지스터(STc)가 제1 노드(N1)와 연결되어 있으며, 제4 트랜지스터(ST4)가 턴 오프됨과 동시에 보상 트랜지스터(STc)는 턴 온 되는 바, 제4 트랜지스터(ST4)의 활성층에 포함된 전자들이 보상 트랜지스터(STc)의 활성층으로 이동하므로, 제1 노드(N1)의 전압 레벨 강하를 최소화할 수 있다. 따라서, 제1 노드(N1)의 전압 레벨 강하에 따른 표시 품질의 저하가 최소화될 수 있다. 나아가, 제1 노드(N1)의 전압 레벨 강하 발생에 따른 제2 전원 전압(ELVDD)에 요구되는 마진이 최소화되므로, 제2 전원 전압(ELVDD)의 전압 레벨도 최소화할 수 있으며, 이에 소비전력을 최소화할 수도 있다.
- [0104] 이하에서는, 유기 발광 표시 장치의 구조에 대하여 보다 구체적으로 설명하기로 한다.
- [0105] 도 5는 일 실시예에 따른 유기 발광 표시 장치의 일 화소에 대한 단면도이다.
- [0106] 도 5에서는 화소 내의 영역들 중, 구동 트랜지스터(DT), 제4 트랜지스터(ST4) 및 보상 트랜지스터(STc)가 배치된 영역의 단면을 도시하기로 한다. 여기서, 구동 트랜지스터(DT)는 상부 게이트 구조의 폴리 실리콘 반도체 박막 트랜지스터인 구조를 예시적으로 설명하며, 제4 트랜지스터(ST4) 및 보상 트랜지스터(STc)는 상부 게이트 구조의 산화물 반도체 박막 트랜지스터인 구조를 예시적으로 설명하기로 한다. 이들 트랜지스터가 상부 게이트인지 혹은 하부 게이트 구조인지 여부는 얼마든지 변경될 수도 있다.
- [0107] 도 5를 참조하면, 기관(110) 상에 구동 트랜지스터(DT4), 제4 트랜지스터(ST4) 및 보상 트랜지스터(STc)가 배치되는 영역이 정의된다.
- [0108] 기관(110)은 절연 기관일 수 있다. 기관(110)은 유리 기관, 석영 기관, 세라믹 기관 또는 플라스틱 기관을 포함할 수 있다. 기관(110)은 다른 실시예로 벤딩(bending), 폴딩(folding)이나 롤링(rolling)이 가능한 플렉서블(flexible) 기관일 수 있다. 이 경우 기관(110)은 폴리이미드(polyimide)를 포함하여 이루어질 수 있으나, 이에 제한되는 것은 아니다.
- [0109] 기관(110) 상에는 기관(110)의 상면을 평탄화하고, 후술할 제1 반도체층(DT_a)으로 불순물 등이 침투하는 것을 차단하기 위하여, 실리콘옥사이드 또는 실리콘나이트라이드 등으로 형성되는 버퍼층(120)이 배치된다.
- [0110] 버퍼층(120) 상에는 구동 트랜지스터(DT)의 활성층으로 이용되는 제1 반도체층(DT_a)이 배치된다. 제1 반도체층(DT_a)은 비정질 실리콘층이 증착된 후 이를 결정화하여 형성될 수 있으며, 추후 이온 주입 공정을 통해 소스, 드레인, 및 채널 영역이 구분될 수 있다.
- [0111] 본 실시예에서는 제1 반도체층(DT_a)을 활성층으로 이용하는 트랜지스터로는 구동 트랜지스터(DT)만을 예시하였으나, 이에 제한되지 않을 수 있다. 즉, 각각의 화소에 배치된 박막 트랜지스터들 중 일부는, 제1 반도체층

(DT_a)과 동일 층에 형성된 반도체 물질층을 활성층으로 이용할 수 있다.

- [0112] 제1 반도체층(DT_a) 상에는 제1 절연층(130)이 배치된다.
- [0113] 제1 절연층(130)은 제1 반도체층(DT_a)과 후술할 구동 트랜지스터(DT)의 게이트 전극(DT_g)과의 절연성을 확보하기 위하여, 절연 물질로 구성될 수 있다. 예컨대, 실리콘옥사이드 및/또는 실리콘나이트라이드 등과 같은 무기 절연 물질이나, 아크릴계 유기물 또는 BCB(Benzocyclobutene)등과 같은 유기 절연 물질로 형성될 수 있다.
- [0114] 제1 절연층(130) 상에는 구동 트랜지스터(DT)의 게이트 전극(DT_g)이 배치된다. 구동 트랜지스터(DT)의 게이트 전극(DT_g)에 인가되는 신호에 따라, 구동 트랜지스터(DT)의 소스 전극(DT_s) 및 구동 트랜지스터(DT)의 드레인 전극(DT_d)이 전기적으로 소통될 수 있다. 구동 트랜지스터(DT)의 게이트 전극(DT_g)은 인접층과의 밀착성, 적층되는 층의 표면 평탄성, 그리고 가공성 등을 고려하여, 예컨대 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 물질을 이용하여 단층 또는 다층으로 형성될 수 있다.
- [0115] 구동 트랜지스터(DT)의 게이트 전극(DT_g) 상에는 제2 절연층(140)이 배치된다. 제2 절연층(140)은 제1 절연층(130)과 유사한 물질로 형성될 수 있으며, 유사한 역할을 수행할 수 있다.
- [0116] 제2 절연층(140) 상에는 제2 반도체층(ST4_a, STc_g)이 배치된다. 제2 반도체층(ST4_a, STc_g)은 제4 트랜지스터(ST4) 및 보상 트랜지스터(STc)의 활성층으로 기능할 수 있다. 특히, 제4 트랜지스터(ST4)의 제2 반도체층(ST4_a)과 보상 트랜지스터(STc)의 제2 반도체층(STc_a)은 일체로 형성될 수 있다.
- [0117] 제2 반도체층(ST4_a, STc_g) 상에는 제3 절연층(150)이 배치된다. 제3 절연층(150)은 제1 절연층(130)과 유사한 물질로 형성될 수 있으며, 유사한 역할을 수행할 수 있다.
- [0118] 제2 절연층(150) 상에는 제4 트랜지스터(ST4)의 게이트 전극(ST4_g) 및 보상 트랜지스터(STc)의 게이트 전극(STc_g)이 배치된다.
- [0119] 제4 트랜지스터(ST4)의 게이트 전극(ST4_g) 및 보상 트랜지스터(STc)의 게이트 전극(STc_g) 상에는 제4 절연층(160)이 배치된다. 제4 절연층(160)은 제1 절연층(130)과 유사한 물질로 형성될 수 있으며, 유사한 역할을 수행할 수 있다.
- [0120] 제4 절연층(160) 상에는 구동 트랜지스터(DT)의 소스 전극(DT_s) 및 드레인 전극(DT_d), 제4 트랜지스터(ST4)의 소스 전극(ST4_s) 및 드레인 전극(ST4_d), 보상 트랜지스터(STc)의 소스 전극(STc_s) 및 드레인 전극(STc_d)이 배치된다. 이들은 도전성 등을 고려하여 예컨대 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 물질로 단층 또는 다층으로 형성될 수 있다.
- [0121] 구동 트랜지스터(DT)의 소스 전극(DT_s) 및 드레인 전극(DT_d)은 각각 제1 내지 제4 절연층(130, 140, 150, 160)을 관통하는 컨택홀을 통하여 제1 반도체층(DT_a)과 전기적으로 연결될 수 있다.
- [0122] 제4 트랜지스터(ST4)의 소스 전극(ST4_s) 및 드레인 전극(ST4_d)은 제3 절연층(150) 및 제4 절연층(160)을 관통하는 컨택홀을 통하여 제4 트랜지스터(ST4)의 제2 반도체층(ST4_a)에 연결될 수 있다.
- [0123] 보상 트랜지스터(STc)의 소스 전극(STc_s) 및 드레인 전극(STc_d)은 제3 절연층(150) 및 제4 절연층(160)을 관통하는 컨택홀을 통하여 보상 트랜지스터(STc)의 제2 반도체층(ST4_c)에 연결될 수 있다.
- [0124] 여기서, 보상 트랜지스터(STc)의 소스 전극(STc_s) 및 드레인 전극(STc_d)은 일체로 형성됨으로써 전기적으로 연결될 수 있다.
- [0125] 구동 트랜지스터(DT)의 소스 전극(DT_s) 및 드레인 전극(DT_d), 제4 트랜지스터(ST4)의 소스 전극(ST4_s) 및 드레인 전극(ST4_d), 보상 트랜지스터(STc)의 소스 전극(STc_s) 및 드레인 전극(STc_d) 상에는 보호층(170)이 배치된다. 보호층은 예컨대 실리콘옥사이드, 실리콘나이트라이드 또는 실리콘옥시나이트라이드 등과 같은 무기물로 형성될 수 있으며, 박막 트랜지스터들을 보호할 수 있다.
- [0126] 보호층(170) 상에는 평탄화층(180)이 배치된다. 몇몇 실시예에서, 평탄화층(180)은 보호층의 역할을 겸하여 수행할 수도 있다. 평탄화층(180)은 박막 트랜지스터(TFT) 상부에 유기 발광 다이오드(OLED)가 배치되는 경우 각각의 트랜지스터들의 상면을 대체로 평탄화하게 하고, 각종 소자들을 보호하는 역할을 한다. 평탄화층(180)은 예컨대 아크릴계 유기물 또는 BCB(Benzocyclobutene) 등으로 형성될 수 있다.

- [0127] 박막 트랜지스터(TFT) 상에는 화소 정의막(190)이 배치될 수 있다. 화소 정의막(190)은 상술한 평탄화층(180) 상에 위치할 수 있으며, 개구를 가질 수 있다. 이러한 화소 정의막(190)은 기판(110) 상에 화소(PX)가 배치되는 영역을 정의하는 역할을 한다. 화소 정의막(190)은 예컨대 유기 절연 물질로 구비될 수 있다. 상기 유기 절연 물질로는 예컨대 폴리메틸메타크릴레이트(PMMA)와 같은 아크릴계 고분자, 폴리스티렌(PS), phenol그룹을 갖는 고분자 유도체, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 혼합물 등을 포함할 수 있다.
- [0128] 화소 정의막(190) 상에는 유기 발광 다이오드(OLED)가 배치될 수 있다. 유기 발광 다이오드(OLED)는 애노드 전극(OLED_a), 발광층(EML: Emission Layer)을 포함하는 중간층(OLED_m) 및 캐소드 전극(OLED_c)을 포함할 수 있다.
- [0129] 애노드 전극(OLED_a)은 (반)투명 전극 또는 반사형 전극으로 형성될 수 있다. (반)투명 전극으로 형성될 때에는 예컨대 ITO, IZO, ZnO, In2O3, IGO 또는 AZO로 형성될 수 있다. 반사형 전극으로 형성될 때에는 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr 및 이들의 화합물 등으로 형성된 반사막과, ITO, IZO, ZnO, In2O3, IGO 또는 AZO로 형성된 층을 가질 수 있다. 물론 본 발명이 이에 한정되는 것은 아니고 다양한 재질로 형성될 수 있으며, 그 구조 또한 단층 또는 다층이 될 수 있는 등 다양한 변형이 가능하다.
- [0130] 화소 정의막(190)에 의해 정의된 화소 영역에는 중간층(OLED_m)이 각각 배치될 수 있다. 중간층(OLED_m)은 전기적 신호에 의해 빛을 발광하는 발광층(EML: Emission Layer)을 포함하며, 발광층(EML)을 이외에도 발광층(EML)과 애노드 전극(OLED_a) 사이에 배치되는 홀 주입층(HIL: Hole Injection Layer), 홀 수송층(HTL: Hole Transport Layer) 및 발광층(EML)과 캐소드 전극(OLED_c) 사이에 배치되는 전자 수송층(ETL: Electron Transport Layer), 전자 주입층(EIL: Electron Injection Layer) 등이 단일 혹은 복합의 구조로 적층되어 형성될 수 있다. 물론 중간층(OLED_m)은 반드시 이에 한정되는 것은 아니고, 다양한 구조를 가질 수도 있음은 물론이다.
- [0131] 발광층(EML)을 포함하는 중간층(OLED_m)을 덮으며 애노드 전극(OLED_a)에 대향하는 캐소드 전극(OLED_c)이 기판(110) 전면(全面)에 걸쳐서 배치될 수 있다. 캐소드 전극(OLED_c)은 (반)투명 전극 또는 반사형 전극으로 형성될 수 있다.
- [0132] 캐소드 전극(OLED_c)이 (반)투명 전극으로 형성될 때에는 일함수가 작은 금속 즉, Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg 및 이들의 화합물로 형성된 층과 ITO, IZO, ZnO 또는 In2O3 등의 (반)투명 도전층을 가질 수 있다. 캐소드 전극(230)이 반사형 전극으로 형성될 때에는 Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg 및 이들의 화합물로 형성된 층을 가질 수 있다. 물론 캐소드 전극(OLED_c)의 구성 및 재료가 이에 한정되는 것은 아니며 다양한 변형이 가능함은 물론이다. 나아가, 본 실시예에서는 중간층(OLED_m)의 하부에 배치된 전극을 애노드 전극(OLED_a)으로, 상부에 배치된 전극을 캐소드 전극(OLED_c)으로 예시하였으나, 이의 반대의 경우도 가능할 수 있음은 물론이다.
- [0133] 캐소드 전극(OLED_c) 상에는 박막 봉지층(미도시)이 배치될 수 있다. 상기 박막 봉지층은 하나 이상의 유기막과 무기막이 교번하여 적층된 다층 구조일 수 있다.
- [0134] 도 6은 다른 실시예에 따른 화소의 등가 회로도이다.
- [0135] 도 6에서는 도 1 내지 도 5에서 설명한 내용과 중복되는 구성 및 도면 부호에 대한 설명은 생략하기로 한다.
- [0136] 도 6을 참조하면, 본 실시예에 따른 화소(PX)는 구동 트랜지스터(DT), 유기 발광 다이오드(OLED), 제어 회로, 커패시터(C) 등을 포함한다. 제어 회로는 제1 내지 제6 트랜지스터(ST1~ST6) 및 보상 트랜지스터(STc)를 포함한다.
- [0137] 다만, 도 1 내지 도 5의 실시예와는 달리, 본 실시예는 보상 트랜지스터(STc)가 P타입 트랜지스터일 수 있다. 이에, 보상 트랜지스터(STc)의 제어 전극은 제j 반전 스캔 라인(SNLj)과 연결되며, 제j 반전 스캔 신호(SNSj)를 제공받을 수 있다.
- [0138] 이에 따라, 보상 트랜지스터(STc)는 제4 트랜지스터(ST4)가 턴 오프되는 시점에 턴 온되고, 반대로 제4 트랜지스터(ST4)가 턴 온 되는 시점에 턴 오프될 수 있다.
- [0139] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정

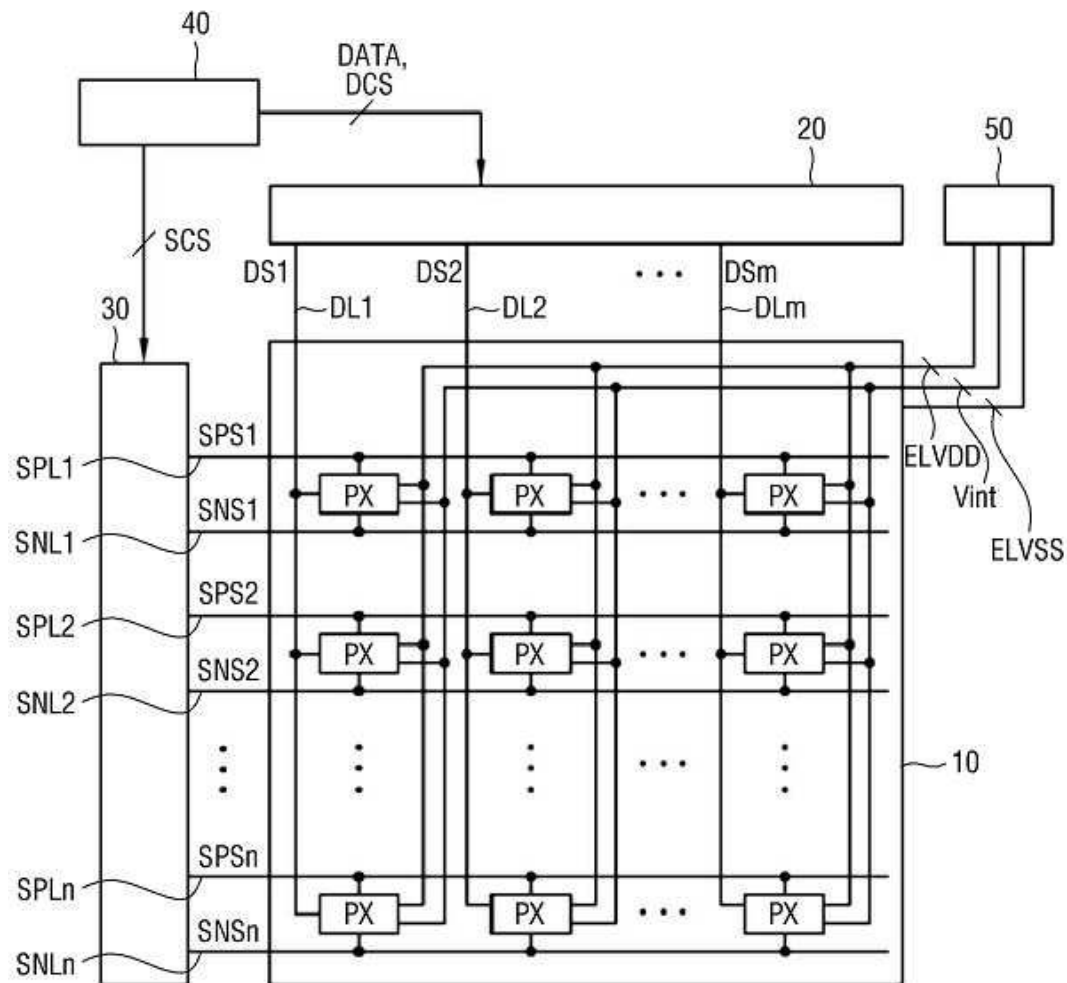
적이 아닌 것으로 이해해야만 한다.

부호의 설명

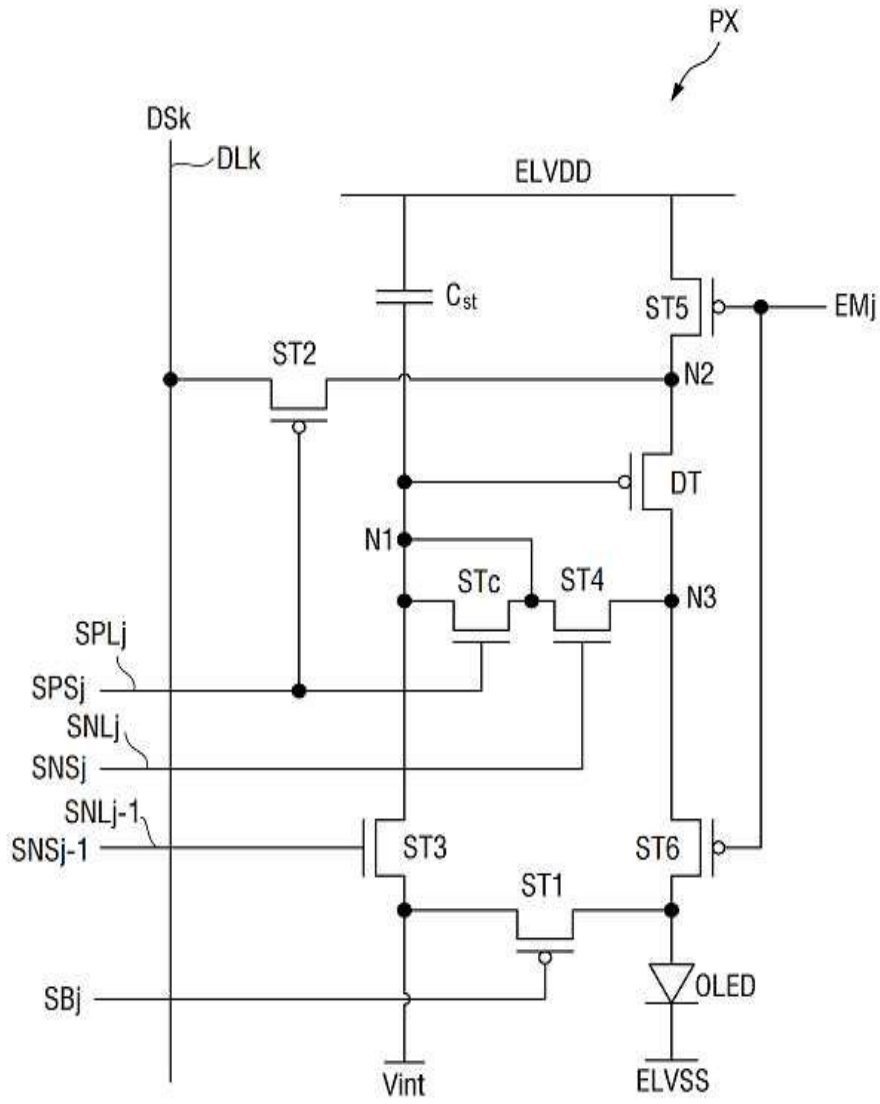
- 10: 표시부
- 20: 데이터 구동부
- 30: 스캔 구동부
- 40: 타이밍 제어부
- 50: 전원 공급부
- DT: 구동 트랜지스터
- STc: 보상 트랜지스터
- SPS: 스캔 신호
- SNS: 반전 스캔 신호

도면

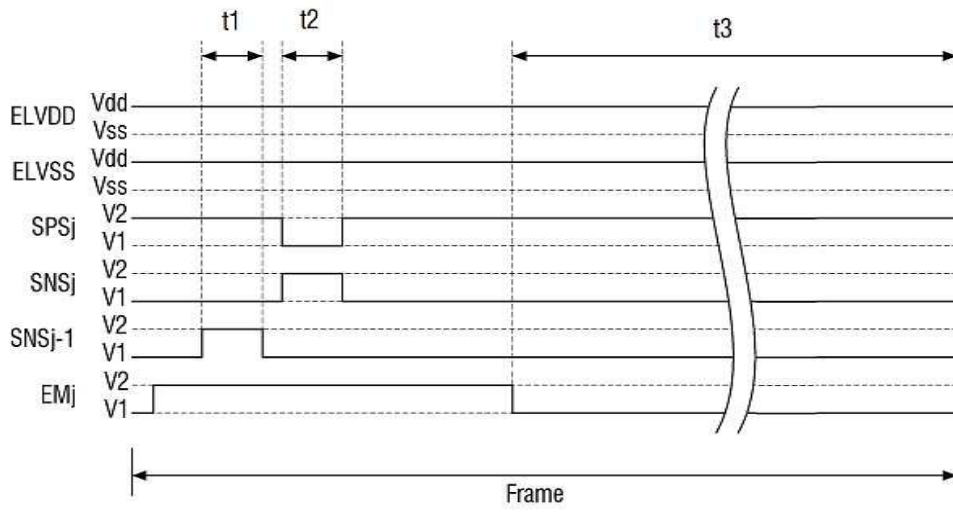
도면1



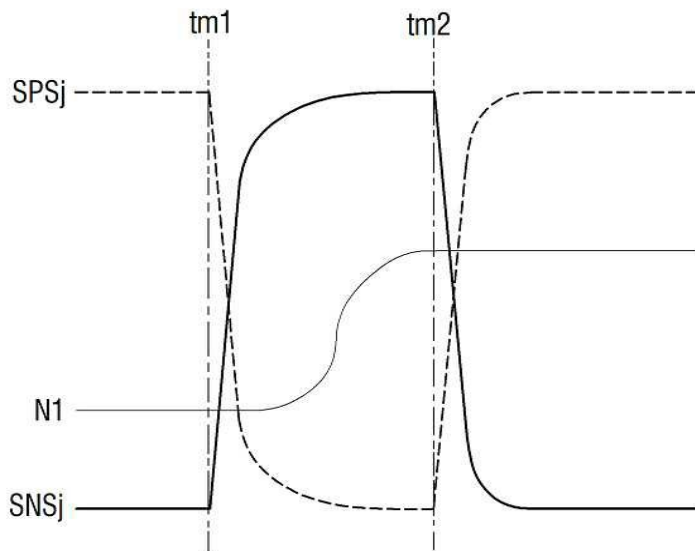
도면2



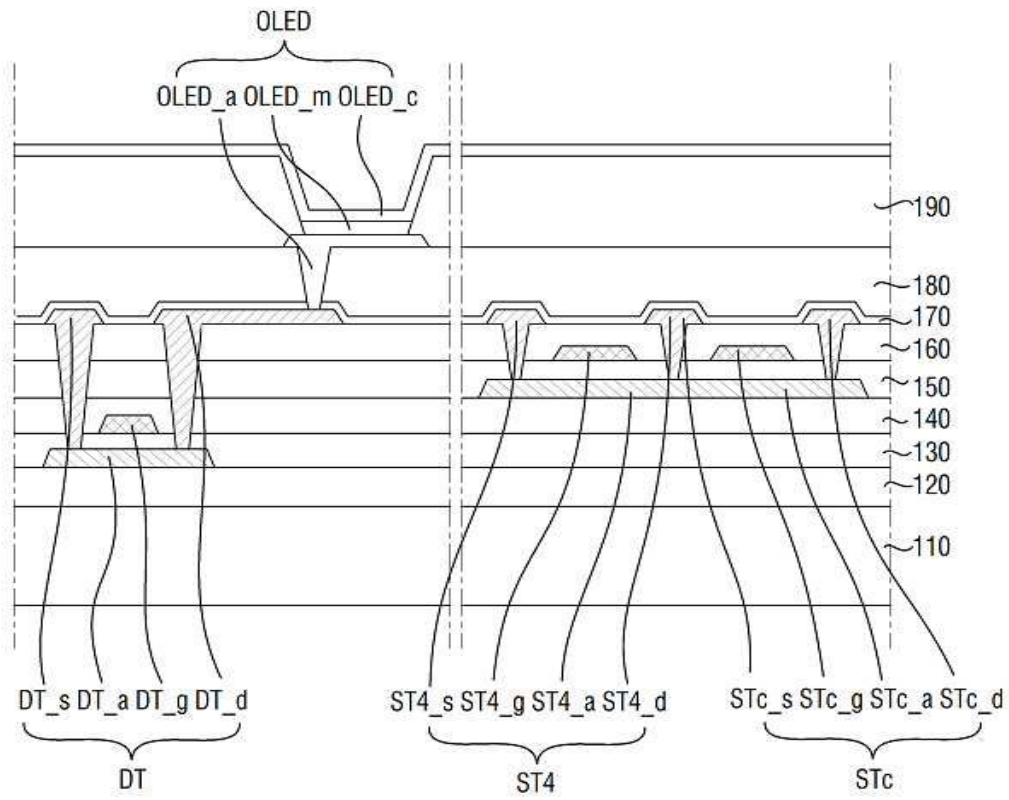
도면3



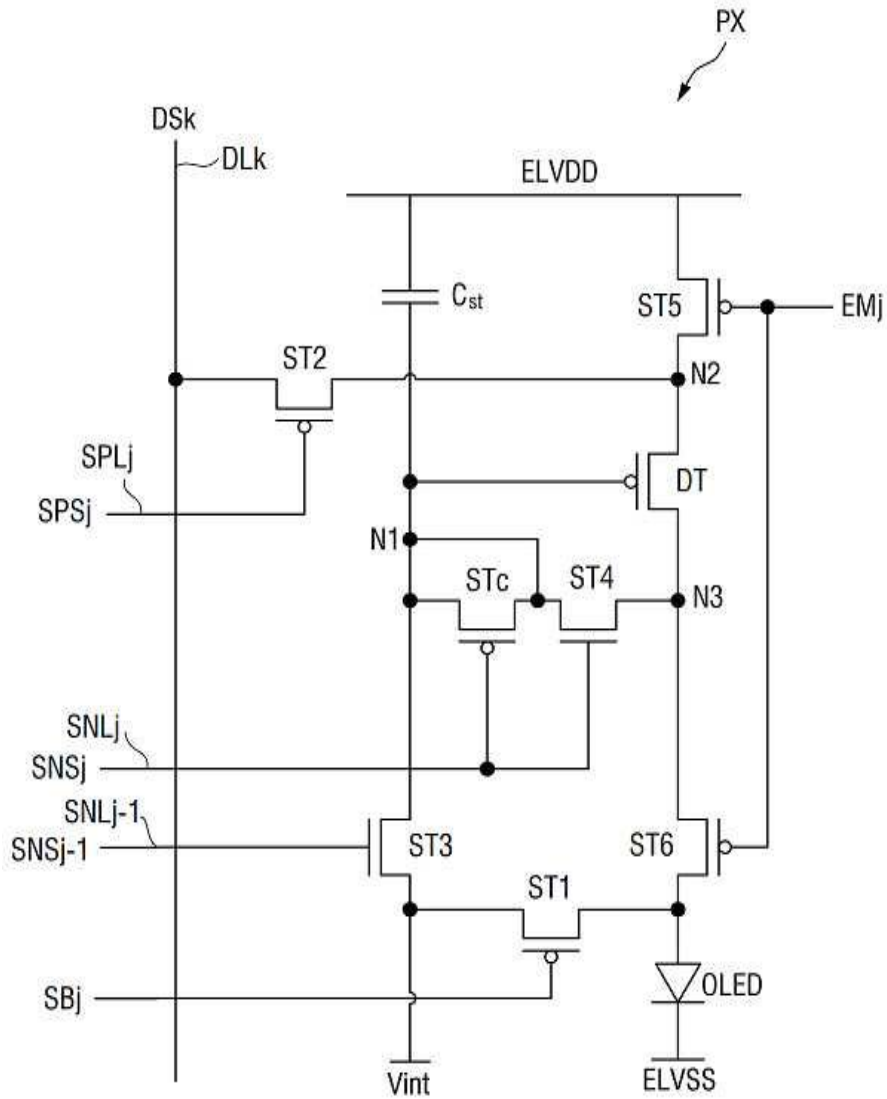
도면4



도면5



도면6



专利名称(译)	有机发光显示器		
公开(公告)号	KR1020190055301A	公开(公告)日	2019-05-23
申请号	KR1020170151496	申请日	2017-11-14
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	김용재 전진		
发明人	김용재 전진		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3262 H01L27/3211 H01L27/3265 G09G3/3233 G09G2300/043 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2320/043 H01L27/1225 G09G3/3266 G09G3/3291 G09G2310/08 H01L27/124 H01L27/3246 H01L27/3276 H01L51/5218 H01L51/5234		
外部链接	Espacenet		

摘要(译)

提供了一种有机发光显示装置。有机发光二极管显示器包括多个像素，每个像素包括有机发光二极管，连接到第一节点的控制电极，连接到第二节点的输入电极和连接到第三节点的输出电极。根据电极的电压向有机发光二极管提供驱动电流的驱动晶体管，连接至第一节点的维持电容器，控制第一节点和第三节点是否连接的第一晶体管以及第一晶体管该节点包括连接到输入电极和输出电极两者的补偿晶体管。

