



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0026351
(43) 공개일자 2019년03월13일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) *H01L 27/32* (2006.01)

H01L 51/00 (2006.01)

(52) CPC특허분류
H01L 51/5237 (2013.01)

H01L 27/3262 (2013.01)

(21) 출원번호 10-2017-0113127

(22) 출원일자 2017년09월05일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
여준호
경기도 파주시 월롱면 엘지로 245
우철민
경기도 파주시 월롱면 엘지로 245

(74) 대리인
특허법인인벤싱크

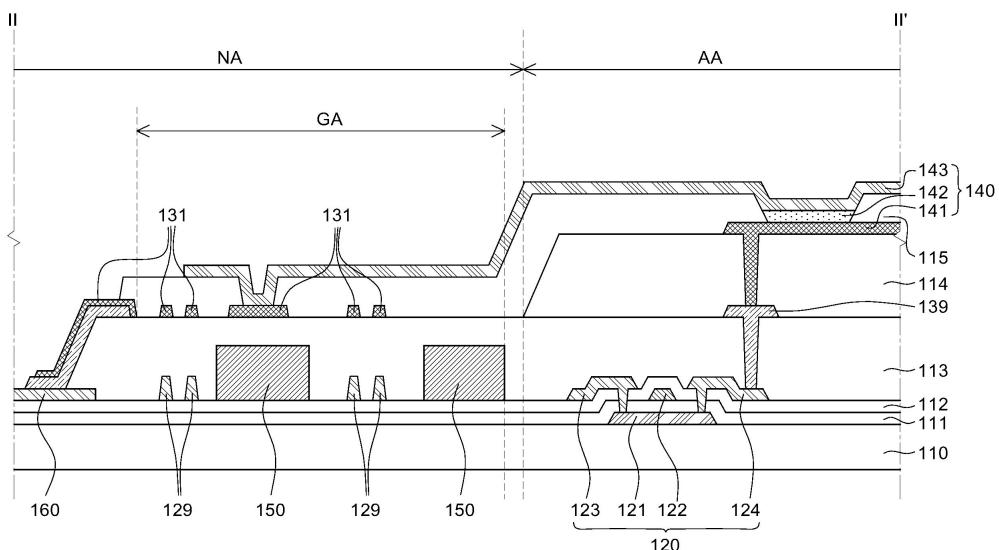
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 전계 발광 표시 장치

(57) 요 약

본 발명의 일 실시예에 따른 전계 발광 표시 장치는 표시 영역 및 표시 영역을 둘러싸는 비표시 영역을 포함하는 기판, 표시 영역에서 기판 상에 배치된 복수의 박막 트랜ジ스터, 비표시 영역에서 기판 상에 배치된 게이트 구동부, 복수의 박막 트랜ジ스터 및 게이트 구동부를 커버하는 제1 평탄화층, 표시 영역에서만 제1 평탄화층 상에 배치된 제2 평탄화층; 및 제2 평탄화층 상에 배치된 복수의 발광 소자를 포함한다. 표시 영역에만 이층 구조의 평탄화층을 구성함으로써, 표시 영역에서는 배선 간의 피치 및 배선 저항을 자유롭게 설계할 수 있고, 비표시 영역에서는 제1 평탄화층 및 제2 평탄화층에서 아웃캐싱되는 가스 성분이 최소화될 수 있다.

대 표 도



(52) CPC특허분류

H01L 27/3276 (2013.01)

H01L 51/0097 (2013.01)

H01L 51/5203 (2013.01)

명세서

청구범위

청구항 1

표시 영역 및 상기 표시 영역을 둘러싸는 비표시 영역을 포함하는 기판;
상기 표시 영역에서 상기 기판 상에 배치된 복수의 박막 트랜지스터;
상기 비표시 영역에서 상기 기판 상에 배치된 게이트 구동부;
상기 복수의 박막 트랜지스터 및 상기 게이트 구동부를 커버하는 제1 평탄화층;
상기 표시 영역에서만 상기 제1 평탄화층 상에 배치된 제2 평탄화층; 및
상기 제2 평탄화층 상에 배치된 복수의 발광 소자를 포함하는, 전계 발광 표시 장치.

청구항 2

제1항에 있어서,
상기 비표시 영역에서 상기 게이트 구동부 및 상기 제1 평탄화층 상에 배치된 제1 배선을 더 포함하고,
상기 제1 배선은 상기 복수의 발광 소자의 애노드와 동일 물질로 이루어지는, 전계 발광 표시 장치.

청구항 3

제2항에 있어서,
상기 표시 영역에서 상기 제1 평탄화층 상에 배치되고, 상기 복수의 박막 트랜지스터와 상기 복수의 발광 소자
의 애노드를 전기적으로 연결시키는 연결 전극을 더 포함하고,
상기 연결 전극은 상기 애노드와 상이한 물질로 이루어지는, 전계 발광 표시 장치.

청구항 4

제3항에 있어서,
상기 비표시 영역에서 상기 게이트 구동부를 둘러싸도록 배치된 전원 공급 배선을 더 포함하고,
상기 전원 공급 배선은 상기 연결 전극과 동일한 물질로 이루어지는 배선을 통해 상기 제1 배선과 연결되는, 전
계 발광 표시 장치.

청구항 5

제3항에 있어서,
상기 비표시 영역에서 상기 게이트 구동부 및 상기 제1 평탄화층 상에 배치된 복수의 제2 배선을 더 포함하고,
상기 복수의 제2 배선은 상기 연결 전극과 동일한 물질로 이루어지는, 전계 발광 표시 장치.

청구항 6

제5항에 있어서,
상기 제1 평탄화층 상에서 상기 복수의 제2 배선을 커버하는 복수의 평탄화 패턴을 더 포함하는, 전계 발광 표
시 장치.

청구항 7

제6항에 있어서,
상기 복수의 평탄화 패턴은 상기 제2 평탄화층과 동일 물질로 이루어지고, 동일 두께를 갖는, 전계 발광 표시

장치.

청구항 8

제2항에 있어서,

상기 복수의 발광 소자의 상기 애노드의 일부 및 상기 제1 배선의 일부를 커버하는 뱅크를 더 포함하는, 전계 발광 표시 장치.

청구항 9

제1항에 있어서,

상기 비표시 영역은 상기 기판이 벤딩 영역을 포함하고,

상기 표시 영역과 상기 벤딩 영역 사이에는 상기 제1 평탄화층 및 상기 제2 평탄화층 중 상기 제1 평탄화층만 배치된, 전계 발광 표시 장치.

청구항 10

제9항에 있어서,

상기 제1 평탄화층 및 상기 제2 평탄화층은 상기 벤딩 영역에 더 배치되고,

상기 벤딩 영역에 배치된 상기 제1 평탄화층 및 상기 제2 평탄화층은 상기 표시 영역에 배치된 상기 제1 평탄화층 및 상기 제2 평탄화층과 분리된, 전계 발광 표시 장치.

청구항 11

표시 영역 및 게이트 구동부가 배치되는 게이트 구동부 영역을 포함하는 비표시 영역이 정의된 기판;

상기 표시 영역 및 상기 비표시 영역에 배치된 평탄화층; 및

상기 표시 영역에서 상기 평탄화층 상에 배치된 발광 소자를 포함하고,

상기 평탄화층에서 배출되는 가스에 의해 상기 발광 소자가 손상되는 것을 억제하도록, 상기 게이트 구동부 영역에서의 단위 면적 당 상기 평탄화층의 체적은 상기 표시 영역에서의 단위 영역 당 상기 평탄화층의 체적보다 작은, 전계 발광 표시 장치.

청구항 12

제11항에 있어서,

상기 평탄화층은 제1 평탄화층 및 제2 평탄화층을 포함하고, 상기 제2 평탄화층은 상기 표시 영역 및 상기 비표시 영역 중 상기 표시 영역에만 배치된, 전계 발광 표시 장치.

청구항 13

제12항에 있어서,

상기 비표시 영역에서 상기 제1 평탄화층이 비표시에서 제1 위에 있는 복수의 평탄화 패턴을 더 포함하는, 전계 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 전계 발광 표시 장치에 관한 것으로서, 보다 상세하게는 평탄화층에서 아웃가싱(out-gassing)될 수 있는 가스를 최소화하여 신뢰성이 개선된 전계 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 전계 발광 표시 장치는 자체 발광형 표시 장치로서, 액정 표시 장치와는 달리 별도의 광원이 필요하지 않아 경량 박형으로 제조 가능하다. 또한, 전계 발광 표시 장치는 저전압 구동에 따라 소비 전력 측면에서 유리할 뿐만

아니라, 응답 속도, 시야각 및 명암 대비비(contrast ratio)도 우수하여, 차세대 디스플레이로서 연구되고 있다.

[0003] 최근, 고해상도의 전계 발광 표시 장치에 대한 요구가 증대됨에 따라, 복수의 배선, 박막 트랜지스터, 커패시터 및 발광 소자 등을 조밀하게 배치하고자 하는 연구가 이루어지고 있다. 구체적으로, 고해상도가 요구됨에 따라 정해진 공간 내에 보다 많은 수의 배선이 배치되어야 하므로, 배선 간의 피치가 부족해지는 문제가 발생하였다. 또한, 보다 많은 수의 배선을 배치하기 위해 배선의 폭을 감소시키는 경우, 배선의 저항이 증가하는 문제가 발생하였다.

[0004] [관련기술문헌]

[0005] 1. 유기전계발광 표시장치 및 그 제조 방법(특허출원번호 제 10-2013-0167696 호).

발명의 내용

해결하려는 과제

[0006] 이에, 본 발명의 발명자들은 표시 영역 및 비표시 영역 모두에 2개의 평탄화층을 적용하는 기술을 발명하였다. 즉, 본 발명의 발명자들은 표시 영역 및 비표시 영역에 2개의 평탄화층을 적용하여, 2개의 평탄화층 사이에 배선 등을 배치할 수 있는 추가적인 공간을 제공하였다. 이에, 1개의 층에 배치되어야 했던 배선들을 2개의 층에 배치함에 따라 배선 간의 피치를 여유 있게 설계할 수 있고, 저항이 높은 배선들의 경우 2개의 평탄화층 사이에 배치된 배선과 병렬로 연결시켜 배선 저항을 낮게 할 수 있었다.

[0007] 한편, 평탄화층의 가스성분을 제거하기 위해 오븐(oven)에서 경화 공정을 진행하더라도 평탄화층에는 여전히 미세 가스들이 남아있게 된다. 이러한 미세 가스들이 아웃개싱되어 발광 소자의 캐소드로 이동하는 경우, 캐소드가 산화될 수 있고, 이는 화소 수축(pixel shrinkage) 불량으로 이어질 수 있다.

[0008] 본 발명의 발명자들은 상술한 바와 같은 화소 수축 불량은 비표시 영역에 배치된 평탄화층의 체적이 증가함에 따라 발생 확률이 증가한다는 것을 인식하였다. 이에, 본 발명의 발명자들은 배선 간의 피치를 확보하며 낮은 배선 저항을 유지함과 동시에 평탄화층에서 아웃개싱될 수 있는 가스를 최소화하기 위한 새로운 구조의 전계 발광 표시 장치를 발명하였다.

[0009] 이에, 본 발명이 해결하고자 하는 과제는 표시 영역에는 2개의 평탄화층을 적용하는 반면 비표시 영역에는 단일의 평탄화층을 적용하여 평탄화층에서 아웃개싱되는 가스 성분을 최소화할 수 있는 전계 발광 표시 장치를 제공하는 것이다.

[0010] 또한, 본 발명이 해결하고자 하는 다른 과제는 비표시 영역에 평탄화 패턴을 적용함으로써 게이트 구동부 영역에서의 아웃개싱되는 가스 성분을 최소화함과 동시에 배선이 배치될 수 있는 공간을 추가적으로 제공할 수 있는 전계 발광 표시 장치를 제공하는 것이다.

[0011] 본 발명의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0012] 전술한 바와 같은 과제를 해결하기 위하여 본 발명의 일 실시예에 따른 전계 발광 표시 장치는 표시 영역 및 표시 영역을 둘러싸는 비표시 영역을 포함하는 기판, 표시 영역에서 기판 상에 배치된 복수의 박막 트랜지스터, 비표시 영역에서 기판 상에 배치된 게이트 구동부, 복수의 박막 트랜지스터 및 게이트 구동부를 커버하는 제1 평탄화층, 표시 영역에서만 제1 평탄화층 상에 배치된 제2 평탄화층, 및 제2 평탄화층 상에 배치된 복수의 발광 소자를 포함한다. 표시 영역에만 이층 구조의 평탄화층을 구성함으로써, 표시 영역에서는 배선 간의 피치 및 배선 저항을 자유롭게 설계할 수 있고, 비표시 영역에서는 제1 평탄화층 및 제2 평탄화층에서 아웃개싱되는 가스 성분이 최소화될 수 있다.

[0013] 전술한 바와 같은 과제를 해결하기 위하여 본 발명의 다른 실시예에 따른 전계 발광 표시 장치는 표시 영역 및 게이트 구동부가 배치되는 게이트 구동부 영역을 포함하는 비표시 영역이 정의된 기판, 표시 영역 및 비표시 영역에 배치된 평탄화층, 및 표시 영역에서 평탄화층 상에 배치된 발광 소자를 포함하고, 평탄화층에서 배출되는 가스에 의해 발광 소자가 손상되는 것을 억제하도록, 게이트 구동부 영역에서의 단위 면적 당 평탄화층의 체적은 표시 영역에서의 단위 영역 당 평탄화층의 체적보다 작을 수 있다. 이에, 이층 구조의 평탄화층을 사용하되

비표시 영역에서는 단일층 구조의 평탄화층을 사용하여 가스 성분이 아웃캐싱될 수 있는 평탄화층의 체적이 최소화될 수 있다.

[0014] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0015] 본 발명은 표시 영역에만 이층 구조의 평탄화층을 구성함으로써, 표시 영역에서의 배선 간의 피치 및 배선 저항을 자유롭게 설계할 수 있다.

[0016] 또한, 본 발명은 이층 구조의 평탄화층을 사용하되 비표시 영역에서는 단일층 구조의 평탄화층을 사용하여 가스 성분이 아웃캐싱될 수 있는 평탄화층의 체적을 감소시킬 수 있다.

[0017] 또한, 본 발명은 평탄화층에서 아웃캐싱되는 가스 성분을 최소화하여 발광 소자의 캐소드가 산화되는 것을 저감시킬 수 있고, 이에, 전계 발광 표시 장치의 신뢰성을 개선할 수 있다.

[0018] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

[0019] 도 1은 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 개략적인 평면도이다.

도 2는 도 1의 II-II'에 대한 단면도이다.

도 3은 도 1의 III-III'에 대한 단면도이다.

도 4는 본 발명의 다른 실시예에 따른 전계 발광 표시 장치의 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0020] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0021] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것으로 본 발명이 도시된 사항에 한정되는 것은 아니다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0022] 구성요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0023] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0024] 소자 또는 층이 다른 소자 또는 층 위 (on)로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다.

[0025] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0026] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0027] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다.

- [0028] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 당업자가 충분히 이해할 수 있듯이 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0029] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.
- [0030] 도 1은 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 개략적인 평면도이다. 도 1을 참조하면, 전계 발광 표시 장치(100)는 기판(110), 게이트 구동부(150), 전원 공급 배선(160) 및 COF(170)를 포함할 수 있다.
- [0031] 기판(110)은 전계 발광 표시 장치(100)의 다양한 구성요소들을 지지한다. 기판(110)은 플렉서빌리티(flexibility)를 갖는 플라스틱 물질로 이루어질 수 있으며, 예를 들어, 폴리이미드(PI)로 이루어질 수도 있다.
- [0032] 기판(110)에는 표시 영역(AA) 및 표시 영역(AA)을 둘러싸는 비표시 영역(NA)이 정의될 수 있다. 표시 영역(DA)은 전계 발광 표시 장치(100)에서 실제로 영상이 표시되는 영역으로, 표시 영역(AA)에는 후술할 발광 소자 및 발광 소자를 구동하기 위한 다양한 구동 소자들이 배치될 수 있다. 비표시 영역(NA)은 영상이 표시되지 않는 영역으로, 표시 영역(AA)을 둘러싸는 영역으로 정의될 수 있다. 비표시 영역(NA)에는 표시 영역(AA)에 배치된 복수의 화소(PX)를 구동하기 위한 다양한 구성요소들이 배치될 수 있다. 예를 들어, 도 1에 도시된 바와 같이, 게이트 배선(GL), 데이터 배선(DL) 등과 같은 다양한 신호 배선과 게이트 구동부(150), 전원 공급 배선(160) 등이 기판(110)의 비표시 영역(NA)에 배치될 수 있다.
- [0033] 표시 영역(AA)과 인접하는 비표시 영역(NA)에 벤딩 영역(BA)이 정의된다. 벤딩 영역(BA)이 벤딩됨에 따라 COF(170)에 본딩된 외부 모듈, 예를 들어, 인쇄 회로 기판 등이 기판(110) 배면 측으로 이동하게 되고, 기판(110) 상부에서 바라보았을 때 외부 모듈이 시인되지 않을 수 있다. 또한, 벤딩 영역(BA)이 벤딩됨에 따라 기판(110) 상부에서 시인되는 비표시 영역(NA)의 크기가 감소되어 네로우 베젤(narrow bezel)이 구현될 수 있다.
- [0034] 게이트 구동부(150)는 타이밍 콘트롤러의 제어 하에 게이트 신호와 발광 제어 신호를 출력하여, 게이트 배선(GL), 발광 제어 신호 배선 등과 같은 배선을 통해 데이터 전압이 충전되는 화소(PX)를 선택하고 발광 타이밍을 조정할 수 있다. 게이트 구동부(150)는 시프트 레지스터(shift register)를 이용하여 스캔 신호와 발광 제어 신호를 시프트시켜, 게이트 신호와 발광 제어 신호들을 순차적으로 공급할 수 있다. 게이트 구동부(150)는 GIP(Gate-driver In Panel)방식으로 도 1에 도시된 바와 같이 기판(110) 상에 직접 형성될 수 있으나, 이에 제한되는 것을 아니다.
- [0035] 전원 공급 배선(160)은 후술할 발광 소자의 캐소드에 공통 전압을 인가하기 위한 배선이다. 전원 공급 배선(160)은 도 1에 도시된 것과 같이 표시 영역(AA) 및 게이트 구동부(150)의 외측에 형성되어, 표시 영역(AA) 및 게이트 구동부(150)를 둘러싸도록 배치된다.
- [0036] 이하에서는 본 발명의 일 실시예에 따른 전계 발광 표시 장치(100)의 구성요소들에 대한 보다 상세한 설명을 위해 도 2 내지 도 3을 함께 참조한다.
- [0037] 도 2는 도 1의 II-II'에 대한 단면도이다. 도 2에 도시된 본 발명의 일 실시예에 따른 전계 발광 표시 장치(100)는 발광 소자(140)에서 발광된 광이 캐소드(143)를 통해 전계 발광 표시 장치(100) 상부로 방출되는 탑 에미션 방식의 전계 발광 표시 장치다.
- [0038] 도 2를 참조하면, 기판(110) 상에서 표시 영역(AA)에 발광 소자(140)를 구동하기 위한 박막 트랜지스터(120)가 배치된다. 박막 트랜지스터(120)는 액티브층(121), 게이트 전극(122), 소스 전극(123) 및 드레인 전극(124)을 포함한다. 박막 트랜지스터(120)는 구동 박막 트랜지스터이고, 게이트 전극(122)이 액티브층(121) 상에 배치되는 탑 게이트 구조의 박막 트랜지스터이다.
- [0039] 도 2를 참조하면, 박막 트랜지스터(120)의 액티브층(121)이 기판(110) 상에 배치된다. 액티브층(121)은 박막 트랜지스터(120) 구동 시 채널이 형성되는 영역이다. 액티브층(121)은 산화물(oxide) 반도체로 형성될 수도 있고, 비정질 실리콘(amorphous silicon, a-Si), 다결정실리콘(polycrystalline silicon, poly-Si), 또는 유기물(organic) 반도체 등으로 형성될 수 있다.
- [0040] 도 2를 참조하면, 게이트 절연층(111)이 액티브층(121) 상에 배치된다. 게이트 절연층(111)은 무기물인 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)의 단일층 또는 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)의 다중층으로 구성될 수 있다. 게이트 절연층(111)에는 소스 전극(123) 및 드레인 전극 각각이 액티브층(121)의 소스 영역 및 드레인 영역 각각에 컨택하기 위한 컨택홀이 형성된다. 게이트 절연층은 도 2에 도시된 바와 같이 기판 전면에 걸쳐 형성될 수도 있고, 게이트 전극(122)과 동일한 폭을 갖도록 패터닝될 수도 있으나, 이에 한정되는 것은 아

니다.

[0041] 도 2를 참조하면, 게이트 절연층(111) 상에 게이트 전극(122)이 배치된다. 게이트 전극(122)은 액티브층(121)의 채널 영역과 중첩하도록 게이트 절연층(111) 상에 배치된다. 게이트 전극(122)은 다양한 금속 물질, 예를 들어, 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd), 및 구리(Cu) 중 어느 하나이거나 둘 이상의 합금, 또는 이들의 다중층일 수 있다.

[0042] 도 2를 참조하면, 게이트 전극(122) 상에 충간 절연층(112)이 배치된다. 충간 절연층(112)은 무기물인 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)의 단일층 또는 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)의 다중층으로 구성될 수 있다. 충간 절연층(112)에는 소스 전극(123) 및 드레인 전극(124) 각각이 액티브층(121)의 소스 영역 및 드레인 영역 각각에 컨택하기 위한 컨택홀이 형성된다. 충간 절연층은 도 2에 도시된 바와 같이 기판 전면에 걸쳐 형성될 수도 있고, 표시 영역에만 형성될 수도 있으나, 이에 한정되는 것은 아니다.

[0043] 도 2를 참조하면, 충간 절연층(112) 상에 소스 전극(123) 및 드레인 전극(124)이 배치된다. 소스 전극(123) 및 드레인 전극(124)은 게이트 절연층(111) 및 충간 절연층(112)의 컨택홀을 통해 액티브층(121)과 전기적으로 연결된다. 소스 전극(123) 및 드레인 전극(124)은 다양한 금속 물질, 예를 들어, 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd), 및 구리(Cu) 중 어느 하나로 이루어지거나 둘 이상의 합금, 또는 이들의 다중층일 수 있다.

[0044] 도 2에서는 설명의 편의를 위해, 전계 발광 표시 장치(100)에 포함될 수 있는 다양한 박막 트랜지스터 중 구동 박막 트랜지스터만을 도시하였으나, 스위칭 박막 트랜지스터 등과 같은 다른 박막 트랜지스터도 전계 발광 표시 장치(100)에 포함될 수 있다. 또한, 본 명세서에서는 박막 트랜지스터(120)가 코플라너(coplanar) 구조인 것으로 설명하였으나, 스태거드(staggered) 구조 등과 같은 다른 구조로 박막 트랜지스터가 구현될 수도 있다.

[0045] 도 2를 참조하면, 기판(110) 상에서 비표시 영역(NA)에 게이트 구동부(150) 및 배선(129)이 배치된다. 도 2에서는 도시의 편의를 위해 게이트 구동부(150)를 블록으로 도시하였으나, 실제로 게이트 구동부(150)는 박막 트랜지스터, 커퍼시터 등과 같은 다양한 구성요소들로 구성될 수 있다. 또한, 비표시 영역(NA)에는 다양한 신호를 전달하기 위한 배선(129)이 배치될 수 있으며, 도 2에서는 배선(129)이 게이트 구동부(150)에 배치되는 영역인 게이트 구동부 영역(GA)에 배치되는 것으로 가정하였다. 배선(129)은 소스 전극(123) 및 드레인 전극(124)과 동일한 물질로 이루어질 수 있으나, 이에 제한되지 않고, 게이트 전극(122)과 동일한 물질로 이루어질 수도 있다.

[0046] 도 2를 참조하면, 비표시 영역(NA)에서 기판(110) 상에 전원 공급 배선(160)이 배치된다. 후술하겠지만, 전원 공급 배선(160)은 캐소드(143)와 전기적으로 연결되어 캐소드(143)에 전원을 공급한다. 전원 공급 배선(160)은 소스 전극(123) 및 드레인 전극(124)과 동일한 물질로 이루어질 수 있으나, 이에 제한되지 않고, 게이트 전극(122)과 동일한 물질로 이루어질 수도 있다.

[0047] 도 2를 참조하면, 표시 영역(AA) 및 비표시 영역(NA)에서 박막 트랜지스터(120) 및 게이트 구동부(150) 상에 제1 평탄화층(113)이 배치된다. 제1 평탄화층(113)은 박막 트랜지스터(120), 게이트 구동부(150) 및 배선(129)을 보호하고, 기판(110) 상의 단차를 완만하게 하여 기판(110) 상부를 평탄화하기 위한 절연층이다. 제1 평탄화층(113)은 아크릴계 수지, 에폭시 수지, 페놀 수지, 폴리아미드계 수지, 폴리이미드계 수지, 불포화 폴리에스테르계 수지, 폴리페닐렌계 수지, 폴리페닐렌설파이드계 수지, 벤조사이클로부텐 및 포토레지스트 중 하나로 형성될 수 있으나, 이에 제한되지 않는다.

[0048] 도 2를 참조하면, 표시 영역(AA)에서 제1 평탄화층(113) 상에는 연결 전극(139)이 배치된다. 연결 전극(139)은 박막 트랜지스터(120)와 애노드(141)를 전기적으로 연결하기 위한 전극이다. 연결 전극(139)은 제1 평탄화층(113)에 형성된 컨택홀을 통하여 박막 트랜지스터(120)의 드레인 전극(124)과 전기적으로 연결된다. 연결 전극(139)은 박막 트랜지스터(120)의 소스 전극(123) 및 드레인 전극(124)과 동일한 물질로 이루어질 수도 있으며, 애노드(141)과는 상이한 물질로 이루어질 수 있다.

[0049] 이어서, 도 2를 참조하면, 제2 평탄화층(114)은 표시 영역(AA)에서만 제1 평탄화층(113) 상에 배치된다. 제2 평탄화층(114)은 표시 영역(AA)에서 제1 평탄화층(113) 및 연결 전극(139) 상에만 배치된다. 제2 평탄화층(114)은 제1 평탄화층(113) 상을 평탄화하기 위한 절연층이다. 제2 평탄화층(114)은 아크릴계 수지, 에폭시 수지, 페놀 수지, 폴리아미드계 수지, 폴리이미드계 수지, 불포화 폴리에스테르계 수지, 폴리페닐렌계 수지, 폴리페닐렌설파이드계 수지, 벤조사이클로부텐 및 포토레지스트 중 하나로 형성될 수 있으나, 이에 제한되지 않는다. 제2 평탄화층(114)은 제1 평탄화층(113)과 동일한 물질로 형성될 수도 있다.

[0050] 표시 영역(AA)에 박막 트랜지스터(120)와 발광 소자(140) 사이에 2개의 평탄화층(113, 114)이 배치됨에 따라,

단일의 컨택홀 형성 공정을 통해 애노드(141)와 박막 트랜지스터(120)를 전기적으로 연결시키는 것이 어려울 수 있다. 이에, 발명의 일 실시예에 따른 전계 발광 표시 장치(100)에서는 표시 영역(AA)에서 제1 평탄화층(113) 상에 박막 트랜지스터(120)와 전기적으로 연결되는 연결 전극(139)을 배치하고, 제2 평탄화층(114) 상에 배치된 애노드(141)가 제2 평탄화층(114)의 컨택홀을 통해 연결 전극(139)과 연결되도록 구성될 수 있다.

[0051] 도 2를 참조하면, 제2 평탄화층(114) 상에는 발광 소자(140)가 배치된다. 발광 소자(140)는 제2 평탄화층(114)에 형성되어 박막 트랜지스터(120)의 드레인 전극(124)과 전기적으로 연결된 애노드(141), 애노드(141) 상에 배치된 발광층(142) 및 발광층(142) 상에 형성된 캐소드(143)를 포함한다.

[0052] 애노드(141)는 제2 평탄화층(114) 상에 배치되어, 제2 평탄화층(114)에 형성된 컨택홀을 통하여 연결 전극(139)과 전기적으로 연결된다. 애노드(141)는 발광층(142)에 정공을 공급하기 위하여 일함수가 높은 도전성 물질로 이루어질 수 있다. 애노드(141)는, 예를 들어, 인듐 주석 산화물(ITO; Indium Tin Oxide), 인듐 아연 산화물(IZO; Indium Zinc Oxide), 인듐 주석 아연 산화물(ITZO; Indium Tin Zinc Oxide) 등과 같은 투명 전도성 물질로 이루어질 수 있다.

[0053] 상술한 바와 같이, 전계 발광 표시 장치(100)가 탑 에미션 방식의 전계 발광 표시 장치이므로, 애노드(141)는 발광층(142)에서 발광된 광을 캐소드(143) 측으로 반사시키기 위한 반사층 및 발광층에 정공을 공급하기 위한 투명 도전층을 포함할 수 있다. 다만, 애노드(141)는 투명 도전층만을 포함하고 반사층은 애노드(141)와 별개의 구성요소인 것으로 정의될 수도 있다.

[0054] 도 2에서는 애노드(141)가 연결 전극(139)을 통해 박막 트랜지스터(120)의 드레인 전극(124)과 전기적으로 연결되는 것으로 도시되었으나, 박막 트랜지스터(120)의 종류, 구동 회로의 설계 방식 등에 의해 애노드(141)가 연결 전극(139)을 통해 박막 트랜지스터(120)의 소스 전극(123)과 전기적으로 연결되도록 구성될 수도 있다.

[0055] 발광층(142)은 특정 색의 광을 발광하기 위한 층으로서, 적색 발광층, 녹색 발광층, 청색 발광층 및 백색 발광층 중 하나를 포함할 수 있다. 또한, 발광층(142)은 정공 수송층, 정공 주입층, 전자 주입층 전자 수송층 등과 같은 다양한 층을 더 포함할 수도 있다. 도 2에서는 발광층(142)이 화소(PX) 별로 패터닝된 것으로 도시하였으나, 이에 제한되지 않고, 발광층(142)은 복수의 화소(PX)에 공통으로 형성된 공통층일 수 있다.

[0056] 캐소드(143)는 발광층(142) 상에 배치된다. 캐소드(143)는 발광층(142)으로 전자를 공급한다. 캐소드(143)는 인듐 주석 산화물(Indium Tin Oxide, ITO), 인듐 아연 산화물(Indium Zinc Oxide, IZO), 인듐 주석 아연 산화물(Indium Tin Zinc Oxide, ITZO), 아연 산화물(Zinc Oxide, ZnO) 및 주석 산화물(Tin Oxide, TO) 계열의 투명 도전성 산화물 또는 이테르븀(Yb) 합금으로 이루어질 수도 있다. 또는, 캐소드(143)는 금속 물질로 이루어질 수도 있다.

[0057] 이어서, 도 2를 참조하면, 애노드(141) 및 평탄화층(113, 114) 상에 뱅크(115)가 배치된다. 뱅크(115)는 발광 소자(140)의 애노드(141)의 일부 및 배선(131)의 일부를 커버할 수 있다. 뱅크(115)는 표시 영역(AA)에서 인접하는 화소(PX)를 구분하도록 배치된다. 뱅크(115)는 유기물로 이루어질 수 있다. 예를 들어, 뱅크(115)는 폴리 이미드(polyimide), 아크릴(acryl) 또는 벤조사이클로부텐(benzocyclobutene; BCB)계 수지로 이루어질 수 있으나, 이에 한정되는 것은 아니다.

[0058] 비표시 영역(NA)에서 제1 평탄화층(113) 상에 배선(131)이 배치된다. 배선(131)은 표시 영역(AA)에 배치된 도전성 엘리먼트와 동일한 물질로 형성될 수 있다. 예를 들어, 도 2에 도시된 바와 같이, 배선(131)은 애노드(141)와 동일한 물질로 형성될 수 있으나, 이에 제한되지 않는다. 비표시 영역(NA)에 배치된 배선(131)은 배선(129)과 병렬 연결되어 동일한 신호를 전달할 수도 있고, 배선(129)과 별개의 신호를 전달할 수도 있다.

[0059] 배선(131) 중 일부는 캐소드(143) 및 전원 공급 배선(160)과 전기적으로 연결되어, 전원 공급 배선(160)으로부터의 전원을 캐소드(143)로 공급할 수 있다. 즉, COF(170)로부터 전달되는 저전위 전압(VSS)은 전원 공급 배선(160), 배선(131)을 순차적으로 지나 캐소드(143)에 전달될 수 있다.

[0060] 도 2에 도시되지는 않았으나, 발광 소자(140) 상에는 수분에 취약한 발광 소자(140)를 수분에 노출되지 않도록 보호하기 위한 봉지부가 형성될 수 있다. 예를 들어, 봉지부는 무기층과 유기층이 교대 적층된 구조를 가질 수 있다.

[0061] 본 발명의 일 실시예에 따른 전계 발광 표시 장치(100)에서 기판(110)의 벤딩 영역(BA)에 대한 보다 상세한 설명을 위해 도 3을 함께 참조한다.

[0062] 도 3은 도 1의 III-III'에 대한 단면도이다. 도 3에서 표시 영역(AA)의 단면 구조는 도 2에 도시된 표시 영역

(AA)과 실질적으로 동일하므로, 표시 영역(AA)의 단면 구조에 대한 상세한 설명은 생략한다.

[0063] 도 3을 참조하면, 벤딩 영역(BA)에서는 기판(110) 상에 게이트 절연층(111)이 배치되고, 게이트 절연층(111) 상에 층간 절연층(112)이 배치된다. 또한, 제1 평탄화층(113)은 표시 영역(AA) 및 비표시 영역(NA)에 모두 배치되나, 벤딩 영역(BA)의 경계에서 패터닝된다. 이에, 벤딩 영역(BA)에 배치된 제1 평탄화층(113)의 부분과 표시 영역(AA) 및 표시 영역(AA)과 벤딩 영역(BA) 사이의 영역에 배치된 제1 평탄화층(113)의 부분은 서로 분리된다. 또한, 제2 평탄화층(114)은 표시 영역(AA) 및 벤딩 영역(BA)에는 배치되나, 표시 영역(AA)과 벤딩 영역(BA) 사이의 영역에는 배치되지 않는다. 또한, 표시 영역(AA)에 배치된 제2 평탄화층(114)의 부분과 벤딩 영역(BA)에 배치된 제2 평탄화층(114)의 부분은 서로 분리된다. 따라서, 벤딩 영역(BA)에 배치된 제1 평탄화층(113) 및 제2 평탄화층(114)이 표시 영역(AA)에 배치된 제1 평탄화층(113) 및 제2 평탄화층(114)과 분리되어 있으므로, 벤딩 영역(BA)에 배치된 제1 평탄화층(113) 및 제2 평탄화층(114)로부터 아웃캐싱된 가스 성분이 표시 영역(AA)에 배치된 제1 평탄화층(113) 및 제2 평탄화층(114)으로 전달되지 않아, 캐소드(143)가 산화되는 것이 최소화될 수 있다.

[0064] 본 발명의 일 실시예에 따른 전계 발광 표시 장치(100)에서는 표시 영역(AA)에서 박막 트랜지스터(120) 상부를 평탄화하기 위한 평탄화층으로 표시 영역(AA)에서 제1 평탄화층(113) 및 제2 평탄화층(114)을 사용한다. 이에, 전계 발광 표시 장치(100)의 표시 영역(AA)에서 사용되는 다양한 배선이 배치될 수 있는 추가적인 공간이 제공될 수 있다.

[0065] 즉, 표시 영역(AA)에서 평탄화층을 1개 사용하는 경우에 비해, 제1 평탄화층(113)과 제2 평탄화층(114) 사이의 공간, 즉, 제1 평탄화층(113) 상면에 배선을 배치할 수 있는 추가적인 공간이 제공될 수 있다. 따라서, 본 발명의 일 실시예에 따른 전계 발광 표시 장치(100)에서는 배선 배치에 대한 설계 자유도가 증가할 수 있다. 이에, 보다 고해상도의 전계 발광 표시 장치(100)가 제공될 수 있으며, 전계 발광 표시 장치(100)의 표시 영역(AA)에 배치된 배선의 높은 저항 때문에 발생할 수 있는 휘도 분균일 문제가 해결될 수 있다.

[0066] 또한, 본 발명의 일 실시예에 따른 전계 발광 표시 장치(100)에서는 표시 영역(AA)에는 2개의 평탄화층(113, 114), 비표시 영역(NA)에는 1개의 평탄화층(113)을 사용함으로써, 비표시 영역(NA)에서 가스 성분이 아웃캐싱될 수 있는 평탄화층의 체적을 최소화할 수 있다. 따라서, 비표시 영역(NA)에서 평탄화층을 2개 사용하는 경우에 비해, 아웃캐싱되는 가스를 저감시켜 화소 수축 불량이 저감될 수 있고, 전계 발광 표시 장치(100)의 신뢰성이 개선될 수 있다.

[0067] 또한, 본 발명의 일 실시예에 따른 전계 발광 표시 장치(100)에서는 벤딩 영역(BA)에 배치된 제1 평탄화층(113) 및 제2 평탄화층(114)과 표시 영역(AA)에 배치된 제1 평탄화층(113) 및 제2 평탄화층(114)이 서로 분리된다. 따라서, 벤딩 영역(BA)에 배치된 제1 평탄화층(113) 및 제2 평탄화층(114)로부터 아웃캐싱된 가스 성분이 표시 영역(AA)에 배치된 제1 평탄화층(113) 및 제2 평탄화층(114)으로 전달되지 않아, 표시 영역(AA)에 배치된 캐소드(143)가 산화되는 것이 최소화될 수 있다.

[0068] 도 4는 본 발명의 다른 실시예에 따른 전계 발광 표시 장치를 설명하기 위한 개략적인 단면도이다. 도 4에 도시된 전계 발광 표시 장치(400)는 도 1 내지 도 3에 도시된 전계 발광 표시 장치(100)와 비교하여 비표시 영역(NA)의 게이트 구동부 영역(GA)에 추가적인 평탄화 패턴(470) 및 배선(480)이 배치되었다는 것을 제외하면 실질적으로 동일하므로, 중복 설명을 생략한다.

[0069] 도 4를 참조하면, 비표시 영역(NA)의 게이트 구동부 영역(GA)에서 제1 평탄화층(113) 상에 배선(480)이 배치된다. 배선(480)은 연결 전극(139)과 동일한 물질로 이루어질 수 있으나, 이에 제한되지 않는다.

[0070] 비표시 영역(NA)의 게이트 구동부 영역(GA)에서 배선(40)을 덮도록 복수의 평탄화 패턴(470)이 배치된다. 복수의 평탄화 패턴(470)은 제2 평탄화층(114)과 동일 평면 상에 배치된다. 즉, 평탄화 패턴(470)은 제2 평탄화층(114)과 동일한 공정에서 동일한 물질 및 동일 두께로 형성될 수 있다.

[0071] 도 4를 참조하면, 비표시 영역(NA)의 게이트 구동부 영역(GA)에서 평탄화 패턴(470) 및 제1 평탄화층(113) 상에 배선(431)이 배치된다. 배선(431)은 표시 영역(AA)에 배치된 배선(131)은 애노드(141)와 동일한 물질로 형성될 수 있다.

[0072] 비표시 영역(NA)에 배치된 배선(431, 480)은 배선(129)과 병렬 연결되어 동일한 신호를 전달할 수도 있고, 배선(129)과 별개의 신호를 전달할 수도 있다.

[0073] 도 4를 참조하면, 비표시 영역(NA)의 평탄화 패턴(470)과 표시 영역(AA)의 제2 평탄화층(114) 상에는 뱅크(11

5)가 형성된다. 표시 영역(AA)에서 제2 평탄화층(114) 상의 뱅크(115)는 도 2에 도시된 뱅크(115)와 실질적으로 동일하므로 중복 설명을 생략한다. 비표시 영역(NA)에서 평탄화 패턴(470) 상의 뱅크(115)에는 개구부가 형성되어 있어, 뱅크(115) 상에 형성된 캐소드가 컨택홀을 통해 전원 구동 배선(160)과 연결될 수 있다.

[0074] 본 발명의 다른 실시예에 따른 전계 발광 표시 장치(400)에서는 비표시 영역(NA)에서 연결 전극(139)과 동일한 물질로 이루어지는 배선(480) 및 애노드(141)와 동일한 물질로 이루어지는 배선(431)이 비표시 영역(NA)에 배치된다. 또한, 배선(480)을 덮도록 평탄화 패턴(470)이 배치되므로, 배선(480)과 배선(431)이 전기적으로 분리될 수 있다. 이에, 본 발명의 다른 실시예에 따른 전계 발광 표시 장치(400)에서는 비표시 영역(NA)에 다양한 신호를 전달하기 위해 사용되는 배선(129, 431, 480)들이 배치될 수 있는 공간을 제공하여, 배선 배치에 대한 설계 자유도가 증가할 수 있다. 이에, 보다 고해상도의 전계 발광 표시 장치(400)가 제공될 수 있으며, 전계 발광 표시 장치(400)의 비표시 영역(NA)에 배치될 수 있는 배선(129, 431, 480)의 개수가 증가할 수 있고, 배선 저항이 감소할 수 있다. 따라서, 비표시 영역(NA)에서 전달되는 다양한 신호의 RC 지연(RC delay)가 개선될 수 있다.

[0075] 또한, 본 발명의 다른 실시예에 따른 전계 발광 표시 장치(400)에서는 비표시 영역(NA)에서 배선(480)을 커버하는 복수의 평탄화 패턴(470)이 비표시 영역(NA) 전체에 걸쳐 형성되지 않고, 배선(480)만을 커버하도록 패터닝되어 배치된다. 따라서, 제1 평탄화층(113) 상에서 연결 전극(139)과 동일한 물질로 이루어지는 배선(480)을 추가적으로 배치함과 동시에 배선(480)을 커버하는 평탄화 패턴(470)의 체적이 최소화될 수 있다. 이에, 평탄화 패턴(470)에서 아웃개싱될 수 있는 가스 성분이 최소화될 수 있으며, 캐소드(143)이 산화되는 것이 저감되어 전계 발광 표시 장치(200)의 신뢰성이 개선될 수 있다.

[0076] 본 발명의 예시적인 실시예는 다음과 같이 설명될 수 있다.

[0077] 본 발명의 일 실시예에 따른 전계 발광 표시 장치는 표시 영역 및 표시 영역을 둘러싸는 비표시 영역을 포함하는 기판, 표시 영역에서 기판 상에 배치된 복수의 박막 트랜지스터, 비표시 영역에서 기판 상에 배치된 게이트 구동부, 복수의 박막 트랜지스터 및 게이트 구동부를 커버하는 제1 평탄화층, 표시 영역에서만 제1 평탄화층 상에 배치된 제2 평탄화층, 및 제2 평탄화층 상에 배치된 복수의 발광 소자를 포함한다.

[0078] 본 발명의 다른 특징에 따르면, 전계 발광 표시 장치는 비표시 영역에서 게이트 구동부 및 제1 평탄화층 상에 배치된 제1 배선을 더 포함하고, 제1 배선은 복수의 발광 소자의 애노드와 동일 물질로 이루어질 수 있다.

[0079] 본 발명의 또 다른 특징에 따르면, 전계 발광 표시 장치는 표시 영역에서 제1 평탄화층 상에 배치되고, 복수의 박막 트랜지스터와 복수의 발광 소자의 애노드를 전기적으로 연결시키는 연결 전극을 더 포함하고, 연결 전극은 애노드와 상이한 물질로 이루어질 수 있다.

[0080] 본 발명의 또 다른 특징에 따르면, 전계 발광 표시 장치는 비표시 영역에서 게이트 구동부를 둘러싸도록 배치된 전원 공급 배선을 더 포함하고, 전원 공급 배선은 연결 전극과 동일한 물질로 이루어지는 배선을 통해 제1 배선과 연결될 수 있다.

[0081] 본 발명의 또 다른 특징에 따르면, 전계 발광 표시 장치는 비표시 영역에서 게이트 구동부 및 제1 평탄화층 상에 배치된 복수의 제2 배선을 더 포함하고, 복수의 제2 배선은 연결 전극과 동일한 물질로 이루어질 수 있다.

[0082] 본 발명의 또 다른 특징에 따르면, 전계 발광 표시 장치는 제1 평탄화층 상에서 복수의 제2 배선을 커버하는 복수의 평탄화 패턴을 더 포함할 수 있다.

[0083] 본 발명의 또 다른 특징에 따르면, 복수의 평탄화 패턴은 제2 평탄화층과 동일 물질로 이루어지고, 동일 두께를 갖을 수 있다.

[0084] 본 발명의 또 다른 특징에 따르면, 전계 발광 표시 장치는 복수의 발광 소자의 애노드의 일부 및 제1 배선의 일부를 커버하는 뱅크를 더 포함할 수 있다.

[0085] 본 발명의 또 다른 특징에 따르면, 비표시 영역은 기판이 벤딩되는 벤딩 영역을 포함하고, 표시 영역과 벤딩 영역 사이에는 제1 평탄화층 및 제2 평탄화층 중 제1 평탄화층만 배치될 수 있다.

[0086] 본 발명의 또 다른 특징에 따르면, 전계 발광 표시 장치는 제1 평탄화층 및 제2 평탄화층은 벤딩 영역에 더 배치되고, 벤딩 영역에 배치된 제1 평탄화층 및 제2 평탄화층은 표시 영역에 배치된 제1 평탄화층 및 제2 평탄화층과 분리될 수 있다.

[0087] 본 발명의 다른 실시예에 따른 전계 발광 표시 장치는 표시 영역 및 게이트 구동부가 배치되는 게이트 구동부 영역을 포함하는 비표시 영역이 정의된 기판, 표시 영역 및 비표시 영역에 배치된 평탄화층, 및 표시 영역에서

평탄화층 상에 배치된 발광 소자를 포함하고, 평탄화층에서 배출되는 가스에 의해 발광 소자가 손상되는 것을 억제하도록, 게이트 구동부 영역에서의 단위 면적 당 평탄화층의 체적은 표시 영역에서의 단위 영역 당 평탄화층의 체적보다 작을 수 있다.

[0088] 본 발명의 다른 특징에 따르면, 평탄화층은 제1 평탄화층 및 제2 평탄화층을 포함하고, 제2 평탄화층은 표시 영역 및 비표시 영역 중 표시 영역에만 배치될 수 있다.

[0089] 본 발명의 또 다른 특징에 따르면, 비표시 영역에서 제1 평탄화층이 비표시에서 제1 위에 있는 복수의 평탄화 패턴을 더 포함할 수 있다.

[0090] 본 발명의 또 다른 특징에 따르면, 전계 발광 표시 장치는 복수의 평탄화 패턴과 제1 평탄화층 사이에 배치된 배선을 더 포함할 수 있다.

[0091] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0092] 110: 기판

111: 게이트 절연층

112: 충간 절연층

113: 제1 평탄화층

114: 제2 평탄화층

115: 뱅크

120: 박막 트랜지스터

121: 액티브층

122: 게이트 전극

123: 소스 전극

124: 드레인 전극

129, 131, 480: 배선

139: 연결 전극

140: 발광 소자

141: 애노드

142: 발광층

143: 캐소드

150: 게이트 구동부

160: 전원 구동 배선

170: COF

171: 베이스 필름

172: 구동 IC

100, 400: 전계 발광 표시 장치

470: 평탄화 패턴

AA: 표시 영역

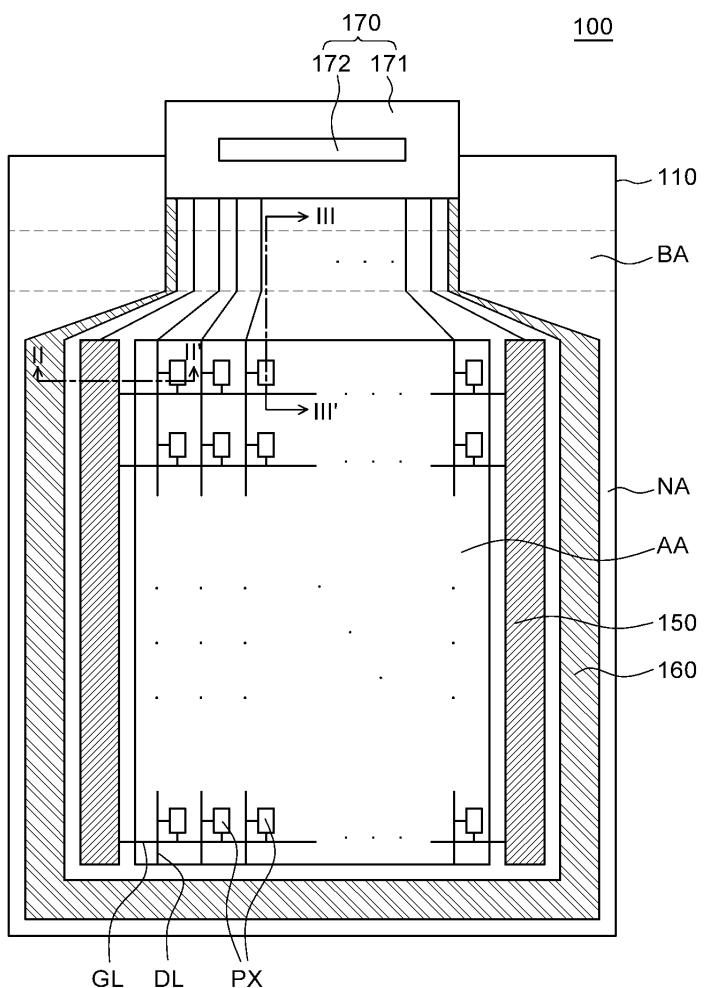
BA: 벤딩 영역

NA: 비표시 영역

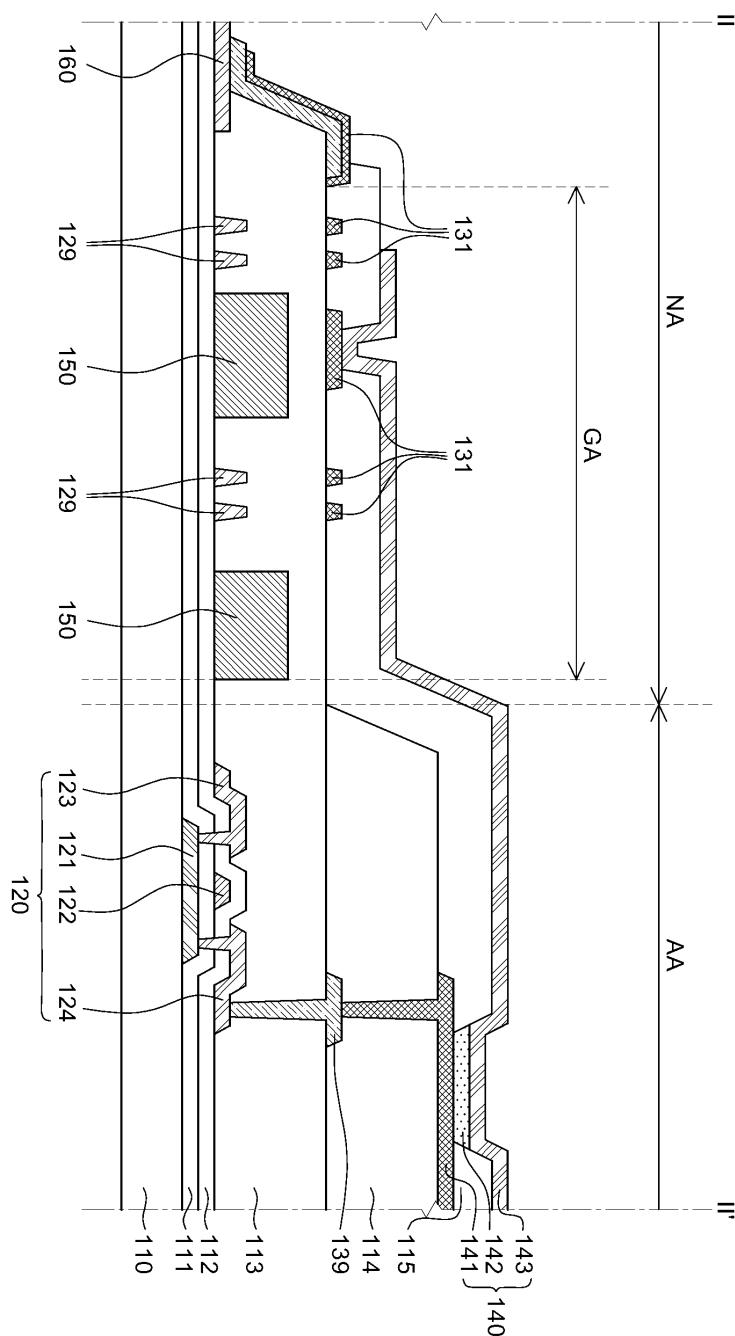
GA: 게이트 구동부 영역

도면

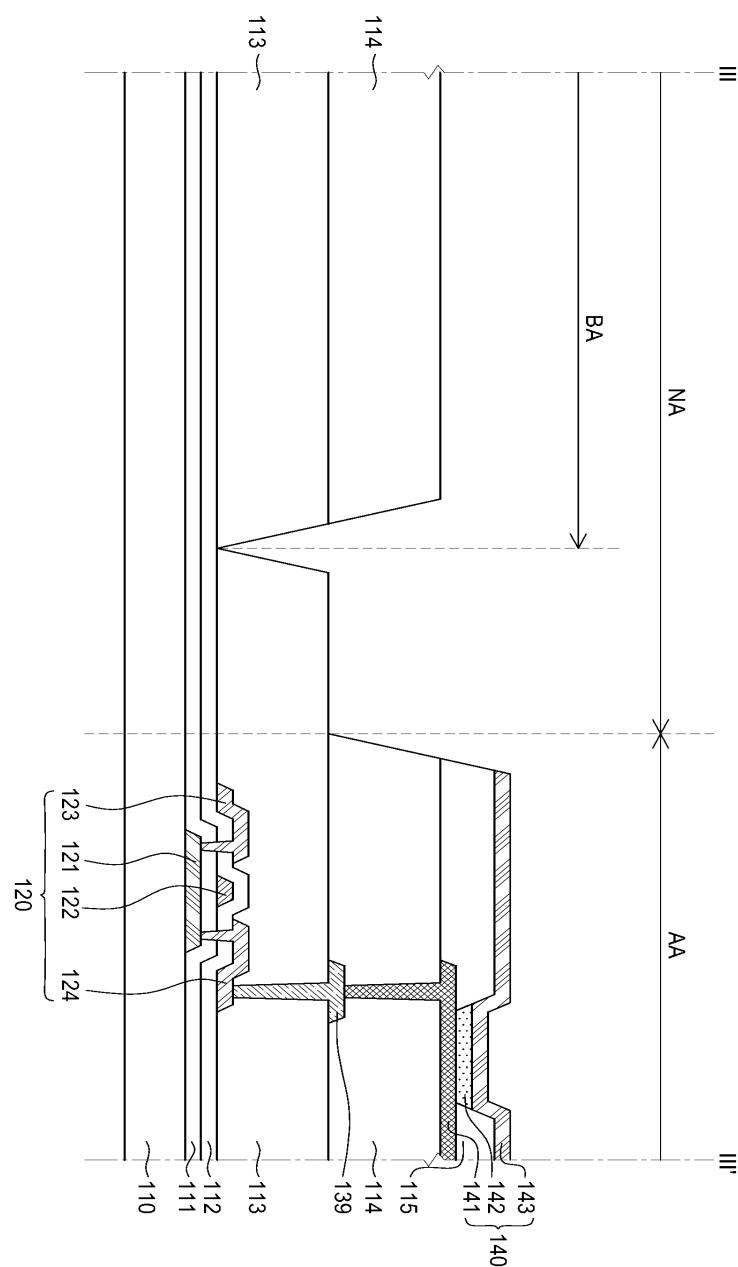
도면1



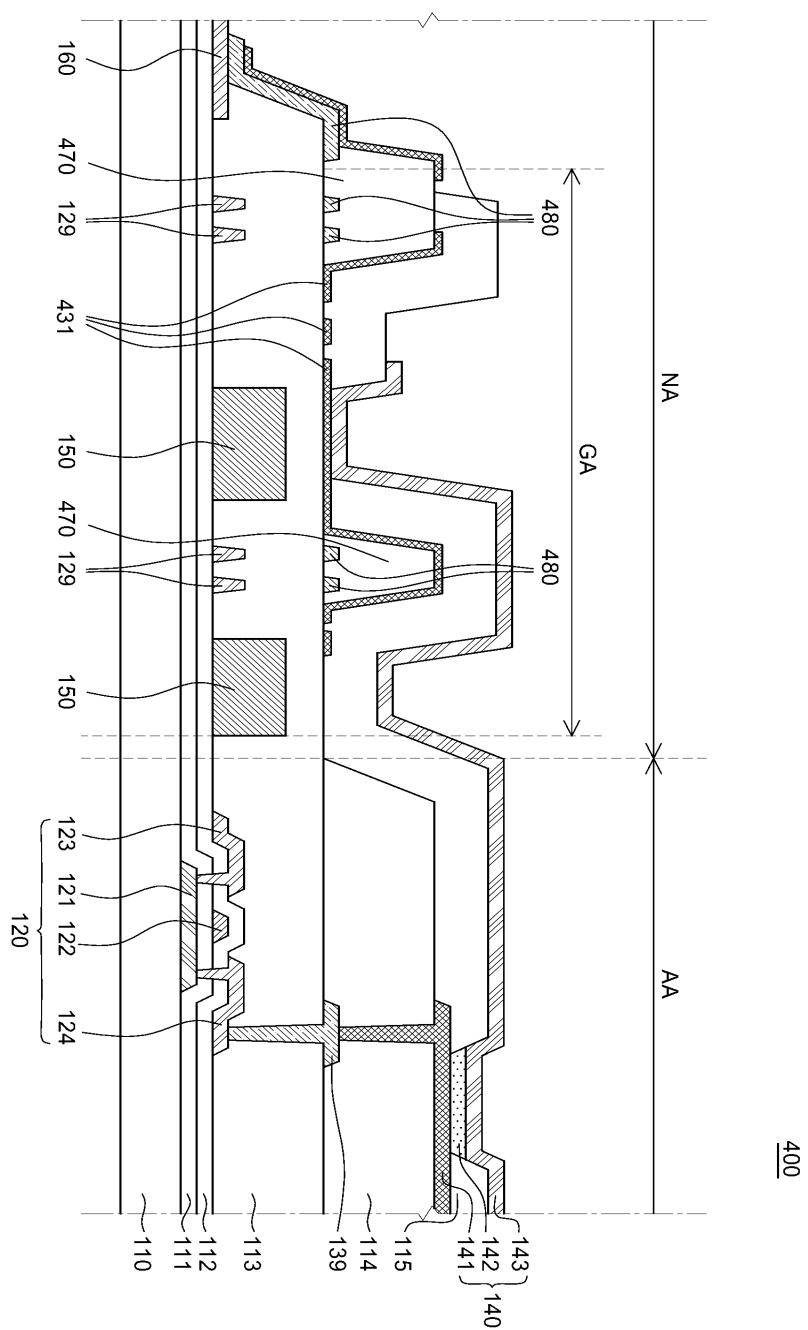
도면2



도면3



도면4



专利名称(译)	电致发光显示器		
公开(公告)号	KR1020190026351A	公开(公告)日	2019-03-13
申请号	KR1020170113127	申请日	2017-09-05
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	여준호 우철민		
发明人	여준호 우철민		
IPC分类号	H01L51/52 H01L27/32 H01L51/00		
CPC分类号	H01L51/5237 H01L27/3262 H01L27/3276 H01L51/0097 H01L51/5203		
外部链接	Espacenet		

摘要(译)

根据本发明实施例的电致发光显示装置包括：基板，其包括显示区域和围绕该显示区域的非显示区域；多个薄膜晶体管，其布置在显示区域中的基板上，并且布置在非显示区域中的基板上。覆盖栅极驱动器，多个薄膜晶体管和栅极驱动器的第一平坦化层以及仅在显示区域中设置在第一平坦化层上的第二平坦化层；多个发光元件设置在第二平坦化层上。通过仅在显示区域中形成具有两层结构的平坦化层，可以在显示区域中自由地设计布线之间的间距和布线电阻，并且在非显示区域中，可以使在第一和第二平坦化层中放出的气体成分最小化。可以。

