

(52) CPC특허분류

H01L 27/1229 (2013.01)

H01L 27/3262 (2013.01)

G09G 2300/0842 (2013.01)

G09G 2320/0214 (2013.01)

G09G 2330/021 (2013.01)

명세서

청구범위

청구항 1

애노드 및 기준 전압을 수신하는 캐소드를 포함하는 유기발광 다이오드;

n번째 주사 신호를 수신하는 게이트 전극과 데이터 신호를 수신하는 소스 전극을 포함하고, NMOS 트랜지스터인 스위칭 트랜지스터;

발광 제어 신호를 수신하는 게이트 전극을 포함하고, 상기 발광 제어 신호를 수신함에 따라 턴 온되어 상기 유기발광 다이오드에 구동 전류가 흐르는 타이밍을 결정하고, PMOS 트랜지스터인 제1 발광 제어 트랜지스터; 및

상기 스위칭 트랜지스터 및 상기 제1 발광 제어 트랜지스터에 연결되고, 상기 유기발광 다이오드에 상기 구동 전류를 제공하는 구동 트랜지스터를 포함하는 유기발광 표시장치.

청구항 2

제1항에 있어서,

상기 제1 발광 제어 트랜지스터는 로우 레벨을 갖는 상기 발광 제어 신호의 발광 기간 동안 턴 온되는 유기발광 표시장치.

청구항 3

제1항에 있어서,

상기 구동 트랜지스터는 PMOS 트랜지스터인 유기발광 표시장치.

청구항 4

제1항에 있어서,

상기 발광 제어 신호를 수신하는 게이트 전극, 상기 구동 트랜지스터에 연결된 소스 전극, 및 상기 유기발광 다이오드의 상기 애노드에 연결된 드레인 전극을 포함하고, 상기 발광 제어 신호를 수신함에 따라 턴 온되어 상기 제1 발광 제어 트랜지스터와 함께 상기 유기발광 다이오드에 상기 구동 전류가 흐르는 타이밍을 결정하고, PMOS 트랜지스터인 제2 발광 제어 트랜지스터를 더 포함하고,

상기 제1 발광 제어 트랜지스터는, 전원 전압을 수신하는 소스 전극 및 상기 구동 트랜지스터에 연결된 드레인 전극을 더 포함하는 유기발광 표시장치.

청구항 5

제4항에 있어서,

상기 구동 트랜지스터, 상기 제1 발광 제어 트랜지스터, 및 상기 제2 발광 제어 트랜지스터 각각은 다결정 실리콘을 갖는 반도체 활성층을 더 포함하고,

상기 스위칭 트랜지스터는 산화물 반도체를 갖는 반도체 활성층을 더 포함하는 유기발광 표시장치.

청구항 6

제5항에 있어서,

상기 산화물 반도체는 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 티타늄(Ti) 등의 금속 산화물 또는 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 티타늄(Ti) 등의 금속과 이들의 산화물의 혼합물을 포함하는 유기발광 표시장치.

청구항 7

제5항에 있어서,

상기 제1 발광 제어 트랜지스터의 상기 게이트 전극은 상기 제1 발광 제어 트랜지스터의 상기 반도체 활성층 상에 배치되는 유기발광 표시장치.

청구항 8

제5항에 있어서,

상기 제1 발광 제어 트랜지스터는, 상기 스위칭 트랜지스터의 상기 게이트 전극과 동일한 층상에 배치되고 상기 제1 발광 제어 트랜지스터의 상기 게이트 전극과 중첩하는 보조 전극을 더 포함하는 유기발광 표시장치.

청구항 9

제5항에 있어서,

상기 스위칭 트랜지스터의 상기 반도체 활성층은 상기 제1 발광 제어 트랜지스터의 상기 반도체 활성층 및 상기 제1 발광 제어 트랜지스터의 상기 게이트 전극 상에 배치되고,

상기 스위칭 트랜지스터의 상기 게이트 전극은 상기 스위칭 트랜지스터의 상기 반도체 활성층 상에 배치되는 유기발광 표시장치.

청구항 10

제5항에 있어서,

상기 스위칭 트랜지스터의 상기 게이트 전극은 상기 제1 발광 제어 트랜지스터의 상기 반도체 활성층 및 상기 제1 발광 제어 트랜지스터의 상기 게이트 전극 상에 배치되고,

상기 스위칭 트랜지스터의 상기 반도체 활성층은 상기 스위칭 트랜지스터의 상기 게이트 전극 상에 배치되는 유기발광 표시장치.

청구항 11

제4항에 있어서,

상기 스위칭 트랜지스터의 상기 게이트 전극에 연결된 게이트 전극, 상기 구동 트랜지스터의 드레인 전극에 연결된 소스 전극, 및 상기 구동 트랜지스터의 게이트 전극에 연결된 드레인 전극을 포함하는 보상 트랜지스터;

n-1번째 주사 신호를 수신하는 게이트 전극, 상기 구동 트랜지스터의 상기 게이트 전극에 연결된 소스 전극 및 드레인 전극을 포함하는 초기화 트랜지스터; 및

상기 제2 발광 제어 트랜지스터의 상기 드레인 전극에 연결된 소스 전극 및 상기 초기화 트랜지스터의 상기 드레인 전극에 연결된 드레인 전극을 포함하는 바이패스 트랜지스터를 더 포함하는 유기발광 표시장치.

청구항 12

제11항에 있어서,

상기 보상 트랜지스터, 상기 초기화 트랜지스터, 및 상기 바이패스 트랜지스터 각각은 NMOS 트랜지스터인 유기발광 표시장치.

청구항 13

제11항에 있어서,

상기 보상 트랜지스터, 상기 초기화 트랜지스터, 및 상기 바이패스 트랜지스터 각각은 다결정 실리콘을 갖는 반도체 활성층을 더 포함하는 유기발광 표시장치.

청구항 14

제11항에 있어서,

상기 제1 발광 제어 트랜지스터, 상기 제2 발광 제어 트랜지스터, 및 상기 구동 트랜지스터는 서로 동일한 층

구조를 갖고,

상기 스위칭 트랜지스터, 상기 보상 트랜지스터, 상기 초기화 트랜지스터, 및 상기 바이패스 트랜지스터는 서로 동일한 층 구조를 갖는 유기발광 표시장치.

청구항 15

애노드 및 기준 전압을 수신하는 캐소드를 포함하는 유기발광 다이오드;

n번째 주사 신호를 수신하는 게이트 전극과 데이터 신호를 수신하는 소스 전극, 및 산화물 반도체를 갖는 반도체 활성층을 포함하는 스위칭 트랜지스터;

발광 제어 신호를 수신하는 게이트 전극 및 다결정 실리콘을 갖는 반도체 활성층을 포함하고, 상기 발광 제어 신호를 수신함에 따라 턴 온되어 상기 유기발광 다이오드에 구동 전류가 흐르는 타이밍을 결정하는 제1 발광 제어 트랜지스터; 및

다결정 실리콘을 갖는 반도체 활성층을 포함하고, 상기 스위칭 트랜지스터 및 상기 제1 발광 제어 트랜지스터에 연결되고, 상기 유기발광 다이오드에 상기 구동 전류를 제공하는 구동 트랜지스터를 포함하는 유기발광 표시장치.

청구항 16

제15항에 있어서,

상기 스위칭 트랜지스터는 NMOS 트랜지스터이고,

상기 제1 발광 제어 트랜지스터 및 상기 구동 트랜지스터 각각은 PMOS 트랜지스터인 유기발광 표시장치.

청구항 17

제16항에 있어서,

상기 제1 발광 제어 트랜지스터는 로우 레벨을 갖는 상기 발광 제어 신호의 발광 기간 동안 턴 온되는 유기발광 표시장치.

청구항 18

제16항에 있어서,

상기 발광 제어 신호를 수신하는 게이트 전극, 상기 구동 트랜지스터에 연결된 소스 전극, 및 상기 유기발광 다이오드의 상기 애노드에 연결된 드레인 전극을 포함하고, 상기 발광 제어 신호를 수신함에 따라 턴 온되어 상기 제1 발광 제어 트랜지스터와 함께 상기 유기발광 다이오드에 상기 구동 전류가 흐르는 타이밍을 결정하고, 다결정 실리콘을 갖는 반도체 활성층을 포함하고, PMOS 트랜지스터인 제2 발광 제어 트랜지스터를 더 포함하고,

상기 제1 발광 제어 트랜지스터는, 전원 전압을 수신하는 소스 전극 및 상기 구동 트랜지스터에 연결된 드레인 전극을 더 포함하는 유기발광 표시장치.

청구항 19

애노드 및 기준 전압을 수신하는 캐소드를 포함하는 유기발광 다이오드;

프로그래밍 기간 동안 하이 레벨을 갖는 n번째 주사 신호를 수신하는 게이트 전극과 데이터 신호를 수신하는 소스 전극을 포함하고, 상기 프로그래밍 기간 동안 턴 온되는 스위칭 트랜지스터;

상기 스위칭 트랜지스터에 연결되고, 상기 유기발광 다이오드에 구동 전류를 제공하는 구동 트랜지스터;

상기 프로그래밍 기간 이후의 발광 기간 동안 로우 레벨을 갖는 발광 제어 신호를 수신하는 게이트 전극을 포함하고, 전원 전압을 수신하는 전원 라인과 상기 구동 트랜지스터 사이에 연결되고, 상기 발광 기간 동안 턴 온되는 제1 발광 제어 트랜지스터; 및

상기 발광 제어 신호를 수신하는 게이트 전극을 포함하고, 상기 구동 트랜지스터와 상기 유기발광 다이오드 사이에 연결되고, 상기 발광 기간 동안 턴 온되는 제2 발광 제어 트랜지스터를 포함하는 유기발광 표시장치.

청구항 20

제19항에 있어서,

상기 구동 트랜지스터, 상기 제1 발광 제어 트랜지스터, 및 상기 제2 발광 제어 트랜지스터 각각은 PMOS 트랜지스터이고,

상기 스위칭 트랜지스터는 NMOS 트랜지스터인 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광 표시장치에 관한 것으로, 좀 더 상세하게는 하나의 화소 내에 서로 다른 2 이상의 트랜지스터들을 갖는 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 유기발광 표시장치는 복수 개의 화소들을 포함한다. 복수 개의 화소들 각각은 유기발광 다이오드 및 유기발광 다이오드를 제어하는 회로부를 포함한다. 회로부는 적어도 제어 트랜지스터, 구동 트랜지스터, 및 스토리지 커패시터를 포함한다.

[0003] 유기발광 다이오드는 애노드, 캐소드, 및 애노드와 캐소드 사이에 배치된 유기 발광층을 포함한다. 유기발광 다이오드는 애노드와 캐소드 사이에 유기 발광층의 문턱전압 이상의 전압이 인가되면 발광된다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 화소에 포함된 트랜지스터들이 상대적으로 높은 이동도와 신뢰성을 확보하고, 동시에 상대적으로 낮은 누설전류를 가져 표시 품질이 저하되지 않으면서도 소비전력을 개선하는 것을 목적으로 한다.

[0005] 또한, 정확한 저계조 영상을 표현하는 것을 목적으로 한다.

과제의 해결 수단

[0006] 본 발명의 실시예에 따른 유기발광 표시장치는, 유기발광 다이오드, 스위칭 트랜지스터, 제1 발광 제어 트랜지스터, 및 구동 트랜지스터를 포함한다.

[0007] 상기 유기발광 다이오드는 애노드 및 기준 전압을 수신하는 캐소드를 포함한다.

[0008] 상기 스위칭 트랜지스터는 n번째 주사 신호를 수신하는 게이트 전극과 데이터 신호를 수신하는 소스 전극을 포함하고, NMOS 트랜지스터이다.

[0009] 상기 제1 발광 제어 트랜지스터는 발광 제어 신호를 수신하는 게이트 전극을 포함하고, 상기 발광 제어 신호를 수신함에 따라 턴 온되어 상기 유기발광 다이오드에 구동 전류가 흐르는 타이밍을 결정하고, PMOS 트랜지스터이다.

[0010] 상기 구동 트랜지스터는 상기 스위칭 트랜지스터 및 상기 발광 제어 트랜지스터에 연결되고, 상기 유기발광 다이오드에 상기 구동 전류를 제공한다.

[0011] 상기 제1 발광 제어 트랜지스터는 로우 레벨을 갖는 상기 발광 제어 신호의 발광 기간 동안 턴 온될 수 있다.

[0012] 상기 구동 트랜지스터는 PMOS 트랜지스터일 수 있다.

[0013] 유기발광 표시장치는 상기 발광 제어 신호를 수신하는 게이트 전극, 상기 구동 트랜지스터에 연결된 소스 전극, 및 상기 유기발광 다이오드의 상기 애노드에 연결된 드레인 전극을 포함하고, 상기 발광 제어 신호를 수신함에 따라 턴 온되어 상기 제1 발광 제어 트랜지스터와 함께 상기 유기발광 다이오드에 상기 구동 전류가 흐르는 타이밍을 결정하고, PMOS 트랜지스터인 제2 발광 제어 트랜지스터를 더 포함할 수 있다.

- [0014] 상기 제1 발광 제어 트랜지스터는, 전원 전압을 수신하는 소스 전극 및 상기 구동 트랜지스터에 연결된 드레인 전극을 더 포함할 수 있다.
- [0015] 상기 구동 트랜지스터, 상기 제1 발광 제어 트랜지스터, 및 상기 제2 발광 제어 트랜지스터 각각은 다결정 실리콘을 갖는 반도체 활성층을 더 포함할 수 있다.
- [0016] 상기 스위칭 트랜지스터는 산화물 반도체를 갖는 반도체 활성층을 더 포함할 수 있다.
- [0017] 상기 산화물 반도체는 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 티타늄(Ti) 등의 금속 산화물 또는 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 티타늄(Ti) 등의 금속과 이들의 산화물의 혼합물을 포함할 수 있다.
- [0018] 상기 제1 발광 제어 트랜지스터의 상기 게이트 전극은 상기 제1 발광 제어 트랜지스터의 상기 반도체 활성층 상에 배치될 수 있다.
- [0019] 상기 제1 발광 제어 트랜지스터는, 상기 스위칭 트랜지스터의 상기 게이트 전극과 동일한 층상에 배치되고 상기 제1 발광 제어 트랜지스터의 상기 게이트 전극과 중첩하는 보조 전극을 더 포함할 수 있다.
- [0020] 상기 스위칭 트랜지스터의 상기 반도체 활성층은 상기 제1 발광 제어 트랜지스터의 상기 반도체 활성층 및 상기 제1 발광 제어 트랜지스터의 상기 게이트 전극 상에 배치될 수 있다. 상기 스위칭 트랜지스터의 상기 게이트 전극은 상기 스위칭 트랜지스터의 상기 반도체 활성층 상에 배치될 수 있다.
- [0021] 상기 스위칭 트랜지스터의 상기 게이트 전극은 상기 제1 발광 제어 트랜지스터의 상기 반도체 활성층 및 상기 제1 발광 제어 트랜지스터의 상기 게이트 전극 상에 배치될 수 있다. 상기 스위칭 트랜지스터의 상기 반도체 활성층은 상기 스위칭 트랜지스터의 상기 게이트 전극 상에 배치될 수 있다.
- [0022] 본 발명의 일 실시예에 따른 유기발광 표시장치는, 보상 트랜지스터, 초기화 트랜지스터, 및 바이패스 트랜지스터를 더 포함할 수 있다.
- [0023] 상기 보상 트랜지스터는, 상기 스위칭 트랜지스터의 상기 게이트 전극에 연결된 게이트 전극, 상기 구동 트랜지스터의 드레인 전극에 연결된 소스 전극, 및 상기 구동 트랜지스터의 게이트 전극에 연결된 드레인 전극을 포함할 수 있다.
- [0024] 상기 초기화 트랜지스터는, $n-1$ 번째 주사 신호를 수신하는 게이트 전극, 상기 구동 트랜지스터의 상기 게이트 전극에 연결된 소스 전극 및 드레인 전극을 포함할 수 있다.
- [0025] 상기 바이패스 트랜지스터는, 상기 제2 발광 제어 트랜지스터의 상기 드레인 전극에 연결된 소스 전극 및 상기 초기화 트랜지스터의 상기 드레인 전극에 연결된 드레인 전극을 포함할 수 있다.
- [0026] 상기 보상 트랜지스터, 상기 초기화 트랜지스터, 및 상기 바이패스 트랜지스터 각각은 NMOS 트랜지스터일 수 있다.
- [0027] 상기 보상 트랜지스터, 상기 초기화 트랜지스터, 및 상기 바이패스 트랜지스터 각각은 다결정 실리콘을 갖는 반도체 활성층을 더 포함할 수 있다.
- [0028] 상기 제1 발광 제어 트랜지스터, 상기 제2 발광 제어 트랜지스터, 및 상기 구동 트랜지스터는 서로 동일한 층 구조를 가질 수 있다. 상기 스위칭 트랜지스터, 상기 보상 트랜지스터, 상기 초기화 트랜지스터, 및 상기 바이패스 트랜지스터는 서로 동일한 층 구조를 가질 수 있다.
- [0029] 본 발명의 일 실시예에 따른 유기발광 표시장치는, 유기발광 다이오드, 스위칭 트랜지스터, 제1 발광 제어 트랜지스터, 및 구동 트랜지스터를 포함할 수 있다.
- [0030] 상기 유기발광 다이오드는 애노드 및 기준 전압을 수신하는 캐소드를 포함할 수 있다.
- [0031] 상기 스위칭 트랜지스터는 n 번째 주사 신호를 수신하는 게이트 전극과 데이터 신호를 수신하는 소스 전극, 및 산화물 반도체를 갖는 반도체 활성층을 포함할 수 있다.
- [0032] 상기 제1 발광 제어 트랜지스터는, 발광 제어 신호를 수신하는 게이트 전극 및 다결정 실리콘을 갖는 반도체 활성층을 포함하고, 상기 발광 제어 신호를 수신함에 따라 턴 온되어 상기 유기발광 다이오드에 구동 전류가 흐르는 타이밍을 결정할 수 있다.
- [0033] 상기 구동 트랜지스터는, 다결정 실리콘을 갖는 반도체 활성층을 포함하고, 상기 스위칭 트랜지스터 및 상기 발

광 제어 트랜지스터에 연결되고, 상기 유기발광 다이오드에 상기 구동 전류를 제공할 수 있다.

- [0034] 상기 스위칭 트랜지스터는 NMOS 트랜지스터일 수 있다. 상기 제1 발광 제어 트랜지스터 및 상기 구동 트랜지스터 각각은 PMOS 트랜지스터일 수 있다.
- [0035] 상기 제1 발광 제어 트랜지스터는 로우 레벨을 갖는 상기 발광 제어 신호의 발광 기간 동안 턴 온될 수 있다.
- [0036] 본 발명의 일 실시예에 따른 유기발광 표시장치는, 제2 발광 제어 트랜지스터를 더 포함할 수 있다. 상기 제2 발광 제어 트랜지스터는 상기 발광 제어 신호를 수신하는 게이트 전극, 상기 구동 트랜지스터에 연결된 소스 전극, 및 상기 유기발광 다이오드의 상기 애노드에 연결된 드레인 전극을 포함하고, 상기 발광 제어 신호를 수신함에 따라 턴 온되어 상기 제1 발광 제어 트랜지스터와 함께 상기 유기발광 다이오드에 상기 구동 전류가 흐르는 타이밍을 결정하고, 다결정 실리콘을 갖는 반도체 활성층을 포함하고, PMOS 트랜지스터일 수 있다.
- [0037] 상기 제1 발광 제어 트랜지스터는, 전원 전압을 수신하는 소스 전극 및 상기 구동 트랜지스터에 연결된 드레인 전극을 더 포함할 수 있다.
- [0038] 본 발명의 일 실시예에 따른 유기발광 표시장치는, 유기발광 다이오드, 스위칭 트랜지스터, 구동 트랜지스터, 제1 발광 제어 트랜지스터, 및 제2 발광 제어 트랜지스터를 포함할 수 있다.
- [0039] 상기 유기발광 다이오드는 애노드 및 기준 전압을 수신하는 캐소드를 포함할 수 있다.
- [0040] 상기 스위칭 트랜지스터는, 프로그래밍 기간 동안 하이 레벨을 갖는 n번째 주사 신호를 수신하는 게이트 전극과 데이터 신호를 수신하는 소스 전극을 포함하고, 상기 프로그래밍 기간 동안 턴 온될 수 있다.
- [0041] 상기 구동 트랜지스터는, 상기 스위칭 트랜지스터에 연결되고, 상기 유기발광 다이오드에 구동 전류를 제공할 수 있다.
- [0042] 상기 제1 발광 제어 트랜지스터는, 상기 프로그래밍 기간 이후의 발광 기간 동안 로우 레벨을 갖는 발광 제어 신호를 수신하는 게이트 전극을 포함하고, 전원 전압을 수신하는 전원 라인과 상기 구동 트랜지스터 사이에 연결되고, 상기 발광 기간 동안 턴 온될 수 있다.
- [0043] 상기 제2 발광 제어 트랜지스터는 상기 발광 제어 신호를 수신하는 게이트 전극을 포함하고, 상기 구동 트랜지스터와 상기 유기발광 다이오드 사이에 연결되고, 상기 발광 기간 동안 턴 온될 수 있다.
- [0044] 상기 구동 트랜지스터, 상기 제1 발광 제어 트랜지스터, 및 상기 제2 발광 제어 트랜지스터 각각은 PMOS 트랜지스터일 수 있다. 상기 스위칭 트랜지스터는 NMOS 트랜지스터일 수 있다.

발명의 효과

- [0045] 본 발명의 유기발광 표시장치에 의하면, 화소에 포함된 트랜지스터들 중 일부는 폴리 실리콘을 갖는 PMOS 트랜지스터로 구성되어, 상대적으로 높은 이동도와 높은 신뢰성을 확보할 수 있다. 또한, 나머지 일부는 산화물 반도체를 갖는 NMOS 트랜지스터로 구성되어 상대적으로 낮은 누설전류를 가질 수 있고, 소비전력을 개선할 수 있다.
- [0046] 본 발명의 실시예에 따른 유기 발광 장치는 발광 기간 동안 유기발광 다이오드의 애노드의 전압 레벨이 상승하는 것을 방지하고, 특히, 저계조 영상을 표현하고자 하는 경우에 정확한 저계조 영상을 표시할 수 있다.

도면의 간단한 설명

- [0047] 도 1은 본 발명의 일 실시예에 따른 유기발광 표시장치의 블록도다.
- 도 2는 본 발명의 일 실시예에 따른 하나의 화소의 등가 회로도이다.
- 도 3은 본 발명의 일 실시예에 따른 유기 발광 표시장치의 하나의 화소에 인가되는 신호의 타이밍도이다.
- 도 4는 본 발명의 일 실시예에 따른 도 2의 화소에 대응하는 유기발광 표시장치의 부분 단면도이다.
- 도 5는 본 발명의 다른 실시예에 따른 도 2의 화소에 대응하는 유기발광 표시장치의 부분 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0048] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고

본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

- [0049] 도 1은 본 발명의 일 실시예에 따른 유기발광 표시장치의 블록도다. 도 1에 도시된 것과 같이, 유기발광 표시장치는 신호 제어부(100), 주사 구동부(200), 데이터 구동부(300), 및 유기발광 표시패널(DP)을 포함한다.
- [0050] 신호 제어부(100)는 입력 영상신호들(미 도시)을 수신하고, 데이터 구동부(300)와의 인터페이스 사양에 맞도록 입력 영상신호들의 데이터 포맷을 변환하여 영상 데이터(Data)를 생성한다. 신호 제어부(100)는 영상 데이터(Data)와 각종 제어신호들(DCS, SCS)을 출력한다.
- [0051] 주사 구동부(200)는 신호 제어부(100)로부터 주사 제어신호(SCS)를 수신한다. 주사 제어신호(SCS)는 주사 구동부(200)의 동작을 개시하는 수직개시신호, 신호들의 출력 시기를 결정하는 클럭신호 등을 포함할 수 있다. 주사 구동부(200)는 복수 개의 주사 신호들을 생성하고, 복수 개의 주사 신호들을 후술하는 복수 개의 주사 라인들(SL1~SLn)에 순차적으로 출력한다. 또한, 주사 구동부(200)는 주사 제어신호(SCS)에 응답하여 복수 개의 발광 제어신호들을 생성하고, 후술하는 복수 개의 발광 라인들(EL1~ELn)에 복수 개의 발광 제어신호들을 출력한다.
- [0052] 도 1은 복수 개의 주사 신호들과 복수 개의 발광 제어신호들이 하나의 주사 구동부(200)로부터 출력되는 것으로 도시하였지만, 본 발명은 이에 한정되는 것은 아니다. 본 발명의 일 실시예에서, 복수 개의 주사 구동부가 복수 개의 주사 신호들을 분할하여 출력하고, 복수 개의 발광 제어신호들을 분할하여 출력할 수 있다. 또한, 본 발명의 일 실시예에서, 복수 개의 주사 신호들을 생성하여 출력하는 구동회로와 복수 개의 발광 제어신호들을 생성하여 출력하는 구동회로는 별개로 구분될 수 있다.
- [0053] 데이터 구동부(300)는 신호 제어부(100)로부터 데이터 제어신호(DCS) 및 영상 데이터(Data)를 수신한다. 데이터 구동부(300)는 영상 데이터(Data)를 데이터 신호들로 변환하고, 데이터 신호들을 후술하는 복수 개의 데이터 라인들(DL1~DLm)에 출력한다. 데이터 신호들은 영상 데이터(Data)의 계조값에 대응하는 아날로그 전압들이다.
- [0054] 유기발광 표시패널(DP)은 복수 개의 주사 라인들(SL1~SLn), 복수 개의 발광 라인들(EL1~ELn), 복수 개의 데이터 라인들(DL1~DLm), 및 복수 개의 화소들(PX)을 포함한다. 복수 개의 주사 라인들(SL1~SLn)은 제1 방향(DR1)으로 연장되고, 제2 방향에 직교하는 제2 방향(DR2)으로 나열된다. 복수 개의 발광 라인들(EL1~ELn) 각각은 복수 개의 주사 라인들(SL1~SLn) 중 대응하는 주사 라인에 나란하게 배열될 수 있다. 복수 개의 데이터 라인들(DL1~DLm)은 복수 개의 주사 라인들(SL1~SLn)과 절연되게 교차한다.
- [0055] 복수 개의 화소들(PX) 각각은 복수 개의 주사 라인들(SL1~SLn) 중 대응하는 주사 라인, 복수 개의 발광 라인들(EL1~ELn) 중 대응하는 발광 라인, 및 복수 개의 데이터 라인들(DL1~DLm) 중 대응하는 데이터 라인들에 접속된다. 복수 개의 화소들(PX) 각각은 전원 전압(ELVDD) 및 전원 전압(ELVDD)보다 낮은 레벨의 기준 전압(ELVSS)을 수신한다. 복수 개의 화소들(PX) 각각은 전원 전압(ELVDD)이 인가되는 전원 라인(PL)에 접속된다. 복수 개의 화소들(PX) 각각은 초기화 전압(Vint)을 수신하는 초기화 라인(RL)에 접속된다.
- [0056] 복수 개의 화소들(PX) 각각은 2개 이상의 주사 라인들에 전기적으로 연결될 수 있다. 도 1에서 하나의 화소(PX)는 3개의 주사 라인들에 연결된 것을 예시적으로 도시하였다. 예를 들어, 제2 번째 주사 라인(SL2)에 연결된 화소들(PX, 이하 제2 화소행의 화소들)은 제1 번째 주사 라인(SL1) 및 제3 번째 주사 라인(SL3)에도 연결될 수 있다. 제2 화소행의 화소들(PX)은 제1 번째 주사 라인(SL1)에 인가된 주사신호, 제2 번째 주사 라인(SL2)에 인가된 주사신호, 및 제3 번째 주사 라인(SL3)에 인가된 주사신호를 수신한다. 다만, 이에 제한되는 것은 아니고, 제2 화소행의 화소들(PX)은 제1 번째 주사 라인(SL1) 및 제2 번째 주사 라인(SL2)에 연결될 수 있다.
- [0057] 미 도시되었으나, 유기발광 표시패널(DP)은 복수 개의 더미 주사 라인들 및 초기화 제어 라인들을 더 포함할 수 있다. 더미 주사 라인들 및 초기화 제어 라인들은 주사 라인들(SL1~SLn)에 인가되는 신호를 수신할 수 있다. 더미 주사 라인들 및 초기화 제어 라인들은 서로 전기적으로 연결될 수 있다. 더미 주사 라인들 각각 및 초기화 제어 라인들 각각은 대응하는 주사 라인들(SL1~SLn) 중 하나에 전기적으로 연결될 수 있다.
- [0058] 복수 개의 화소들(PX) 각각은 유기발광 다이오드(미 도시) 및 유기발광 다이오드의 발광을 제어하는 회로부(미 도시)를 포함한다. 회로부는 복수 개의 박막 트랜지스터(이하, 트랜지스터)와 스토리지 커패시터를 포함할 수 있다. 복수 개의 화소들(PX)은 레드 컬러를 발광하는 레드 화소들, 그린 컬러를 발광하는 그린 화소들, 및 블루 컬러를 발광하는 블루 화소들을 포함할 수 있다. 레드 화소의 유기발광 다이오드, 그린 화소의 유기발광 다이오드, 및 블루 화소의 유기발광 다이오드는 서로 다른 물질의 유기 발광층을 포함할 수 있다.
- [0059] 복수 개의 포토리소그래피 공정을 통해 베이스 기판(미 도시) 상에 복수 개의 주사 라인들(SL1~SLn), 복수 개의

발광 라인들(EL1~ELn), 복수 개의 데이터 라인들(DL1~DLm), 전원 라인(PL), 초기화 라인(RL), 및 복수 개의 화소들(PX)을 형성할 수 있다. 복수 회기의 증착공정 또는 코팅공정을 통해 베이스 기관(미 도시) 상에 복수 개의 절연층들을 형성할 수 있다. 절연층들은 유기막 및/또는 무기막을 포함한다. 그밖에 복수 개의 화소들(PX)을 보호하는 봉지층(미 도시)을 베이스 기관 상에 더 형성할 수 있다.

[0060] 도 2는 본 발명의 일 실시예에 따른 하나의 화소의 등가 회로도이다.

[0061] 본 발명의 일 실시예에 따른 하나의 화소(PX)의 회로부(CRP)는 복수의 트랜지스터들(T1~T7) 및 스토리지 커패시터(Cst)를 포함한다. 화소(PX)는 회로부(CRP)로부터 구동 전류(Id)를 전달받아 발광하는 유기 발광 소자(organic light emitting diode, OLED)를 포함할 수 있다.

[0062] 박막트랜지스터들(T1~T7)은 구동 트랜지스터(T1), 스위칭 트랜지스터(T2), 보상 트랜지스터(T3), 초기화 트랜지스터(T4), 제1 발광 제어 트랜지스터(T5), 제2 발광 제어 트랜지스터(T6), 및 바이패스 트랜지스터(T7)를 포함한다.

[0063] 화소(PX)는 스위칭 트랜지스터(T2) 및 보상 트랜지스터(T3)에 n번째 주사 신호(Sn)를 전달하는 제1 주사 라인(14), 초기화 트랜지스터(T4)에 n-1번째 주사 신호(Sn-1)를 전달하는 제2 주사 라인(24), 바이패스 트랜지스터(T7)에 n+1번째 주사 신호(Sn+1)를 전달하는 제3 주사 라인(34), 제1 발광 제어 트랜지스터(T5) 및 제2 발광 제어 트랜지스터(T6)에 발광 제어 신호(En)를 전달하는 발광 라인(15), 데이터 신호(Dm)를 전달하는 데이터 라인(16), 전원전압(ELVDD)을 전달하는 전원 라인(26), 구동 트랜지스터(T1)를 초기화 하는 초기화 전압(Vint)을 전달하는 초기화 라인(22)을 포함한다.

[0064] 구동 트랜지스터(T1)의 게이트 전극(G1)은 스토리지 커패시터(Cst)의 제1 전극(C1)과 연결된다. 구동 트랜지스터(T1)의 소스 전극(S1)은 제1 발광 제어 트랜지스터(T5)를 경유하여 전원 라인(26)과 연결된다. 구동 트랜지스터(T1)의 드레인 전극(D1)은 제2 발광 제어 트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)의 애노드와 전기적으로 연결되어 있다. 구동 트랜지스터(T1)는 스위칭 트랜지스터(T2)의 스위칭 동작에 따라 데이터 신호(Dm)를 전달받아 유기 발광 소자(OLED)에 구동 전류(Id)를 공급한다.

[0065] 스위칭 트랜지스터(T2)의 게이트 전극(G2)은 제1 주사 라인(14)과 연결된다. 스위칭 트랜지스터(T2)의 소스 전극(S2)은 데이터 라인(16)과 연결된다. 스위칭 트랜지스터(T2)의 드레인 전극(D2)은 구동 트랜지스터(T1)의 소스 전극(S1)과 연결되고, 제1 발광 제어 트랜지스터(T5)를 경유하여 전원 라인(26)과 연결된다. 스위칭 트랜지스터(T2)는 제1 주사 라인(14)을 통해 전달받은 제1 주사 신호(Sn)에 따라 턴 온 되어 데이터 라인(16)으로 전달된 데이터 신호(Dm)를 구동 트랜지스터(T1)의 소스 전극(S1)으로 전달하는 스위칭 동작을 수행한다.

[0066] 보상 트랜지스터(T3)의 게이트 전극(G3)은 제1 주사 라인(14)에 연결되어 있다. 보상 트랜지스터(T3)의 소스 전극(S3)은 구동 트랜지스터(T1)의 드레인 전극(D1)과 연결되고, 제2 발광 제어 트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)의 애노드와 연결된다. 보상 트랜지스터(T3)의 드레인 전극(D3)은 스토리지 커패시터(Cst)의 제1 전극(C1), 초기화 트랜지스터(T4)의 소스 전극(S4) 및 구동 트랜지스터(T1)의 게이트 전극(G1)과 연결되어 있다. 보상 트랜지스터(T3)는 제1 주사 라인(14)을 통해 전달받은 n번째 주사 신호(Sn)에 따라 턴 온되어 구동 트랜지스터(T1)의 게이트 전극(G1)과 드레인 전극(D1)을 서로 연결하여 구동 트랜지스터(T1)를 다이오드 연결(diode connection)시킨다.

[0067] 초기화 트랜지스터(T4)의 게이트 전극(G4)은 제2 주사 라인(24)과 연결된다. 초기화 트랜지스터(T4)의 드레인 전극(D4)은 초기화 라인(22)에 연결된다. 초기화 트랜지스터(T4)의 소스 전극(S4)은 스토리지 커패시터(Cst)의 제1 전극(C1), 보상 트랜지스터(T3)의 드레인 전극(D3) 및 구동 트랜지스터(T1)의 게이트 전극(G1)에 연결된다. 초기화 트랜지스터(T4)는 제2 주사 라인(24)을 통해 전달받은 n-1번째 주사 신호(Sn-1)에 따라 턴 온되어 초기화 전압(Vint)을 구동 트랜지스터(T1)의 게이트 전극(G1)에 전달하여 구동 트랜지스터(T1)의 게이트 전극(G1)의 전압을 초기화시킨다.

[0068] 제1 발광 제어 트랜지스터(T5)의 게이트 전극(G5)은 발광 라인(15)과 연결된다. 제1 발광 제어 트랜지스터(T5)는 전원 라인(26)과 구동 트랜지스터(T1) 사이에 연결될 수 있다. 제1 발광 제어 트랜지스터(T5)의 소스 전극(S5)은 전원 라인(26)과 연결된다. 제1 발광 제어 트랜지스터(T5)의 드레인 전극(D5)은 구동 트랜지스터(T1)의 소스 전극(S1) 및 스위칭 트랜지스터(T2)의 드레인 전극(D2)과 연결된다. 제1 발광 제어 트랜지스터(T5)의 게이트 전극(G5)에 발광 제어 신호(En)가 인가됨에 따라 제1 발광 제어 트랜지스터(T5)는 턴 온되어 유기발광 다이오드(OLED)에 구동 전류(Id)가 흐른다. 제1 발광 제어 트랜지스터(T5)는 유기발광 다이오드(OLED)에 구동 전류(Id)가 흐르는 타이밍을 결정할 수 있다.

- [0069] 제2 발광 제어 트랜지스터(T6)의 게이트 전극(G6)은 발광 라인(15)과 연결된다. 제2 발광 제어 트랜지스터(T6)는 구동 트랜지스터(T1)와 유기발광 다이오드(OLED) 사이에 연결될 수 있다. 제2 발광 제어 트랜지스터(T6)의 소스 전극(S6)은 구동 트랜지스터(T1)의 드레인 전극(D1) 및 보상 트랜지스터(T3)의 소스 전극(S3)과 연결된다. 제2 발광 제어 트랜지스터(T6)의 드레인 전극(D6)은 유기 발광 소자(OLED)의 애노드와 전기적으로 연결된다. 제1 발광 제어 트랜지스터(T5) 및 제2 발광 제어 트랜지스터(T6)는 발광 라인(15)을 통해 전달받은 발광 제어 신호(En)에 따라 턴 온된다. 제2 발광 제어 트랜지스터(T6)의 게이트 전극(G6)에 발광 제어 신호(En)이 인가됨에 따라 제2 발광 제어 트랜지스터(T6)는 턴 온되어 유기 발광 소자(OLED)에 구동 전류(Id)가 흐른다. 제2 발광 제어 트랜지스터(T6)는 유기발광 다이오드(OLED)에 구동 전류(Id)가 흐르는 타이밍을 결정할 수 있다.
- [0070] 바이패스 트랜지스터(T7)의 게이트 전극(G7)은 제3 주사 라인(34)에 연결된다. 바이패스 트랜지스터(T7)의 소스 전극(S7)은 유기 발광 소자(OLED)의 애노드에 연결된다. 바이패스 트랜지스터(T7)의 드레인 전극(D7)은 초기화 라인(22)에 연결된다. 바이패스 트랜지스터(T7)는 제3 주사 라인(34)을 통해 전달받은 n+1번째 주사 신호(Sn+1)에 따라 턴 온되어 유기 발광 소자(OLED)의 애노드를 초기화시킨다.
- [0071] 스토리지 커패시터(Cst)의 제2 전극(C2)은 전원 라인(26)에 연결된다. 스토리지 커패시터(Cst)의 제1 전극(C1)은 구동 트랜지스터(T1)의 게이트 전극(G1), 보상 트랜지스터(T3)의 드레인 전극(D3) 및 초기화 트랜지스터(T4)의 소스 전극(S4)에 연결된다.
- [0072] 유기 발광 소자(OLED)의 캐소드는 기준 전압(ELVSS)을 수신한다. 유기 발광 소자(OLED)는 구동 트랜지스터(T1)로부터 구동 전류(Id)를 전달받아 발광한다.
- [0073] 본 발명의 실시예에서, 스위칭 트랜지스터(T2), 보상 트랜지스터(T3), 초기화 트랜지스터(T4), 및 바이패스 트랜지스터(T7) 각각은 NMOS 트랜지스터이다. 따라서, 스위칭 트랜지스터(T2), 보상 트랜지스터(T3), 초기화 트랜지스터(T4), 및 바이패스 트랜지스터(T7) 각각은 그들의 게이트에 인가된 + 차지(charge)에 의해 턴 온 된다.
- [0074] 후술하는바와 같이, 스위칭 트랜지스터(T2), 보상 트랜지스터(T3), 초기화 트랜지스터(T4), 및 바이패스 트랜지스터(T7) 각각은 산화물 반도체를 채널영역으로 사용한다. 산화물 반도체를 채널층으로 갖는 트랜지스터를 형성하는 공정에 의하면 스위칭 트랜지스터(T2), 보상 트랜지스터(T3), 초기화 트랜지스터(T4), 및 바이패스 트랜지스터(T7) 각각은 NMOS 트랜지스터로 이루어진다.
- [0075] 본 발명의 실시예에서, 구동 트랜지스터(T1), 제1 발광 제어 트랜지스터(T5), 및 제2 발광 제어 트랜지스터(T6) 각각은 PMOS 트랜지스터이다. 따라서, 구동 트랜지스터(T1), 제1 발광 제어 트랜지스터(T5), 및 제2 발광 제어 트랜지스터(T6) 각각은 그들의 게이트에 인가된 - 차지(charge)에 의해 턴 온된다.
- [0076] 도 3은 본 발명의 일 실시예에 따른 유기 발광 표시장치의 하나의 화소에 인가되는 신호의 타이밍도이다.
- [0077] 도 2 및 도 3을 참조하면, 초기화 기간(INP) 동안 제2 주사 라인(24)을 통해 n-1번째 주사 신호(Sn-1)가 공급된다. n-1번째 주사 신호(Sn-1)는 초기화 기간(INP) 동안 하이 레벨을 가져 NMOS 트랜지스터를 턴 온 시킨다. 초기화 트랜지스터(T4)는 NMOS 트랜지스터이므로, 하이 레벨의 n-1번째 주사 신호(Sn-1)에 대응하여 초기화 트랜지스터(T4)가 턴 온된다. 초기화 라인(22)으로부터 초기화 트랜지스터(T4)를 통해 초기화 전압(Vint)이 구동 트랜지스터(T1)의 게이트 전극(G1)에 인가되고, 초기화 전압(Vint)에 의해 구동 트랜지스터(T1)가 초기화된다.
- [0078] 이후, 프로그래밍 기간(PRP) 동안 제1 주사 라인(14)을 통해 n번째 주사 신호(Sn)가 공급된다. n번째 주사 신호(Sn)는 프로그래밍 기간(PRP) 동안 하이 레벨을 가져 NMOS 트랜지스터를 턴 온 시킨다. 스위칭 트랜지스터(T2) 및 보상 트랜지스터(T3)는 NMOS 트랜지스터이므로, 하이 레벨의 n번째 주사 신호(Sn)에 대응하여 스위칭 트랜지스터(T2) 및 보상 트랜지스터(T3)가 턴 온된다. 구동 트랜지스터(T1)는 턴 온된 보상 트랜지스터(T3)에 의해 다이오드 연결되고, 순방향으로 바이어스 된다.
- [0079] 프로그래밍 기간(PRP) 동안 데이터 라인(16)으로부터 공급된 데이터 신호(Dm)에서 구동 트랜지스터(T1)의 문턱 전압(Threshold voltage, Vth)만큼 감소한 보상 전압(Dm+Vth, Vth는 (-)의 값)이 구동 트랜지스터(T1)의 게이트 전극(G1)에 인가된다. 스토리지 커패시터(Cst)의 양단에는 전원 전압(ELVDD)과 보상 전압(Dm+Vth)이 인가되고, 스토리지 커패시터(Cst)에는 양단 전압 차에 대응하는 전하가 저장된다.
- [0080] 이후, 발광 기간(EMP) 동안 발광 라인(15)을 통해 발광 제어 신호(En)가 공급된다. 발광 제어 신호(En)는 발광 기간(EMP) 동안 로우 레벨을 가져 PMOS 트랜지스터를 턴 온 시킨다. 제1 발광 제어 트랜지스터(T5) 및 제2 발광 제어 트랜지스터(T6)는 PMOS 트랜지스터이므로, 로우 레벨의 발광 제어 신호(En)에 대응하여 제1 발광 제어 트랜지스터(T5) 및 제2 발광 제어 트랜지스터(T6)가 턴 온된다.

- [0081] 발광 기간(EMP) 동안 구동 트랜지스터(T1)에 게이트 전극(G1)의 게이트 전압과 전원 전압(ELVDD) 간의 전압차에 따라 구동 전류(I_d)가 발생하고, 제2 발광 제어 트랜지스터(T6)를 통해 구동 전류(I_d)가 유기발광 다이오드(OLED)에 공급된다. 발광 기간(EMP) 동안 스토리지 커패시터(Cst)에 의해 구동 트랜지스터(T1)의 게이트-소스 전압(V_{gs})은 $(D_m + V_{th}) - ELVDD$ 로 유지된다. 구동 트랜지스터(T1)의 전류-전압 관계에 따르면, 구동 전류(I_d)는 소스-게이트 전압에서 문턱 전압을 차감한 값의 제곱 $(D_m - ELVDD)^2$ 에 비례한다. 즉, 구동 전류(I_d)는 구동 트랜지스터(T1)의 문턱 전압(V_{th})에 관계 없이 결정된다.
- [0082] 블랙 영상을 표시하기 위한 구동 트랜지스터(T1)의 최소 전류가 구동 전류로 흐를 경우에도 유기발광 다이오드(OLED)가 발광하게 된다면 정확한 블랙 영상이 표시되지 않는다. 즉, 유기발광 다이오드(OLED)의 애노드와 캐소드 사이의 전압차가 작을수록 상대적으로 정확한 블랙 영상을 표시할 수 있게 되고, 유기발광 다이오드(OLED)의 애노드와 캐소드 사이의 전압차가 커질수록 블랙 영상을 표시하기 어렵게 된다.
- [0083] 유기발광 다이오드(OLED)의 애노드는 평면상에서 화소(PX) 내에서 비교적 큰 면적을 차지하므로, 트랜지스터들(T1~T7)과 일정부분 중첩하게 배치된다. 이로 인해, 유기발광 다이오드(OLED)의 애노드와 트랜지스터들(T1~T7)의 전극들은 커패시터를 형성한다. 트랜지스터들(T1~T7)의 전극들에 인가된 전압에 의해 유기발광 다이오드(OLED)의 애노드의 전압 레벨이 변할 수 있다(커패시터 커플링 현상).
- [0084] 비교예로서, 제1 발광 제어 트랜지스터(T5) 및 제2 발광 제어 트랜지스터(T6)가 NMOS 트랜지스터이고, 발광 제어 신호가 발광 기간(EMP) 동안 하이 레벨을 갖는 경우를 가정해볼 수 있다. 비교예의 경우, 발광 기간(EMP) 동안 제1 발광 제어 트랜지스터(T5)의 게이트 전극(G5) 및 제2 발광 제어 트랜지스터(T6)의 게이트 전극(G6)에 인가된 하이 레벨의 발광 제어 신호에 의해 유기발광 다이오드(OLED)의 애노드의 전압 레벨이 상승할 수 있다. 발광 기간(EMP) 동안 표시 하고자 하는 영상이 블랙 영상인 경우, 커플링 현상에 의한 유기발광 다이오드(OLED)의 애노드 전압 상승에 의해 정확한 블랙 영상을 표시할 수 없게 된다.
- [0085] 본 발명의 실시예에 따른 유기 발광 표시장치에 의하면, 화소(PX)에 포함된 트랜지스터들(T1~T7) 중 일부는 폴리 실리콘을 갖는 PMOS 트랜지스터로 구성되어, 상대적으로 높은 이동도와 높은 신뢰성을 확보할 수 있다. 또한, 나머지 일부는 산화물 반도체를 갖는 NMOS 트랜지스터로 구성되어 상대적으로 낮은 누설전류를 가질 수 있고, 소비전력을 개선할 수 있다.
- [0086] 또한, 본 발명의 실시예에서, 제1 및 제2 발광 제어 트랜지스터들(T5, T6)을 폴리 실리콘을 갖는 PMOS 트랜지스터로 구성하고, 발광 제어 신호(E_n)는 발광 기간(EMP) 동안 로우 레벨을 갖는다 따라서, 본 발명의 실시예에 따른 유기 발광 장치는 발광 기간(EMP) 동안 유기발광 다이오드(OLED)의 애노드의 전압 레벨이 상승하는 것을 방지하고, 특히, 저계조 영상(예를 들어, 블랙 영상)을 표현하고자 하는 경우에 정확한 저계조 영상(예를 들어, 블랙 영상)을 표시할 수 있다.
- [0087] 다시 도 2를 참조하면, 구동 트랜지스터(T1) 및 제2 발광 제어 트랜지스터(T6)는 제1 발광 제어 트랜지스터(T5)와 실질적으로 동일한 층 구조를 갖는다. 또한, 보상 트랜지스터(T3), 초기화 트랜지스터(T4), 및 바이패스 트랜지스터(T7)는 스위칭 트랜지스터(T2)와 실질적으로 동일한 층 구조를 갖는다.
- [0088] 구체적으로, 구동 트랜지스터(T1), 제1 발광 제어 트랜지스터(T5), 및 제2 발광 제어 트랜지스터(T6)의 게이트 전극들은 서로 동일한 층상에 배치되고, 소스 전극들과 드레인 전극들은 서로 동일한 층상에 배치되고, 반도체 활성층들은 서로 동일한 층상에 배치된다.
- [0089] 마찬가지로, 스위칭 트랜지스터(T2), 보상 트랜지스터(T3), 초기화 트랜지스터(T4), 및 바이패스 트랜지스터(T7)의 게이트 전극들은 서로 동일한 층상에 배치되고, 소스 전극들과 드레인 전극들은 서로 동일한 층상에 배치되고, 반도체 활성층들은 서로 동일한 층상에 배치된다.
- [0090] 편의상, 이하의 도면들에서 스위칭 트랜지스터(T2) 및 제1 발광 제어 트랜지스터(T5)를 제외한 화소(PX) 내의 다른 트랜지스터들, 구동 트랜지스터(T1), 보상 트랜지스터(T3), 초기화 트랜지스터(T4), 제2 발광 제어 트랜지스터(T6), 및 바이패스 트랜지스터(T7)의 구조는 구체적으로 도시하지 않는다.
- [0091] 도 4는 본 발명의 일 실시예에 따른 도 2의 화소(PX)에 대응하는 유기발광 표시장치(1001)의 부분 단면도이다.
- [0092] 도 4에서 화소(PX)의 7개의 트랜지스터들 중 제1 발광 제어 트랜지스터(T5)와 스위칭 트랜지스터(T2)를 예시적으로 도시하였다.
- [0093] 제1 발광 제어 트랜지스터(T5), 스위칭 트랜지스터(T2), 스토리지 커패시터(Cst), 및 유기발광 다이오드(OLED)

는 베이스 기관(SUB) 상에 배치된다.

- [0094] 제1 발광 제어 트랜지스터(T5)는 소스 전극(S5), 드레인 전극(D5), 게이트 전극(G5), 및 제1 반도체 패턴(SP1)을 포함한다. 스위칭 트랜지스터(T2)는 소스 전극(S2), 드레인 전극(D2), 게이트 전극(G2), 및 제2 반도체 패턴(SP2)을 포함한다. 화소(PX)는 보조 전극(XE)을 더 포함할 수 있다.
- [0095] 스토리지 커패시터(Cst)의 제1 전극(C1) 및 제2 전극(C2)은 소정의 절연막을 사이에 두고 서로 이격되어 배치된다.
- [0096] 유기발광 다이오드(OLED)는 애노드(AE), 제1 전하 제어층(HCL), 발광층(EML), 제2 전하 제어층(ECL), 및 캐소드(CE)를 포함한다. 본 실시예에서, 제1 전하 제어층(HCL), 발광층(EML), 및 제2 전하 제어층(ECL)은 각각 정공 제어층(HCL), 발광층(EML), 및 전자 제어층(ECL)에 대응될 수 있다. 한편, 이는 예시적으로 도시한 것이고, 애노드(AE)와 캐소드(CE)의 단면상 위치는 서로 바뀔 수 있다.
- [0097] 베이스 기관(SUB)은 제1 발광 제어 트랜지스터(T5), 스위칭 트랜지스터(T2), 및 스토리지 커패시터(Cst)가 배치될 수 있는 층, 필름, 또는 플레이트일 수 있다. 베이스 기관(SUB)은 플라스틱 기관, 유리 기관, 금속 기관 등을 포함할 수 있다. 플라스틱 기관은 아크릴계 수지, 메타크릴계 수지, 폴리이소프렌, 비닐계 수지, 에폭시계 수지, 우레탄계 수지, 셀룰로오스계 수지, 실록산계 수지, 폴리이미드계 수지, 폴리아미드계 수지 및 페틸렌계 수지 중 적어도 어느 하나를 포함할 수 있다.
- [0098] 베이스 기관(SUB)의 상면과 제1 발광 제어 트랜지스터(T5) 및 스위칭 트랜지스터(T2) 사이에는 버퍼층(BFL)이 배치될 수 있다. 버퍼층(BFL)은 베이스 기관(SUB)과 도전성 패턴들 또는 반도체 패턴들의 결합력을 향상시킨다. 버퍼층(BFL)은 무기물 및/또는 유기물 중 어느 하나를 포함할 수 있다. 별도로 도시되지 않았으나, 이물질이 유입되는 것을 방지하는 배리어층이 베이스 기관(SUB)의 상면에 더 배치될 수도 있다. 버퍼층(BFL)과 배리어층은 선택적으로 배치되거나 생략될 수 있다.
- [0099] 버퍼층(BFL) 상에 제1 반도체 패턴(SP1)이 배치된다. 제1 반도체 패턴(SP1)은 결정질 반도체 물질을 포함할 수 있다. 예를 들어, 제1 반도체 패턴(SP1)은 다결정 실리콘과 같은 다결정 반도체 물질을 포함할 수 있다.
- [0100] 제1 반도체 패턴(SP1)은 불순물이 포함된 제1 영역(AR11), 및 제3 영역(AR13), 및 제1 영역(AR11)과 제3 영역(AR13) 사이에 배치된 제2 영역(AR12)으로 구분될 수 있다. 불순물은 도펀트(dopant)일 수 있다. 제1 영역(AR11)은 제1 발광 제어 트랜지스터(T1)의 소스 전극(S5)에 접속되고, 제3 영역(AR13)은 제1 발광 제어 트랜지스터(T5)의 드레인 전극(D5)에 접속된다.
- [0101] 제2 영역(AR12)은 제1 영역(AR11)과 제3 영역(AR13) 사이에 배치되고, 제2 발광 제어 트랜지스터(T6)의 게이트 전극(G6)과 평면상에서 중첩될 수 있다. 제2 영역(AR12)은 제1 발광 제어 트랜지스터(T5)의 채널 영역일 수 있다.
- [0102] 제1 발광 제어 트랜지스터(T5)의 채널 영역은 다결정 반도체 물질을 포함할 수 있다. 이에 따라, 제1 발광 제어 트랜지스터(T5)는 향상된 이동도를 갖고, 높은 신뢰성을 가진 구동 소자로 기능할 수 있다.
- [0103] 제1 반도체 패턴(SP1) 상에 제1 절연층(10)이 배치된다. 제1 절연층(10)은 무기물 및/또는 유기물 중 적어도 어느 하나를 포함할 수 있다. 예를 들어, 제1 절연층(10)은 실리콘 질화물 및/또는 실리콘 산화물을 포함할 수 있다.
- [0104] 제1 절연층(10)은 버퍼층(BFL) 상에 배치되어 제1 반도체 패턴(SP1)의 적어도 일부를 커버할 수 있다. 한편, 이는 예시적으로 도시한 것이고, 제1 절연층(10)은 평면상에서 제2 영역(AR12)에 중첩하는 절연 패턴일 수 있다. 본 발명의 일 실시예에 따른 제1 절연층(10)은 다양한 형상을 가질 수 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0105] 제1 절연층(10) 상에 제1 발광 제어 트랜지스터(T5)의 게이트 전극(G5) 및 스토리지 커패시터(Cst)의 제1 전극(C1)이 배치된다. 제1 발광 제어 트랜지스터(T5)의 게이트 전극(G5) 및 스토리지 커패시터(Cst)의 제1 전극(C1)은 동일한 층상에 배치될 수 있다.
- [0106] 제1 발광 제어 트랜지스터(T5)의 게이트 전극(G5)은 제1 반도체 패턴(SP1)의 제2 영역(AR12)에 중첩한다. 제1 발광 제어 트랜지스터(T5)의 게이트 전극(G5)은 평면상에서 제1 반도체 패턴(SP1)의 제2 영역(AR12)과 동일한 형상을 가질 수 있다.
- [0107] 제1 발광 제어 트랜지스터(T5)의 게이트 전극(G5) 및 스토리지 커패시터(Cst)의 제1 전극(C1) 상에 제2 절연층

(20)이 배치된다. 제2 절연층(20)은 제1 절연층(10) 상에 배치되어 제1 발광 제어 트랜지스터(T5)의 게이트 전극(G5) 및 스토리지 커패시터(Cst)의 제1 전극(C1)을 커버한다. 제2 절연층(20)은 유기물 및/또는 무기물을 포함할 수 있다. 한편, 본 발명의 일 실시예에 따른 유기발광 표시장치에서 제2 절연층(20)은 생략될 수 있다.

[0108] 제2 절연층(20) 상에 제2 반도체 패턴(SP2)이 배치된다. 제2 반도체 패턴(SP2)은 산화물 반도체를 포함할 수 있다. 예를 들어, 산화물 반도체는 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 티타늄(Ti) 등의 금속 산화물 또는 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 티타늄(Ti) 등의 금속과 이들의 산화물의 혼합물을 포함할 수 있다.

[0109] 제2 반도체 패턴(SP2)은 불순물이 포함된 제1 영역(AR21), 제3 영역(AR23), 및 제1 영역(AR21)과 제3 영역(AR23) 사이에 배치된 제2 영역(AR22)으로 구분될 수 있다. 제1 영역(AR21) 및 제3 영역(AR23)은 제2 영역(AR22)을 사이에 두고 서로 이격된다.

[0110] 제2 영역(AR22)은 스위칭 트랜지스터(T2)의 채널 영역일 수 있다. 제2 반도체 패턴(SP2)에 있어서, 불순물은 환원된 금속 물질들일 수 있다. 제1 영역(AR21) 및 제3 영역(AR23)은 제2 영역(AR22)을 이루는 금속 산화물로부터 환원된 금속 물질들을 포함할 수 있다. 이에 따라, 스위칭 트랜지스터(T2)는 누설전류를 낮출 수 있어 온-오프 특성이 향상된 스위칭 소자로 기능할 수 있다.

[0111] 제2 절연층(20) 상에 제3 절연층(30)이 배치된다. 제3 절연층(30)은 무기물 및/또는 유기물을 포함한다. 제3 절연층(30)은 제2 발광 제어 트랜지스터(T6)의 게이트 전극(G6) 및 스토리지 커패시터(Cst)의 제1 전극(C1)에 중첩하고, 제2 반도체 패턴(SP2)의 적어도 일부를 노출시킨다. 제3 절연층(30)은 제2 반도체 패턴(SP2)의 제2 영역(AR22)을 커버하는 제1 절연 패턴(31) 및 제1 영역(AR21) 및 제3 영역(AR23)의 적어도 일부를 노출시키는 제2 절연 패턴(32)을 포함한다. 제1 절연 패턴(31) 및 제2 절연 패턴(32)은 제2 반도체 패턴(SP2)의 제1 영역(AR21) 및 제3 영역(AR23)을 각각 노출시키는 개구부를 형성함에 따라 형성될 수 있다.

[0112] 제3 절연층(30) 상에 스위칭 트랜지스터(T2)의 게이트 전극(G2), 보조 전극(XE), 및 스토리지 커패시터(Cst)의 제2 전극(C2)이 배치된다. 스위칭 트랜지스터(T2)의 게이트 전극(G2)은 제1 절연 패턴(31) 상에 배치된다. 한편, 도식되지는 않았으나, 주사 라인들(SL1~SLn, 도 1)은 스위칭 트랜지스터(T2)의 게이트 전극(G2)과 동일한 층상에 배치될 수 있다.

[0113] 스토리지 커패시터(Cst)의 제2 전극(C2)은 제1 전극(C1)에 중첩하도록 배치된다.

[0114] 스위칭 트랜지스터(T2)의 게이트 전극(G2), 보조 전극(XE), 및 스토리지 커패시터(Cst)의 제2 전극(C2)은 서로 동일한 층 상에 배치될 수 있다. 또한, 스위칭 트랜지스터(T2)의 게이트 전극(G2), 보조 전극(XE), 및 스토리지 커패시터(Cst)의 제2 전극(C2)은 서로 동일한 물질을 포함할 수 있다.

[0115] 보조 전극(XE)은 제1 발광 제어 트랜지스터(T5)의 게이트 전극(G5)과 중첩하게 배치된다. 보조 전극(XE)은 제1 발광 제어 트랜지스터(T5)의 게이트 전극(G5)과 함께 커패시터를 형성하고, 형성된 커패시터는 스토리지 커패시터(Cst)에 병렬 연결될 수 있다.

[0116] 스위칭 트랜지스터(T2)의 게이트 전극(G2), 보조 전극(XE), 및 스토리지 커패시터(Cst)의 제2 전극(C2) 상에 제4 절연층(40)이 배치된다. 제4 절연층(40)은 무기물 및/또는 유기물을 포함한다.

[0117] 제4 절연층(40) 상에 제1 발광 제어 트랜지스터(T5)의 소스 전극(S5) 및 드레인 전극(D5)과 스위칭 트랜지스터(T2)의 소스 전극(S2) 및 드레인 전극(D2)이 배치된다. 제1 발광 제어 트랜지스터(T5)의 소스 전극(S5) 및 드레인 전극(D5)과 스위칭 트랜지스터(T2)의 소스 전극(S2) 및 드레인 전극(D2)은 각각 제1 내지 제4 절연층들(10, 20, 30, 40) 중 적어도 일부를 관통하여 제1 반도체 패턴(SP1) 또는 제2 반도체 패턴(SP2)에 접속될 수 있다.

[0118] 구체적으로, 제1 발광 제어 트랜지스터(T5)의 소스 전극(S5) 및 드레인 전극(D5)은 제1 내지 제4 절연층들(10, 20, 30, 40)을 관통하는 제1 관통홀들(OP1)을 통해 각각 제1 반도체 패턴(SP1)의 제1 영역(AR11) 및 제3 영역(AR13)에 접속된다. 스위칭 트랜지스터(T2)의 소스 전극(S2) 및 드레인 전극(D2)은 제4 절연층(40)을 관통하는 제2 관통홀들(OP2)을 통해 각각 제2 반도체 패턴(SP2)의 제1 영역(AR21) 및 제3 영역(AR23)에 접속된다. 한편, 도식되지는 않았으나, 데이터 라인들(DL1~DLm)은 소스 전극들(S2, S6) 및 드레인 전극들(D2, D6)과 동일한 층상에 배치될 수 있다. 이에 따라, 데이터 라인들(DL1~DLm)은 제4 절연층(40)의 상면에 직접 배치될 수 있다.

[0119] 제4 절연층(40) 상에 중간막(ILD)이 배치된다. 중간막(ILD)은 무기물 및/또는 유기물을 포함한다. 중간막(ILD)에는 중간막(ILD)을 관통하는 제3 관통홀(OP3)이 정의될 수 있다. 제3 관통홀(OP3)은 제1 출력 전극(OE1)에 중첩하는 영역에 정의될 수 있다.

- [0120] 중간막(ILD) 상에 애노드(AE)가 배치된다. 중간막(ILD) 상에 화소 정의막(PLD)이 배치된다. 화소 정의막(PLD)은 무기막 및/또는 무기막을 포함할 수 있다. 화소 정의막(PLD)에는 소정의 개구부(OP-PX)가 정의된다. 개구부(OP-PX)는 애노드(AE)의 적어도 일부를 노출시킨다.
- [0121] 애노드(AE) 상에 제1 전하 제어층(HCL), 발광층(EML), 제2 전하 제어층(ECL), 및 캐소드(CE)가 순차적으로 적층된다. 발광층(EML)은 개구부(OP-PX)에 중첩하는 발광 패턴일 수 있다. 유기발광 다이오드(OLED)는 애노드(AE) 및 캐소드(CE) 사이의 전압 차이를 이용하여 발광층(EML)으로부터 광을 생성한다.
- [0122] 한편, 도시되지 않았으나, 본 발명의 일 실시예에 따른 표시장치는 캐소드(CE) 상에 배치되는 유기막 및/또는 무기막을 더 포함할 수 있다.
- [0123] 산화물 반도체를 채널 영역으로 사용하는 트랜지스터는 누설전류를 낮출 수 있어 온-오프 특성이 향상된 스위칭 소자로 기능할 수 있다. 본 발명의 실시예에 따른 유기발광 표시장치(1001)에 의하면, 하나의 화소(PX) 내에 포함된 복수개의 트랜지스터들(T1~T7, 도 2 참조) 중 스위칭 트랜지스터(T2), 보상 트랜지스터(T3), 초기화 트랜지스터(T4), 및 바이패스 트랜지스터(T7)의 채널 영역을 산화물 반도체로 구성하여 소비 전력을 개선할 수 있다. 산화물 반도체를 채널 영역으로 갖는 트랜지스터는 NMOS 트랜지스터가 된다.
- [0124] 다결정 실리콘을 채널 영역으로 사용하는 트랜지스터는 상대적으로 높은 이동도와 높은 신뢰성을 갖는 스위칭 소자로 기능할 수 있다. 본 발명의 실시예에 따른 유기 발광 표시 장치(1001)에 의하면, 제1 및 제2 발광 제어 트랜지스터들(T5, T6)을 PMOS 트랜지스터로 형성하여 향상된 이동도를 갖고, 소자의 높은 신뢰성을 확보할 수 있다.
- [0125] 또한, 발광 기간(EMP, 도 3) 동안 로우 레벨을 갖는 발광 제어 신호(En, 도 3 참조)를 제1 및 제2 발광 제어 트랜지스터들(T5, T6)에 인가하여 유기발광 다이오드(OLED)의 애노드 전압 레벨이 상승하는 것을 방지할 수 있다. 따라서, 유기발광 표시장치(1001)에서 정확한 블랙 영상을 표시할 수 있다.
- [0126] 도 5는 본 발명의 다른 실시예에 따른 도 2의 화소(PX)에 대응하는 유기발광 표시장치(1002)의 부분 단면도이다.
- [0127] 도 5에서 화소(PX)의 7개의 트랜지스터들 중 제1 발광 제어 트랜지스터(T5)와 스위칭 트랜지스터(T2)를 예시적으로 도시하였다. 본 발명의 다른 실시예에서, 구동 트랜지스터(T1), 제1 발광 제어 트랜지스터(T5), 및 제2 발광 제어 트랜지스터(T6)는 서로 동일한 층 구조를 가질 수 있고, 스위칭 트랜지스터(T2), 보상 트랜지스터(T3), 초기화 트랜지스터(T4), 및 바이패스 트랜지스터(T7)는 서로 동일한 층 구조를 가질 수 있다.
- [0128] 도 4를 참조하여 설명한 유기발광 표시장치(1001)의 스위칭 트랜지스터(T2)는 탑-게이트 구조를 갖는데 비해, 도 5를 참조하여 설명할 유기발광 표시장치(1002)의 스위칭 트랜지스터(T2-1)는 바텀-게이트 구조를 갖는데 차이가 있고, 나머지는 실질적으로 유사하다.
- [0129] 스위칭 트랜지스터(T2)는 제2 절연층(20) 상에 배치된 게이트 전극(G2-1), 제4 절연층(40) 상에 배치된 제2 반도체 패턴(SP2-1), 제4 절연층(40) 상에 배치된 소스 전극(S2-1) 및 드레인 전극(D2-1)을 포함할 수 있다. 게이트 전극(G2-1)은 제2 절연층(20) 및 제4 절연층(40) 사이에 배치될 수 있다. 게이트 전극(G2-1)은 보조 전극(XE) 및 스토리지 커패시터(Cst)의 제2 전극(C2)과 동일한 층상에 배치될 수 있다.
- [0130] 제2 반도체 패턴(SP2-1)은 게이트 전극(G2-1) 상에 배치될 수 있다. 제2 반도체 패턴(SP2-1)은 게이트 전극(G2-1)과 평면상에서 중첩한다. 소스 전극(S2-1) 및 드레인 전극(D2-1)은 제4 절연층(40) 상에 배치되어 각각 제2 반도체 패턴(SP2-1)을 부분적으로 커버한다. 도시되지 않았으나, 스위칭 트랜지스터(T2-1)는 제2 반도체 패턴(SP2-1) 중 소스 전극(S2-1) 및 드레인 전극(D2-1) 각각과 접촉하는 영역에 정의된 오믹 콘택층(ohmic contact layer)을 더 포함할 수 있다.
- [0131] 제1 발광 제어 트랜지스터(T5)는 버퍼층(BFL) 상에 배치된 제1 반도체 패턴(SP1), 제1 절연층(10) 상에 배치된 게이트 전극(G5), 제4 절연층(40) 상에 배치된 소스 전극(S5) 및 드레인 전극(D5)을 포함한다. 제1 발광 제어 트랜지스터(T5)의 소스 전극(S5) 및 드레인 전극(D5)은 제1 절연층(10), 제2 절연층(20), 및 제4 절연층(40)을 관통하는 제3 개구부들(OP3)을 통해 제1 반도체 패턴(SP1)의 제1 영역(AR11) 및 제3 영역(AR13)에 각각 접속될 수 있다. 화소(PX)는 제2 절연층(20) 상에 배치된 보조 전극(XE1)을 더 포함할 수 있다.
- [0132] 도 5에 도시된 유기발광 표시장치(1002)에서 스위칭 트랜지스터(T2)의 게이트 전극(G2-1)과 제2 반도체 패턴(SP2-1)은 제4 절연층(40)에 의해 절연된다. 따라서, 도 5에 도시된 유기발광 표시장치(1002)는 도 4에 도시된

유기발광 표시장치(1001)와 달리 제3 절연층(30)을 생략할 수 있다.

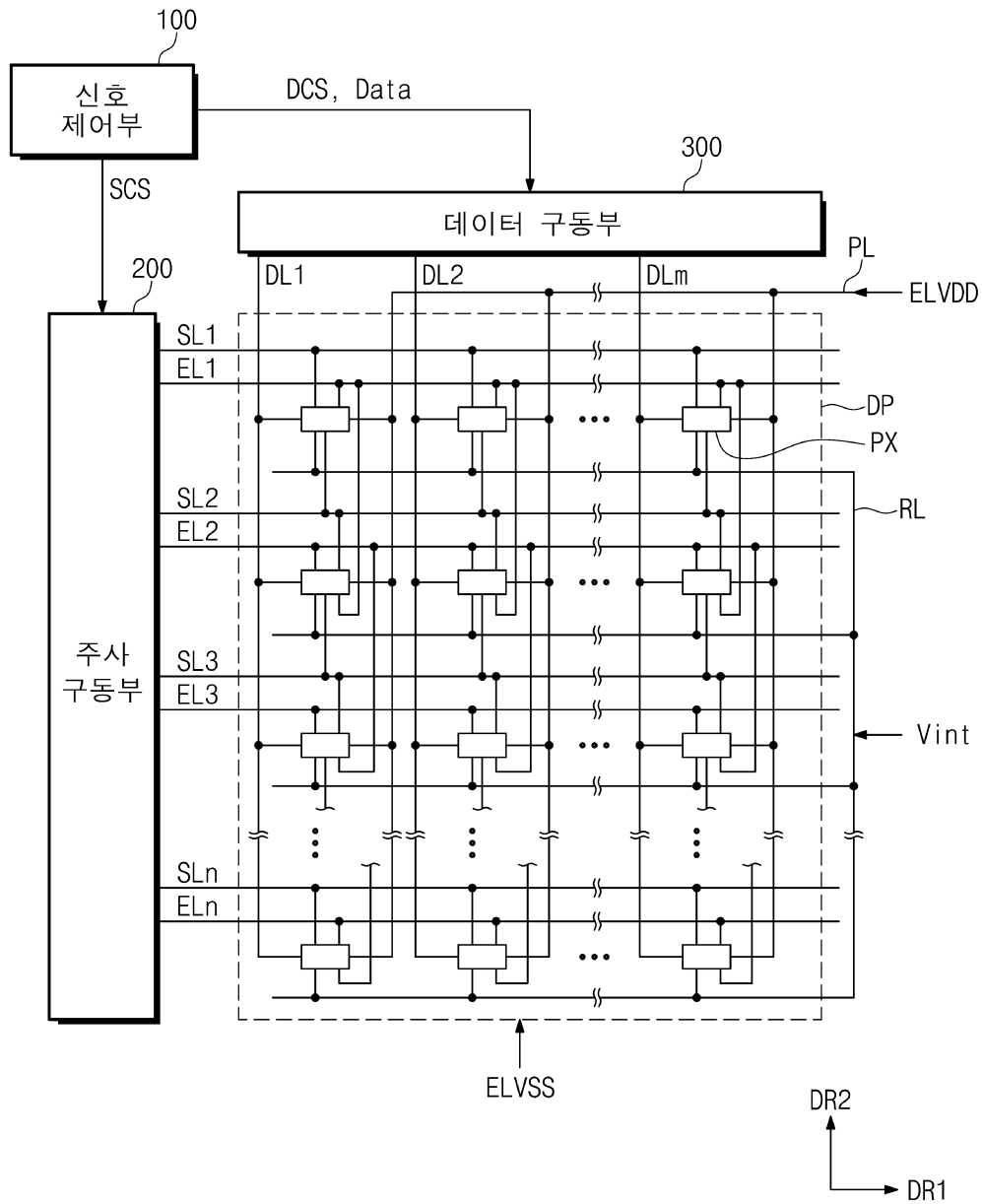
[0133] 한편 본 발명은 기재된 실시예에 한정되는 것이 아니고, 본 발명의 사상 및 범위를 벗어나지 않고 다양하게 수정 및 변형을 할 수 있음은 이 기술 분야에서 통상의 지식을 가진 자에게는 자명하다. 따라서, 그러한 변형예 또는 수정예들은 본 발명의 특허청구범위에 속한다 해야 할 것이다.

부호의 설명

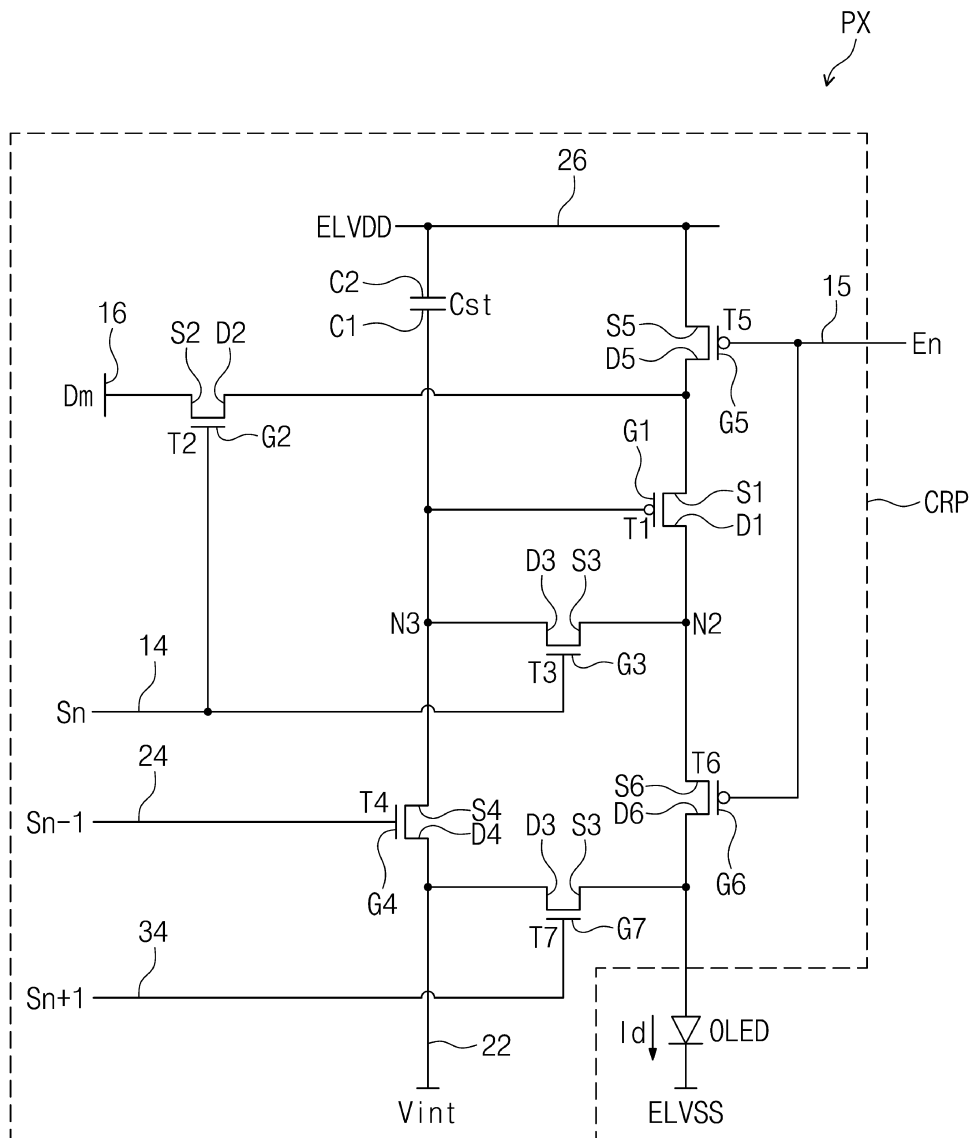
[0134] 100: 신호 제어부 200: 주사 구동부
300: 데이터 구동부 DP: 유기발광 표시패널
OLED: 유기발광 다이오드 ELVDD: 전원 전압
ELVSS: 기준전압 PX: 화소

도면

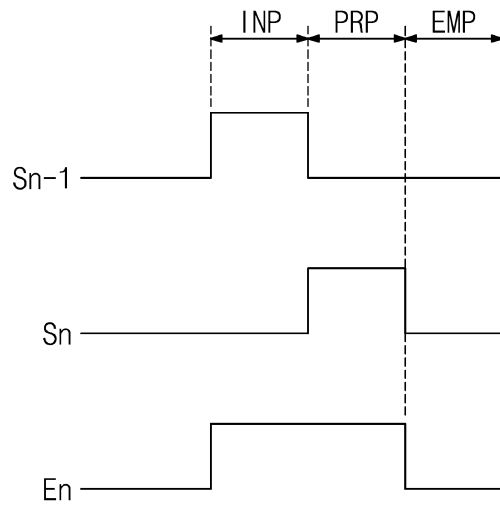
도면1



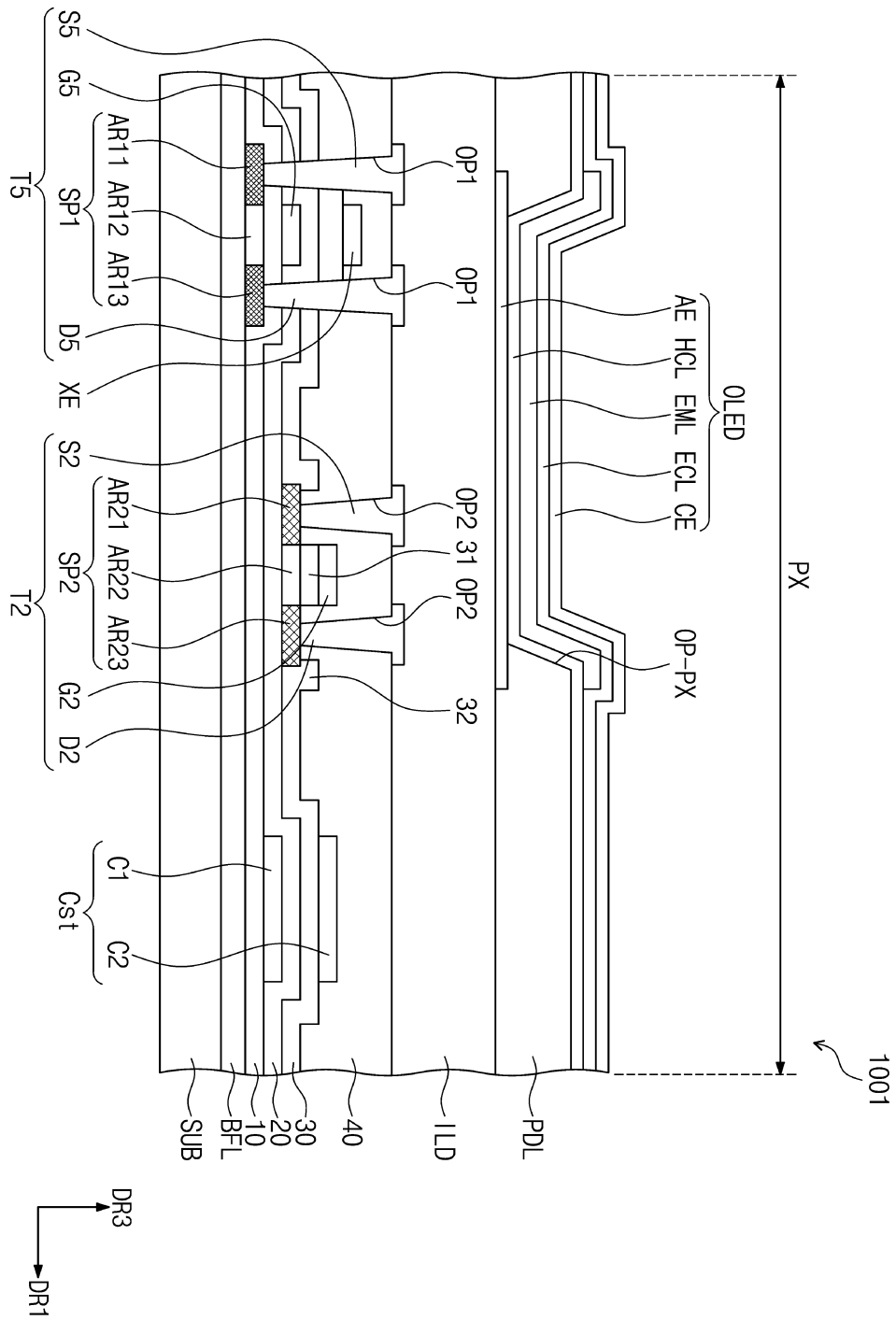
도면2



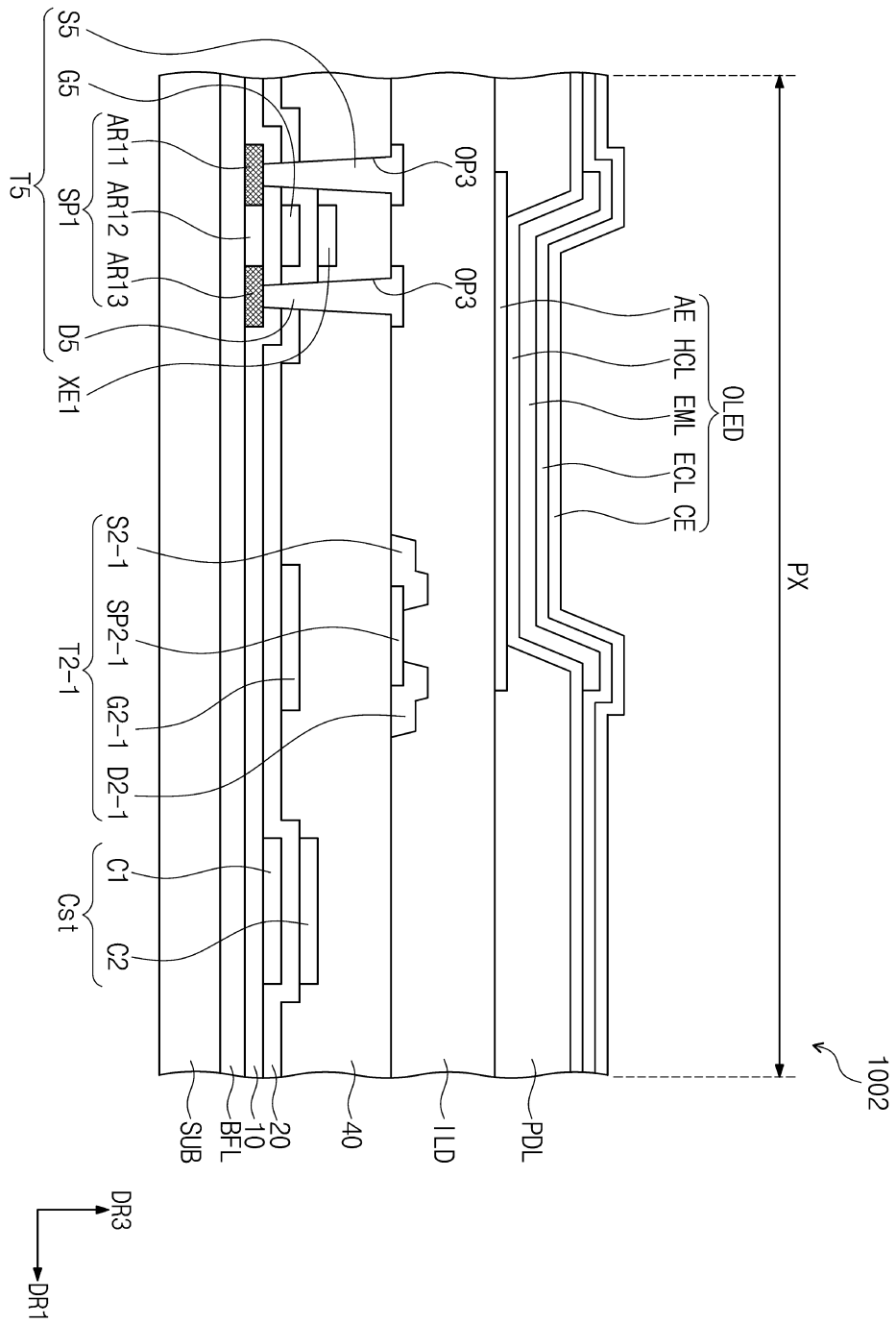
도면3



도면4



도면5



专利名称(译)	有机发光显示器		
公开(公告)号	KR1020180081655A	公开(公告)日	2018-07-17
申请号	KR1020170002483	申请日	2017-01-06
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	JEON SANGJIN 전상진 KIM DONGWOO 김동우 LIM SANG UK 임상옥		
发明人	전상진 김동우 임상옥		
IPC分类号	G09G3/3233 H01L27/12 H01L27/32		
CPC分类号	G09G3/3233 H01L27/3262 H01L27/1225 H01L27/1229 G09G2330/021 G09G2320/0214 G09G2300/0842 G09G2300/0426 G09G2300/043 G09G2300/0814 G09G2300/0861 G09G2310/0251 G09G2310/0262 G09G2320/043 G09G2320/0626 H01L27/1251 H01L27/1255 H01L29/78675 H01L29/7869		
外部链接	Espacenet		

摘要(译)

有机发光显示装置包括有机发光二极管，开关晶体管，第一辐射控制晶体管和驱动晶体管。有机发光二极管包括接收参考电压的阳极和阴极。包括开关晶体管接收第n扫描信号的栅电极和接收数据信号的源电极，它是NMOS晶体管。包括第一辐射控制晶体管接收发光控制信号的栅电极，并且根据接收到的发光控制信号，它变为导通，并且确定驱动电流在有机发光二极管中流动的时刻，并且它是PMOS晶体管。驱动晶体管连接到开关晶体管和发光控制晶体管，并且驱动电流被提供给有机发光二极管。

