



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0068634
(43) 공개일자 2018년06월22일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 27/12 (2006.01)
(52) CPC특허분류
H01L 27/3265 (2013.01)
H01L 27/1255 (2013.01)
(21) 출원번호 10-2016-0170520
(22) 출원일자 2016년12월14일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
백정선
경기도 파주시 쇠재로 30, 708동 905호 (금촌동,
서원마을아파트)
김정오
경기도 고양시 일산서구 고양대로 624, 106동
1503호(일산동, 일산태영테시앙1단지아파트)
(뒷면에 계속)
(74) 대리인
박영복

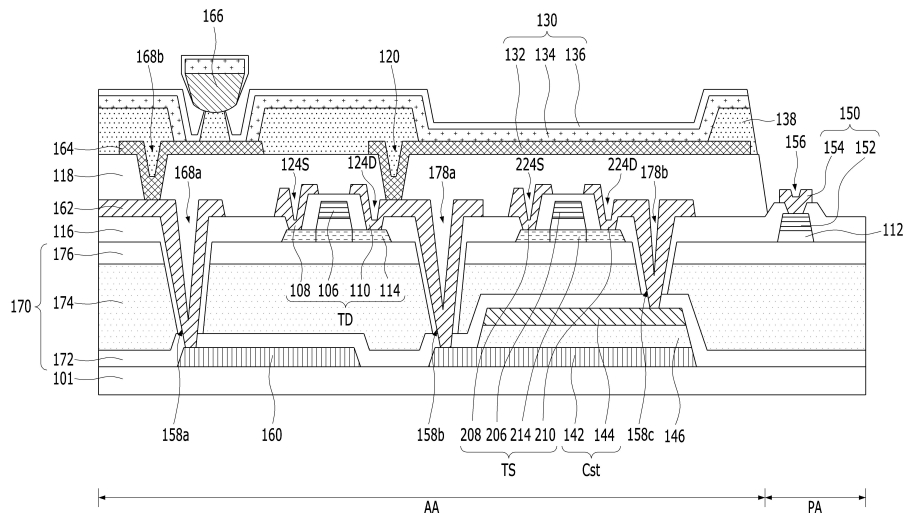
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

본 발명은 고해상도 구현이 가능한 유기 발광 표시 장치에 관한 것으로, 본 발명에 따른 유기 발광 표시 장치는 적어도 한 층의 버퍼층을 사이에 두고 트랜지스터와 중첩되는 스토리지 커패시터를 구비하며, 스토리지 커패시터는 스토리지 버퍼층을 사이에 두고 중첩되는 스토리지 하부 전극 및 스토리지 상부 전극을 구비하며, 스토리지 하부 전극 및 스토리지 상부 전극 중 어느 하나는 스토리지 버퍼층과 동일 선폭으로 동일 형상을 가지므로 공정 마진을 충분히 확보할 수 있어 고해상도 구현 및 수율이 향상된다.

대표도 - 도2



(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 27/3276 (2013.01)

H01L 2251/558 (2013.01)

(72) 발명자

이종원

서울특별시 은평구 은평터널로 60, 105동 701호(수
색동, 수색진홍엣세벨)

이동규

전라북도 군산시 대학로 114-1, 7동 1111호(
금광동, 삼성아파트)

명세서

청구범위

청구항 1

기관 상에 배치되는 스토리지 커패시터와;
 상기 스토리지 커패시터 상에 배치되는 적어도 한 층의 버퍼층과;
 상기 적어도 한 층의 버퍼층을 사이에 두고 스토리지 커패시터와 중첩되는 적어도 하나의 트랜지스터와;
 상기 트랜지스터와 접촉되는 발광 소자를 구비하며,
 상기 스토리지 커패시터는 스토리지 버퍼층을 사이에 두고 중첩되는 스토리지 하부 전극 및 스토리지 상부 전극을 구비하며,
 상기 스토리지 하부 전극 및 스토리지 상부 전극 중 어느 하나는 상기 스토리지 버퍼층과 동일 선폭으로 동일 형상을 가지는 유기 발광 표시 장치.

청구항 2

제 1 항에 있어서,
 상기 스토리지 하부 전극 및 스토리지 상부 전극 중 나머지 하나는 상기 스토리지 버퍼층보다 넓은 선폭을 가지는 유기 발광 표시 장치.

청구항 3

제 2 항에 있어서,
 상기 스토리지 하부 전극은 상기 기관 상에서 상기 스토리지 버퍼층보다 넓은 선폭을 가지며,
 상기 스토리지 상부 전극은 상기 스토리지 버퍼층과 동일 선폭으로 동일 형상을 가지는 유기 발광 표시 장치.

청구항 4

제 1 항에 있어서,
 상기 적어도 한 층의 버퍼층은
 상기 기관 상에 배치되는 제1 무기 버퍼층과;
 상기 제1 무기 버퍼층 상에 유기 절연 재질로 이루어진 유기 버퍼층과;
 상기 유기 버퍼층 상에 유기 버퍼층과 동일 형상을 가지도록 배치되는 제2 무기 버퍼층을 구비하는 유기 발광 표시 장치.

청구항 5

제 4 항에 있어서,
 상기 스토리지 버퍼층은 무기 절연 재질로 이루어지는 유기 발광 표시 장치.

청구항 6

제 5 항에 있어서,
 상기 스토리지 버퍼층은 상기 제1 무기 버퍼층과 동일 재질로 이루어지는 유기 발광 표시 장치.

청구항 7

제 4 항에 있어서,

상기 유기 버퍼층 및 제2 무기 버퍼층을 관통하여 상기 스토리지 상부 전극 및 스토리지 하부 전극 상의 제1 무기 버퍼층의 상부면을 노출시키는 오픈홀과;

상기 제1 무기 버퍼층 및 층간 절연막을 관통하여 상기 스토리지 상부 전극 및 스토리지 하부 전극 각각을 노출시키는 스토리지 콘택홀을 추가로 구비하는 유기 발광 표시 장치.

청구항 8

제 7 항에 있어서,

상기 스토리지 콘택홀의 선폭은 상기 오픈홀의 선폭보다 작으며,

상기 층간 절연막은 상기 오픈홀에 의해 노출된 상기 유기 버퍼층의 측면을 덮도록 배치된 유기 발광 표시 장치.

청구항 9

제 7 항에 있어서,

상기 스토리지 콘택홀의 선폭은 상기 오픈홀의 선폭과 동일한 유기 발광 표시 장치.

청구항 10

제 4 항에 있어서,

상기 스토리지 상부 전극의 상부면 및 측면은 상기 제1 무기 버퍼층과 접촉하며,

상기 스토리지 하부 전극의 상부면 및 측면은 상기 제1 무기 버퍼층 및 스토리지 버퍼층과 접촉하는 유기 발광 표시 장치.

청구항 11

제 4 항에 있어서,

상기 스토리지 하부 전극과 동일 평면 상에 동일 재질로 이루어지는 저전압 공급 라인과;

상기 저전압 공급 라인과 나란하게 배치되는 고전압 공급 라인 및 데이터 라인을 추가로 구비하며,

상기 저전압 공급 라인 및 고전압 공급 라인 중 적어도 어느 하나는 상기 적어도 한 층의 버퍼층을 사이에 두고 상기 데이터 라인과 중첩되는 유기 발광 표시 장치.

청구항 12

제 11 항에 있어서,

상기 저전압 공급 라인의 상부면 및 측면은 상기 제1 무기 버퍼층과 접촉하는 유기 발광 표시 장치.

청구항 13

제 1 항 내지 제 12 항 중 어느 한 항에 있어서,

상기 적어도 하나의 트랜지스터는

상기 발광 소자와 접속되는 구동 트랜지스터와;

상기 구동 트랜지스터와 접속되는 스위칭 트랜지스터를 구비하며,

상기 스위칭 트랜지스터는 상기 적어도 한 층의 버퍼층을 사이에 두고, 상기 저전압 공급 라인 및 상기 스토리지 커패시터 중 어느 하나와 중첩되며,

상기 구동 트랜지스터는 상기 적어도 한 층의 버퍼층을 사이에 두고, 상기 저전압 공급 라인 및 상기 스토리지 커패시터 중 나머지 하나와 중첩되는 유기 발광 표시 장치.

청구항 14

제 13 항에 있어서,

상기 기판 상에 상기 데이터 라인과 나란하게 배치되는 레퍼런스 라인과;

상기 레퍼런스 라인과 접속되는 센싱 트랜지스터를 추가로 구비하며,

상기 레퍼런스 라인은 상기 적어도 한 층의 버퍼층을 사이에 두고 상기 데이터 라인과 중첩되는 유기 발광 표시 장치.

청구항 15

제 13 항에 있어서,

상기 스토리지 하부 전극은 상기 구동 트랜지스터 및 상기 스위칭 트랜지스터 중 어느 하나의 드레인 전극과 접속되며, 상기 스토리지 상부 전극은 상기 구동 트랜지스터 및 상기 스위칭 트랜지스터 중 나머지 하나의 드레인 전극과 접속되는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치에 관한 것으로, 특히 고해상도 구현이 가능한 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 다양한 정보를 화면으로 구현해 주는 영상 표시 장치는 정보 통신 시대의 핵심 기술로 더 얇고 더 가볍고 휴대가 가능하면서도 고성능의 방향으로 발전하고 있다. 이에 음극선관(CRT)의 단점인 무게와 부피를 줄일 수 있는 평판 표시 장치로 유기 발광층의 발광량을 제어하여 영상을 표시하는 유기 발광 표시 장치 등이 각광받고 있다. 이 유기 발광 표시 장치(OLED)는 자발광 소자로서, 소비전력이 낮고, 고속의 응답 속도, 높은 발광 효율, 높은 휘도 및 광시야각을 가진다.

[0003] 이러한 유기 발광 표시장치는 매트릭스 형태로 배열된 다수의 서브 화소들을 통해 영상을 구현한다. 이러한 다수의 서브 화소들 각각은 발광 소자와, 그 발광 소자를 독립적으로 구동하는 다수의 트랜지스터로 이루어진 화소 회로를 구비한다.

[0004] 이 때, 발광 소자는 화소 회로에 포함된 다수의 트랜지스터 상에 다수의 트랜지스터와 별도의 마스크 공정으로 형성된다. 이에 따라, 발광 소자가 배치되는 발광 영역(EA)은 도 1에 도시된 바와 같이 다수의 트랜지스터가 배치된 트랜지스터 영역(TA)과 수직하게 중첩된다. 그러나, 화소 회로에 포함되는 스토리지 커패시터는 다수의 트랜지스터와 동일 평면 상에서 동일 마스크 공정으로 형성된다. 이에 따라, 스토리지 커패시터가 배치되는 커패시터 영역(CA)은 트랜지스터 영역(TA)과 중첩되지 못하고 트랜지스터 영역(TA)과 수평방향으로 이격되게 배치된다. 또한, 다수의 트랜지스터와 접속되는 신호 라인, 예를 들어 데이터 라인(DL), 고전압(VDD) 공급 라인(VL1) 및 저전압(VSS) 공급 라인(VL2)은 기생 커패시터의 영향을 고려하여 수평 방향으로 이격되게 배치된다. 이와 같이, 다수의 신호 라인(DL, VL1, VL2), 트랜지스터 영역(TA) 및 커패시터 영역(CA)은 기판 상에서 수평 방향으로 이격되게 배치되어야 하므로 공정 마진(margin) 부족으로 인해 고해상도 구현이 어려우며 수율이 저하되는 문제점이 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 상기 문제점을 해결하기 위한 것으로서, 본 발명은 고해상도 구현이 가능한 유기 발광 표시 장치를 제공하는 것이다.

과제의 해결 수단

[0006] 상기 목적을 달성하기 위하여, 본 발명에 따른 유기 발광 표시 장치는 적어도 한 층의 버퍼층을 사이에 두고 트랜지스터와 중첩되는 스토리지 커패시터를 구비하며, 스토리지 커패시터는 스토리지 버퍼층을 사이에 두고 중첩되는 스토리지 하부 전극 및 스토리지 상부 전극을 구비하며, 스토리지 하부 전극 및 스토리지 상부 전극 중 이

는 하나는 스토리지 버퍼층과 동일 선폭으로 동일 형상을 가지므로 공정 마진을 충분히 확보할 수 있어 고해상도 구현 및 수율이 향상된다.

발명의 효과

[0007] 본 발명에 따른 유기 발광 표시 장치는 유기 버퍼층을 포함하는 적어도 한 층의 버퍼층을 사이에 두고 스위칭 트랜지스터, 구동 트랜지스터 및 데이터 라인 중 적어도 어느 하나와, 스토리지 커패시터, 저전압 공급 라인 및 고전압 공급 라인 중 적어도 어느 하나가 수직하게 중첩된다. 이에 따라, 본원 발명은 스토리지 커패시터가 배치되는 커패시터 영역, 발광 영역 및 트랜지스터 영역과 수직하게 중첩되고, 신호 라인들이 수직하게 중첩됨으로써 공정 마진을 충분히 확보할 수 있어 고해상도 구현 및 수율이 향상된다. 또한, 스토리지 커패시터의 스토리지 상부 전극의 상부면은 제1 무기 버퍼층에 의해 보호되고, 스토리지 하부 전극의 상부면은 스토리지 버퍼층에 의해 보호되므로 유기 버퍼층에 의해 스토리지 상부 전극 및 스토리지 하부 전극의 산화를 방지할 수 있다. 뿐만 아니라, 스토리지 하부 전극, 스토리지 버퍼층 및 스토리지 상부 전극이 동일 마스크 공정으로 형성되고, 제1 내지 제3 오픈홀과 액티브층이 동일 마스크 공정으로 형성되므로, 본 발명은 종래에 비해 적어도 2마스크 공정을 저감할 수 있다.

도면의 간단한 설명

[0008] 도 1은 종래 유기 발광 표시 장치의 트랜지스터 영역, 커패시터 영역, 발광 영역의 배치 관계를 설명하기 위한 평면도이다.

도 2는 본 발명에 따른 유기 발광 표시 장치를 나타내는 단면도이다.

도 3은 본 발명에 따른 유기 발광 표시 장치의 트랜지스터 영역, 커패시터 영역, 발광 영역의 배치 관계를 설명하기 위한 평면도이다.

도 4는 도 2에 도시된 유기 발광 표시 장치의 다른 실시 예를 나타내는 단면도이다.

도 5a 내지 도 5i는 도 2에 도시된 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도들이다.

도 6a 내지 도 6d는 도 5a에 도시된 스토리지 커패시터 및 저전압 공급 라인의 제조 방법을 구체적으로 설명하기 위한 단면도들이다.

도 7a 내지 도 7e는 도 5b에 도시된 제1 및 제2 무기 버퍼층, 유기 버퍼층, 제1 및 제2 액티브층의 제조 방법을 구체적으로 설명하기 위한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0009] 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시 예를 상세하게 설명하기로 한다.

[0010] 도 2는 본 발명에 따른 유기 발광 표시 장치의 단면도이다.

[0011] 도 2에 도시된 유기 발광 표시 장치는 액티브 영역(AA)과 패드 영역(PA)을 구비한다.

[0012] 패드 영역(PA)에는 액티브 영역(AA)에 배치된 스캔 라인, 데이터 라인, 고전압(VDD) 공급 라인 및 저전압(VSS) 공급 라인(160) 각각에 구동 신호를 공급하는 다수의 패드(150)들이 형성된다.

[0013] 다수의 패드(150)들 각각은 패드 전극(152) 및 패드 커버 전극(154)을 구비한다.

[0014] 패드 전극(152)은 그 패드 전극(152)과 동일 형상의 게이트 절연 패턴(112) 상에 게이트 전극(206, 106)과 동일 재질로 형성된다.

[0015] 패드 커버 전극(154)은 층간 절연막(116)을 관통하는 패드 컨택홀(156)을 통해 노출된 패드 전극(152)과 전기적으로 접속된다. 이 패드 커버 전극(154)은 소스 및 드레인 전극(108, 208, 110, 210)과 동일층인 층간 절연막(116) 상에서 소스 및 드레인 전극(108, 208, 110, 210)과 동일 재질로 형성된다.

[0016] 액티브 영역(AA)은 다수의 서브 화소들이 매트릭스 형태로 배열되어 영상이 표시되는 영역이다. 이러한 액티브 영역(AA)에 배치된 각 서브 화소는 화소 구동 회로와, 화소 구동 회로와 접속되는 발광 소자(130)를 구비한다.

[0017] 화소 구동 회로는 스위칭 트랜지스터(TS), 구동 트랜지스터(TD) 및 스토리지 커패시터(Cst)를 구비한다.

[0018] 스위칭 트랜지스터(TS)는 스캔 라인에 스캔 펄스가 공급되면 턴-온되어 데이터 라인에 공급된 데이터 신호를 스

토리지 캐패시터(Cst) 및 구동 트랜지스터(TD)의 게이트 전극(106)으로 공급한다.

- [0019] 구동 트랜지스터(TD)는 그 구동 트랜지스터(TD)의 게이트 전극(106)에 공급되는 데이터 신호에 응답하여 고전압 공급 라인으로부터 발광 소자(130)로 공급되는 전류(I)를 제어함으로써 발광 소자(130)의 발광량을 조절하게 된다. 그리고, 스위칭 트랜지스터(TS)가 턴-오프되더라도 스토리지 캐패시터(Cst)에 충전된 전압에 의해 구동 트랜지스터(TD)는 다음 프레임의 데이터 신호가 공급될 때까지 일정한 전류(I)를 공급하여 발광 소자(130)가 발광을 유지하게 한다.
- [0020] 이러한 스위칭 트랜지스터(TS) 및 구동 트랜지스터(TD) 각각은 게이트 전극(206,106), 소스 전극(208,108), 드레인 전극(210,110) 및 액티브층(214,114)을 구비한다,
- [0021] 게이트 전극(206,106)은 그 게이트 전극(206,106)과 동일 패턴의 게이트 절연 패턴(112) 상에 형성된다. 이 게이트 전극(206,106)은 게이트 절연 패턴(112)을 사이에 두고, 액티브층(214,114)의 채널 영역과 중첩된다. 이러한 게이트 전극(206,106)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있으나, 이에 한정되지 않는다.
- [0022] 소스 전극(208,108)은 층간 절연막(116)을 관통하는 소스 콘택홀(224S,124S)을 통해 액티브층(214,114)의 소스 영역과 접속된다. 또한, 스위칭 트랜지스터의 소스 전극(208)과 접속된 데이터 라인(DL)은 소스 전극(208)과 동일 재질로 동시에 형성된다. 이 데이터 라인(DL)은 도 3에 도시된 바와 같이 기판(101) 상에 배치되는 저전압 공급 라인(VL2; 160) 및 고전압 공급 라인(VL1)과 나란하게 배치된다. 이러한 데이터 라인(DL)은 저전압 공급 라인(VL2; 160), 고전압 공급 라인(VL1) 및 스토리지 커패시터(Cst) 중 적어도 어느 하나와, 유기 버퍼층(174)을 포함하는 적어도 한 층의 버퍼층(170)을 사이에 두고 수직하게 중첩된다.
- [0023] 드레인 전극(210,110)은 층간 절연막(116)을 관통하는 드레인 콘택홀(224D,124D)을 통해 액티브층(214,114)의 드레인 영역과 접속된다. 또한, 스위칭 트랜지스터(TS)의 드레인 전극(210)은 층간 절연막(116)을 관통하도록 형성된 제3 오픈홀(158c) 및 제2 스토리지 콘택홀(178b)을 통해 노출된 스토리지 상부 전극(144)과 접속된다. 구동 트랜지스터(TD)의 드레인 전극(110)은 보호막(118)을 관통하도록 형성된 화소 콘택홀(120)을 통해 노출되어 애노드 전극(132)과 접속된다. 그리고, 구동 트랜지스터(TD)의 드레인 전극(110)은 제1 스토리지 콘택홀(178a)을 통해 노출된 스토리지 하부 전극(142)과 접속된다.
- [0024] 이러한 소스 전극(208,108) 및 드레인 전극(210,110)은 예를 들어, 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있지만, 이에 한정되지 않는다.
- [0025] 액티브층(214,114)은 소스 전극(208,108) 및 드레인 전극(210,110) 사이에 채널 영역을 형성한다. 이 액티브층(214,114)은 게이트 전극(206,106)보다 아래에 배치되도록 제2 무기 버퍼층(176) 상에 형성된다. 이러한 액티브층(214,114)은 비정질 반도체 물질, 다결정 반도체 물질 및 산화물 반도체 물질 중 적어도 어느 하나로 형성된다.
- [0026] 다결정 반도체 물질로 형성되는 액티브층(214,114)은 채널 영역과, 그 채널 영역을 사이에 두고 마주보는 소스 영역 및 드레인 영역을 구비한다. 채널 영역은 게이트 절연 패턴(112)을 사이에 두고 게이트 전극(206,106)과 중첩된다. 소스 영역은 소스 콘택홀(224S,124S)을 통해 소스 전극(208,108)과 접속되며, 드레인 영역은 드레인 콘택홀(224D,124D)을 통해 드레인 전극(210,110)과 접속된다. 이 소스 영역 및 드레인 영역 각각은 n형 또는 p형 불순물이 주입된 반도체 물질로 형성되며, 채널 영역은 n형 또는 p형 불순물이 주입되지 않은 반도체 물질로 형성된다. 한편, 도 2에 도시된 액티브층(214, 114)은 다결정 반도체 물질로 형성되는 구조를 예로 들어 설명하였지만, 이외에도 비정질 반도체 물질 및 산화물 반도체 물질 중 적어도 어느 하나로 형성될 수 있다.
- [0027] 액티브층(214,114)과 기판(101) 사이에는 제1 무기 버퍼층(172), 유기 버퍼층(174) 및 제2 무기 버퍼층(176)이 순차적으로 적층된 버퍼층(170)이 배치된다.
- [0028] 제1 무기 버퍼층(172)은 저전압 공급 라인(160) 및 스토리지 하부 전극(142)이 형성된 기판(101) 상에 배치된다. 이 제1 무기 버퍼층(172)은 저전압 공급 라인(160) 및 스토리지 하부 전극(142) 각각과 유기 버퍼층(174) 사이에서 SiO_x, SiN_x 또는 SiON과 같은 무기 절연 재질로 형성된다. 이러한 제1 무기 버퍼층(172)은 기판(101)에서 발생하는 수분 또는 불순물이 스위칭 및 구동 트랜지스터(TS,TD)로 확산되는 것을 방지한다. 또한, 제1 무기 버퍼층(172)은 저전압 공급 라인(160) 및 제1 및 제2 스토리지 전극(142,144) 각각과 유기 버퍼층(174) 간의 접촉을 차단한다. 이를 위해, 제1 무기 버퍼층(172)은 저전압 공급 라인(160) 및 제1 및 제2 스

토리지 전극(142,144) 각각의 상부면 및 측면과 접촉된다. 이에 따라, 유기 버퍼층(174) 내의 솔벤트 성분의 확산 등에 의해 저전압 공급 라인(160) 및 제1 및 제2 스토리지 전극(142,144)이 산화되는 것을 방지할 수 있다. 한편, 저전압 공급 라인(160) 및 제1 및 제2 스토리지 전극(142,144)이 내산성 및 내습성이 높은 재질로 형성되는 경우, 제1 무기 버퍼층(172) 없이 저전압 공급 라인(160) 및 제1 및 제2 스토리지 전극(142,144)이 유기 버퍼층(174)과 접촉될 수도 있다.

[0029] 유기 버퍼층(174)은 제1 및 제2 무기 버퍼층(172,176)에 비해 유전율이 낮은 절연 재질로 제1 무기 버퍼층(172) 상에 형성된다. 예를 들어, 유기 버퍼층(174)은 아크릴 수지 또는 에폭시 수지와 같은 유기 재질로 형성된다. 유기 버퍼층(174)은 스위칭 및 구동 박막트랜지스터(TS,TD)의 액티브층(214,114) 각각과; 스캔 라인, 데이터 라인, 고전압 공급 라인 및 저전압 공급 라인(160) 중 적어도 어느 하나의 신호 라인 사이에 형성된다. 또한, 유기 버퍼층(174)은 제1 보조 연결 전극(162)과 저전압 공급 라인(160) 사이에 형성된다. 이에 따라, 기판 상에 배치되는 스캔 라인, 데이터 라인, 고전압 공급 라인 및 저전압 공급 라인(160) 중 적어도 어느 하나의 신호 라인 각각과, 스위칭 및 구동 박막트랜지스터(TS,TD)의 구성요소 및 보조 연결 전극(162) 각각 사이에 형성되는 기생 커패시터의 용량값은 유기 버퍼층(174)의 유전율에 비례하고 유기 버퍼층(174)의 두께에 반비례하여 감소된다. 이에 따라, 스위칭 및 구동 박막트랜지스터(TS,TD)의 구성요소 및 보조 연결 전극(162) 각각과, 기판(101) 상에 배치되는 신호 라인(DL,VL1,VL2)이 중첩되더라도 이들 간의 신호 간섭을 최소화할 수 있다. 또한, 유기 버퍼층(174)은 그 유기 버퍼층(174) 상부에 배치되는 제3 무기 버퍼층(178) 또는 층간 절연막(116) 등의 증착 온도 이상의 경화 온도를 가지는 재질로 형성된다. 예를 들어, 유기 버퍼층(174)은 아크릴 수지 또는 에폭시 수지와 같은 유기 재질로 형성된다. 이에 따라, 유기 버퍼층(174)은 그 유기 버퍼층(174) 상부에 배치되는 제3 무기 버퍼층(178) 또는 층간 절연막(116) 등의 증착 온도를 견딜 수 있는 내열 특성을 가지게 된다.

[0030] 뿐만 아니라, 유기 버퍼층(174)은 제1 내지 제3 오픈홀(158a,158b,158c)을 가지도록 형성된다. 제1 오픈홀(158a)은 제1 보조 컨택홀(168a)보다 넓은 폭으로 유기 버퍼층(174) 및 제2 무기 버퍼층(176)을 관통하도록 형성된다. 이에 따라, 제1 오픈홀(158a) 내에서 제1 무기 버퍼층(172) 및 층간 절연막(116)을 관통하도록 형성되는 제1 보조 컨택홀(168a)의 형성이 용이해진다. 제2 오픈홀(158b)은 제1 스토리지 컨택홀(178a)보다 넓은 폭으로 유기 버퍼층(174) 및 제2 무기 버퍼층(176)을 관통하도록 형성된다. 이에 따라, 제2 오픈홀(158b) 내에서 제1 무기 버퍼층(172) 및 층간 절연막(116)을 관통하도록 형성되는 제1 스토리지 컨택홀(178a)의 형성이 용이해진다. 제3 오픈홀(158c)은 제2 스토리지 컨택홀(178b)보다 넓은 폭으로 유기 버퍼층(174) 및 제2 무기 버퍼층(176)을 관통하도록 형성된다. 이에 따라, 제3 오픈홀(158c) 내에서 층간 절연막(116)을 관통하도록 형성되는 제2 스토리지 컨택홀(178b)의 형성이 용이해진다.

[0031] 한편, 도 2에서는 제1 내지 제3 오픈홀(158a,158b,158c) 각각의 선포이 제1 보조 컨택홀(168a)과 제1 및 제2 스토리지 컨택홀(178a,178b)보다 넓은 선포이를 가지도록 형성된 경우를 예로 들어 설명하였지만, 이외에도 도 4에 도시된 바와 같이 제1 내지 제3 오픈홀(158a,158b,158c) 각각의 선포이 제1 보조 컨택홀(168a)과 제1 및 제2 스토리지 컨택홀(178a,178b) 각각의 선포이와 유사하게 형성될 수도 있다. 이 경우, 도 2에 도시된 제1 보조 연결 전극(162) 및 드레인 전극(210,110)은 제1 보조 컨택홀(168a)과 제1 및 제2 스토리지 컨택홀(178a,178b)을 통해 노출된 제1 무기 버퍼층(172) 및 층간 절연막(116) 각각의 측면과 접촉된다. 반면에, 도 4에 도시된 제1 보조 연결 전극(162) 및 드레인 전극(210,110)은 1 내지 제3 오픈홀(158a,158b,158c), 제1 보조 컨택홀(168a)과 제1 및 제2 스토리지 컨택홀(178a,178b)을 통해 노출된 제1 무기 버퍼층(172), 유기 버퍼층(174), 제2 무기 버퍼층(176) 및 층간 절연막(116) 각각의 측면과 접촉된다.

[0032] 제2 무기 버퍼층(176)은 제1 무기 버퍼층(172)과 마찬가지로 SiNx , SiOx 또는 SiON 로 형성된다. 이 제2 무기 버퍼층(176)은 유기 버퍼층(174)과 동일 선포이 및 동일 형상으로 유기 버퍼층(174) 상에 형성되어 유기막 재질의 유기 버퍼층(174)의 상부면에서 발생하는 가스(fume)를 차단한다. 한편, 층간 절연막(116)은 제1 내지 제3 오픈홀(158a,158b,158c)에 의해 노출된 유기 버퍼층(174)의 측면 상에 SiNx , SiOx 또는 SiON 로 형성되므로, 층간 절연막(116)은 유기 버퍼층(174)의 측면에서 발생하는 가스를 차단한다. 이에 따라, 유기 버퍼층(174)의 상부면 및 측면에서 발생하는 가스에 의해 스위칭 및 구동 트랜지스터(TS,TD)가 열화되는 것을 방지할 수 있다. 또한, 층간 절연막(116)은 제1 보조 연결 전극(162), 스위칭 및 구동 트랜지스터의 드레인 전극(210,110) 각각과, 유기 버퍼층(174)이 접촉되는 것을 방지한다. 이에 따라, 유기 버퍼층(174) 내의 솔벤트 성분에 의해 제1 보조 연결 전극(162), 스위칭 및 구동 트랜지스터의 드레인 전극(210,110)이 산화되는 것을 방지할 수 있다.

[0033] 스토리지 커패시터(Cst)는 스토리지 버퍼층(146)을 사이에 두고 스토리지 하부 전극(142) 및 스토리지 상부 전극(144)이 중첩됨으로써 형성된다. 이러한 스토리지 캐패시터(Cst)에 충전된 전압에 의해 스위칭 트랜지스터(TS)가 턴-오프되더라도 구동 트랜지스터(TD)는 다음 프레임의 데이터 신호가 공급될 때까지 일정한 전류를 공

급하여 발광 소자(130)의 발광을 유지하게 한다.

- [0034] 스토리지 버퍼층(146)은 스토리지 하부 전극(142) 상에서 스토리지 하부 전극(142) 및 스토리지 상부 전극(144) 중 어느 하나와 동일 선폭으로 동일 형상을 가진다. 그리고, 스토리지 버퍼층(146)은 스토리지 하부 전극(142) 및 스토리지 상부 전극(144) 중 나머지 하나보다 넓은 선폭을 가진다. 본 발명에서는 스토리지 하부 전극(142)이 스토리지 버퍼층(146)보다 넓은 선폭을 가지고 스토리지 상부 전극(144)이 스토리지 버퍼층(146)과 동일 선폭으로 동일 형상을 가지는 구조를 예로 들어 설명하기로 한다. 이러한 스토리지 버퍼층(146)은 SiO_x , SiN_x 또는 SiON 과 같은 무기 절연 재질로 형성되며, 제1 무기 버퍼층(172)과 동일 재질로 형성될 수도 있다.
- [0035] 스토리지 하부 전극(142)은 저전압 공급 라인(160)과 동일층에 동일 재질로 형성되며, 제1 스토리지 컨택홀(178a)을 통해 노출되어 구동 트랜지스터(TD)의 드레인 전극(110)과 접속된다. 이러한 스토리지 하부 전극(142)의 상부면 및 측면은 제1 무기 버퍼층(172) 및 스토리지 버퍼층(146)과 접촉하므로 유기 버퍼층(174)의 코팅 및 열처리에 의해 스토리지 하부 전극(142)이 산화되는 것을 방지할 수 있다.
- [0036] 스토리지 상부 전극(144)은 제2 스토리지 컨택홀(178b)을 통해 노출되어 스위칭 트랜지스터(TS)의 드레인 전극(210)과 접속된다. 이러한 스토리지 상부 전극(144)의 상부면 및 측면은 제1 무기 버퍼층(172)과 접촉하므로 유기 버퍼층(174)의 코팅 및 열처리에 의해 스토리지 상부 전극(144)이 산화되는 것을 방지할 수 있다.
- [0037] 또한, 스토리지 하부 전극(142) 및 저전압 공급 라인(160)은 Mo, Ti, Al, Cu, Cr, Co, W, Ta, Ni과 같은 불투명 금속으로, 스위칭 및 구동 트랜지스터(TS, TD)의 액티브층(214, 114)과 중첩되도록 형성된다. 이에 따라, 스토리지 하부 전극(142) 및 저전압 공급 라인(160)은 외부로부터 입사되는 광을 흡수하거나 반사하므로, 스위칭 및 구동 트랜지스터(TS, TD)의 액티브층(214, 114)의 채널 영역으로 외부광이 입사되는 것을 차단할 수 있다.
- [0038] 발광 소자(130)는 구동 트랜지스터(TD)의 드레인 전극(110)과 접속된 애노드 전극(132)과, 애노드 전극(132) 상에 형성되는 적어도 하나의 발광 스택(134)과, 발광 스택(134) 위에 형성된 캐소드 전극(136)을 구비한다.
- [0039] 애노드 전극(132)은 평탄화층(118) 상에 배치되며, बैं크(138)에 의해 노출된다. 이 애노드 전극(132)은 화소 컨택홀(120)을 통해 노출된 구동 트랜지스터(TD)의 드레인 전극(110)과 전기적으로 접속된다. 이러한 애노드 전극(132)은 보조 연결 전극(168)과 마찬가지로 투명 도전막 및 반사효율이 높은 불투명 도전막을 포함하는 다층 구조로 형성된다. 투명 도전막으로는 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)과 같은 일함수 값이 비교적 큰 재질로 이루어지고, 불투명 도전막으로는 Al, Ag, Cu, Pb, Mo, Ti 또는 이들의 합금을 포함하는 단층 또는 다층 구조로 이루어진다. 예를 들어, 애노드 전극(132)은 투명 도전막, 불투명 도전막 및 투명 도전막이 순차적으로 적층된 구조로 형성되거나, 투명 도전막 및 불투명 도전막이 순차적으로 적층된 구조로 형성된다.
- [0040] 발광 스택(134)은 애노드 전극(132) 상에 정공 관련층, 유기 발광층, 전자 관련층 순으로 또는 역순으로 적층되어 형성된다. 이외에도 발광 스택(134)은 전하 생성층을 사이에 두고 대향하는 제1 및 제2 발광 스택들을 구비할 수도 있다. 이 경우, 제1 및 제2 발광 스택 중 어느 하나의 유기 발광층은 청색광을 생성하고, 제1 및 제2 발광 스택 중 나머지 하나의 유기 발광층은 노란색-녹색광을 생성함으로써 제1 및 제2 발광 스택을 통해 백색광이 생성된다. 이 발광스택(134)에서 생성된 백색광은 발광 스택(134) 상부에 위치하는 컬러 필터(도시하지 않음)에 입사되므로 컬러 영상을 구현할 수 있다. 이외에도 별도의 컬러 필터 없이 각 발광 스택(134)에서 각 서브 화소에 해당하는 컬러광을 생성하여 컬러 영상을 구현할 수도 있다. 즉, 적색(R) 서브 화소의 발광 스택(134)은 적색광을, 녹색(G) 서브 화소의 발광 스택(134)은 녹색광을, 청색(B) 서브 화소의 발광 스택(134)은 청색광을 생성할 수도 있다.
- [0041] बैं크(138)는 애노드 전극(132) 및 제2 보조 연결 전극(164)을 노출시키도록 형성된다. 이러한 बैं크(138)는 인접한 서브 화소 간 광 간섭을 방지하도록 불투명 재질(예를 들어, 블랙)로 형성될 수도 있다. 이 경우, बैं크(138)는 칼라 안료, 유기 블랙 및 카본 중 적어도 어느 하나로 이루어진 차광재질을 포함한다.
- [0042] 격벽(166)은 서로 다른 색을 구현하는 인접한 서브 화소에 배치되는 발광 스택(134)들을 분리한다. 이를 위해, 격벽(166)은 제2 보조 연결 전극(168) 상에 배치된 बैं크(138) 상에서 역테이퍼 형상으로 형성된다. 즉, 역테이퍼 형상의 격벽(166)은 하부면에서 상부면으로 갈수록 폭이 점차적으로 증가한다.
- [0043] 이러한 역테이퍼 형상의 격벽(166)과 중첩되는 제2 보조 연결 전극(164) 상에는 직진성을 가지고 성막되는 발광 스택(134)이 형성되지 않으므로, 격벽(166)에 의해 서로 다른 색을 구현하는 인접한 서브 화소의 발광 스택(134)들은 제2 보조 연결 전극(164) 상에서 분리된다. 이 경우, 발광 스택(134)은 बैं크(138)에 의해 노출된 애노드 전극(132)의 상부면, 격벽(166)의 상부면 및 बैं크(138)의 상부면 및 측면 상에만 형성된다. 반면에, 발광 스택(134)보다 스텝 커버리지가 좋은 캐소드 전극(136)은 격벽(166)의 상부면 및 측면과, 그 격벽(166) 하부에

배치되는 बैं크(138)의 측면에도 형성되므로 제2 보조 연결 전극(164)과의 접촉이 용이해진다.

- [0044] 캐소드 전극(136)은 발광 스택(134)을 사이에 두고 애노드 전극(132)과 대향하도록 발광 스택(134) 및 बैं크(138)의 상부면 및 측면 상에 형성된다. 이러한 캐소드 전극(136)은 전면 발광형 유기 발광 표시 장치에 적용되는 경우, 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)과 같은 투명 도전막으로 이루어진다.
- [0045] 캐소드 전극(136)은 제1 및 제2 보조 연결 전극(162,164)을 통해 저전압 공급 라인(160)과 접속된다.
- [0046] 저전압 공급 라인(160)은 제1 무기 버퍼층(172), 유기 버퍼층(174) 및 제2 무기 버퍼층(176)을 사이에 두고 구동 트랜지스터(TD)와 중첩된다. 이 저전압 공급 라인(160)은 스토리지 하부 전극(142)과 동일 재질로 기판(101) 상에 형성된다.
- [0047] 제1 보조 연결 전극(162)은 층간 절연막(116)을 관통하는 제1 보조 콘택홀(168a)을 통해 노출된 저전압 공급 라인(160)과 전기적으로 접속된다. 이 제1 보조 연결 전극(162)은 소스 및 드레인 전극(208,108,210,110)과 동일 재질로, 이들과 동일 평면인 층간 절연막(116) 상에 형성된다.
- [0048] 제2 보조 연결 전극(164)은 평탄화층(118)을 관통하는 제2 보조 콘택홀(168b)을 통해 노출된 제1 보조 연결 전극(162)과 전기적으로 접속된다. 이 제2 보조 연결 전극(164)은 애노드 전극(132)과 동일 재질로, 애노드 전극(132)과 동일 평면인 평탄화층(118) 상에 형성된다.
- [0049] 이러한 저전위 공급 라인(160), 제1 및 제2 보조 연결 전극(162,164)은 캐소드 전극(136)보다 도전성이 좋은 금속으로 형성되므로 투명 도전막인 ITO 또는 IZO로 형성되는 캐소드 전극(136)의 높은 저항 성분을 보상할 수 있다.
- [0050] 이와 같이, 본 발명에 따른 스위칭 트랜지스터(TS)는 도 2에 도시된 바와 같이 유기 버퍼층(174)을 포함하는 적어도 한 층의 버퍼층 사이에 두고 저전압 공급 라인(160) 및 스토리지 커패시터(Cst) 중 어느 하나와 수직하게 중첩되며, 상기 구동 트랜지스터(TD)는 적어도 한 층의 버퍼층(172,174,176)을 사이에 두고, 상기 저전압 공급 라인(160) 및 상기 스토리지 커패시터(Cst) 중 나머지 하나와 중첩된다. 이에 따라, 스토리지 커패시터(Cst)가 배치되는 커패시터 영역(CA)은 도 3에 도시된 바와 같이 발광 영역(EA) 및 트랜지스터 영역(TA)과 중첩됨으로써 공정 마진을 충분히 확보할 수 있어 고해상도 구현 및 수율이 향상된다. 또한, 데이터 라인(DL)은 도 3에 도시된 바와 같이 유기 버퍼층(174)을 포함하는 적어도 한 층의 버퍼층 사이에 두고 고전압 공급 라인(VL1) 및 저전압 공급 라인(VL2; 160) 중 적어도 어느 하나와 수직하게 중첩된다. 이에 따라, 본원 발명은 공정 마진을 충분히 확보할 수 있어 고해상도 구현 및 수율이 향상된다.
- [0051] 도 5a 내지 도 5i는 도 2에 도시된 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도들이다.
- [0052] 도 5a를 참조하면, 기판(101) 상에 스토리지 하부 전극(142), 저전압 공급 라인(160), 스토리지 버퍼층(146) 및 스토리지 상부 전극(144)이 형성된다. 이에 대해, 도 6a 내지 도 6d를 결부하여 구체적으로 설명하기로 한다.
- [0053] 구체적으로, 도 6a에 도시된 바와 같이 기판(101) 상에 제1 도전층(182a), 스토리지 버퍼층(146) 및 제2 도전층(182b)이 순차적으로 적층된다. 그런 다음, 제2 도전층(182b) 상에 포토레지스트가 전면 도포된 후, 그 포토레지스트를 하프톤 마스크 또는 슬릿 마스크와 같은 제1 마스크를 이용한 포토리소그래피공정을 통해 패터닝함으로써 다단 구조의 제1 포토레지스트 패턴(180)이 형성된다. 다단 구조의 제1 포토레지스트 패턴(180)은 스토리지 상부 전극(144)이 형성될 영역에서 제1 두께로 형성되고, 스토리지 하부 전극(142) 및 저전압 공급 라인(160)이 형성될 영역에서 제1 두께보다 얇은 제2 두께로 형성된다. 그리고, 나머지 영역에는 제1 포토레지스트 패턴(180)이 형성되지 않는다. 이러한 다단 구조의 제1 포토레지스트 패턴(180)을 마스크로 이용한 습식 식각 공정을 통해 제2 도전층(182b) 및 스토리지 버퍼층(146)이 식각된 후, 건식 식각 공정을 통해 제1 도전층(182a)이 건식식각된다. 이 식각 공정 후, 제1 도전층(182a)보다 제2 도전층(182b) 및 스토리지 버퍼층(146)의 양 측면이 돌출되어 형성되는 경우, 제2 도전층(182b) 및 스토리지 버퍼층(146)이 습식 식각 공정을 통해 2차 식각될 수 있다. 이러한 식각 공정을 통해 도 6b에 도시된 바와 같이 스토리지 하부 전극(142) 및 저전압 공급 라인(160)이 형성됨과 아울러 스토리지 하부 전극(142) 및 저전압 공급 라인(160) 각각 상에 스토리지 하부 전극(142) 및 저전압 공급 라인(160)과 동일 패턴의 제2 도전층(182b) 및 스토리지 버퍼층(146)이 형성된다.
- [0054] 그런 다음, 에칭 공정을 통해 제1 포토레지스트 패턴이 에칭됨으로써 도 6c에 도시된 바와 같이 제1 두께의 제1 포토레지스트 패턴(180)의 두께는 얇아지고, 제2 두께의 제1 포토레지스트 패턴(180)은 제거된다. 두께가 얇아진 제1 포토레지스트 패턴(180)을 마스크로 이용한 습식 식각 공정을 통해 제2 도전층(182b) 및 스토리지 버퍼층(146)이 식각된다. 이에 따라, 도 6d에 도시된 바와 같이 저전압 공급 라인(160) 상에 배치된 2 도전층

(182b) 및 스토리지 버퍼층(146)은 제거되며, 제1 포토레지스트 패턴(180)에 의해 노출된 스토리지 하부 전극(142) 상에 배치된 제2 도전층(182b) 및 스토리지 버퍼층(146)이 일부 제거됨으로써 스토리지 하부 전극(142)보다 선평이 좁은 스토리지 버퍼층(146) 및 스토리지 상부 전극(144)이 형성된다.

[0055] 도 5b를 참조하면, 저전압 공급 라인(160), 스토리지 하부 전극(142), 스토리지 버퍼층(146) 및 스토리지 상부 전극(144)이 형성된 기판(101) 상에 제1 무기 버퍼층(172), 유기 버퍼층(174), 제2 무기 버퍼층(176), 스위칭 및 구동 트랜지스터(TS,TD)의 액티브층(214,114)이 형성된다. 이에 대해, 도 7a 내지 도 7e를 결부하여 구체적으로 설명하기로 한다.

[0056] 도 7a에 도시된 바와 같이 저전압 공급 라인(160), 스토리지 하부 전극(142), 스토리지 버퍼층(146) 및 스토리지 상부 전극(144)이 형성된 기판(101) 상에 제1 무기 버퍼층(172), 유기 버퍼층(174), 제2 무기 버퍼층(176), 반도체막(186)으로 형성된다. 그런 다음, 반도체막(186) 상에 포토레지스트가 전면 도포된 후, 그 포토레지스트를 하프톤 마스크 또는 슬릿 마스크와 같은 제2 마스크를 이용한 포토리소그래피공정을 통해 패터닝함으로써 다단 구조의 제2 포토레지스트 패턴(184)이 형성된다. 다단 구조의 제2 포토레지스트 패턴(184)은 액티브층(214,114)이 형성될 영역에 제1 두께로 형성되고, 제1 내지 제3 오픈홀(158a,158b,158c)이 형성될 영역에서 형성되지 않고, 나머지 영역에서 제1 두께보다 얇은 제2 두께로 형성된다. 이러한 다단 구조의 제2 포토레지스트 패턴(184)을 마스크로 이용한 식각 공정을 통해 유기 버퍼층(174), 제2 무기 버퍼층(176), 반도체막(186)이 패터닝됨으로써 도 7b에 도시된 바와 같이 제1 무기 버퍼층(172)의 상부면을 노출시키는 제1 내지 제3 오픈홀(158a,158b,158c)이 형성된다. 그런 다음, 제2 포토레지스트 패턴(184)이 에칭됨으로써 도 7c에 도시된 바와 같이 제1 두께의 제2 포토레지스트 패턴(184)의 두께는 얇아지고, 제2 두께의 제2 포토레지스트 패턴(184)은 제거된다. 두께가 얇아진 제2 포토레지스트 패턴(184)을 마스크로 이용한 식각 공정을 통해, 노출된 반도체막(186)이 제거됨으로써 도 7d에 도시된 바와 같이 스위칭 및 구동 트랜지스터(TS,TD)의 액티브층(214,114)이 형성된다. 그런 다음, 스위칭 및 구동 트랜지스터(TS,TD)의 액티브층(214,114) 상에 잔존하는 제2 포토레지스트 패턴(184)은 도 7e에 도시된 바와 같이 스트립 공정을 통해 제거된다.

[0057] 도 5c를 참조하면, 스위칭 및 구동 트랜지스터(TS,TD)의 액티브층(214,114)이 형성된 기판(101) 상에 게이트 절연 패턴(112)과, 그 게이트 절연 패턴(112) 상에 스위칭 및 구동 트랜지스터(TS,TD)의 게이트 전극(206,106)과 패드 전극(152)이 형성된다.

[0058] 구체적으로, 제1 및 제2 액티브층(214,114)이 형성된 기판(101) 상에 게이트 절연막이 형성되고, 그 위에 스퍼터링 등의 증착 방법으로 제3 도전층이 형성된다. 게이트 절연막으로는 SiO_x 또는 SiN_x 등과 같은 무기 절연 물질이 이용된다. 제3 도전층으로는 Mo, Ti, Cu, AlNd, Al 또는 Cr 또는 이들의 합금과 같이 금속 물질이 단일 층으로 이용되거나, 또는 이들을 이용하여 다층 구조로 이용된다. 그런 다음, 포토리소그래피 공정 및 식각 공정을 통해 제3 도전층 및 게이트 절연막을 동시에 패터닝함으로써 스위칭 및 구동 트랜지스터(TS,TD)의 게이트 전극(206,106) 및 패드 전극(152) 각각과, 그들 각각의 하부에 게이트 절연 패턴(112)이 동일 패턴으로 형성된다. 그리고, 게이트 전극(206,106)을 마스크로 이용하여 액티브층(214,114)에 n+형 또는 p+형 불순물을 주입함으로써 액티브층(214,114)의 소스 영역 및 드레인 영역이 형성된다.

[0059] 도 5d를 참조하면, 스위칭 및 구동 트랜지스터(TS,TD)의 게이트 전극(206,106) 및 패드 전극(152)이 형성된 기판(101) 상에 소스 및 드레인 콘택홀(224S,124S,224D,124D), 패드 콘택홀(156), 제1 및 제2 스토리지 콘택홀(178a,178b) 및 제1 보조 콘택홀(168a)을 가지는 층간 절연막(116)이 형성된다.

[0060] 구체적으로, 게이트 전극(206,106) 및 패드 전극(152)이 형성된 기판(101) 상에 PECVD 등의 증착 방법으로 층간 절연막(116)이 형성된다. 그런 다음, 포토리소그래피 공정 및 식각 공정을 통해 층간 절연막(116) 및 제1 무기 버퍼층(126)이 패터닝됨으로써 소스 및 드레인 콘택홀(224S,124S,224D,124D), 패드 콘택홀(156), 제1 및 제2 스토리지 콘택홀(178a,178b) 및 제1 보조 콘택홀(168a)이 형성된다. 여기서, 소스 및 드레인 콘택홀(224S,124S,224D,124D), 패드 콘택홀(156) 및 제2 스토리지 콘택홀(178b) 각각은 층간 절연막(116)을 관통하도록 형성되며, 제1 보조 콘택홀(168a) 및 제1 스토리지 콘택홀(178a)은 층간 절연막(116) 및 제1 무기 버퍼층(172)을 관통하도록 형성된다.

[0061] 도 5e를 참조하면, 소스 및 드레인 콘택홀(224S,124S,224D,124D), 패드 콘택홀(156), 제1 및 제2 스토리지 콘택홀(178a,178b) 및 제1 보조 콘택홀(168a)을 가지는 층간 절연막(116) 상에 데이터 라인(DL), 스위칭 및 구동 트랜지스터(TS,TD)의 소스 전극(208,108), 스위칭 및 구동 트랜지스터(TS,TD)의 드레인 전극(210,110), 제1 보조 연결 전극(162) 및 패드 커버 전극(154)이 형성된다.

- [0062] 구체적으로, 소스 및 드레인 콘택홀(224S, 124S, 224D, 124D), 패드 콘택홀(156), 제1 및 제2 스토리지 콘택홀(178a, 178b) 및 제1 보조 콘택홀(168a)을 가지는 층간 절연막(116) 상에 스퍼터링 등의 증착 방법으로 제4 도전층이 형성된다. 제4 도전층으로는 Mo, Ti, Cu, AlNd, Al 또는 Cr 또는 이들의 합금과 같이 금속 물질이 단일층으로 이용되거나, 또는 이들을 이용하여 다층 구조로 이용된다. 그런 다음, 포토리소그래피 공정 및 식각 공정을 통해 제4 도전층이 패터닝됨으로써 데이터 라인(DL), 소스 전극(208, 108), 드레인 전극(210, 110), 제1 보조 연결 전극(162) 및 패드 커버 전극(154)이 형성된다.
- [0063] 도 5f를 참조하면, 소스 전극(208, 108), 드레인 전극(210, 110), 제1 보조 연결 전극(162) 및 패드 커버 전극(154)이 형성된 기판(101) 상에 제2 보조 콘택홀(168b) 및 화소 콘택홀(120)을 가지는 평탄화층(118)이 형성된다.
- [0064] 구체적으로, 소스 전극(208, 108), 드레인 전극(210, 110), 제1 보조 연결 전극(162) 및 패드 커버 전극(154)이 형성된 층간 절연막(116) 상에 코팅공정을 통해 평탄화층(118)이 형성된다. 평탄화층(118)으로는 포토아크릴 등과 같은 유기 절연 물질이 이용된다. 그런 다음, 포토리소그래피 공정 및 식각 공정을 통해 평탄화층(118)이 패터닝됨으로써 화소 콘택홀(120) 및 제2 보조 콘택홀(168b)이 형성된다. 화소 콘택홀(120)은 평탄화층(118)을 관통하도록 형성되어 구동 트랜지스터(TD)의 드레인 전극(110)을 노출시키며, 제2 보조 콘택홀(168b)은 평탄화층(118)을 관통하도록 형성되어 제1 보조 연결 전극(162)을 노출시킨다. 그리고, 패드 커버 전극(154) 상에 배치된 평탄화층(118)은 제거되어 패드 커버 전극(154)이 외부로 노출된다.
- [0065] 도 5g를 참조하면, 화소 콘택홀(120) 및 제2 보조 콘택홀(168b)을 가지는 평탄화층(118)이 형성된 기판(101) 상에 애노드 전극(132) 및 제2 보조 연결 전극(164)이 형성된다.
- [0066] 구체적으로, 평탄화층(118)이 형성된 기판(101) 상에 감광막이 전면 도포된 다음, 포토리소그래피 공정을 통해 감광막이 패터닝됨으로써 패드부를 덮도록 감광 보호막(도시하지 않음)이 형성된다. 그런 다음, 감광 보호막이 형성된 기판(101) 상에 제5 도전층이 전면 도포된 후, 그 제5 도전층이 포토리소그래피 공정 및 식각 공정을 통해 패터닝됨으로써 애노드 전극(132) 및 제2 보조 연결 전극(164)이 형성된다. 한편, 감광 보호막은 제5 도전층 패터닝시 이용된 감광막과 함께 스트립 공정을 통해 제거된다.
- [0067] 도 5h를 참조하면, 애노드 전극(132) 및 제2 보조 연결 전극(164)이 형성된 기판(101) 상에 बैं크(138)가 형성된다.
- [0068] 구체적으로, 애노드 전극(132) 및 제2 보조 연결 전극(164)이 형성된 기판(101) 상에 बैं크용 감광막이 전면 도포된 다음, 포토리소그래피 공정을 통해 패터닝됨으로써 बैं크(138)가 형성된다.
- [0069] 도 5i를 참조하면, बैं크(138)가 형성된 기판(101) 상에 격벽(166), 발광 스택(134) 및 캐소드 전극(136)이 순차적으로 형성된다.
- [0070] 구체적으로, बैं크(138)가 형성된 기판(101) 상에 격벽용 감광막이 도포된 다음, 포토리소그래피공정을 통해 패터닝됨으로써 역테이퍼 형상의 격벽(166)이 형성된다. 그런 다음, 새도우마스크를 이용한 증착 공정을 통해 패드 영역(PA)을 제외한 액티브 영역(AA)에 유기 발광 스택(134) 및 제6 도전층을 이용한 캐소드 전극(136)이 순차적으로 형성된다.
- [0071] 이와 같이, 본 발명에 따른 유기 발광 표시 장치의 제조 방법은 스토리지 하부 전극(142), 스토리지 버퍼층(146) 및 스토리지 상부 전극(144)이 동일 마스크 공정으로 형성되고, 제1 내지 제3 오픈홀(158a, 158, 158c)과 액티브층(114, 214)이 동일 마스크 공정으로 형성된다. 이에 따라, 본 발명은 종래에 비해 마스크 공정수를 적어도 2회 저감할 수 있다.
- [0072] 한편, 본 발명에서는 화소 구동 회로가 스위칭 및 구동 트랜지스터(TS, TD)와 스토리지 커패시터(Cst)를 구비하는 것을 예로 들어 설명하였지만, 화소 구동 회로의 구조는 구체적인 예시일 뿐 이를 한정하는 것은 아니다. 예를 들어, 화소 구동 회로가 센싱 트랜지스터를 더 구비하는 구조에도 적용될 수 있다. 여기서, 센싱 트랜지스터는 구동 트랜지스터(TD)의 문턱전압을 센싱하며, 센싱된 문턱 전압만큼에 비례하여 데이터 전압이 보상된다. 이 때, 센싱 트랜지스터의 소스 전극과 접속된 레퍼런스 라인은 유기 버퍼층(174)을 포함하는 적어도 한 층의 버퍼층(170)을 사이에 두고 데이터 라인(DL)과 수직 중첩되게 배치되므로, 고해상도 설계가 가능해진다.
- [0073] 또한, 본 발명은 유기 발광 표시 장치를 예로 들어 설명하였지만, 이외에도 스토리지 커패시터 및 트랜지스터를 구비하는 모든 표시 장치에 적용 가능하다. 예를 들어, 액정 표시 장치의 스토리지 커패시터 및 박막트랜지스터는 유기 버퍼층을 포함하는 적어도 한 층의 버퍼층을 사이에 두고 수직 중첩될 수 있다.

[0074] 이상의 설명은 본 발명을 예시적으로 설명한 것에 불과하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술적 사상에서 벗어나지 않는 범위에서 다양한 변형이 가능할 것이다. 따라서 본 발명의 명세서에 개시된 실시 예들은 본 발명을 한정하는 것이 아니다. 본 발명의 범위는 아래의 특허청구범위에 의해 해석되어야 하며, 그와 균등한 범위 내에 있는 모든 기술도 본 발명의 범위에 포함되는 것으로 해석해야 할 것이다.

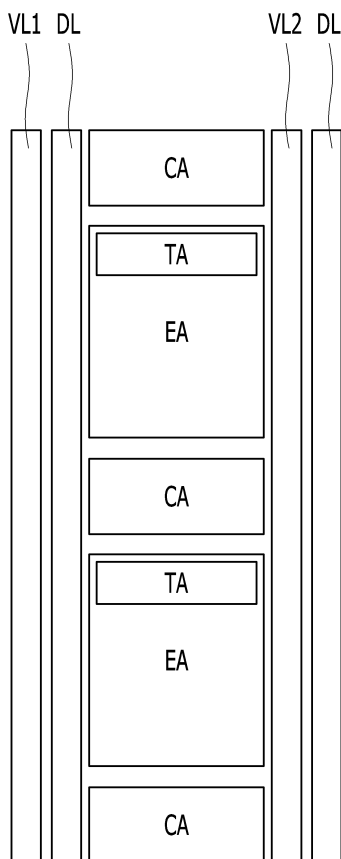
부호의 설명

[0075]

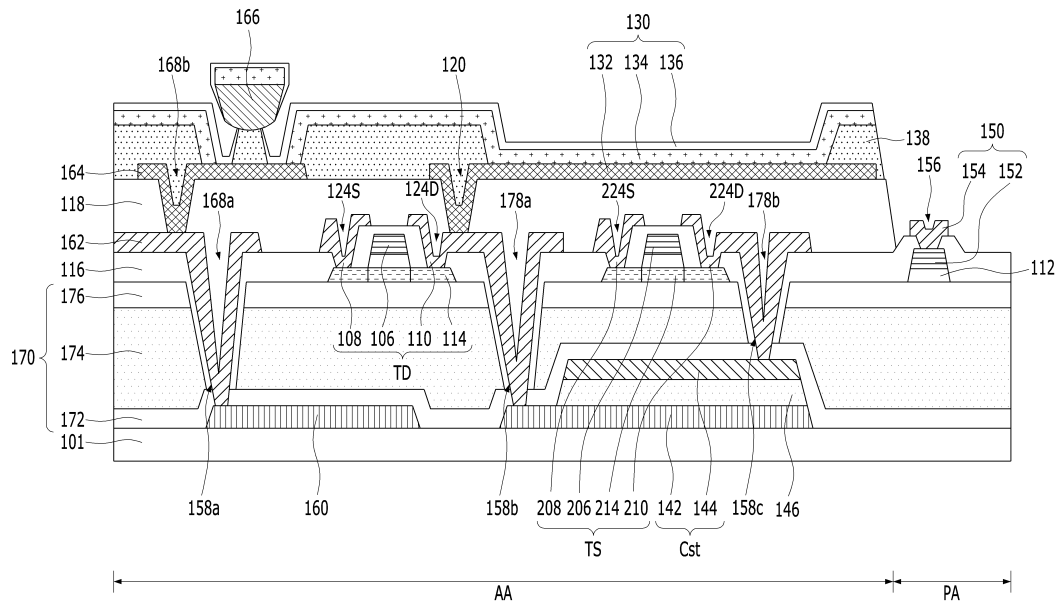
132 : 애노드 전극	134 : 발광 스택
136 : 캐소드 전극	138 : बैं크
142 : 스토리지 하부 전극	144: 스토리지 상부 전극
146 : 스토리지 버퍼층	162,164 : 보조 연결 전극
172,176 : 무기 버퍼층	174 : 유기 버퍼층

도면

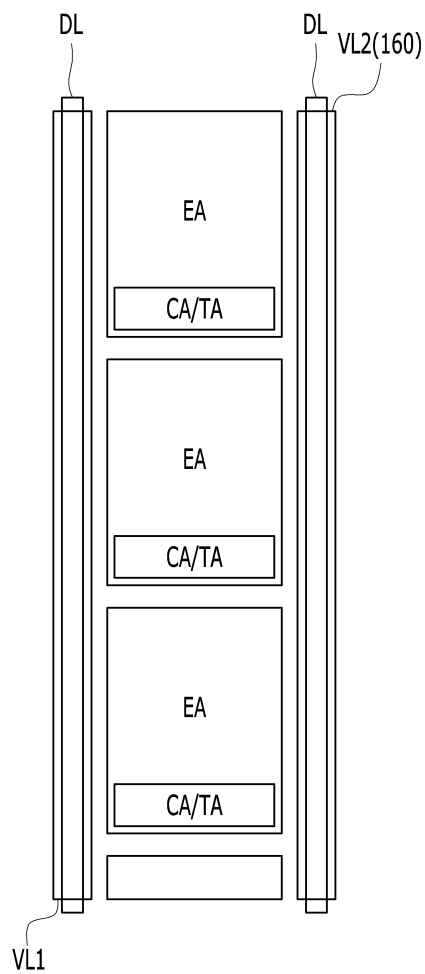
도면1



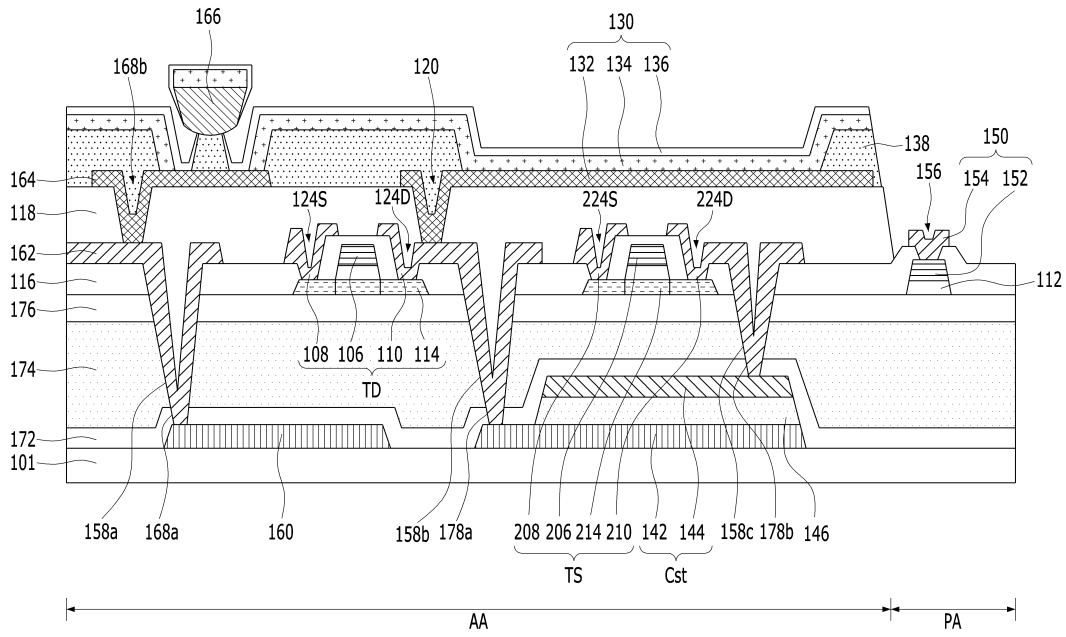
도면2



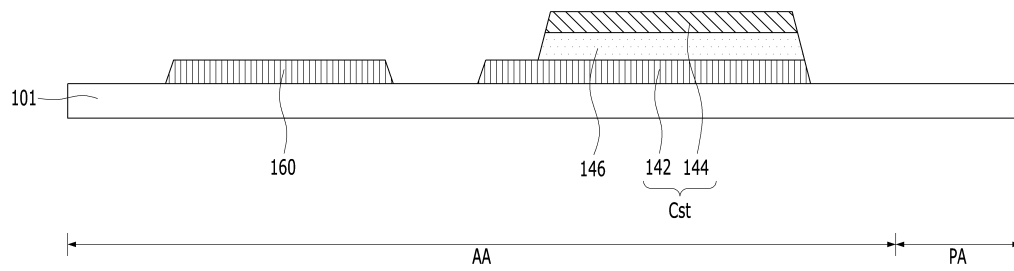
도면3



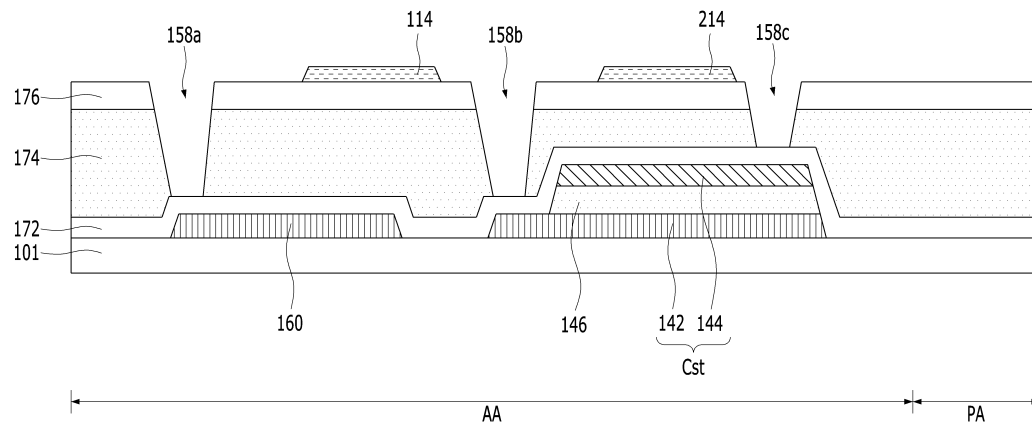
도면4



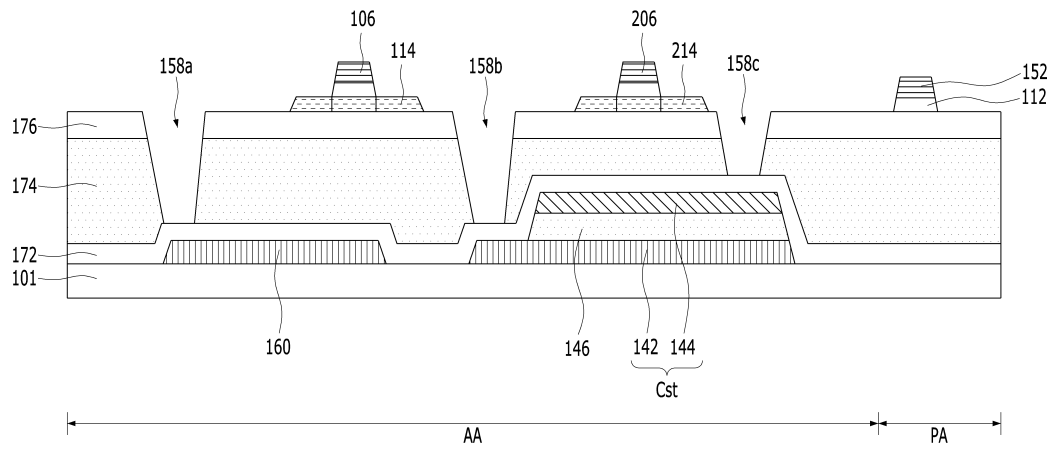
도면5a



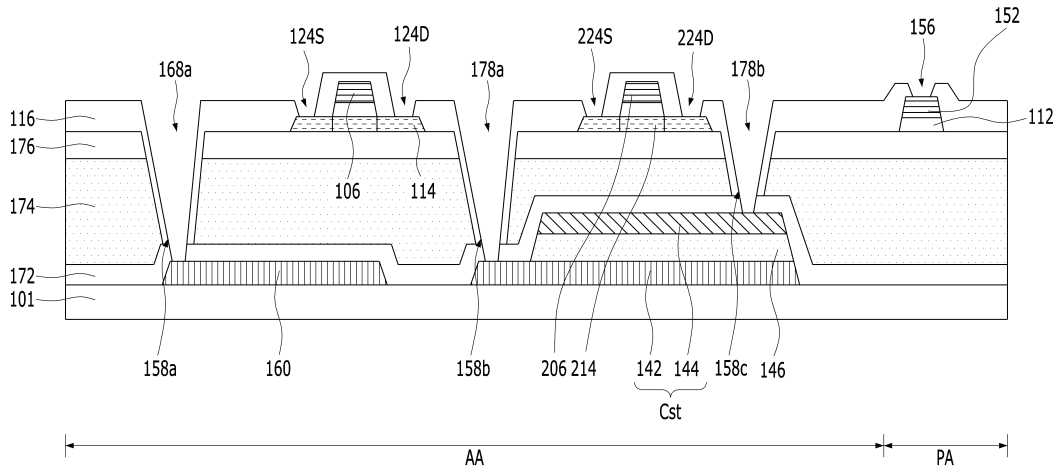
도면5b



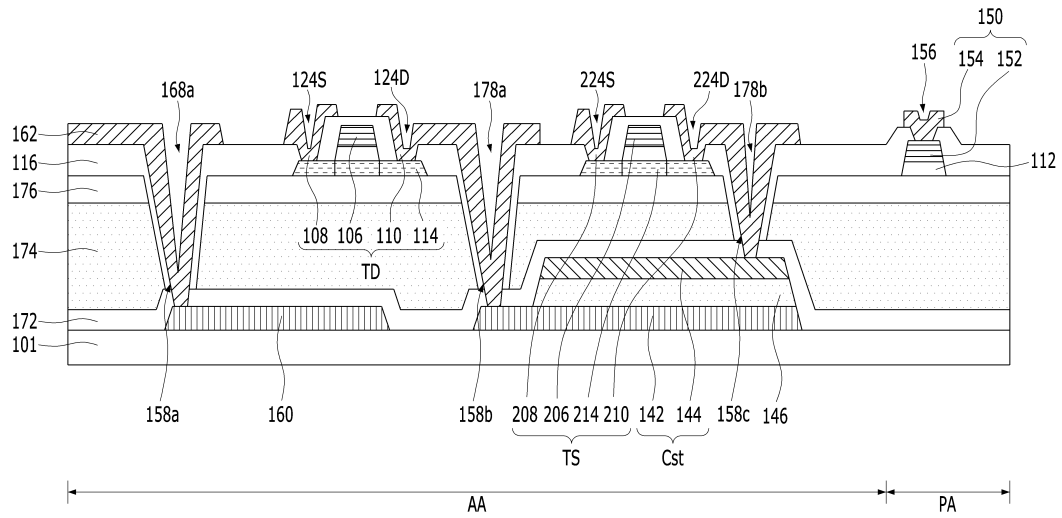
도면5c



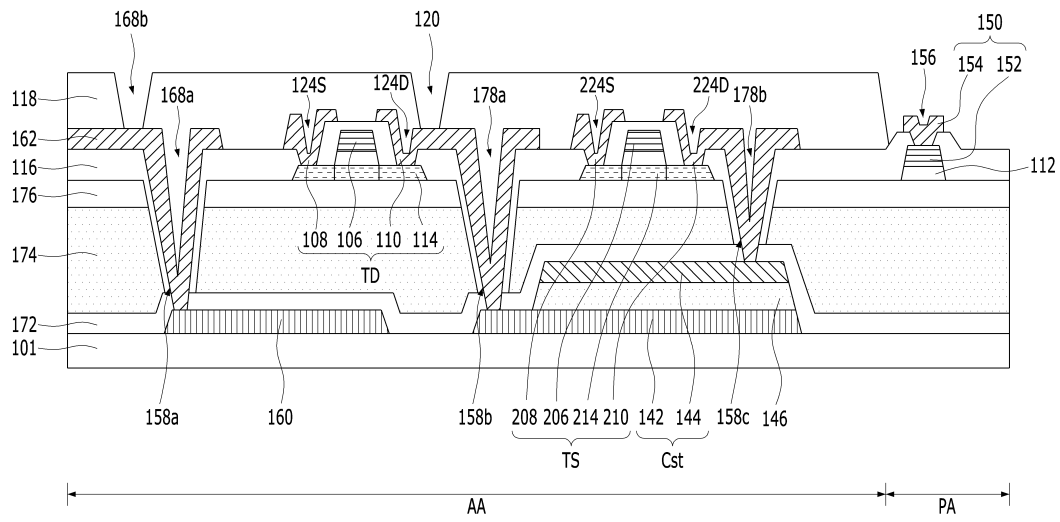
도면5d



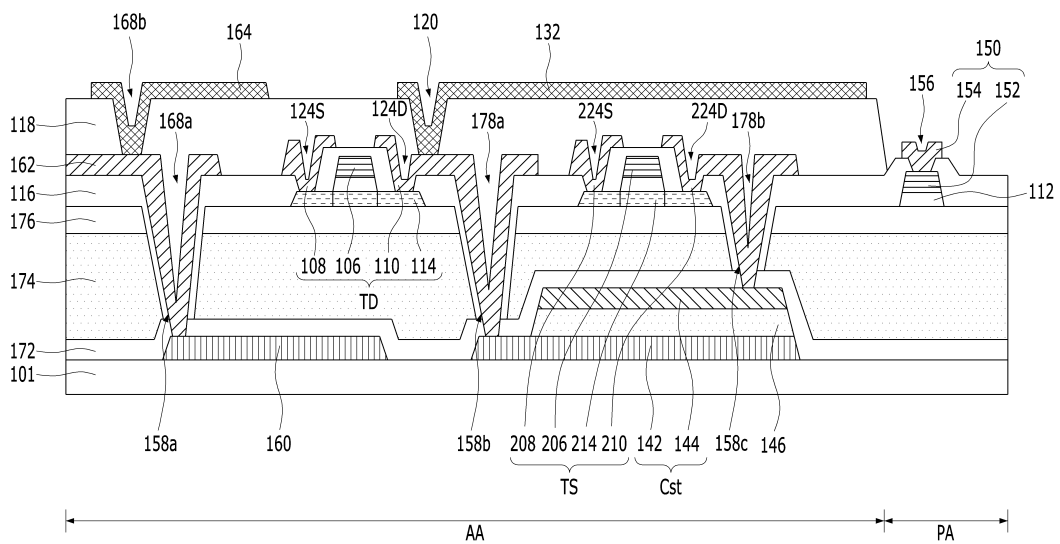
도면5e



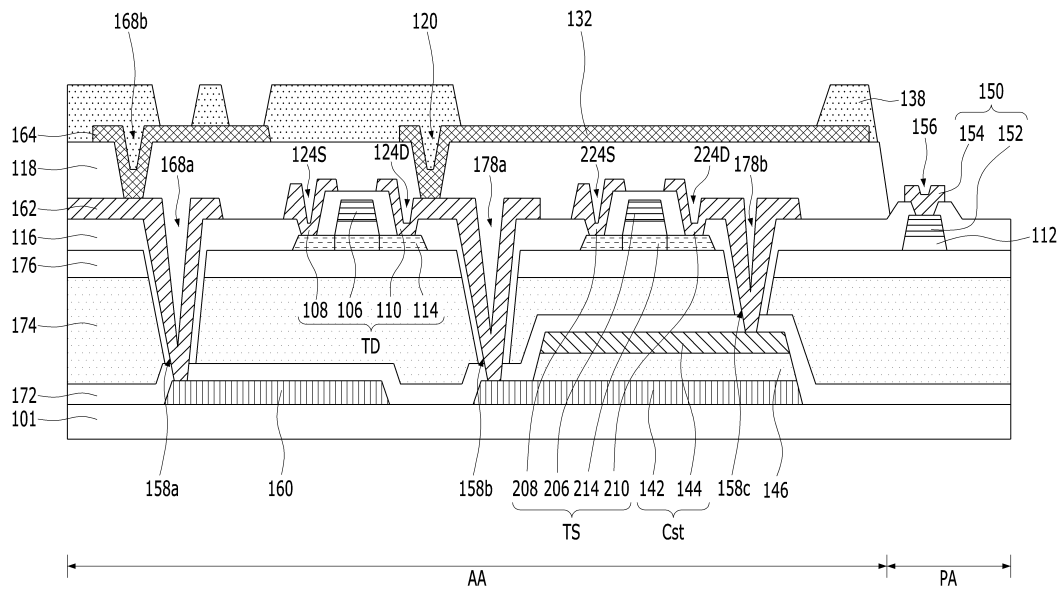
도면5f



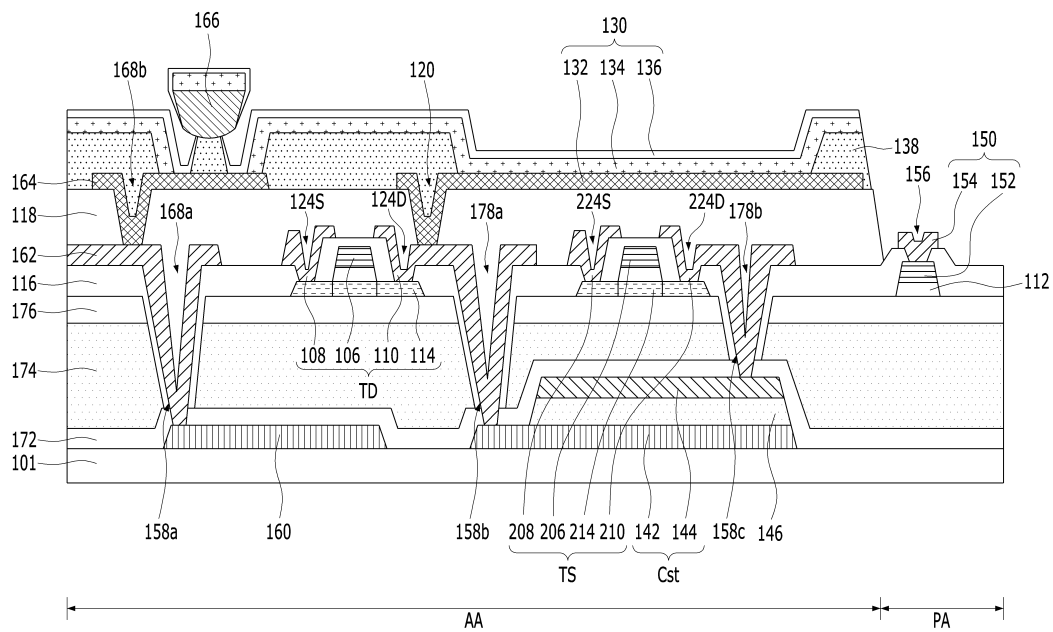
도면5g



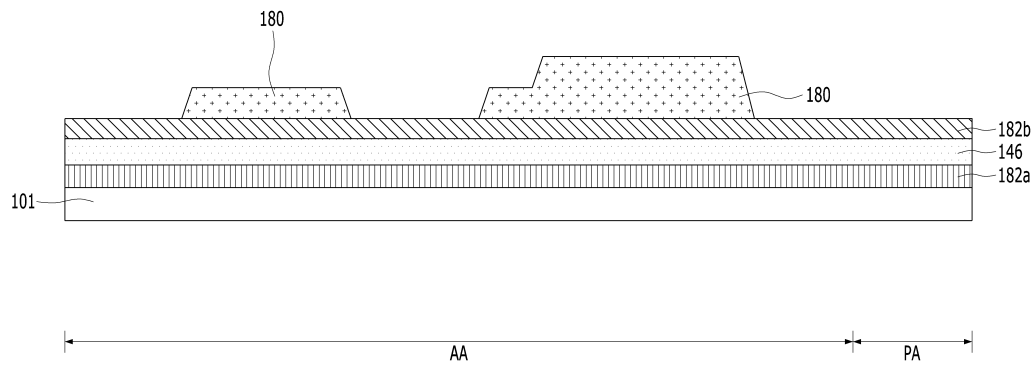
도면5h



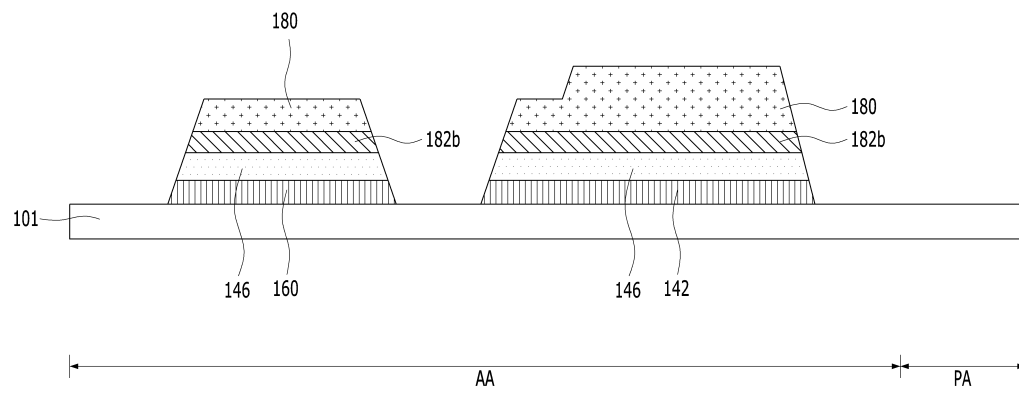
도면5i



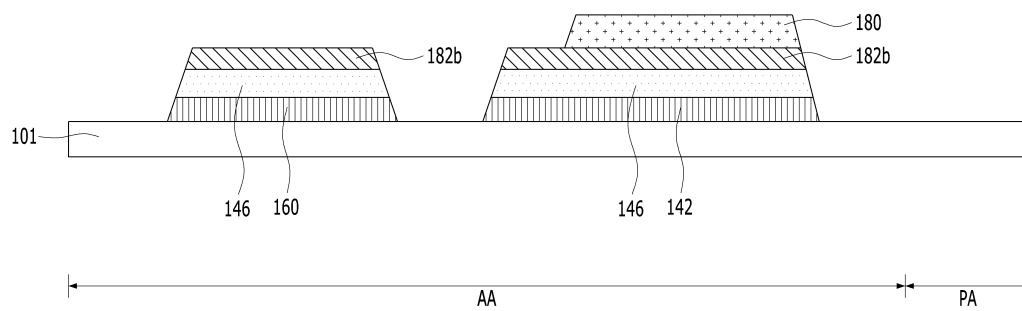
도면6a



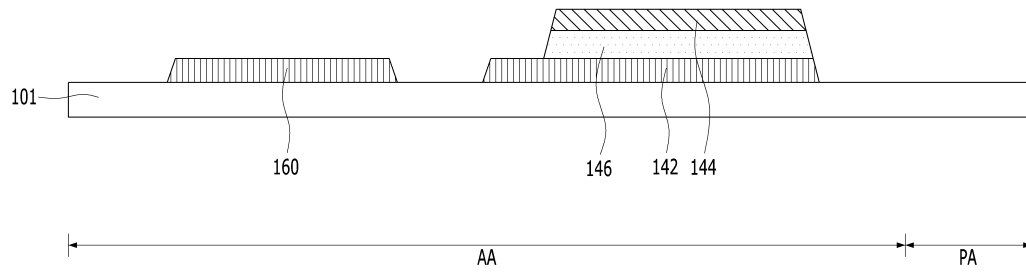
도면6b



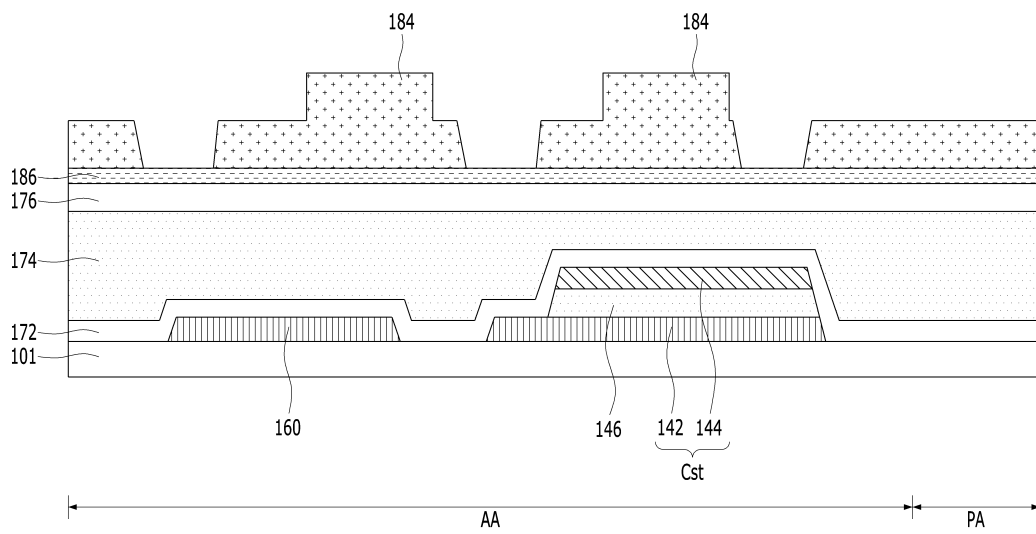
도면6c



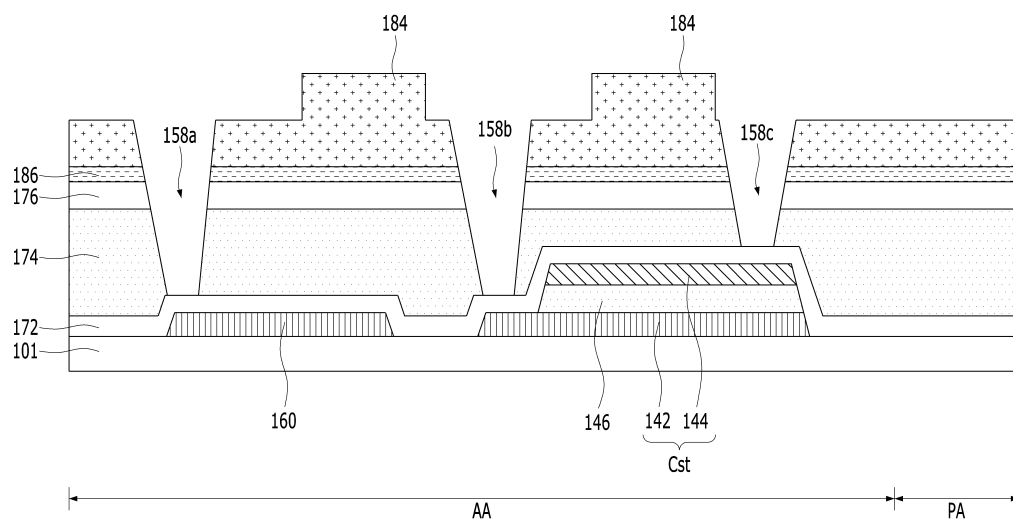
도면6d



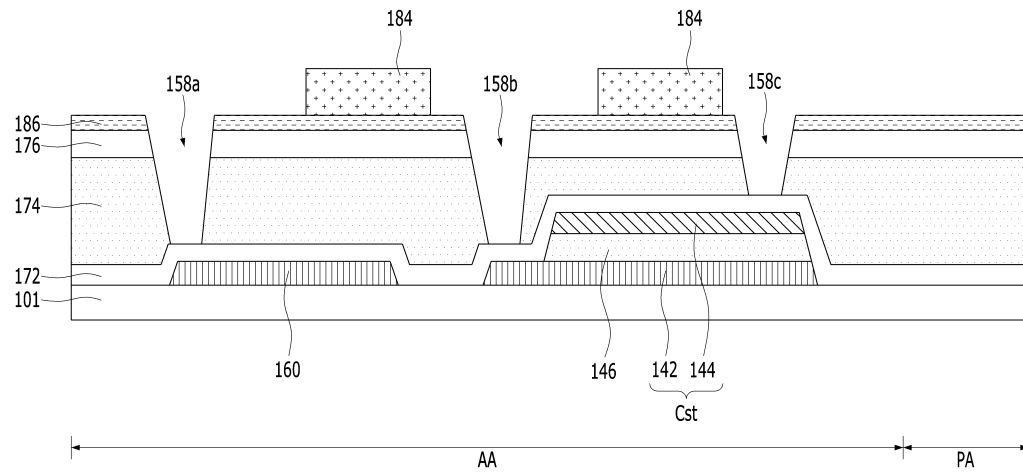
도면7a



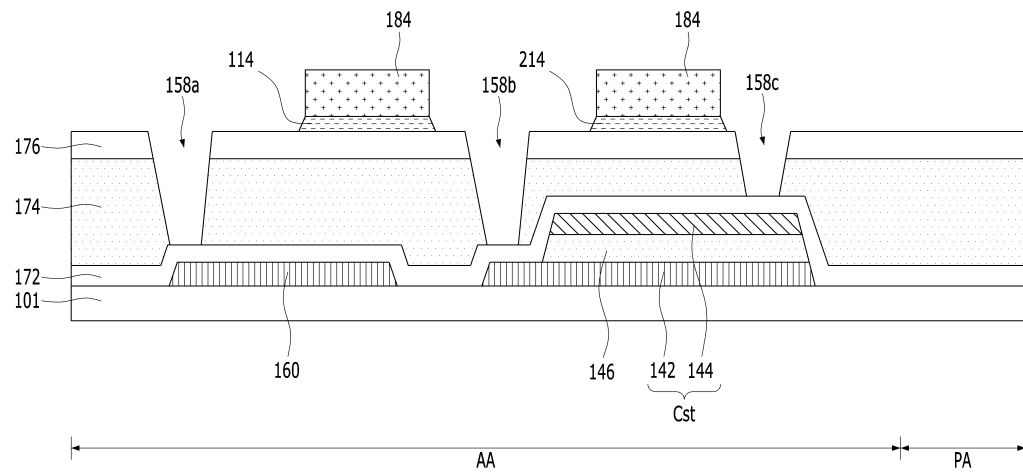
도면7b



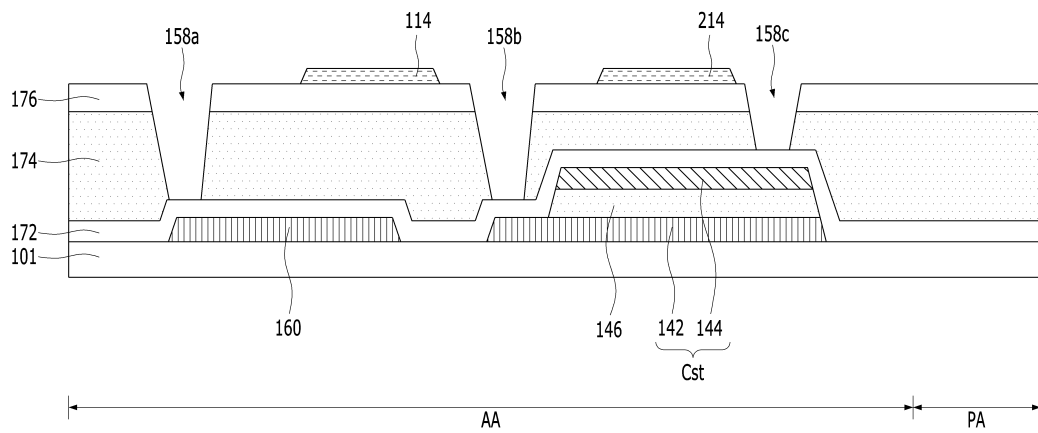
도면7c



도면7d



도면7e



专利名称(译)	有机发光显示器		
公开(公告)号	KR1020180068634A	公开(公告)日	2018-06-22
申请号	KR1020160170520	申请日	2016-12-14
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	BEAK JUNG SUN 백정선 KIM JEONG OH 김정오 LEE JONG WON 이종원 LEE DONG KYU 이동규		
发明人	백정선 김정오 이종원 이동규		
IPC分类号	H01L27/32 H01L27/12		
CPC分类号	H01L27/3265 H01L27/3262 H01L27/3276 H01L27/1255 H01L2251/558 H01L27/32 H01L27/3244 H01L27/3246 G09G3/3258 H01L27/1218 H01L27/1288 H01L51/5203		
代理人(译)	Bakyoungbok		
外部链接	Espacenet		

摘要(译)

本发明涉及一种能够实现高分辨率的有机发光二极管 (OLED) 显示器，并且根据本发明的有机发光显示器包括存储电容器，该存储电容器与晶体管重叠，其间插入至少一个缓冲层，并且存储下电极和存储上电极中的一个具有与存储缓冲层相同的线宽，从而确保足够的工艺余量并实现高分辨率和良率这提高。

