(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0003307
(43) 공개일자 2018년01월09일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *H01L 27/12* (2006.01)
H01L 51/56 (2006.01)
(52) CPC특허분류
H01L 27/3276 (2013.01)
H01L 27/1244 (2013.01)
(21) 출원번호 10-2016-0082955
(22) 출원일자 2016년06월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김현수
경기도 파주시 후곡로 77, 106동 1503호(금촌동, 쇠재마을풍림아이원아파트)
신우섭
경기도 파주시 청석로 300, 908동 1204호(다율동, 청석마을대원효성아파트)
(뒷면에 계속)
(74) 대리인
박영복

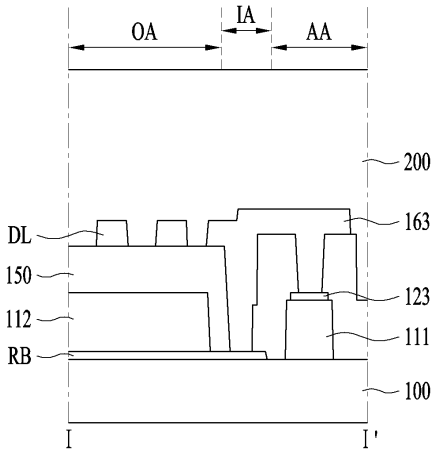
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **신호 배선들의 교차 영역을 포함하는 유기 발광 표시 장치**

(57) 요 약

유기 발광 표시 장치 및 그의 제조 방법이 제공된다. 상기 유기 발광 표시 장치는 하부 기판과 TR 반도체 패턴 사이에 위치하는 제 1 버퍼 패턴 및 브릿지 패턴과 데이터 라인 사이에 위치하는 제 2 버퍼 패턴을 포함한다. 상기 제 2 버퍼 패턴은 상기 제 1 버퍼 패턴과 이격된다. 상기 제 2 버퍼 패턴은 상기 제 1 버퍼 패턴과 동시에 형성된다.

대 표 도 - 도3a



(52) CPC특허분류
H01L 27/1288 (2013.01)
H01L 27/3248 (2013.01)
H01L 27/3258 (2013.01)
H01L 51/56 (2013.01)
H01L 2227/323 (2013.01)
(72) 발명자
박상무
경기도 고양시 일산동구 위시티4로 46, 211동 802호(식사동, 위시티일산자이2단지아파트)
고성민
경기도 고양시 일산동구 백마로 195, 101-1009호(장항동, 에스케이엠시티오피스텔)

명 세 서

청구범위

청구항 1

액티브 영역, 브릿지/데이터 중첩 영역 및 상기 액티브 영역과 상기 브릿지/데이터 중첩 영역을 둘러싸는 중간 영역을 포함하는 하부 기판;

상기 하부 기판의 상기 액티브 영역 상에 위치하는 TR 반도체 패턴;

상기 하부 기판과 상기 TR 반도체 패턴 사이에 위치하는 제 1 버퍼 패턴;

상기 하부 기판의 상기 브릿지/데이터 중첩 영역 상에 위치하는 브릿지 패턴;

상기 브릿지 패턴 상에 위치하고, 상기 TR 반도체 패턴 및 상기 하부 기판의 상기 중간 영역 상으로 연장하는 층간 절연막;

상기 층간 절연막 상에 위치하고, 상기 하부 기판의 상기 브릿지/데이터 중첩 영역 상에서 상기 브릿지 패턴과 수직 중첩하는 데이터 라인; 및

상기 브릿지 패턴과 상기 층간 절연막 사이에 위치하는 제 2 버퍼 패턴을 포함하되,

상기 제 2 버퍼 패턴은 상기 제 1 버퍼 패턴과 이격되는 유기 발광 표시 장치.

청구항 2

제 1 항에 있어서,

상기 TR 반도체 패턴의 하부면의 수평 폭은 상기 제 1 버퍼 패턴의 상부면의 수평 폭보다 작은 유기 발광 표시 장치.

청구항 3

제 1 항에 있어서,

상기 제 2 버퍼 패턴은 상기 제 1 버퍼 패턴과 동일한 물질을 포함하는 유기 발광 표시 장치.

청구항 4

제 3 항에 있어서,

상기 제 2 버퍼 패턴의 수직 두께는 상기 제 1 버퍼 패턴의 수직 두께와 동일한 유기 발광 표시 장치.

청구항 5

제 1 항에 있어서,

상기 제 2 버퍼 패턴의 상부면은 상기 층간 절연막과 직접 접촉하는 유기 발광 표시 장치.

청구항 6

제 1 항에 있어서,

상기 하부 기판의 상기 중간 영역 상에서 상기 하부 기판과 상기 층간 절연막 사이에 위치하는 게이트 라인을 더 포함하되,

상기 하부 기판의 상기 중간 영역 상에서 상기 게이트 라인의 하부면은 상기 제 1 버퍼 패턴의 상부면 및 상기 제 2 버퍼 패턴의 상부면보다 낮은 유기 발광 표시 장치.

청구항 7

액티브 영역, 브릿지/데이터 중첩 영역 및 상기 액티브 영역과 상기 브릿지/데이터 중첩 영역을 둘러싸는 중간

영역을 포함하는 하부 기판을 준비하는 단계;

상기 하부 기판의 상기 브릿지/데이터 중첩 영역 상에 브릿지 패턴을 형성하는 단계;

상기 브릿지 패턴이 형성된 상기 하부 기판 상에 버퍼층 및 반도체층을 순차적으로 형성하는 단계;

하프톤 마스크를 이용하여 상기 반도체층 상에 제 1 PR 패턴 및 상기 제 1 PR 패턴보다 얇은 두께의 제 2 PR 패턴을 포함하는 제 1 마스크를 형성하되, 상기 제 1 PR 패턴이 상기 하부 기판의 상기 액티브 영역 상에 형성되고, 상기 제 2 PR 패턴이 상기 브릿지/데이터 중첩 영역 상에 형성되는 단계;

상기 제 1 마스크를 식각 마스크로 상기 버퍼층 및 상기 반도체층을 식각하여 상기 하부 기판의 상기 액티브 영역 상에 위치하는 제 1 버퍼 패턴과 TR 반도체 패턴 및 상기 하부 기판의 상기 브릿지/데이터 중첩 영역 상에 위치하는 제 2 버퍼 패턴 및 더미 반도체 패턴을 형성하는 단계;

상기 제 1 마스크를 이용하여 상기 더미 반도체 패턴의 상부면이 노출되는 제 2 마스크를 형성하는 단계;

상기 제 2 마스크를 식각 마스크로 상기 더미 반도체 패턴을 식각하여 상기 제 2 버퍼 패턴의 상부면을 노출하는 단계;

상기 제 2 마스크를 제거한 후, 상기 제 2 버퍼 패턴 및 상기 TR 반도체 패턴을 포함하는 상기 하부 기판 상에 게이트 라인을 형성하는 단계;

상기 게이트 라인이 형성된 상기 하부 기판 상에 층간 절연막을 형성하는 단계;

상기 층간 절연막을 패터닝하여 상기 브릿지 패턴 및 상기 TR 반도체 패턴을 부분적으로 노출하는 컨택홀을 형성하는 단계; 및

상기 컨택홀을 통해 상기 브릿지 패턴 또는 상기 TR 반도체 패턴과 연결되는 도전 패턴 및 데이터 라인을 형성하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 8

제 7 항에 있어서,

상기 층간 절연막을 패터닝하는 단계는 상기 층간 절연막 상에 상기 컨택홀이 형성될 영역 상에 개구부가 위치하는 제 3 마스크를 형성하는 단계를 포함하되, 상기 하부 기판 상에서 상기 제 3 마스크의 상부면은 일정한 레벨을 갖는 유기 발광 표시 장치의 제조 방법.

청구항 9

제 7 항에 있어서,

상기 제 2 마스크를 형성하는 단계는 상기 제 1 마스크를 애싱하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 10

제 9 항에 있어서,

상기 제 2 마스크는 상기 TR 반도체 패턴의 가장 자리를 노출하는 유기 발광 표시 장치의 제조 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 다양한 신호 배선들이 서로 교차하는 유기 발광 표시 장치에 관한 것이다.

배 경 기 술

[0002] 일반적으로 모니터, TV, 노트북, 디지털 카메라 등과 같은 전자 기기는 영상을 구현하기 위한 디스플레이 장치를 포함한다. 예를 들어, 상기 디스플레이 장치는 액정 표시 장치 및 유기 발광 표시 장치를 포함할 수 있다.

[0003] 상기 유기 발광 표시 장치는 박막 트랜지스터를 포함하는 복수의 화소들 및 상기 복수의 화소들에 다양한 신호

를 전달하기 위한 신호 배선들을 포함할 수 있다. 예를 들어, 상기 신호 배선들은 상기 박막 트랜지스터를 구동하기 위한 신호들이 전달되는 게이트 라인, 데이터 라인 및 전원전압 라인을 포함할 수 있다.

[0004] 상기 유기 발광 표시 장치는 고해상도를 구현하기 위하여 각 화소에 인가되는 신호의 종류가 늘어남에 따라 서로 다른 신호를 전달하는 신호 배선들 사이의 교차 영역이 증가할 수 있다. 이에 따라 상기 유기 발광 표시 장치에서는 서로 다른 신호를 전달하는 신호 배선들 사이에 형성된 절연막의 두께가 충분하지 못하면, 신호 배선들의 교차 영역에서 쇼트가 발생하는 문제점이 있다.

[0005] 또한, 상기 유기 발광 표시 장치의 상기 박막 트랜지스터가 산화물 반도체 패턴을 포함하는 경우, 하부 기판과 상기 산화물 반도체 패턴 사이에 위치하는 버퍼층을 통해 빛이 유입되어 상기 박막 트랜지스터의 특성이 저하되는 문제점이 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명이 해결하고자 하는 과제는 교차하는 서로 다른 신호를 전달하는 신호 배선들 사이의 쇼트를 방지할 수 있는 유기 발광 표시 장치 및 그의 제조 방법을 제공하는 것이다.

[0007] 본 발명의 해결하고자 하는 다른 과제는 후속 공정에 의해 신호 배선들 사이에 형성된 절연막의 손실을 방지할 수 있는 유기 발광 표시 장치 및 그의 제조 방법을 제공하는 것이다.

[0008] 본 발명이 해결하고자 하는 또다른 과제는 박막 트랜지스터의 반도체 패턴으로 빛이 유입되는 것을 방지할 수 있는 유기 발광 표시 장치 및 그의 제조 방법을 제공하는 것이다.

[0009] 본 발명이 해결하고자 하는 과제들은 앞서 언급한 과제들로 한정되지 않는다. 여기서 언급되지 않은 과제들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해될 것이다.

과제의 해결 수단

[0010] 상기 해결하고자 하는 과제를 달성하기 위한 본 발명의 기술적 사상에 따른 유기 발광 표시 장치는 액티브 영역, 브릿지/데이터 중첩 영역 및 상기 액티브 영역과 상기 브릿지/데이터 중첩 영역을 둘러싸는 중간 영역을 포함하는 하부 기판; 상기 하부 기판의 상기 액티브 영역 상에 위치하는 TR 반도체 패턴; 상기 하부 기판과 상기 TR 반도체 패턴 사이에 위치하는 제 1 버퍼 패턴; 상기 하부 기판의 상기 브릿지/데이터 중첩 영역 상에 위치하는 브릿지 패턴; 상기 브릿지 패턴 상에 위치하고, 상기 TR 반도체 패턴 및 상기 하부 기판의 상기 중간 영역 상으로 연장하는 층간 절연막; 상기 층간 절연막 상에 위치하고, 상기 하부 기판의 상기 브릿지/데이터 중첩 영역 상에서 상기 브릿지 패턴과 수직 중첩하는 데이터 라인; 및 상기 브릿지 패턴과 상기 층간 절연막 사이에 위치하는 제 2 버퍼 패턴을 포함한다. 상기 제 2 버퍼 패턴은 상기 제 1 버퍼 패턴과 이격된다.

[0011] 상기 TR 반도체 패턴의 하부면의 수평 폭은 상기 제 1 버퍼 패턴의 상부면의 수평 폭보다 작을 수 있다.

[0012] 상기 제 2 버퍼 패턴은 상기 제 1 버퍼 패턴과 동일한 물질을 포함할 수 있다.

[0013] 상기 제 2 버퍼 패턴의 수직 두께는 상기 제 1 버퍼 패턴의 수직 두께와 동일할 수 있다.

[0014] 상기 제 2 버퍼 패턴의 상부면은 상기 층간 절연막과 직접 접촉할 수 있다.

[0015] 상기 유기 발광 표시 장치는 상기 하부 기판의 상기 중간 영역 상에서 상기 하부 기판과 상기 층간 절연막 사이에 위치하는 게이트 라인을 더 포함할 수 있다. 상기 하부 기판의 상기 중간 영역 상에서 상기 게이트 라인의 하부면은 상기 제 1 버퍼 패턴의 상부면 및 상기 제 2 버퍼 패턴의 상부면보다 낮을 수 있다.

[0016] 상기 해결하고자 하는 과제를 달성하기 위한 본 발명의 기술적 사상에 따른 유기 발광 표시 장치의 제조 방법은 액티브 영역, 브릿지/데이터 중첩 영역 및 상기 액티브 영역과 상기 브릿지/데이터 중첩 영역을 둘러싸는 중간 영역을 포함하는 하부 기판을 준비하고, 상기 하부 기판의 상기 브릿지/데이터 중첩 영역 상에 브릿지 패턴을 형성하고, 상기 브릿지 패턴이 형성된 상기 하부 기판 상에 버퍼층 및 반도체층을 순차적으로 형성하고, 하프톤 마스크를 이용하여 상기 반도체층 상에 제 1 PR 패턴 및 상기 제 1 PR 패턴보다 얇은 두께의 제 2 PR 패턴을 포함하는 제 1 마스크를 형성하되, 상기 제 1 PR 패턴이 상기 하부 기판의 상기 액티브 영역 상에 형성되고, 상기 제 2 PR 패턴이 상기 브릿지/데이터 중첩 영역 상에 형성되고, 상기 제 1 마스크를 식각 마스크로 상기 버퍼층 및 상기 반도체층을 식각하여 상기 하부 기판의 상기 액티브 영역 상에 위치하는 제 1 버퍼 패턴과 TR 반도체

패턴 및 상기 하부 기판의 상기 브릿지/데이터 중첩 영역 상에 위치하는 제 2 버퍼 패턴 및 더미 반도체 패턴을 형성하고, 상기 제 1 마스크를 이용하여 상기 더미 반도체 패턴의 상부면이 노출되는 제 2 마스크를 형성하고, 상기 제 2 마스크를 식각 마스크로 상기 더미 반도체 패턴을 식각하여 상기 제 2 버퍼 패턴의 상부면을 노출하고, 상기 제 2 마스크를 제거한 후, 상기 제 2 버퍼 패턴 및 상기 TR 반도체 패턴을 포함하는 상기 하부 기판 상에 게이트 라인을 형성하고, 상기 게이트 라인이 형성된 상기 하부 기판 상에 층간 절연막을 형성하고, 상기 층간 절연막을 패터닝하여 상기 브릿지 패턴 및 상기 TR 반도체 패턴을 부분적으로 노출하는 컨택홀을 형성하고, 상기 컨택홀을 통해 상기 브릿지 패턴 또는 상기 TR 반도체 패턴과 연결되는 도전 패턴 및 데이터 라인을 형성하는 것을 포함한다.

[0017] 상기 층간 절연막을 패터닝하는 것은 상기 층간 절연막 상에 상기 컨택홀이 형성될 영역 상에 개구부가 위치하는 마스크 패턴을 형성하는 것을 포함할 수 있다. 상기 마스크 패턴은 상기 하부 기판 상에서 일정한 두께를 가질 수 있다.

[0018] 상기 제 2 마스크를 형성하는 것은 상기 제 1 마스크를 애싱하는 것을 포함할 수 있다.

[0019] 상기 제 2 마스크는 상기 TR 반도체 패턴의 가장 자리를 노출할 수 있다.

발명의 효과

[0020] 본 발명의 기술적 사상에 따른 유기 발광 표시 장치 및 그의 제조 방법은 브릿지 패턴을 이용하여 교차하는 신호 배선들 사이에 충분한 두께의 절연막이 형성될 수 있다. 이에 따라 본 발명의 기술적 사상에 따른 유기 발광 표시 장치 및 그의 제조 방법에서는 교차 영역에서 신호 배선들 사이의 쇼트가 방지될 수 있다.

[0021] 또한, 본 발명의 기술적 사상에 따른 유기 발광 표시 장치 및 그의 제조 방법은 신호 배선들 사이에 적층되는 절연막에 컨택홀을 형성하는 공정을 간략화할 수 있다. 이에 따라 본 발명의 기술적 사상에 따른 유기 발광 표시 장치 및 그의 제조 방법에서는 후속 공정에 의해 신호 배선들 사이에 위치하는 절연막의 손실이 방지될 수 있다.

[0022] 덧붙여, 본 발명의 기술적 사상에 따른 유기 발광 표시 장치 및 그의 제조 방법은 하부 기판과 반도체 패턴 사이에 다른 영역과 분리된 버퍼 패턴이 위치할 수 있다. 이에 따라 본 발명의 기술적 사상에 따른 유기 발광 표시 장치 및 그의 제조 방법에서는 하부 기판과 반도체 패턴 사이에 위치하는 버퍼 패턴을 통한 빛의 유입이 차단될 수 있다.

[0023] 따라서, 본 발명의 기술적 사상에 따른 유기 발광 표시 장치 및 그의 제조 방법에서는 신뢰성이 향상될 수 있다.

도면의 간단한 설명

[0024] 도 1은 본 발명의 실시 예에 따른 유기 발광 표시 장치의 등가 회로를 개략적으로 나타낸 도면이다.

도 2는 도 1에 도시된 등가 회로에 따른 유기 발광 표시 장치의 레이 아웃을 나타낸 도면이다.

도 3a는 도 2의 I-I'선을 따라 절단한 단면을 나타낸 도면이다.

도 3b는 도 2의 II-II'선을 따라 절단한 단면을 나타낸 도면이다.

도 4a 내지 13a 및 4b 내지 13b는 본 발명의 실시 예에 따른 유기 발광 표시 장치의 제조 방법을 순차적으로 나타낸 도면들이다.

발명을 실시하기 위한 구체적인 내용

[0025] 본 발명의 상기 목적과 기술적 구성 및 이에 따른 작용 효과에 관한 자세한 사항은 본 발명의 실시 예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 더욱 명확하게 이해될 것이다. 여기서, 본 발명의 실시 예들은 당업자에게 본 발명의 기술적 사상이 충분히 전달될 수 있도록 하기 위하여 제공되는 것이므로, 본 발명은 이하 설명되는 실시 예들에 한정되지 않도록 다른 형태로 구체화될 수 있다.

[0026] 또한, 명세서 전체에 걸쳐서 동일한 참조 번호로 표시된 부분들은 동일한 구성 요소들을 의미하며, 도면들에 있어서 층 또는 영역의 길이와 두께는 편의를 위하여 과장되어 표현될 수 있다. 덧붙여, 제 1 구성 요소가 제 2 구성 요소 "상"에 있다고 기재되는 경우, 상기 제 1 구성 요소가 상기 제 2 구성 요소와 직접 접촉하는 상측에 위치하는 것뿐만 아니라, 상기 제 1 구성 요소와 상기 제 2 구성 요소 사이에 제 3 구성 요소가 위치하는 경우

도 포함한다.

[0027] 여기서, 상기 제 1, 제 2 등의 용어는 다양한 구성 요소를 설명하기 위한 것으로, 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로 사용된다. 다만, 본 발명의 기술적 사상을 벗어나지 않는 범위에서는 제 1 구성 요소와 제 2 구성 요소는 당업자의 편의에 따라 임의로 명명될 수 있다.

[0028] 본 발명의 명세서에서 사용하는 용어는 단지 특정한 실시 예를 설명하기 위해 사용되는 것으로, 본 발명을 한정하려는 의도가 아니다. 예를 들어, 단수로 표현된 구성 요소는 문맥상 명백하게 단수만을 의미하지 않는다면 복수의 구성 요소를 포함한다. 또한, 본 발명의 명세서에서, "포함하다" 또는 "가지다"등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0029] 덧붙여, 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미가 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미가 있는 것으로 해석되어야 하며, 본 발명의 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0030] (실시 예)

[0031] 도 1은 본 발명의 실시 예에 따른 유기 발광 표시 장치의 등가 회로를 개략적으로 나타낸 도면이다.

[0032] 도 1을 참조하면, 본 발명의 실시 예에 따른 유기 발광 표시 장치는 서로 교차하여 화소 영역(PA)을 정의하는 게이트 라인(GL)과 데이터 라인(DL) 및 상기 데이터 라인(DL)과 평행하게 위치하는 전원전압라인(PL1)을 포함할 수 있다. 상기 화소 영역(PA)은 제 1 박막 트랜지스터(T1), 제 2 박막 트랜지스터(T2), 유기 발광 소자(EL) 및 스토리지 커패시터(Cst)를 포함할 수 있다.

[0033] 상기 제 1 박막 트랜지스터(T1)는 상기 게이트 라인(GL)을 통해 인가되는 게이트 신호에 의해 제어될 수 있다. 예를 들어, 상기 제 1 박막 트랜지스터(T1)의 게이트 전극은 상기 게이트 라인(GL)과 연결될 수 있다. 상기 제 1 박막 트랜지스터(T1)는 상기 게이트 신호에 따라 상기 데이터 라인(DL)을 통해 인가되는 데이터 신호를 상기 제 2 박막 트랜지스터(T2)로 전달할 수 있다. 예를 들어, 상기 제 1 박막 트랜지스터는 상기 화소 영역(PA)의 구동 여부를 선택하기 위한 스위칭 소자일 수 있다.

[0034] 상기 제 2 박막 트랜지스터(T2)는 상기 제 1 박막 트랜지스터(T1)에 의해 전달되는 상기 데이터 신호에 의해 제어될 수 있다. 예를 들어, 상기 제 2 박막 트랜지스터(T2)의 게이트 전극은 상기 제 1 박막 트랜지스터(T1)의 드레인 전극과 연결될 수 있다. 상기 제 2 박막 트랜지스터(T2)는 상기 데이터 신호에 따라 상기 전원전압라인(PL1)을 통해 인가되는 전원전압을 이용하여 상기 유기 발광 소자(EL)로 구동 전류를 공급할 수 있다. 예를 들어, 상기 제 2 박막 트랜지스터(T2)는 상기 유기 발광 소자(EL)의 동작을 제어하는 구동 소자일 수 있다.

[0035] 상기 유기 발광 소자(EL)는 상기 제 2 박막 트랜지스터(T2)의 드레인 전극과 공통 전원(Vcom) 사이에 연결될 수 있다. 상기 유기 발광 소자(EL)는 상기 제 2 박막 트랜지스터(T2)에 의해 공급된 구동 전류에 대응되는 휘도의 광을 방출할 수 있다. 상기 제 2 박막 트랜지스터(T2)에 의해 상기 유기 발광 소자(EL)로 공급된 구동 전류는 상기 스토리지 커패시터(Cst)에 의해 한 프레임 동안 유지될 수 있다.

[0036] 본 발명의 실시 예에 따른 유기 발광 표시 장치는 상기 데이터 라인(DL) 및 상기 전원전압라인(PL1)과 평행한 리셋전압라인(PL2) 및 상기 게이트 라인(GL)과 평행하게 위치하는 리셋 라인(RL)을 더 포함할 수 있다. 상기 화소 영역(PA)은 상기 리셋 라인(RL)을 통해 전달되는 리셋 신호에 의해 제어되는 상기 제 3 박막 트랜지스터(T3)를 더 포함할 수 있다.

[0037] 상기 제 3 박막 트랜지스터(T3)는 높은 레벨의 구동 전류에 의한 열화를 방지하기 위한 스위칭 소자일 수 있다. 예를 들어, 상기 제 3 박막 트랜지스터(T3)는 상기 리셋 신호에 따라 상기 유기 발광 소자(EL) 및 상기 커패시터(Cst)를 초기화할 수 있다.

[0038] 본 발명의 실시 예에 따른 유기 발광 표시 장치는 전원전압라인(PL1)과 리셋전압라인(PL2) 사이에 두 개의 데이터 라인(DL)이 위치할 수 있다. 즉, 본 발명의 실시 예에 따른 유기 발광 표시 장치에서는 인접한 두 개의 화소 영역(PA)이 전원전압라인(PL1) 및 리셋전압라인(PL2)을 공유할 수 있다.

[0039] 도 2는 도 1에 도시된 등가 회로에 따른 유기 발광 표시 장치의 레이 아웃을 나타낸 도면이다. 도 3a는 도 2의 I-I'선을 따라 절단한 단면을 나타낸 도면이다. 도 3b는 도 2의 II-II'선을 따라 절단한 단면을 나타낸 도면이다.

[0040] 도 1, 2, 3a 및 3b를 참조하면, 본 발명의 실시 예에 따른 유기 발광 표시 장치는 인접한 두 개의 화소 영역(PA)이 공유하는 전원전압라인(PL1)과 연결되는 전원 브릿지 패턴(PB) 및 리셋전압라인(PL2)과 연결되는 리셋 브릿지 패턴(RB)을 더 포함할 수 있다.

[0041] 상기 전원 브릿지 패턴(PB) 및 상기 리셋 브릿지 패턴(RB)은 상기 제 1 내지 제 3 박막 트랜지스터(T1-T3) 중 적어도 하나의 하부에 위치하는 차광 패턴(LS)과 동일한 레벨을 가질 수 있다. 예를 들어, 상기 차광 패턴(LS), 상기 전원 브릿지 패턴(PB) 및 상기 리셋 브릿지 패턴(RB)은 상기 하부 기판(100)과 직접 접촉할 수 있다. 상기 하부 기판(100)은 절연성 물질을 포함할 수 있다. 예를 들어, 상기 하부 기판(100)은 유리 또는 플라스틱 기판을 포함할 수 있다.

[0042] 상기 하부 기판(100)은 액티브 영역(AA), 브릿지/데이터 중첩 영역(OA) 및 중간 영역(intermediate area; IA)을 포함할 수 있다. 상기 하부 기판(100)의 상기 액티브 영역(AA)은 상기 제 1 박막 트랜지스터(T1)의 제 1 TR 반도체 패턴(121), 상기 제 2 박막 트랜지스터(T2)의 제 2 TR반도체 패턴(122) 및 상기 제 3 박막 트랜지스터(T3)의 제 3 TR 반도체 패턴(123)과 중첩하는 영역일 수 있다. 상기 하부 기판(100)의 상기 브릿지/데이터 중첩 영역(OA)은 상기 전원 브릿지 패턴(PB) 및 상기 리셋 브릿지 패턴(RB)과 중첩하는 영역일 수 있다. 상기 하부 기판(100)의 상기 중간 영역(IA)은 상기 액티브 영역(AA) 및 상기 브릿지/데이터 중첩 영역(OA) 사이에 위치할 수 있다. 예를 들어, 상기 중간 영역(IA)은 상기 액티브 영역(AA) 및 상기 브릿지/데이터 중첩 영역(OA)을 둘러쌀 수 있다.

[0043] 상기 전원 브릿지 패턴(PB) 및 상기 리셋 브릿지 패턴(RB)은 상기 하부 기판(100)의 브릿지/데이터 중첩 영역(OA)에서 상기 데이터 라인(DL)과 수직 중첩할 수 있다. 상기 하부 기판(100)의 상기 브릿지/데이터 중첩 영역(OA) 상에서 상기 브릿지 패턴(PB, RB)과 상기 데이터 라인(DL) 사이에는 제 2 버퍼 패턴(112) 및 층간 절연막(150)이 위치할 수 있다. 이에 따라 본 발명의 실시 예에 따른 유기 발광 표시 장치에서는 브릿지 패턴(PB, RB)와 데이터 라인(DL) 사이의 교차 영역이 충분히 절연될 수 있다.

[0044] 상기 하부 기판(100)의 상기 액티브 영역(AA) 상에서 상기 하부 기판(100)과 제 1 내지 제 3 TR 반도체 패턴(121-123) 사이에는 제 1 버퍼 패턴(111)이 위치할 수 있다. 상기 제 1 버퍼 패턴(111)은 상기 제 2 버퍼 패턴(112)과 이격될 수 있다. 이에 따라 본 발명의 실시 예에 따른 유기 발광 표시 장치는 버퍼 패턴(111, 112)을 통해 빛이 상기 제 1 내지 제 3 TR 반도체 패턴(121-123)으로 유입되는 것을 방지할 수 있다. 따라서 본 발명의 실시 예에 따른 유기 발광 표시 장치에서는 제 1 내지 제 3 박막 트랜지스터(T1-T3)의 특성 저하가 방지되어, 신뢰성이 향상될 수 있다.

[0045] 도 4a 내지 13a 및 4b 내지 13b는 본 발명의 실시 예에 따른 유기 발광 표시 장치의 제조 방법을 순차적으로 나타낸 도면들이다.

[0046] 도 2, 3a 내지 13a 및 3b 내지 13b를 참조하여 본 발명의 실시 예에 따른 유기 발광 표시 장치의 제조 방법을 설명한다. 먼저, 도 2, 4a 및 4b를 참조하면, 본 발명의 실시 예에 따른 유기 발광 표시 장치의 제조 방법은 액티브 영역(AA), 브릿지/데이터 중첩 영역(OA) 및 중간 영역(IA)을 포함하는 하부 기판(100)을 준비하는 단계 및 상기 하부 기판(100) 상에 전원 브릿지 패턴(PB), 리셋 브릿지 패턴(RB) 및 차광 패턴(LS)을 형성하는 단계를 포함할 수 있다.

[0047] 상기 전원 브릿지 패턴(PB), 상기 리셋 브릿지 패턴(RB) 및 상기 차광 패턴(LS)은 동시에 형성될 수 있다. 예를 들어, 상기 전원 브릿지 패턴(PB), 상기 리셋 브릿지 패턴(RB) 및 상기 차광 패턴(LS)을 형성하는 단계는 상기 하부 기판(100) 상에 도전성 물질층을 형성하는 단계 및 상기 도전성 물질층을 패터닝하는 단계를 포함할 수 있다. 상기 전원 브릿지 패턴(PB), 상기 리셋 브릿지 패턴(RB) 및 상기 차광 패턴(LS)은 동일한 물질을 포함할 수 있다. 상기 전원 브릿지 패턴(PB), 상기 리셋 브릿지 패턴(RB) 및 상기 차광 패턴(LS)은 동일한 수직 두께를 가질 수 있다.

[0048] 도 2, 5a 및 5b를 참조하면, 본 발명의 실시 예에 따른 유기 발광 표시 장치의 제조 방법은 상기 전원 브릿지 패턴(PB), 상기 리셋 브릿지 패턴(RB) 및 상기 차광 패턴(LS)이 형성된 상기 하부 기판(100) 상에 버퍼층(110)을 형성하는 단계, 상기 버퍼층(110) 상에 반도체층(120)을 형성하는 단계 및 상기 반도체층(120) 상에 제 1 마스크(M1)를 형성하는 단계를 포함할 수 있다.

[0049] 상기 버퍼층(110)을 형성하는 단계는 상기 전원 브릿지 패턴(PB), 상기 리셋 브릿지 패턴(RB) 및 상기 차광 패턴(LS)을 절연성 물질로 덮는 단계를 포함할 수 있다. 예를 들어, 상기 버퍼층(110)을 형성하는 단계는 상기 전원 브릿지 패턴(PB), 상기 리셋 브릿지 패턴(RB) 및 상기 차광 패턴(LS)이 형성된 상기 하부 기판(100) 상에 실리콘 산화물 층을 형성하는 단계를 포함할 수 있다.

[0050] 상기 반도체층(120)을 형성하는 단계는 상기 버퍼층(110) 상에 산화물 반도체 층을 형성하는 단계를 포함할 수 있다. 예를 들어, 상기 반도체층(120)은 IGZO를 포함할 수 있다.

[0051] 상기 제 1 마스크(M1)를 형성하는 단계는 상기 하부 기판(100)의 상기 액티브 영역(AA)과 수직 중첩하는 제 1 PR 패턴(PR1) 및 상기 하부 기판(100)의 상기 브릿지/데이터 중첩 영역(OA)과 수직 중첩하는 제 2 PR 패턴(PR2)을 형성하는 단계를 포함할 수 있다. 상기 제 2 PR 패턴(PR2)의 수직 두께는 상기 제 1 PR 패턴(PR1)의 수직 두께보다 작을 수 있다. 예를 들어, 상기 제 1 마스크(M1)는 하프 톤 마스크를 이용하여 형성될 수 있다.

[0052] 도 2, 6a 및 6b를 참조하면, 본 발명의 실시 예에 따른 유기 발광 표시 장치의 제조 방법은 상기 제 1 마스크(M1)를 식각 마스크로 상기 버퍼층(110) 및 상기 반도체층(120)을 식각하는 단계를 포함할 수 있다.

[0053] 상기 반도체층(120)의 식각 공정은 제 1 TR 반도체 패턴(121), 제 2 TR 반도체 패턴(122), 제 3 TR 반도체 패턴(123) 및 더미 반도체 패턴(124)을 형성할 수 있다. 상기 제 1 TR 반도체 패턴(121), 상기 제 2 TR 반도체 패턴(122) 및 상기 제 3 TR 반도체 패턴(123)은 상기 하부 기판(100)의 상기 액티브 영역(AA) 상에 형성될 수 있다. 상기 제 1 TR 반도체 패턴(121)은 후속 공정에 의해 제 1 박막 트랜지스터(T1)를 구성할 수 있다. 상기 제 2 TR 반도체 패턴(122)은 후속 공정에 의해 제 2 박막 트랜지스터(T2)를 구성할 수 있다. 상기 제 3 TR 반도체 패턴(123)은 후속 공정에 의해 제 3 박막 트랜지스터(T3)를 구성할 수 있다. 상기 더미 반도체 패턴(124)은 상기 하부 기판(100)의 상기 브릿지/데이터 중첩 영역(OA) 상에 형성될 수 있다.

[0054] 상기 버퍼층(110)의 식각 공정은 제 1 버퍼 패턴(111) 및 제 2 버퍼 패턴(112)을 형성할 수 있다. 상기 제 1 버퍼 패턴(111)은 상기 하부 기판(100)의 상기 액티브 영역(AA) 상에 형성될 수 있다. 상기 제 1 버퍼 패턴(111)은 상기 하부 기판(100)과 상기 제 1 TR 반도체 패턴(121), 상기 제 2 TR 반도체 패턴(122) 및 상기 제 3 TR 반도체 패턴(123) 사이에 위치할 수 있다. 상기 제 2 버퍼 패턴(112)은 상기 하부 기판(100)의 상기 브릿지/데이터 중첩 영역(OA) 상에 형성될 수 있다. 상기 제 2 버퍼 패턴(112)은 상기 전압 브릿지 패턴(PB) 및 상기 리셋 브릿지 패턴(RB)과 상기 더미 반도체 패턴(124) 사이에 형성될 수 있다. 상기 제 2 버퍼 패턴(112) 및 상기 더미 반도체 패턴(124)은 상기 전압 브릿지 패턴(PB) 및 상기 리셋 브릿지 패턴(RB)의 가장 자리를 노출할 수 있다.

[0055] 도 2, 7a 및 7b를 참조하면, 본 발명의 실시 예에 따른 유기 발광 표시 장치의 제조 방법은 상기 제 1 마스크(M1)를 이용하여 상기 더미 반도체 패턴(124)의 상부면을 노출하는 제 2 마스크(M2)를 형성하는 단계를 포함할 수 있다.

[0056] 상기 제 2 마스크(M2)를 형성하는 단계는 상기 제 1 마스크(M1)를 애싱(Ashing)하는 단계를 포함할 수 있다. 상기 제 2 마스크(M2)는 상기 제 1 TR 반도체 패턴(121)의 가장 자리, 상기 제 2 TR 반도체 패턴(122)의 가장 자리 및 상기 제 3 TR 반도체 패턴(123)의 가장 자리를 노출할 수 있다.

[0057] 도 2, 8a 및 8b를 참조하면, 본 발명의 실시 예에 따른 유기 발광 표시 장치의 제조 방법은 상기 제 2 마스크(M2)를 식각 마스크로 상기 더미 반도체 패턴(124)을 제거하는 단계를 포함할 수 있다.

[0058] 상기 더미 반도체 패턴(124)을 제거하는 단계는 상기 제 2 마스크(M2)에 의해 노출된 상기 제 1 TR 반도체 패턴(121)의 가장 자리, 상기 제 2 TR 반도체 패턴(122)의 가장 자리 및 상기 제 3 TR 반도체 패턴(123)의 가장 자리를 식각하는 단계를 포함할 수 있다. 상기 더미 반도체 패턴(124)을 제거하는 공정에 의해 상기 제 1 버퍼 패턴(111)의 상부면의 가장 자리가 노출될 수 있다. 상기 더미 반도체 패턴(124)을 제거하는 공정에 의해 상기 제 1 TR 반도체 패턴(121), 상기 제 2 TR 반도체 패턴(122) 및 상기 제 3 TR 반도체 패턴(123)의 하부면의 수평 폭은 해당 제 1 버퍼 패턴(111)의 상부면의 수평 폭보다 작아질 수 있다.

[0059] 도 2, 9a 및 9b를 참조하면, 본 발명의 실시 예에 따른 유기 발광 표시 장치의 제조 방법은 상기 제 2 마스크(M2)를 제거하는 단계를 포함할 수 있다.

[0060] 상기 제 2 마스크(M2)를 제거하는 공정에 의해 상기 제 1 TR 반도체 패턴(121)의 상부면, 상기 제 2 TR 반도체 패턴(122)의 상부면 및 상기 제 3 TR 반도체 패턴(123)의 상부면이 노출될 수 있다.

[0061] 도 2, 10a 및 10b를 참조하면, 본 발명의 실시 예에 따른 유기 발광 표시 장치의 제조 방법은 상기 제 2 마스크

(M2)가 제거된 상기 하부 기판(100) 상에 게이트 라인(GL) 및 리셋 라인(RL)을 형성하는 단계를 포함할 수 있다.

[0062] 상기 게이트 라인(GL) 및 상기 리셋 라인(RL)은 동시에 형성될 수 있다. 예를 들어, 상기 게이트 라인(GL) 및 상기 리셋 라인(RL)을 형성하는 단계는 상기 하부 기판(100) 상에 도전성 물질층을 형성하는 단계 및 상기 도전성 물질층을 패터닝하는 단계를 포함할 수 있다. 상기 게이트 라인(GL) 및 상기 리셋 라인(RL)은 동일한 물질을 포함할 수 있다. 상기 게이트 라인(GL) 및 상기 리셋 라인(RL)은 동일한 수직 두께를 가질 수 있다.

[0063] 상기 게이트 라인(GL) 및 상기 리셋 라인(RL)을 형성하는 단계는 상기 게이트 라인(GL)의 하부에 게이트 절연막(131)을 형성하는 단계 및 상기 리셋 라인(RL)의 하부에 리셋 절연막(132)을 형성하는 단계를 더 포함할 수 있다. 상기 리셋 절연막(132)을 형성하는 단계는 상기 게이트 절연막(131)을 형성하는 단계와 동시에 수행될 수 있다. 예를 들어, 상기 게이트 절연막(131) 및 상기 리셋 절연막(132)을 형성하는 단계는 상기 제 2 마스크(M2)가 제거된 상기 하부 기판(100) 상에 절연층을 형성하는 단계, 상기 절연층 상에 상기 게이트 라인(GL) 및 상기 리셋 라인(RL)을 형성하는 단계 및 상기 게이트 라인(GL)과 상기 리셋 라인(RL)을 식각 마스크로 상기 절연층을 식각하는 단계를 포함할 수 있다. 상기 게이트 절연막(131) 및 상기 리셋 절연막(132)은 동일한 물질을 포함할 수 있다. 상기 게이트 절연막(131) 및 상기 리셋 절연막(132)은 동일한 수직 두께를 가질 수 있다.

[0064] 도 2, 11a 및 11b를 참조하면, 본 발명의 실시 예에 따른 유기 발광 표시 장치의 제조 방법은 상기 게이트 라인(GL) 및 상기 리셋 라인(RL)이 형성된 상기 하부 기판(100) 상에 층간 절연막(150)을 형성하는 단계를 포함할 수 있다.

[0065] 상기 층간 절연막(150)을 형성하는 단계는 상기 제 1 TR 반도체 패턴(121), 상기 제 2 TR 반도체 패턴(122), 상기 제 3 TR 반도체 패턴(123) 및 상기 제 2 버퍼 패턴(112)을 덮는 절연층을 형성하는 단계를 포함할 수 있다. 예를 들어, 상기 제 2 버퍼 패턴(112)의 상부면은 상기 층간 절연막(150)과 직접 접촉할 수 있다.

[0066] 도 2, 12a 및 12b를 참조하면, 본 발명의 실시 예에 따른 유기 발광 표시 장치의 제조 방법은 상기 층간 절연막(150) 상에 제 3 마스크(M3)를 형성하는 단계를 포함할 수 있다.

[0067] 상기 제 3 마스크(M3)는 상기 제 2 버퍼 패턴(112)에 의해 노출된 전원 브릿지 패턴(PB) 및 리셋 브릿지 패턴(RB)과 수직 중첩하는 브릿지 개구부(BH), 상기 제 1 내지 제 3 TR 반도체 패턴(121-123) 중 하나와 수직 중첩하는 반도체 개구부들(H2, H3) 및 상기 제 1 내지 제 3 TR 반도체 패턴(121-123)과 수직 중첩하지 않는 상기 차광 패턴(LS)의 상부면 상에 위치하는 차광 개구부(HL)를 포함할 수 있다.

[0068] 도 2, 13a 및 13b를 참조하면, 본 발명의 실시 예에 따른 유기 발광 표시 장치의 제조 방법은 상기 제 3 마스크(M3)를 이용하여 상기 층간 절연막(150)에 컨택홀들(VB, V2, V3, VL)을 형성하는 단계를 포함할 수 있다.

[0069] 상기 컨택홀들(VB, V2, V3, VL)은 상기 브릿지 개구부(BH)와 수직 정렬되는 브릿지 컨택홀(VB), 상기 반도체 개구부들(H2, H3)과 수직 정렬되는 반도체 컨택홀(V2, V3) 및 상기 차광 개구부(HL)와 수직 정렬되는 차광 컨택홀(VL)을 포함할 수 있다.

[0070] 도 2, 3a 및 3b를 참조하면, 본 발명의 실시 예에 따른 유기 발광 표시 장치의 제조 방법은 상기 층간 절연막(150) 상에 상기 컨택홀들(VB, V2, V3, VL)을 통해 상기 브릿지 패턴(PB, RB) 또는 TR 반도체 패턴(121-13)과 전기적으로 연결되는 소오스/드레인 전극(161-163) 및 데이터 라인(DL)을 형성하는 단계, 상기 소오스/드레인 전극(161-163) 및 상기 데이터 라인(DL)이 형성된 상기 하부 기판(100) 상에 평탄화막(200)을 형성하는 단계, 상기 평탄화막(200) 상에 상기 제 2 박막 트랜지스터(T2)와 연결되는 화소 전극(PXL) 및 컬러 필터(CF)를 포함하는 유기 발광 소자를 형성하는 단계를 포함할 수 있다.

[0071] 본 발명의 실시 예에 따른 유기 발광 표시 장치의 제조 방법는 TR 반도체 패턴들(121-123)의 하부에 위치하는 제 1 버퍼 패턴(111)을 주변과 분리할 수 있다. 이에 따라 본 발명의 실시 예에 따른 유기 발광 표시 장치의 제조 방법에서는 버퍼 패턴(111, 112)을 통해 TR 반도체 패턴(121-123)으로 빛의 유입이 차단될 수 있다. 또한, 본 발명의 실시 예에 따른 유기 발광 표시 장치의 제조 방법는 층간 절연막(150)에 컨택홀들(VB, V2, V3, VL)이 동일 상부면을 갖는 제 3 마스크(M3)에 의해 형성될 수 있다. 이에 따라 본 발명의 실시 예에 따른 유기 발광 표시 장치의 제조 방법에서는 후속 공정에 의해 층간 절연막(150)의 손실이 방지될 수 있다. 결과적으로 본 발명의 실시 예에 따른 유기 발광 표시 장치의 제조 방법에서는 교차하는 신호 배선들 사이에 충분한 두께의 절연막이 형성될 수 있다.

부호의 설명

[0072] 100 : 하부 기판 111 : 제 1 버퍼 패턴

112 : 제 2 버퍼 패턴 121 : 제 1 TR 반도체 패턴

122 : 제 2 TR 반도체 패턴 123 : 제 3 TR 반도체 패턴

150 : 층간 절연막 200 : 평탄화막

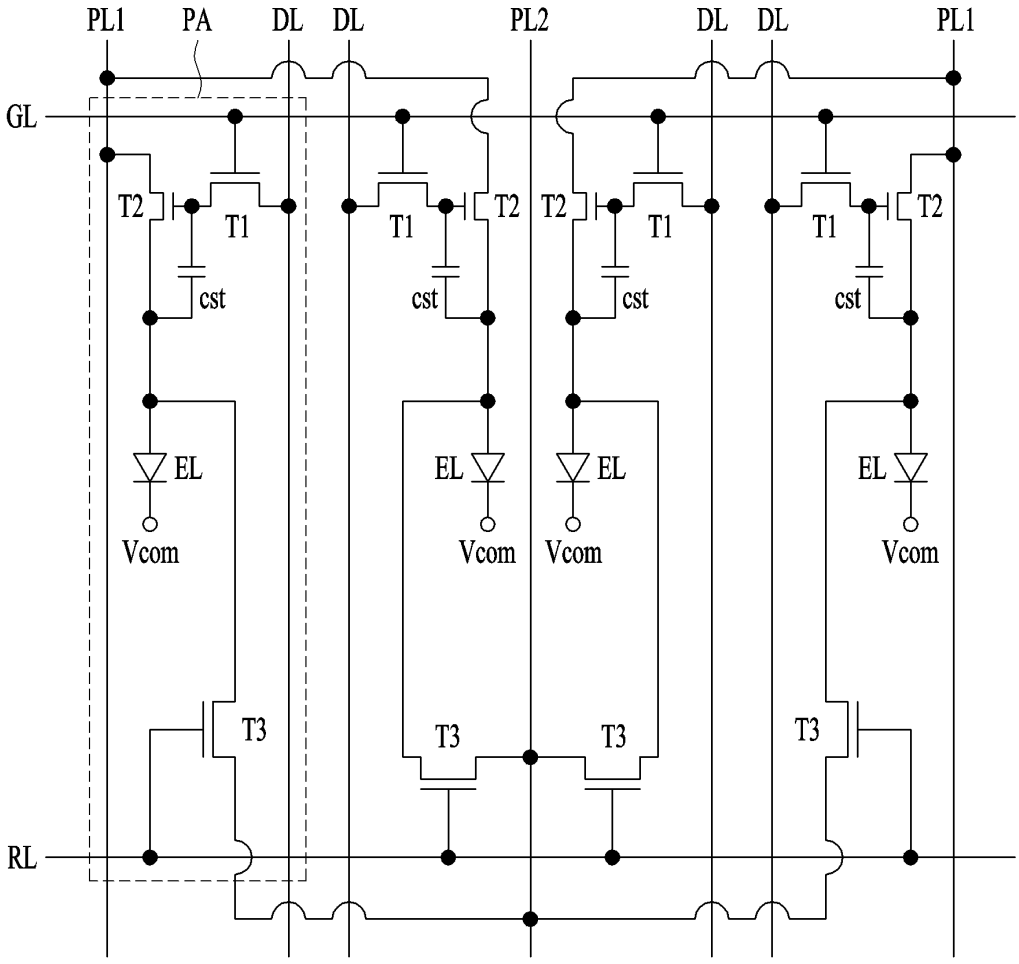
RB : 리셋 브릿지 패턴 PB : 전원 브릿지 패턴

GL : 게이트 라인 DL : 데이터 라인

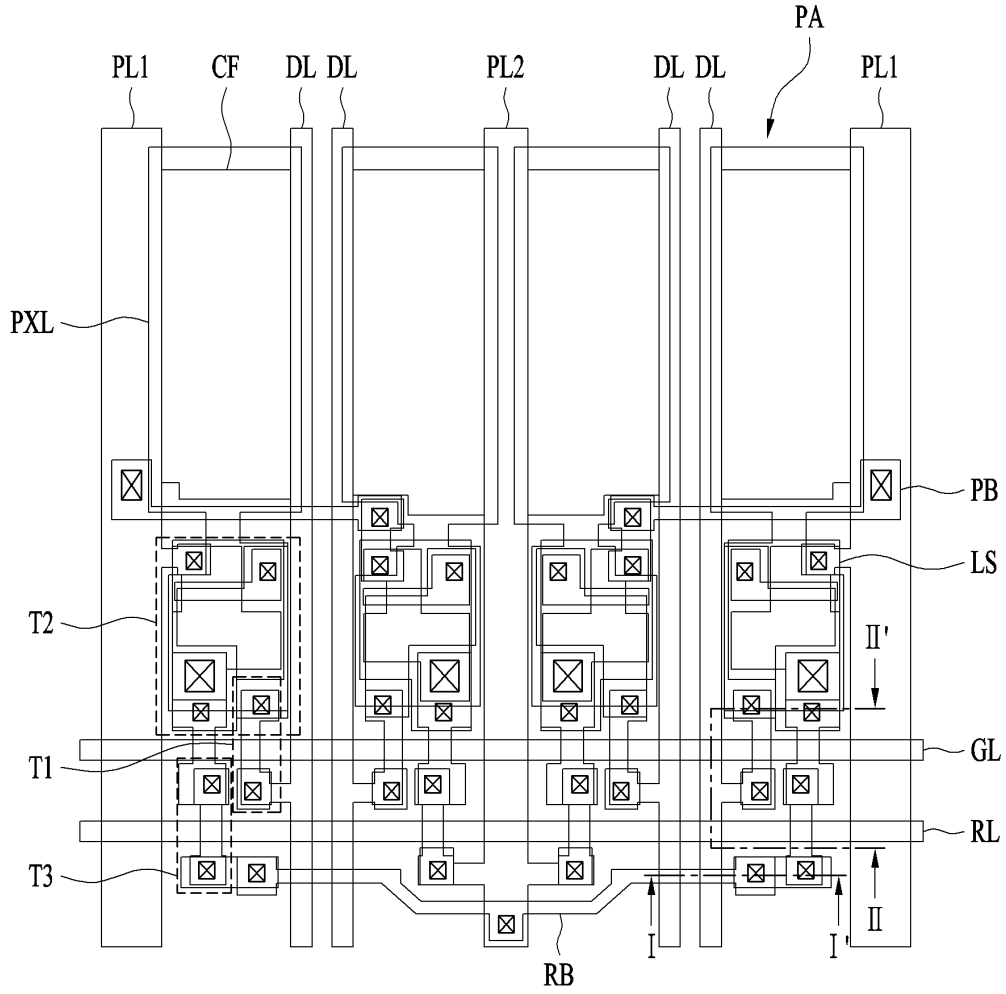
RL : 리셋 라인

도면

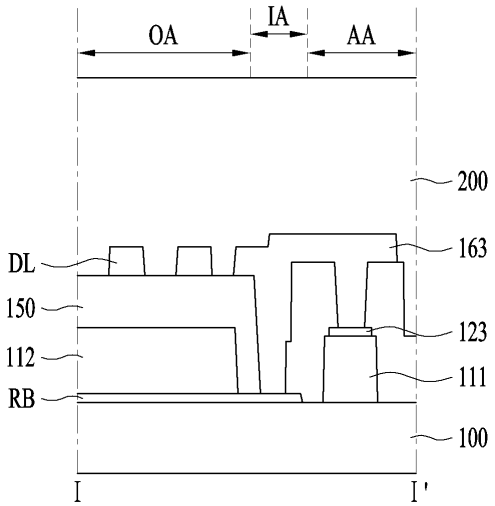
도면1



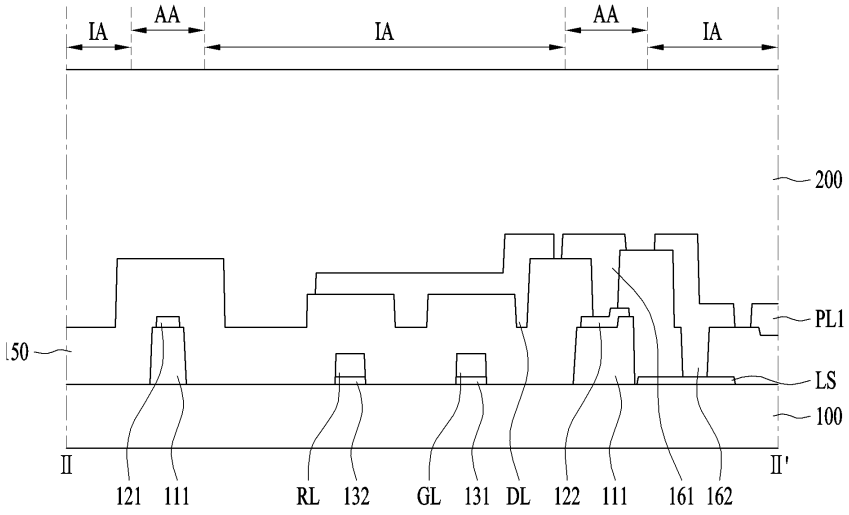
도면2


PA
PL1
CF
DL DL
PL2
DL DL
PL1
PXL
PB
LS
T2
II'
T1
GL
RL
T3
II
I
I'
RB

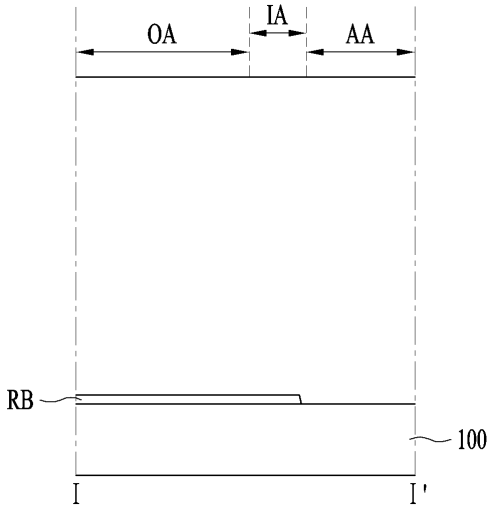
도면3a


OA
IA
AA
200
DL
163
150
123
112
111
RB
100
I
I'

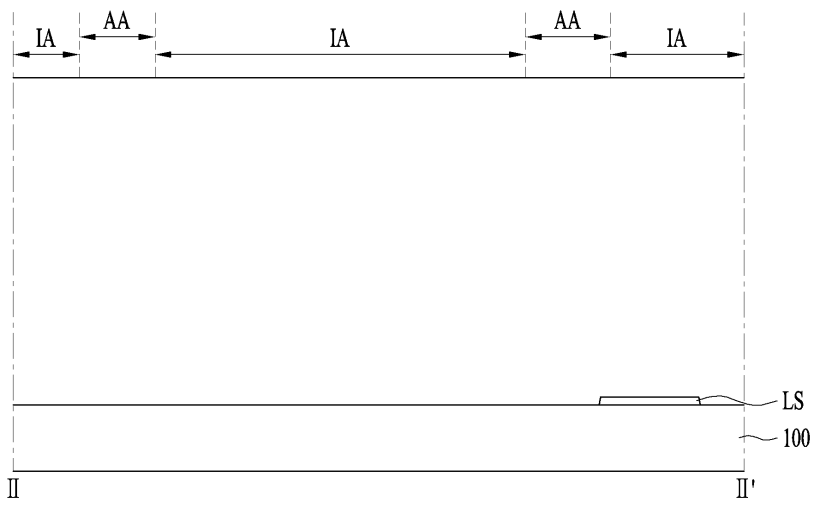
도면3b


IA
AA
IA
AA
IA
200
PL1
150
LS
100
II
II'
121
111
RL
132
GL
131
DL
122
111
161
162

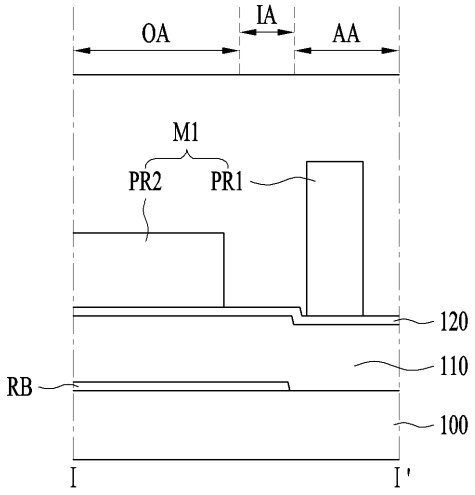
도면4a


OA
IA
AA
RB
100
I
I'

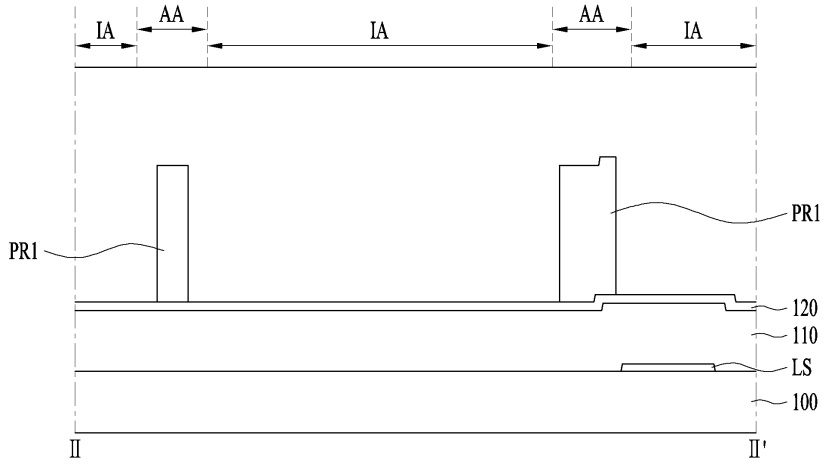
도면4b



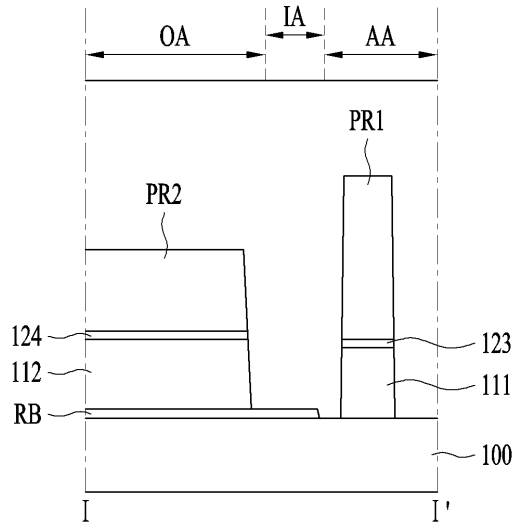
도면5a



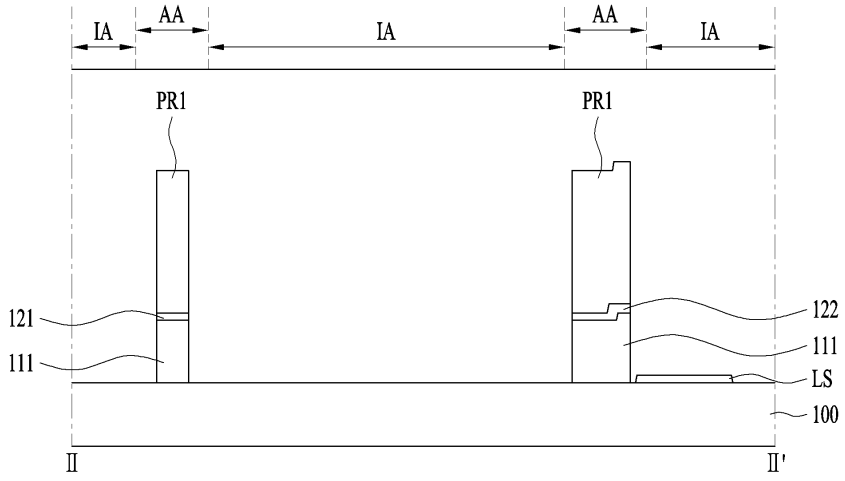
도면5b



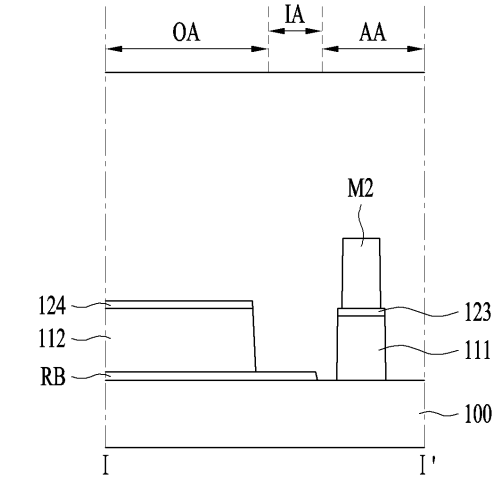
도면6a



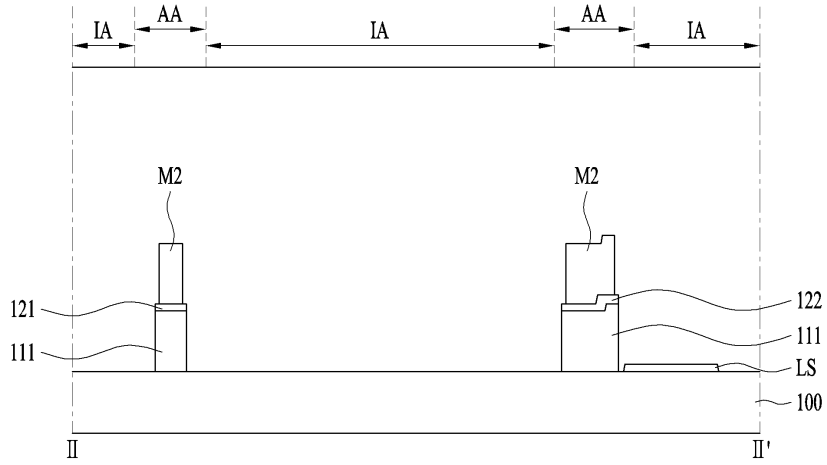
도면6b



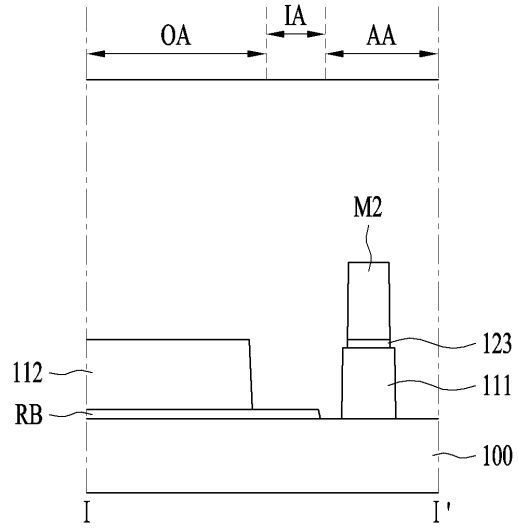
도면7a



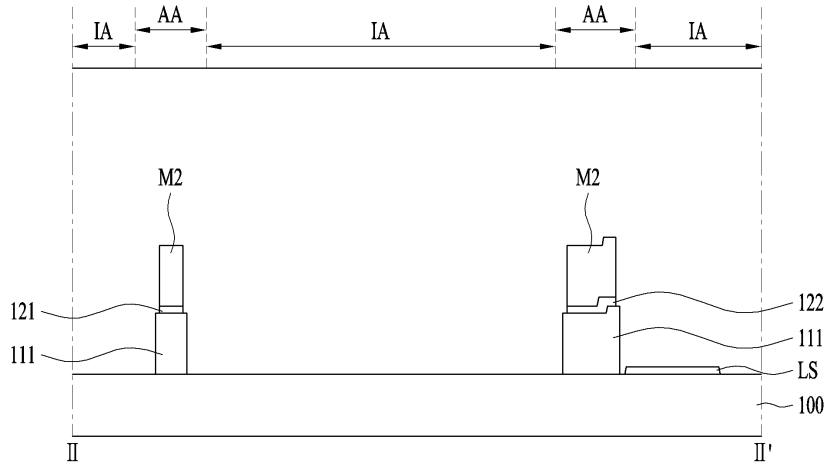
도면7b



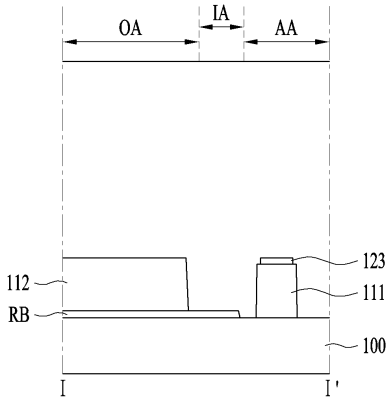
도면8a



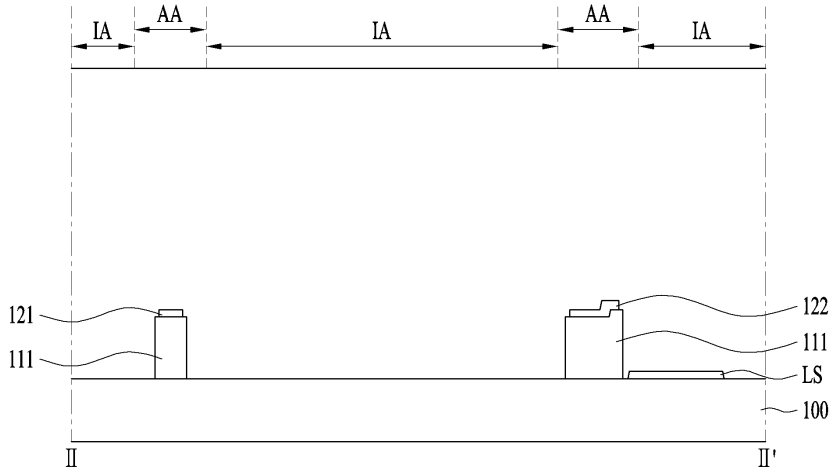
도면8b



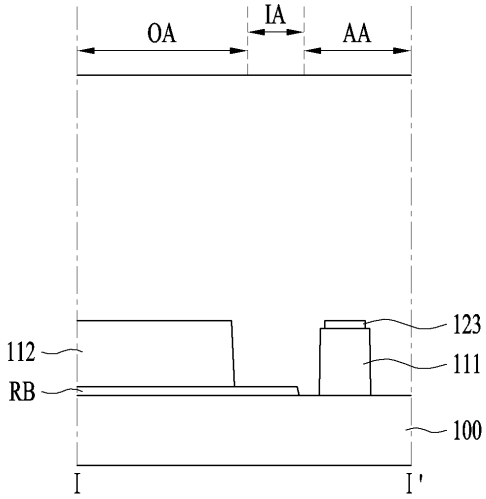
도면9a



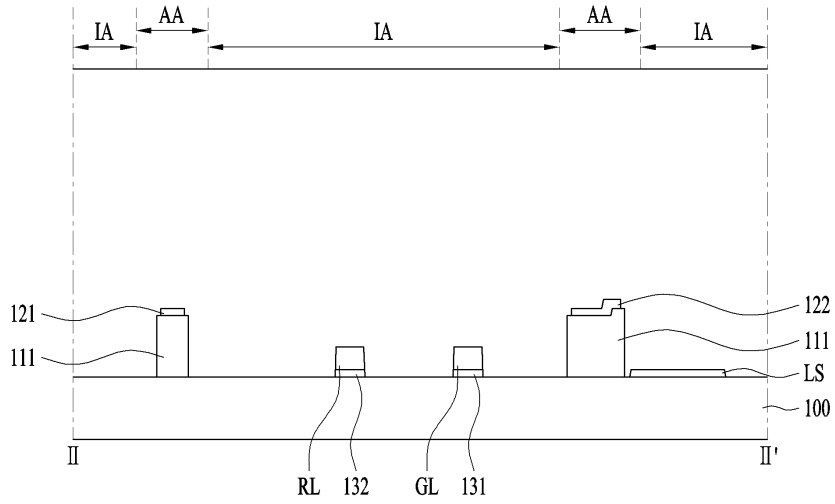
도면9b



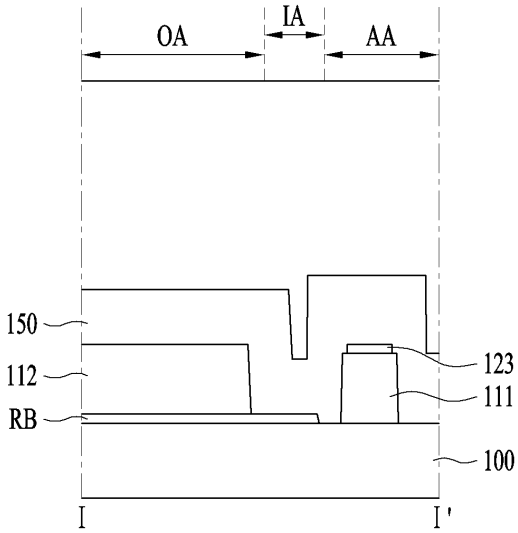
도면10a



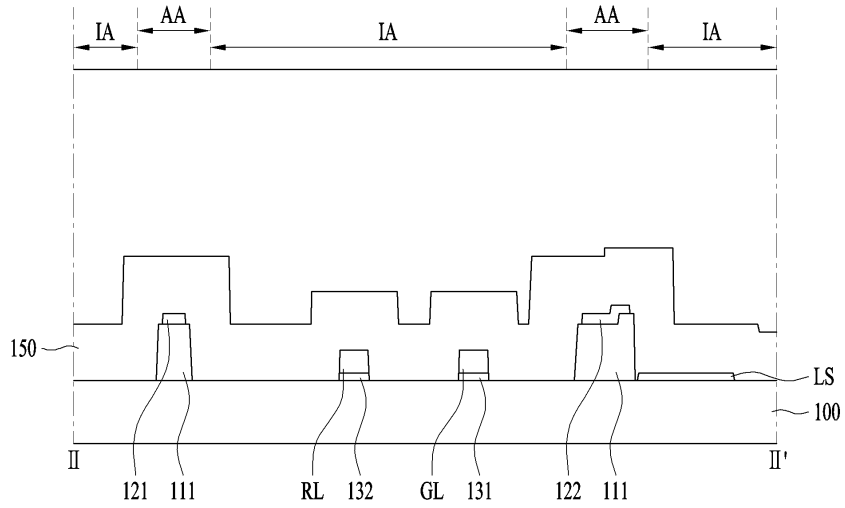
도면10b


IA
AA
IA
AA
IA
121
111
122
111
LS
100
II
RL
132
GL
131
II'

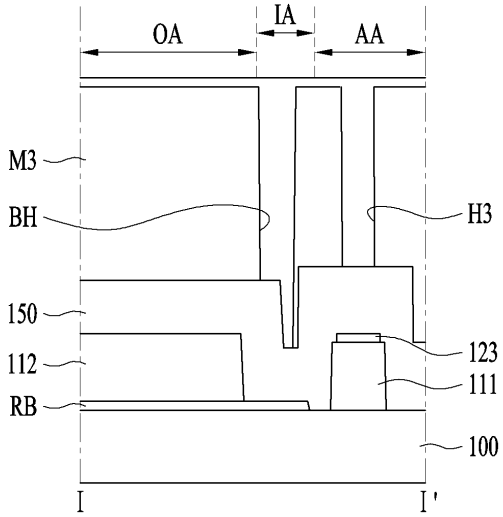
도면11a


OA
IA
AA
150
112
RB
123
111
100
I
I'

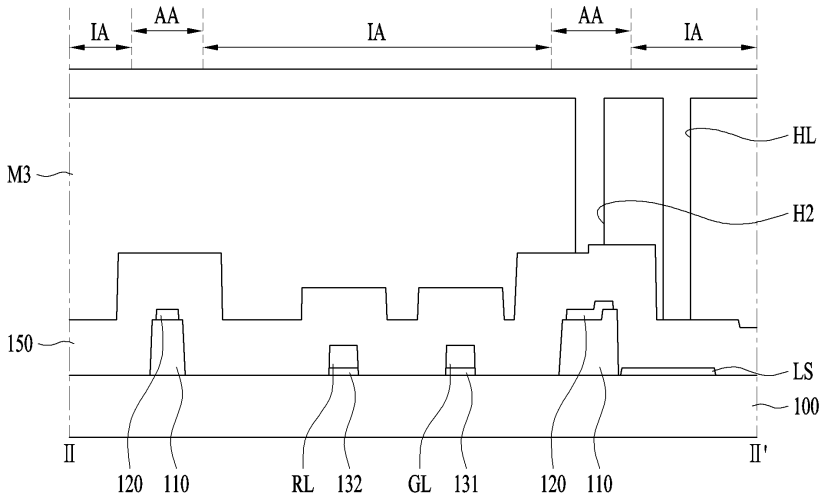
도면11b


IA
AA
IA
AA
IA
150
LS
100
II
II'
121
111
RL
132
GL
131
122
111

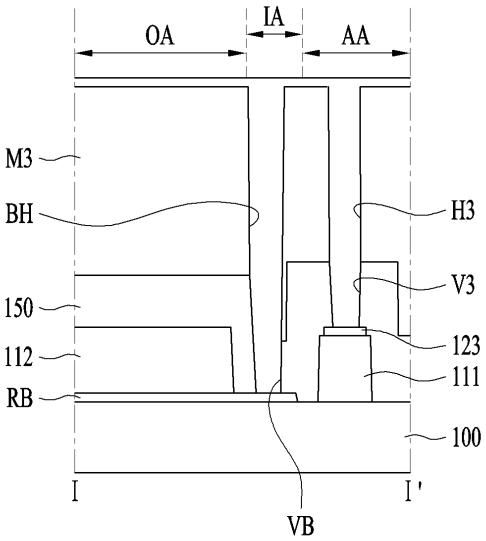
도면12a


OA
IA
AA
M3
BH
H3
150
112
RB
123
111
100
I
I'

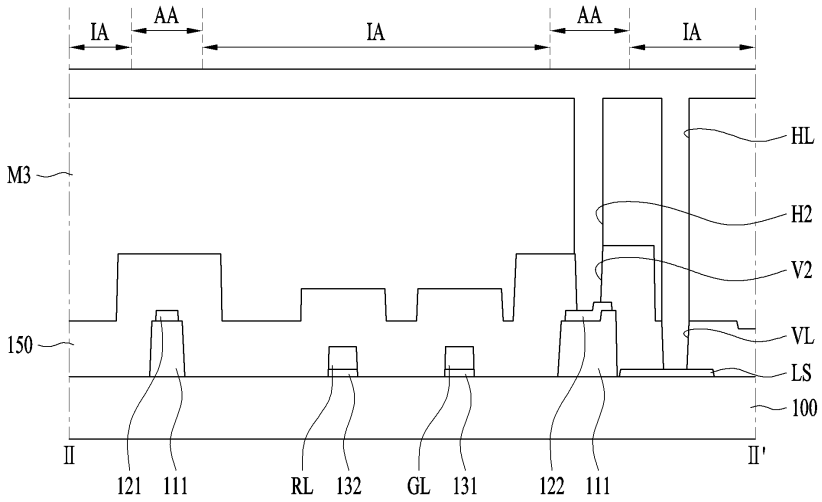
도면12b


IA
AA
IA
AA
IA
HL
M3
H2
150
LS
100
II
II'
120
110
RL
132
GL
131
120
110

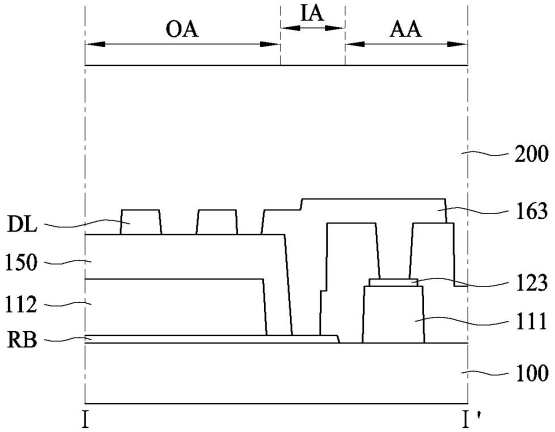
도면13a


OA
IA
AA
M3
BH
H3
V3
150
123
112
111
RB
100
I
I'
VB

도면13b


IA
AA
IA
AA
IA
HL
M3
H2
V2
150
VL
LS
100
II
II'
121
111
RL
132
GL
131
122
111

专利名称(译)	一种有机发光显示器，包括信号线的交叉区域		
公开(公告)号	KR1020180003307A	公开(公告)日	2018-01-09
申请号	KR1020160082955	申请日	2016-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM HYUN SU 김현수 SHIN WOO SUP 신우섭 PARK SANG MOO 박상무 KO SUNG MIN 고성민		
发明人	김현수 신우섭 박상무 고성민		
IPC分类号	H01L27/32 H01L27/12 H01L51/56		
CPC分类号	H01L27/3276 H01L27/3258 H01L27/1244 H01L51/56 H01L27/1288 H01L27/3248 H01L2227/323		
代理人(译)	Bakyoungbok		
外部链接	Espacenet		

摘要(译)

提供一种有机发光显示器及其制造方法。 OLED显示器包括位于下基板和TR半导体图案之间的第一缓冲图案，以及位于桥图案和数据线之间的第二缓冲图案。第二缓冲图案与第一缓冲图案间隔开。第二缓冲图案与第一缓冲图案同时形成。