



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0080902
(43) 공개일자 2017년07월11일

(51) 국제특허분류(Int. Cl.)
G09G 3/32 (2016.01)
(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2300/0842 (2013.01)
(21) 출원번호 10-2015-0190582
(22) 출원일자 2015년12월31일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이동옥
경기도 고양시 일산동구 무궁화로 7-45 804호 (장
항동, 양우로데오시티플러스)
(74) 대리인
김은구, 송해모

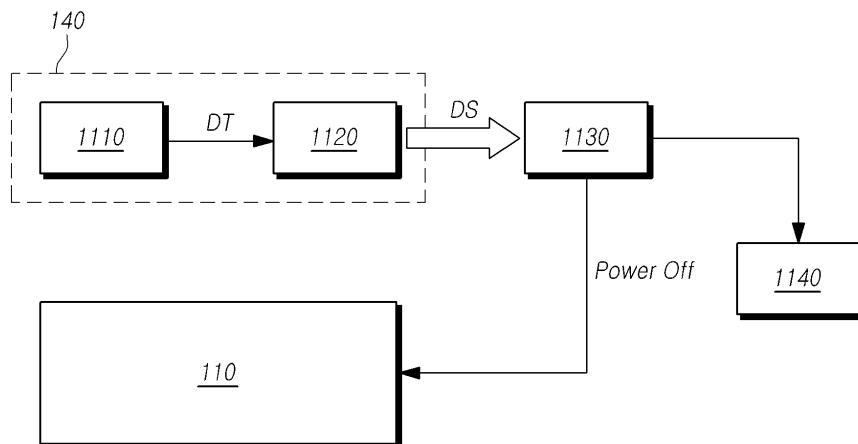
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 **타이밍 컨트롤러, 유기발광표시장치 및 그 결합 관리 방법**

(57) 요 약

본 실시예들은, 타이밍 컨트롤러, 유기발광표시장치 및 그 결합 관리 방법에 관한 것으로서, 결합을 검출하고 검출된 결합의 유형을 분류하여 분류된 결합 유형에 따라 다른 결합 신호를 생성하고, 이를 토대로 결합을 관리함으로써, 결합 발생 시점, 결합 발생 원인 등을 파악할 수 있을 뿐만 아니라, 패널 벤트 현상을 미연에 방지할 수 있게 해주는 타이밍 컨트롤러, 유기발광표시장치 및 그 결합 관리 방법에 관한 것이다.

대 표 도 - 도11



(52) CPC특허분류

G09G 2310/08 (2013.01)

G09G 2330/08 (2013.01)

명세서

청구범위

청구항 1

유기발광표시장치에 있어서,

다수의 데이터 라인 및 다수의 게이트 라인이 배치되며 상기 다수의 데이터 라인 및 상기 다수의 게이트 라인에 의해 정의된 다수의 서브픽셀이 배열된 유기발광표시패널;

상기 다수의 데이터 라인을 구동하기 위한 데이터 드라이버;

상기 다수의 게이트 라인을 구동하기 위한 게이트 드라이버;

상기 유기발광표시장치의 결함에 대한 결함 유형을 분류하는 결함 검출부;

상기 결함 유형에 따라 다른 신호 과형을 갖는 결함 신호를 생성하여 전송하는 결함 신호 생성부; 및

상기 결함 신호를 수신하고, 수신된 상기 결함 신호의 신호 과형을 분석하여 상기 결함 유형을 인식하고, 인식 결과를 메모리에 저장시켜 관리하는 결함 관리부를 포함하는 유기발광표시장치.

청구항 2

제1항에 있어서,

상기 결함 신호 생성부는,

펄스 폭 변조 방식으로 상기 결함 신호를 생성하되,

상기 결함 유형에 따라 다른 드터리를 갖는 상기 결함 신호를 생성하는 유기발광표시장치.

청구항 3

제1항에 있어서,

상기 결함 신호 생성부는,

펄스 진폭 변조 방식으로 상기 결함 신호를 생성하되,

상기 결함 유형에 따라 다른 진폭을 갖는 상기 결함 신호를 생성하는 유기발광표시장치.

청구항 4

제1항에 있어서,

상기 결함 신호 생성부는,

상기 결함 유형에 따라 하이 레벨 구간 또는 로우 레벨 구간의 개수를 다르게 하여 상기 결함 신호를 생성하는 유기발광표시장치.

청구항 5

제1항에 있어서,

상기 결함 신호 생성부는,

상기 결함 유형에 따라 하이 레벨 구간 또는 로우 레벨 구간의 길이를 다르게 하여 상기 결함 신호를 생성하는 유기발광표시장치.

청구항 6

제1항에 있어서,

상기 결합 신호 생성부와 상기 결합 관리부는 N개의 결합 신호 라인으로 연결되고,

상기 결합 신호 생성부는, 상기 결합 유형에 따라 N개의 결합 신호를 생성하여 상기 N개의 결합 신호 라인으로 대응시켜 전송하고,

상기 결합 관리부는, 상기 N개의 결합 신호 라인으로부터 수신된 상기 N개의 결합 신호의 조합 형태로 상기 결합 유형을 인식하며,

상기 결합 유형이 다른 경우 상기 N개의 결합 신호 중 적어도 하나의 신호 과형은 서로 다른 유기발광표시장치.

청구항 7

제1항에 있어서,

상기 결합 검출부는,

파워-온 신호의 발생에 따라 진행된 패널 센싱의 센싱값을 토대로 검출되는 결함을 제1 결합 유형으로 분류하고,

상기 영상 구동이 시작한 이후 블랭크 시간마다 진행된 패널 센싱의 센싱값을 토대로 검출되는 결함을 제2 결합 유형으로 분류하며,

파워-오프 신호의 발생에 따라 진행된 패널 센싱의 센싱값을 토대로 검출되는 결함을 제3 결합 유형으로 분류하고,

타이밍 컨트롤러 및 상기 데이터 드라이버 간의 인터페이스의 신호를 토대로 검출되는 결함을 제4 결합 유형으로 분류하며,

상기 게이트 드라이버에서 사용하는 게이트 전압이 비정상적인 경우에 검출되는 결함을 제5 결합 유형으로 분류하는 유기발광표시장치.

청구항 8

제1항에 있어서,

상기 결합 검출부는,

상기 유기발광표시장치 패널에 대한 센싱값과, 상기 유기발광표시장치 패널에서의 전압값과, 상기 유기발광표시장치 패널에서의 전류값과, 타이밍 컨트롤러 및 상기 데이터 드라이버 간의 인터페이스 신호 중 적어도 하나에 기초하여 상기 유기발광표시장치의 결함을 검출하는 유기발광표시장치.

청구항 9

제8항에 있어서,

상기 결합 검출부 및 상기 결합 신호 생성부 중 적어도 하나는 타이밍 컨트롤러에 포함되거나 상기 타이밍 컨트롤러가 위치한 컨트롤 인쇄회로기판에 위치하며,

상기 결합 관리부는 상기 컨트롤 인쇄회로기판과 전기적으로 연결된 메인 인쇄회로기판에 위치하는 유기발광표시장치.

청구항 10

제1항에 있어서,

상기 결합 관리부는,

상기 결합 유형의 인식 결과에 따라 파워-오프 처리를 수행하는 유기발광표시장치.

청구항 11

다수의 데이터 라인 및 다수의 게이트 라인이 배치되며 상기 다수의 데이터 라인 및 상기 다수의 게이트 라인에 의해 정의된 다수의 서브픽셀이 배열된 유기발광표시장치 패널과, 상기 다수의 데이터 라인을 구동하기 위한 데이터 드라이버와, 상기 다수의 게이트 라인을 구동하기 위한 게이트 드라이버를 포함하는 유기발광표시장치의 결함

관리 방법에 있어서,

상기 유기발광표시패널의 내부 또는 외부의 신호 라인 상의 결함을 검출하거나 상기 유기발광표시패널의 오동작에 대한 결함을 검출하는 단계;

상기 검출된 결함에 대한 결함 유형을 분류하는 단계;

상기 결함 유형에 따라 다른 신호 패형을 갖는 결함 신호를 생성하는 단계; 및

상기 결함 신호의 신호 패형을 분석하여 상기 결함 유형을 인식하고, 인식 결과를 메모리에 저장시켜 관리하는 단계를 포함하는 유기발광표시장치의 결함 관리 방법.

청구항 12

유기발광표시패널의 내부 또는 외부의 신호 라인 상의 결함을 검출하거나 상기 유기발광표시패널의 오동작에 대한 결함을 검출하고, 상기 검출된 결함에 대한 결함 유형을 분류하는 결함 검출부; 및

상기 결함 유형에 따라 다른 신호 패형을 갖는 결함 신호를 생성하여 전송하는 결함 신호 생성부를 포함하는 유기발광표시장치의 타이밍 컨트롤러.

청구항 13

유기발광표시장치에 있어서,

다수의 데이터 라인 및 다수의 게이트 라인이 배치되며 상기 다수의 데이터 라인 및 상기 다수의 게이트 라인에 의해 정의된 다수의 서브픽셀이 배열된 유기발광표시패널;

상기 다수의 데이터 라인을 구동하기 위한 데이터 드라이버;

상기 다수의 게이트 라인을 구동하기 위한 게이트 드라이버;

상기 유기발광표시장치의 결함에 대한 결함 유형을 분류하는 결함 검출부; 및

상기 결함 유형에 따라 다른 신호 패형을 갖는 결함 신호를 생성하여 전송하는 결함 신호 생성부를 포함하는 유기발광표시장치.

발명의 설명

기술 분야

[0001]

본 실시예들은 타이밍 컨트롤러, 유기발광표시장치 및 그 결함 관리 방법에 관한 것이다.

배경 기술

[0002]

최근, 표시장치로서 각광받고 있는 유기발광표시장치는 스스로 발광하는 유기발광다이오드(OLED: Organic Light Emitting Diode)를 이용함으로써 응답속도가 빠르고, 발광효율, 휘도 및 시야각 등이 크다는 장점이 있다.

[0003]

이러한 유기발광표시장치는 유기발광다이오드와 이를 구동하기 위한 구동 트랜지스터 등이 배치된 서브픽셀을 매트릭스 형태로 유기발광표시패널에 배열하고 스캔 신호에 의해 선택된 서브픽셀들의 밝기를 데이터의 계조에 따라 제어한다.

[0004]

이러한 유기발광표시장치는 구동을 위해서 다양한 신호 라인과 신호 전달 구조를 갖는다.

[0005]

만약, 신호 라인의 오픈(Open) 또는 단락(Short), 신호 전달 구조의 체결 및 본딩 문제 등의 결함이 발생하는 경우, 유기발광표시장치가 정상적으로 동작하지 않고 유기발광표시패널이 타버리는 패널 번트 현상이 발생할 수 있다. 결국, 유기발광표시장치가 고장 나버리고, 심한 경우 화재도 발생할 수도 있다.

[0006]

따라서, 패널 번트 현상이 발생하기 이전에, 패널 번트 현상을 발생시키는 결함을 미리 검출하는 것이 반드시 필요하다.

[0007]

이뿐만 아니라, 패널 번트 현상을 발생시킬 수 있는 결함을 검출한 이후, 검출된 결함을 정확하게 파악하고 효율적으로 관리하는 것이 필요하다. 그래야만, 결함 발생 시, 즉각적이고 적절한 대응 조치가 가능하다.

발명의 내용

해결하려는 과제

- [0008] 본 실시예들의 목적은, 결함 검출 후 검출된 결함을 효율적으로 관리하여 패널 번트 현상을 방지해줄 수 있는 타이밍 컨트롤러, 유기발광표시장치 및 그 결함 관리 방법을 제공하는 데 있다.
- [0009] 본 실시예들의 다른 목적은, 결함 유형을 분류하고, 결함 사실을 알려주기 위한 결함 신호를 분류된 결함 유형에 따라 생성하여 결함 관리부로 전송해줌으로써, 결함을 효율적으로 관리할 수 있는 타이밍 컨트롤러, 유기발광표시장치 및 그 결함 관리 방법을 제공하는 데 있다.
- [0010] 본 실시예들의 또 다른 목적은, 결함 발생 시점, 결함 발생 원인 등을 파악할 수 있게 해주는 타이밍 컨트롤러, 유기발광표시장치 및 그 결함 관리 방법을 제공하는 데 있다.

과제의 해결 수단

- [0011] 일 측면에서, 본 실시예들은, 결함을 검출하고 검출된 결함의 유형을 분류하여 분류된 결함 유형에 따라 다른 결함 신호를 생성하여 결함을 관리할 수 있는 타이밍 컨트롤러, 유기발광표시장치 및 그 결함 관리 방법을 제공할 수 있다.
- [0012] 다른 측면에서, 본 실시예들은, 다수의 데이터 라인 및 다수의 게이트 라인이 배치되며 다수의 데이터 라인 및 다수의 게이트 라인에 의해 정의된 다수의 서브픽셀이 배열된 유기발광표시패널; 다수의 데이터 라인을 구동하기 위한 데이터 드라이버; 다수의 게이트 라인을 구동하기 위한 게이트 드라이버; 유기발광표시장치의 결함에 대한 결함 유형을 분류하는 결함 검출부; 결함 유형에 따라 다른 신호 파형을 갖는 결함 신호를 생성하여 전송하는 결함 신호 생성부; 및 결함 신호를 수신하고, 수신된 결함 신호의 신호 파형을 분석하여 결함 유형을 인식하고, 인식 결과를 메모리에 저장시켜 관리하는 결함 관리부를 포함하는 유기발광표시장치를 제공할 수 있다.
- [0013] 또 다른 측면에서, 본 실시예들은, 유기발광표시패널의 내부 또는 외부의 신호 라인 상의 결함을 검출하거나 유기발광표시패널의 오동작에 대한 결함을 검출하는 단계와, 검출된 결함에 대한 결함 유형을 분류하는 단계; 결함 유형에 따라 다른 신호 파형을 갖는 결함 신호를 생성하는 단계와, 결함 신호의 신호 파형을 분석하여 결함 유형을 인식하고, 인식 결과를 메모리에 저장시켜 관리하는 단계를 포함하는 유기발광표시장치의 결함 관리 방법을 제공할 수 있다.
- [0014] 또 다른 측면에서, 본 실시예들은, 유기발광표시패널의 내부 또는 외부의 신호 라인 상의 결함을 검출하거나 유기발광표시패널의 오동작에 대한 결함을 검출하고, 검출된 결함에 대한 결함 유형을 분류하는 결함 검출부와, 결함 유형에 따라 다른 신호 파형을 갖는 결함 신호를 생성하여 전송하는 결함 신호 생성부를 포함하는 유기발광표시장치의 타이밍 컨트롤러를 제공할 수 있다.

발명의 효과

- [0015] 이상에서 설명한 바와 같은 본 실시예들에 의하면, 결함 검출 후 검출된 결함을 효율적으로 관리하여 패널 번트 현상을 방지해줄 수 있는 타이밍 컨트롤러, 유기발광표시장치 및 그 결함 관리 방법을 제공할 수 있다.
- [0016] 또한, 본 실시예들에 의하면, 결함 유형을 분류하고, 결함 사실을 알려주기 위한 결함 신호를 분류된 결함 유형에 따라 생성하여 결함 관리부로 전송해줌으로써, 결함을 효율적으로 관리할 수 있는 타이밍 컨트롤러, 유기발광표시장치 및 그 결함 관리 방법을 제공할 수 있다.
- [0017] 또한, 본 실시예들에 의하면, 결함 발생 시점, 결함 발생 원인 등을 파악할 수 있게 해주는 타이밍 컨트롤러, 유기발광표시장치 및 그 결함 관리 방법을 제공할 수 있다.

도면의 간단한 설명

- [0018] 도 1은 본 실시예들에 따른 유기발광표시장치의 시스템 구성도이다.
 도 2는 본 실시예들에 따른 유기발광표시장치의 구현 예시도이다.
 도 3은 본 실시예들에 따른 유기발광표시장치의 서브픽셀 구조의 예시도이다.
 도 4는 본 실시예들에 따른 유기발광표시장치의 다른 서브픽셀 구조와 보상 회로의 예시도이다.

도 5는 본 실시예들에 따른 유기발광표시장치의 구동 트랜지스터에 대한 문턱전압 션싱 방식을 설명하기 위한 도면이다.

도 6은 본 실시예들에 따른 유기발광표시장치의 구동 트랜지스터에 대한 이동도 션싱 방식을 설명하기 위한 도면이다.

도 7은 본 실시예들에 따른 유기발광표시장치의 션싱 타이밍을 나타낸 도면이다.

도 8은 본 실시예들에 따른 유기발광표시장치에서, 타이밍 컨트롤러와 소스 드라이버 접적회로들 간의 인터페이스 신호를 이용한 상태 체크 절차를 나타낸 도면이다.

도 9는 본 실시예들에 따른 유기발광표시장치에서 게이트 전압 전달을 나타낸 도면이다.

도 10은 본 실시예들에 따른 유기발광표시장치에서의 패널 번트 현상을 설명하기 위한 도면이다.

도 11은 본 실시예들에 따른 유기발광표시장치에서 패널 번트 현상을 방지하기 위한 시스템을 나타낸 도면이다.

도 12는 본 실시예들에 따른 유기발광표시장치의 패널 번트 현상 방지 시스템에서, 결합 검출 및 결합 유형 분류 방법을 나타낸 도면이다.

도 13은 본 실시예들에 따른 유기발광표시장치의 패널 번트 현상 방지 시스템에서의 결합 유형과 결합 신호 간의 대응 관계를 나타낸 도면이다.

도 14는 본 실시예들에 따른 유기발광표시장치의 패널 번트 현상 방지 시스템에서, 결합 신호 생성부와 결합 관리부 간의 결합 신호 전송 구조를 나타낸 도면이다.

도 15 내지 도 18은 본 실시예들에 따른 유기발광표시장치의 패널 번트 현상 방지 시스템에서 결합 유형에 따른 결합 신호의 예시도들이다.

도 19는 본 실시예들에 따른 유기발광표시장치의 패널 번트 현상 방지 시스템에서, 결합 신호 생성부와 결합 관리부 간의 결합 신호의 다른 예시를 나타낸 도면이다.

도 20은 본 실시예들에 따른 유기발광표시장치의 패널 번트 현상 방지 시스템에서, 복수의 결합 신호 라인을 이용하는 경우, 결합 유형에 따른 결합 신호의 예시도들이다.

도 21은 본 실시예들에 따른 유기발광표시장치의 패널 번트 현상 방지 시스템의 구현 예시도이다.

도 22는 본 실시예들에 따른 유기발광표시장치의 결합 관리 방법에 대한 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0019]

이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조 부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.

[0020]

또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.

[0021]

도 1은 본 실시예들에 따른 유기발광표시장치(100)의 시스템 구성도이고, 도 2는 본 실시예들에 따른 유기발광표시장치(100)의 구현 예시도이다.

[0022]

도 1을 참조하면, 본 실시예들에 따른 유기발광표시장치(100)는, 다수의 데이터 라인(DL1~DLm) 및 다수의 게이트 라인(GL1~GLn)이 배치되고, 다수의 데이터 라인(DL1~DLm) 및 다수의 게이트 라인(GL1~GLn)에 의해 정의되는 다수의 서브픽셀(SP: Sub Pixel)이 매트릭스 타입으로 배열된 유기발광표시패널(110)과, 다수의 데이터 라인(DL1~DLm)을 구동하는 데이터 드라이버(120)와, 다수의 게이트 라인(GL1~GLn)을 구동하는 게이트 드라이버(130)와, 데이터 드라이버(120) 및 게이트 드라이버(130)를 제어하는 타이밍 컨트롤러(140) 등을 포함한다.

- [0023] 타이밍 컨트롤러(140)는, 데이터 드라이버(120) 및 게이트 드라이버(130)로 각종 제어신호를 공급하여, 데이터 드라이버(120) 및 게이트 드라이버(130)를 제어한다.
- [0024] 이러한 타이밍 컨트롤러(140)는, 각 프레임에서 구현하는 타이밍에 따라 스캔을 시작하고, 외부에서 입력되는 입력 영상 데이터를 데이터 드라이버(120)에서 사용하는 데이터 신호 형식에 맞게 전환하여 전환된 영상 데이터를 출력하고, 스캔에 맞춰 적당한 시간에 데이터 구동을 통제한다.
- [0025] 데이터 드라이버(120)는, 다수의 데이터 라인(DL1~DLm)으로 데이터 전압을 공급함으로써, 다수의 데이터 라인(DL1~DLm)을 구동한다. 여기서, 데이터 드라이버(120)는 '소스 드라이버'라고도 한다.
- [0026] 게이트 드라이버(130)는, 다수의 게이트 라인(GL1~GLn)으로 스캔 신호를 순차적으로 공급함으로써, 다수의 게이트 라인(GL1~GLn)을 순차적으로 구동한다. 여기서, 게이트 드라이버(130)는 '스캔 드라이버'라고도 한다.
- [0027] 게이트 드라이버(130)는, 타이밍 컨트롤러(140)의 제어에 따라, 온(On) 전압 또는 오프(Off) 전압의 스캔 신호를 다수의 게이트 라인(GL1~GLn)으로 순차적으로 공급한다.
- [0028] 데이터 드라이버(120)는, 게이트 드라이버(130)에 의해 특정 게이트 라인이 열리면, 타이밍 컨트롤러(140)로부터 수신한 영상 데이터를 아날로그 형태의 데이터 전압으로 변환하여 다수의 데이터 라인(DL1~DLm)으로 공급한다.
- [0029] 데이터 드라이버(120)는, 도 1에서는 유기발광표시패널(110)의 일측(예: 상측 또는 하측)에만 위치하고 있으나, 구동 방식, 패널 설계 방식 등에 따라서, 유기발광표시패널(110)의 양측(예: 상측과 하측)에 모두 위치할 수도 있다.
- [0030] 게이트 드라이버(130)는, 도 1에서는 유기발광표시패널(110)의 일 측(예: 좌측 또는 우측)에만 위치하고 있으나, 구동 방식, 패널 설계 방식 등에 따라서, 유기발광표시패널(110)의 양측(예: 좌측과 우측)에 모두 위치할 수도 있다.
- [0031] 전술한 타이밍 컨트롤러(140)는, 입력 영상 데이터와 함께, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 데이터 인에이블(DE: Data Enable) 신호, 클럭 신호(CLK) 등을 포함하는 각종 타이밍 신호들을 외부(예: 호스트 시스템)로부터 수신한다.
- [0032] 타이밍 컨트롤러(140)는, 데이터 드라이버(120) 및 게이트 드라이버(130)를 제어하기 위하여, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 DE 신호, 클럭 신호 등의 타이밍 신호를 입력 받아, 각종 제어 신호들을 생성하여 데이터 드라이버(120) 및 게이트 드라이버(130)로 출력한다.
- [0033] 예를 들어, 타이밍 컨트롤러(140)는, 게이트 드라이버(130)를 제어하기 위하여, 게이트 스타트 펄스(GSP: Gate Start Pulse), 게이트 쉬프트 클럭(GSC: Gate Shift Clock), 게이트 출력 인에이블 신호(GOE: Gate Output Enable) 등을 포함하는 각종 게이트 제어 신호(GCS: Gate Control Signal)를 출력한다.
- [0034] 또한, 타이밍 컨트롤러(140)는, 데이터 드라이버(120)를 제어하기 위하여, 소스 스타트 펄스(SSP: Source Start Pulse), 소스 샘플링 클럭(SSC: Source Sampling Clock), 소스 출력 인에이블 신호(SOE: Source Output Enable) 등을 포함하는 각종 데이터 제어 신호(DCS: Data Control Signal)를 출력한다.
- [0035] 도 2를 참조하면, 데이터 드라이버(120)는, 적어도 하나의 소스 드라이버 집적회로(SDIC: Source Driver Integrated Circuit)를 포함하여 다수의 데이터 라인(DL1~DLm)을 구동할 수 있다.
- [0036] 각 소스 드라이버 집적회로(SDIC)는, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG: Chip On Glass) 방식으로 유기발광표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, 유기발광표시패널(110)에 직접 배치될 수도 있으며, 경우에 따라서, 유기발광표시패널(110)에 집적화되어 배치될 수도 있다. 또한, 각 소스 드라이버 집적회로(SDIC)는, 도 2에 도시된 바와 같이, 유기발광표시패널(110)에 연결된 소스 측 필름(FS) 상에 실장 되는 칩 온 필름(COF: Chip On Film) 방식으로 구현될 수도 있다.
- [0037] 각 소스 드라이버 집적회로(SDIC)는, 쉬프트 레지스터(Shift Register), 래치 회로(Latch Circuit), 디지털 아날로그 컨버터(DAC: Digital to Analog Converter), 출력 버퍼(Output Buffer) 등을 포함할 수 있다.
- [0038] 각 소스 드라이버 집적회로(SDIC)는, 경우에 따라서, 아날로그 디지털 컨버터(ADC: Analog to Digital Converter)를 더 포함할 수 있다.
- [0039] 게이트 드라이버(130)는, 적어도 하나의 게이트 드라이버 집적회로(GDIC: Gate Driver Integrated Circuit)를

포함하여 다수의 게이트 라인(GL1~GLn)을 구동할 수 있다.

- [0040] 각 게이트 드라이버 집적회로(GDIC)는, 테이프 오토메티드 본딩(TAB) 방식 또는 칩 온 클래스(COG) 방식으로 유기발광표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, GIP(Gate In Panel) 타입으로 구현되어 유기발광표시패널(110)에 직접 배치될 수도 있으며, 경우에 따라서, 유기발광표시패널(110)에 집적화되어 배치될 수도 있다. 또한, 도 2에 도시된 바와 같이, 각 게이트 드라이버 집적회로(GDIC)는 유기발광표시패널(110)과 연결된 게이트 측 필름(FG) 상에 실장 되는 칩 온 필름(COF) 방식으로 구현될 수도 있다.
- [0041] 각 게이트 드라이버 집적회로(GDIC)는 쉬프트 레지스터(Shift Register), 레벨 쉬프터(Level Shifter) 등을 포함할 수 있다.
- [0042] 본 실시예들에 따른 유기발광표시장치(100)는, 적어도 하나의 소스 드라이버 집적회로(SDIC)에 대한 회로적인 연결을 위해 필요한 적어도 하나의 소스 인쇄회로기판(S-PCB: Source Printed Circuit Board)과, 제어 부품들과 각종 전기 장치들을 실장 하기 위한 컨트롤 인쇄회로기판(C-PCB: Control Printed Circuit Board)을 포함할 수 있다.
- [0043] 적어도 하나의 소스 인쇄회로기판(S-PCB)에는, 적어도 하나의 소스 드라이버 집적회로(SDIC)가 실장 되거나, 적어도 하나의 소스 드라이버 집적회로(SDIC)가 실장 된 소스 측 필름(FS)이 연결될 수 있다.
- [0044] 컨트롤 인쇄회로기판(C-PCB)에는, 데이터 드라이버(120) 및 게이트 드라이버(130) 등의 동작을 제어하는 타이밍 컨트롤러(140)와, 유기발광표시패널(110), 데이터 드라이버(120) 및 게이트 드라이버(130) 등으로 각종 전압 또는 전류를 공급해주거나 공급할 각종 전압 또는 전류를 제어하는 전원 컨트롤러 등이 실장 될 수 있다.
- [0045] 적어도 하나의 소스 인쇄회로기판(S-PCB)과 컨트롤 인쇄회로기판(C-PCB)은, 적어도 하나의 가요성 플랫 케이블(FFC1)을 통해 회로적으로 연결될 수 있다.
- [0046] 유기발광표시장치(100)는, 적어도 하나의 소스 인쇄회로기판(S-PCB)과 컨트롤 인쇄회로기판(C-PCB) 이외에, 메인 컨트롤러(M-CON) 등이 실장된 메인 인쇄회로기판(M-PCB)를 더 포함할 수 있다.
- [0047] 메인 인쇄회로기판(M-PCB)은 적어도 하나의 가요성 플랫 케이블(FFC2)을 통해 컨트롤 인쇄회로기판(C-PCB)과 연결될 수 있다.
- [0048] 적어도 하나의 소스 인쇄회로기판(S-PCB), 컨트롤 인쇄회로기판(C-PCB) 및 메인 인쇄회로기판(M-PCB) 중 둘 이상은 하나의 인쇄회로기판으로 통합되어 구현될 수 있다.
- [0049] 유기발광표시패널(110)에 배치되는 각 서브픽셀(SP)은 트랜지스터 등의 회로 소자를 포함하여 구성될 수 있다.
- [0050] 일 예로, 각 서브픽셀(SP)은 유기발광다이오드(OLED: Organic Light Emitting Diode)와, 이를 구동하기 위한 구동 트랜지스터(Driving Transistor) 등의 회로 소자로 구성되어 있다.
- [0051] 각 서브픽셀(SP)을 구성하는 회로 소자의 종류 및 개수는, 제공 기능 및 설계 방식 등에 따라 다양하게 정해질 수 있다.
- [0052] 도 3은 본 실시예들에 따른 유기발광표시장치(100)의 서브픽셀(SP) 구조의 예시도이다.
- [0053] 도 3을 참조하면, 본 실시예들에 따른 유기발광표시장치(100)에서, 각 서브픽셀은, 기본적으로, 유기발광다이오드(OLED: Organic Light Emitting Diode)와, 유기발광다이오드(OLED)를 구동하는 구동 트랜지스터(DRT: Driving Transistor)와, 구동 트랜지스터(DRT)의 게이트 노드로 데이터 전압을 전달해주기 위한 스위칭 트랜지스터(SWT: Switching Transistor)와, 영상 신호 전압에 해당하는 데이터 전압 또는 이에 대응되는 전압을 한 프레임 시간 동안 유지하는 스토리지 캐패시터(Cstg: Storage Capacitor)를 포함하여 구성될 수 있다.
- [0054] 유기발광다이오드(OLED)는 제1전극(예: 애노드 전극), 유기층 및 제2전극(예: 캐소드 전극) 등으로 이루어질 수 있다.
- [0055] 구동 트랜지스터(DRT)는 유기발광다이오드(OLED)로 구동 전류를 공급해줌으로써 유기발광다이오드(OLED)를 구동 해준다.
- [0056] 구동 트랜지스터(DRT)에서, 제1노드(N1)는 유기발광다이오드(OLED)의 제1전극과 전기적으로 연결될 수 있으며, 소스 노드 또는 드레인 노드일 수 있다. 제2노드(N2)는 스위칭 트랜지스터(SWT)의 소스 노드 또는 드레인 노드와 전기적으로 연결될 수 있으며, 게이트 노드일 수 있다. 제3노드(N3)는 구동전압(EVDD)을 공급하는 구동전압

라인(DVL: Driving Voltage Line)과 전기적으로 연결될 수 있으며, 드레인 노드 또는 소스 노드일 수 있다.

[0057] 스위칭 트랜지스터(SWT)는 데이터 라인(DL)과 구동 트랜지스터(DRT)의 제2노드(N2) 사이에 전기적으로 연결되고, 게이트 라인을 통해 스캔 신호(SCAN)를 게이트 노드로 인가 받아 제어될 수 있다.

[0058] 이러한 스위칭 트랜지스터(SWT)는 스캔 신호(SCAN)에 의해 턴-온 되어 데이터 라인(DL)으로부터 공급된 데이터 전압(Vdata)을 구동 트랜지스터(DRT)의 제2노드(N2)로 전달해줄 수 있다.

[0059] 스토리지 캐패시터(Cstg)는 구동 트랜지스터(DRT)의 제1노드(N1)와 제2노드(N2) 사이에 전기적으로 연결될 수 있다.

[0060] 이러한 스토리지 캐패시터(Cstg)는, 구동 트랜지스터(DRT)의 제1노드(N1)와 제2노드(N2) 사이에 존재하는 내부 캐패시터(Internal Capacitor)인 기생 캐패시터(예: Cgs, Cgd)가 아니라, 구동 트랜지스터(DRT)의 외부에 의도적으로 설계한 외부 캐패시터(External Capacitor)이다.

[0061] 한편, 본 실시예들에 따른 유기발광표시장치(100)의 경우, 각 서브픽셀(SP)의 구동 시간이 길어짐에 따라, 유기 발광다이오드(OLED), 구동 트랜지스터(DRT) 등의 회로 소자에 대한 열화(Degradation)가 진행될 수 있다.

[0062] 이에 따라, 회로 소자가 갖는 고유한 특성치가 변할 수 있다. 여기서, 회로 소자의 특성치는, 구동 트랜지스터(DRT)의 문턱전압 및 이동도, 그리고, 유기발광다이오드(OLED)의 문턱전압 등을 포함할 수 있다.

[0063] 이러한 회로 소자의 특성치 변화는 해당 서브픽셀의 휘도 변화를 야기한다. 따라서, 회로 소자의 특성치 변화는 서브픽셀의 휘도 변화와 동일한 개념으로 사용될 수 있다.

[0064] 또한, 이러한 회로 소자 간의 특성치 변화의 정도는 각 회로 소자의 열화 정도의 차이에 따라 서로 다를 수 있다.

[0065] 이러한 회로 소자 간의 특성치 변화의 정도 차이로 인한 특성치 편차는 서브픽셀 간의 휘도 편차를 야기하여, 유기발광표시패널(110)의 휘도 균일도를 저하시켜 화상 품질을 떨어뜨린다.

[0066] 본 실시예들에 따른 유기발광표시장치(100)는 회로 소자에 대한 특성치 또는 특성치 변화를 센싱하는 센싱 기능과, 센싱 결과를 이용하여 회로 소자 간의 특성치 편차를 보상해주는 보상 기능을 제공할 수 있다.

[0067] 본 실시예들에 따른 유기발광표시장치(100)는 회로 소자의 특성치에 대한 센싱 및 보상 기능을 제공하기 위하여, 그에 맞는 서브픽셀 구조와 보상 회로를 갖는다.

[0068] 도 4는 본 실시예들에 따른 유기발광표시장치(100)의 다른 서브픽셀 구조와 보상 회로의 예시도이다.

[0069] 도 4를 참조하면, 본 실시예들에 따른 유기발광표시패널(110)에 배치된 각 서브픽셀은, 일 예로, 유기발광다이오드(OLED), 구동 트랜지스터(DRT), 스위칭 트랜지스터(SWT) 및 스토리지 캐패시터(Cstg) 이외에, 센싱 트랜지스터(SENT: Sensing Transistor)를 더 포함할 수 있다.

[0070] 도 4를 참조하면, 센싱 트랜지스터(SENT)는 구동 트랜지스터(DRT)의 제1노드(N1)와 기준전압(Vref: Reference Voltage)을 공급하는 기준전압 라인(RVL: Reference Voltage Line) 사이에 전기적으로 연결되고, 게이트 노드로 스캔 신호의 일종인 센싱 신호(SENSE)를 인가 받아 제어될 수 있다.

[0071] 이러한 센싱 트랜지스터(SENT)는 센싱 신호(SENSE)에 의해 턴-온 되어 기준전압 라인(RVL)을 통해 공급되는 기준전압(Vref)을 구동 트랜지스터(DRT)의 제1노드(N1)에 인가해준다.

[0072] 또한, 센싱 트랜지스터(SENT)는 구동 트랜지스터(DRT)의 제1노드(N1)에 대한 전압 센싱 경로 중 하나로 활용될 수 있다.

[0073] 한편, 스캔 신호(SCAN) 및 센싱 신호(SENSE)는 별개의 게이트 신호일 수 있다. 이 경우, 스캔 신호(SCAN) 및 센싱 신호(SENSE)는, 다른 게이트 라인을 통해, 스위칭 트랜지스터(SWT)의 게이트 노드 및 센싱 트랜지스터(SENT)의 게이트 노드로 각각 인가될 수도 있다.

[0074] 경우에 따라서는, 스캔 신호(SCAN) 및 센싱 신호(SENSE)는 동일한 게이트 신호일 수도 있다. 이 경우, 스캔 신호(SCAN) 및 센싱 신호(SENSE)는 동일한 게이트 라인을 통해 스위칭 트랜지스터(SWT)의 게이트 노드 및 센싱 트랜지스터(SENT)의 게이트 노드에 공통으로 인가될 수도 있다.

[0075] 구동 트랜지스터(DRT), 스위칭 트랜지스터(SWT) 및 센싱 트랜지스터(SENT)는, n 타입으로 구현될 수도 있고, p 타입으로도 구현될 수도 있다.

- [0076] 도 4를 참조하면, 본 실시예들에 따른 유기발광표시장치(100)는 서브픽셀 특성치(구동 트랜지스터의 특성치, 유기발광다이오드의 특성치) 또는 그 변화를 센싱하기 위한 전압을 센싱하고 센싱된 전압을 디지털 값으로 변환한 센싱값을 포함하는 센싱 데이터를 출력하는 센싱부(310)와, 센싱 데이터를 저장하는 메모리(320)와, 센싱 데이터를 이용하여 서브픽셀 특성치 또는 그 변화를 파악하여 서브픽셀 간의 특성치 편차를 보상해주는 보상 프로세스를 수행하는 보상부(330) 등을 포함할 수 있다.
- [0077] 센싱부(310)는 적어도 하나의 아날로그 디지털 컨버터(ADC: Analog to Digital Converter)를 포함하여 구현될 수 있다.
- [0078] 각 아날로그 디지털 컨버터(ADC: Analog to Digital Converter)는 소스 드라이버 집적회로(SDIC)의 내부에 포함될 수 있으며, 경우에 따라서는, 소스 드라이버 집적회로(SDIC)의 외부에 포함될 수도 있다.
- [0079] 보상부(330)는 타이밍 컨트롤러(140)의 내부에 포함될 수 있으며, 경우에 따라서는, 타이밍 컨트롤러(140)의 외부에 포함될 수도 있다.
- [0080] 센싱부(310)에서 출력되는 센싱 데이터는, 일 예로, LVDS (Low Voltage Differential Signaling) 데이터 포맷으로 되어 있을 수 있다.
- [0081] 본 실시예들에 따른 유기발광표시장치(100)는, 센싱 구동을 제어하기 위하여, 기준전압 라인(RVL)으로의 기준전압(Vref)의 공급 여부를 제어하는 제1 스위치(SW1)와, 기준전압 라인(RVL)과 센싱부(310) 간의 연결을 스위칭해주는 제2 스위치(SW2)를 포함할 수 있다.
- [0082] 제1 스위치(SW1)가 터-온 되면, 기준전압(Vref)이 기준전압 라인(RVL)으로 공급된다. 기준전압 라인(RVL)으로 공급된 기준전압(Vref)은, 터-온 되어 있는 센싱 트랜지스터(SENT)를 통해, 구동 트랜지스터(DRT)의 제1노드(N1)로 인가될 수 있다.
- [0083] 한편, 구동 트랜지스터(DRT)의 제1노드(N1)의 전압이 서브픽셀 특성치를 반영하는 전압 상태가 되면, 구동 트랜지스터(DRT)의 제1노드(N1)와 등 전위일 수 있는 기준전압 라인(RVL)의 전압도 서브픽셀 특성치를 반영하는 전압 상태가 될 수 있다. 이때, 기준전압 라인(RVL) 상에 형성된 라인 캐패시터에 서브픽셀 특성치를 반영하는 전압이 충전될 수 있다.
- [0084] 즉, 센싱 트랜지스터(SENT)가 터-온 된 경우, 구동 트랜지스터(DRT)의 제1노드(N1)의 전압은, 기준전압 라인(RVL)의 전압과, 기준전압 라인(RVL) 상에 형성된 라인 캐패시터에 충전된 전압은 동일할 수 있다.
- [0085] 구동 트랜지스터(DRT)의 제1노드(N1)의 전압이 서브픽셀 특성치를 반영하는 전압 상태가 되면, 제2 스위치(SW2)가 터-온 되어, 센싱부(310)와 기준전압 라인(RVL)이 연결될 수 있다.
- [0086] 이에 따라, 센싱부(310)는 서브픽셀 특성치를 반영하는 전압 상태인 기준전압 라인(RVL)의 전압을 센싱한다. 여기서, 기준전압 라인(RVL)을 "센싱 라인"이라고도 기재한다.
- [0087] 즉, 센싱부(310)는 구동 트랜지스터(DRT)의 제1노드(N1)의 전압을 센싱한다.
- [0088] 이러한 기준전압 라인(RVL)은, 일 예로, 서브픽셀 열마다 1개씩 배치될 수도 있고, 둘 이상의 서브픽셀 열마다 1개씩 배치될 수도 있다.
- [0089] 예를 들어, 1개의 픽셀이 4개의 서브픽셀(적색 서브픽셀, 흰색 서브픽셀, 녹색 서브픽셀, 청색 서브픽셀)로 구성된 경우, 기준전압 라인(RVL)은 4개의 서브픽셀 열(적색 서브픽셀 열, 흰색 서브픽셀 열, 녹색 서브픽셀 열, 청색 서브픽셀 열)을 포함하는 1개의 픽셀 열마다 1개씩 배치될 수도 있다.
- [0090] 센싱부(310)에서 센싱된 전압은, 구동 트랜지스터(DRT)에 대한 문턱전압 센싱의 경우, 구동 트랜지스터(DRT)의 문턱전압(Vth) 또는 문턱전압 변화(ΔVth)을 포함하는 전압 값(Vdata-Vth 또는 Vdata- ΔVth)일 수 있다.
- [0091] 또한, 센싱부(310)에서 센싱된 전압은, 구동 트랜지스터(DRT)에 대한 이동도 센싱의 경우, 구동 트랜지스터(DRT)의 이동도를 센싱하기 위한 전압 값일 수도 있다.
- [0092] 아래에서는, 구동 트랜지스터(DRT)에 대한 문턱전압 센싱 구동 및 이동도 센싱 구동에 대하여 간략하게 설명한다.
- [0093] 도 5는 본 실시예들에 따른 유기발광표시장치(100)의 구동 트랜지스터에 대한 문턱전압 센싱 방식을 설명하기 위한 도면이다.

- [0094] 구동 트랜지스터(DRT)에 대한 문턱전압 센싱 구동 시, 구동 트랜지스터(DRT)의 제1노드(N1)와 제2노드(N2) 각각은 기준전압(Vref)과 문턱전압 센싱 구동용 데이터 전압(Vdata)으로 초기화된다.
- [0095] 이후, 제1스위치(SW1)이 오프 되어 구동 트랜지스터(DRT)의 제1노드(N1)가 플로팅(Floating) 된다.
- [0096] 이에 따라, 구동 트랜지스터(DRT)의 제1노드(N1)의 전압이 상승한다.
- [0097] 구동 트랜지스터(DRT)의 제1노드(N1)의 전압은 상승이 이루어지다가 상승 폭이 서서히 줄어들어 포화하게 된다.
- [0098] 구동 트랜지스터(DRT)의 제1노드(N1)의 포화된 전압은 데이터 전압(Vdata)과 문턱전압(Vth)의 차이 또는 데이터 전압(Vdata)과 문턱전압 편차(ΔVth)의 차이에 해당할 수 있다.
- [0099] 센싱부(310)는 구동 트랜지스터(DRT)의 제1노드(N1)의 전압이 포화되면, 구동 트랜지스터(DRT)의 제1노드(N1)의 포화된 전압을 센싱한다.
- [0100] 센싱부(310)에 의해 센싱된 전압(Vsen)은 데이터 전압(Vdata)에서 문턱전압(Vth)을 뺀 전압($Vdata - Vth$) 또는 데이터 전압(Vdata)에서 문턱전압 편차(ΔVth)을 뺀 전압($Vdata - \Delta Vth$)일 수 있다.
- [0101] 도 6은 본 실시예들에 따른 유기발광표시장치(100)의 구동 트랜지스터에 대한 이동도 센싱 방식을 설명하기 위한 도면이다.
- [0102] 이동도 센싱 구동 시, 구동 트랜지스터(DRT)의 제1노드(N1)와 제2노드(N2) 각각은 기준전압(Vref)과 이동도 센싱 구동용 데이터 전압(Vdata)으로 초기화된다.
- [0103] 이후, 제1스위치(SW1)가 오프 되어 구동 트랜지스터(DRT)의 제1노드(N1)가 플로팅 된다. 이때, 스위칭 트랜지스터(SWT)가 턠-오프 되어, 구동 트랜지스터(DRT)의 제2노드(N2)도 플로팅 될 수 있다.
- [0104] 이에 따라, 구동 트랜지스터(DRT)의 제1노드(N1)의 전압이 상승하기 시작한다.
- [0105] 일정 시간 동안, 구동 트랜지스터(DRT)의 제1노드(N1)의 전압 상승 폭(ΔV)은 전압 상승 속도로서, 구동 트랜지스터(DRT)의 전류 능력, 즉 이동도에 따라 달라진다.
- [0106] 즉, 전류 능력(이동도)이 큰 구동 트랜지스터(DRT)일 수록, 구동 트랜지스터(DRT)의 제1노드(N1)의 전압이 더욱 가파르게 상승하여, 일정 시간 동안, 구동 트랜지스터(DRT)의 제1노드(N1)의 전압 상승 폭(ΔV)이 크다.
- [0107] 구동 트랜지스터(DRT)의 제1노드(N1)의 전압이 미리 정해진 일정 시간 동안 상승이 이루어진 이후, 센싱부(310)는 구동 트랜지스터(DRT)의 제1노드(N1)의 상승된 전압(즉, 구동 트랜지스터(DRT)의 제1노드(N1)의 전압 상승에 따라 함께 전압 상승이 이루어진 기준전압 라인(RVL)의 전압)을 센싱한다.
- [0108] 전출한 문턱전압 또는 이동도 센싱 구동에 따라 센싱부(310)는 문턱전압 센싱 또는 이동도 센싱을 위해 센싱된 전압(Vsen)을 디지털 값으로 변환하고, 변환된 디지털 값(센싱 값)을 포함하는 센싱 데이터를 생성하여 출력한다.
- [0109] 센싱부(310)에서 출력된 센싱 데이터는 메모리(320)에 저장되거나 보상부(330)로 제공될 수 있다.
- [0110] 보상부(330)는 메모리(320)에 저장되거나 센싱부(310)에서 제공된 센싱 데이터를 토대로 해당 서브픽셀 내 구동 트랜지스터(DRT)의 특성치(예: 문턱전압, 이동도) 또는 구동 트랜지스터(DRT)의 특성치 변화(예: 문턱전압 변화, 이동도 변화)를 파악하고, 특성치 보상 프로세스를 수행할 수 있다.
- [0111] 여기서, 구동 트랜지스터(DRT)의 특성치 변화는 이전 센싱 데이터를 기준으로 현재 센싱 데이터가 변화된 것을 의미하거나, 기준 센싱 데이터를 기준으로 현재 센싱 데이터가 변화된 것을 의미할 수도 있다.
- [0112] 여기서, 구동 트랜지스터(DRT) 간의 특성치 또는 특성치 변화를 비교해보면, 구동 트랜지스터(DRT) 간의 특성치 편차를 파악할 수 있다. 구동 트랜지스터(DRT)의 특성치 변화가 기준 센싱 데이터를 기준으로 현재 센싱 데이터가 변화된 것을 의미하는 경우, 구동 트랜지스터(DRT)의 특성치 변화로부터 구동 트랜지스터(DRT) 간의 특성치 편차(즉, 서브픽셀 휘도 편차)를 파악할 수도 있다.
- [0113] 특성치 보상 프로세스는, 구동 트랜지스터(DRT)의 문턱전압을 보상하는 문턱전압 보상 처리와, 구동 트랜지스터(DRT)의 이동도를 보상하는 이동도 보상 처리를 포함할 수 있다.
- [0114] 문턱전압 보상 처리는 문턱전압 또는 문턱전압 편차(문턱전압 변화)를 보상하기 위한 보상값을 연산하고, 연산된 보상값을 메모리(320)에 저장하거나, 연산된 보상값으로 해당 영상 데이터(Data)를 변경하는 처리를 포함할

수 있다.

[0115] 이동도 보상 처리는 이동도 또는 이동도 편차(이동도 변화)를 보상하기 위한 보상값을 연산하고, 연산된 보상값을 메모리(320)에 저장하거나, 연산된 보상값으로 해당 영상 데이터(Data)를 변경하는 처리를 포함할 수 있다.

[0116] 보상부(330)는 문턱전압 보상 처리 또는 이동도 보상 처리를 통해 영상 데이터(Data)를 변경하여 변경된 데이터를 데이터 드라이버(120) 내 해당 소스 드라이버 집적회로(SDIC)로 공급해줄 수 있다.

[0117] 이에 따라, 해당 소스 드라이버 집적회로(SDIC)는, 보상부(330)에서 변경된 데이터를 디지털 아날로그 컨버터(DAC: Digital to Analog Converter, 340)를 통해 데이터 전압으로 변환하여 해당 서브픽셀로 공급해줌으로써, 서브픽셀 특성치 보상(문턱전압 보상, 이동도 보상)이 실제로 이루어지게 된다.

[0118] 이러한 서브픽셀 특성치 보상이 이루어짐에 따라, 서브픽셀 간의 휘도 편차를 줄여주거나 방지해줌으로써, 유기 발광표시패널(110)의 휘도 균일도를 높여주어 화상 품질을 향상시켜줄 수 있다.

[0119] 도 7은 본 실시예들에 따른 유기발광표시장치(100)의 센싱 타이밍을 나타낸 도면이다.

[0120] 도 7을 참조하면, 본 실시예들에 따른 유기발광표시장치(100)는, 사용자 입력 등에 따라 파워-오프 신호가 발생한 이후, 유기발광표시패널(110)에 배치된 각 서브픽셀 내 회로 소자의 특성치를 센싱할 수 있다.

[0121] 이와 같이, 파워-오프 신호의 발생 이후 진행되는 센싱을 "오프-센싱(Off-Sensing)"이라고 한다.

[0122] 또한, 본 실시예들에 따른 유기발광표시장치(100)는, 사용자 입력 등에 따라 파워-온 신호가 발생한 이후, 영상 구동이 시작하기 전에, 유기발광표시패널(110)에 배치된 각 서브픽셀 내 회로 소자의 특성치를 센싱할 수 있다.

[0123] 이와 같이, 파워-오프 신호의 발생 이후 영상 구동이 진행되기 전에 진행되는 센싱을 "온-센싱(On-Sensing)"이라고 한다.

[0124] 또한, 본 실시예들에 따른 유기발광표시장치(100)는, 영상 구동 중에, 유기발광표시패널(110)에 배치된 각 서브픽셀 내 회로 소자의 특성치를 센싱할 수도 있다.

[0125] 이와 같이, 영상 구동 중에 진행되는 센싱을 "실시간 센싱(Real-Time Sensing)"이라고 한다.

[0126] 이러한 실시간 센싱(Real-Time Sensing)은, 수직 동기 신호(Vsync)를 기준으로 액티브 시간(Active Time) 사이의 블랭크 시간(Blank Time) 마다 진행될 수 있다.

[0127] 구동 트랜지스터(DRT)의 문턱전압 센싱(Vth Sensing)은, 구동 트랜지스터(DRT)의 제1노드(N1)의 전압 포화 시간이 필요하기 때문에, 구동 트랜지스터(DRT)의 이동도 센싱(Mobility Sensing)에 비해, 상대적으로 오랜 시간이 걸린다.

[0128] 이러한 점을 고려하여, 구동 트랜지스터(DRT)의 문턱전압 센싱은 사용자 입력 등에 따라 파워-오프 신호가 발생한 이후, 화상 구동이 되지 않는 동안, 진행될 수 있다.

[0129] 즉, 구동 트랜지스터(DRT)의 문턱전압 센싱은 오프-센싱(Off-Sensing) 방식으로 진행될 수 있다.

[0130] 구동 트랜지스터(DRT)의 이동도 센싱은 파워-오프 신호가 발생한 이후에도 수행될 수 있지만, 짧은 시간이 걸리는 점을 고려하여, 파워-온 신호가 발생한 이후에 진행되거나 영상 구동 중에도 실시간으로 진행될 수 있다.

[0131] 즉, 구동 트랜지스터(DRT)의 이동도 센싱은 온-센싱(On-Sensing) 방식 및/또는 실시간-센싱(RT-Sensing) 방식으로 진행될 수 있다.

[0132] 실시간 센싱의 경우, 수직 동기 신호(Vsync)를 기준으로 액티브 시간(Active Time) 구간 사이의 블랭크 시간(Blank Time) 구간 마다, 하나의 기준전압 라인(RVL) 당 하나 또는 둘 이상의 서브픽셀 내 구동 트랜지스터(DRT)의 이동도 센싱이 진행될 수 있다.

[0133] 한편, 유기발광표시패널(110)에 배치된 신호 라인들(DL, RVL, GL, DVL) 중 하나 이상의 신호 라인이 오픈(Open)되거나 둘 이상의 신호 라인이 단락(Short) 된 경우, 센싱값이 비정상으로 얻어질 수 있다.

[0134] 따라서, 이상에서 설명한 방식으로 진행되는 센싱을 통해 얻어진 센싱값을 기준 센싱값(신호 라인이 정상적인 경우에 얻어지는 센싱값)과 비교하여 일정 정도 이상 차이가 나는 경우, 신호 라인에 결함이 있다고 판단할 수 있다.

[0135] 도 8은 본 실시예들에 따른 유기발광표시장치(100)에서, 타이밍 컨트롤러(140)와 소스 드라이버 집적회로들

(SDIC1, …, SDIC5) 간의 인터페이스 신호를 이용한 상태 체크 절차를 나타낸 도면이다. 단, 설명의 편의를 위하여, 데이터 드라이버(120)는 6개의 소스 드라이버 집적회로(SDIC1, …, SDIC6)를 포함하는 것으로 가정한다.

[0136] 본 실시예들에 따른 유기발광표시장치(100)는, 타이밍 컨트롤러(140)와 6개의 소스 드라이버 집적회로(SDIC1, …, SDIC6) 간에는, 영상 데이터, 센싱 데이터, 각종 제어 신호 등의 신호 전달을 위하여, EPI 인터페이스, LVDS 인터페이스 등의 인터페이스를 포함한다.

[0137] 도 8을 참조하면, 타이밍 컨트롤러(140)는, 6개의 소스 드라이버 집적회로(SDIC1, …, SDIC6) 각각이 데이터 구동을 정상적으로 수행할 수 있는 상태인지를 체크하기 위하여, 인터페이스를 통해, 인터페이스 신호를 6개의 소스 드라이버 집적회로(SDIC1, …, SDIC6) 중 일 측의 최외곽에 위치한 제1 소스 드라이버 집적회로(SDIC1)로 전송한다.

[0138] 제1 소스 드라이버 집적회로(SDIC1)는, 자신의 상태에 이상이 없으면 하이 레벨의 인터페이스 신호를 다음에 위치한 제2 소스 드라이버 집적회로(SDIC2)로 전송하고, 상태에 이상이 있으면 로우 레벨의 인터페이스 신호를 다음에 위치한 제2 소스 드라이버 집적회로(SDIC2)로 전송한다.

[0139] 제2 소스 드라이버 집적회로(SDIC2)는 입력된 인터페이스 신호가 로우 레벨이면, 자신의 상태와 무관하게, 로우 레벨의 인터페이스 신호를 다음에 위치한 제3 소스 드라이버 집적회로(SDIC3)로 전송한다.

[0140] 제2 소스 드라이버 집적회로(SDIC2)는 입력된 인터페이스 신호가 하이 레벨이면, 자신의 상태에 이상이 없으면 하이 레벨의 인터페이스 신호를 다음에 위치한 제2 소스 드라이버 집적회로(SDIC2)로 전송하고, 상태에 이상이 있으면 로우 레벨의 인터페이스 신호를 다음에 위치한 제2 소스 드라이버 집적회로(SDIC2)로 전송한다.

[0141] 전술한 인터페이스 전달 방식에 따라, 6개의 소스 드라이버 집적회로(SDIC1, …, SDIC6)의 상태가 모두 정상이면, 타 측의 최외곽에 위치한 제6 소스 드라이버 집적회로(SDIC6)는 타이밍 컨트롤러(140)로 하이 레벨의 인터페이스 신호를 출력한다.

[0142] 이에 따라, 타이밍 컨트롤러(140)는, 6개의 소스 드라이버 집적회로(SDIC1, …, SDIC6) 모두가 데이터 구동을 정상적으로 수행할 수 있는 상태라는 것을 인지한다.

[0143] 전술한 인터페이스 전달 방식에 따라, 6개의 소스 드라이버 집적회로(SDIC1, …, SDIC6) 중 하나라도 상태가 비정상이면, 타 측의 최외곽에 위치한 제6 소스 드라이버 집적회로(SDIC6)는 타이밍 컨트롤러(140)로 로우 레벨의 인터페이스 신호를 출력한다.

[0144] 이에 따라, 타이밍 컨트롤러(140)는, 6개의 소스 드라이버 집적회로(SDIC1, …, SDIC6) 중 적어도 하나가 데이터 구동을 정상적으로 수행할 수 없는 상태라는 것을 인지한다.

[0145] 또한, 타이밍 컨트롤러(140)는, 6개의 소스 드라이버 집적회로(SDIC1, …, SDIC6) 중 적어도 하나가 문제인 경우 뿐만 아니라, 소스 인쇄회로기판(S-PCB)과 컨트롤 인쇄회로기판(C-PCB) 간의 가요성 플랫 케이블(FFC1)이 체결된 상태가 불량인 경우에도, 로우 레벨의 인터페이스 신호를 수신할 수 있다.

[0146] 본 명세서에서 인터페이스 신호는, 일 예로, 락 신호(Lock Signal)일 수 있다.

[0147] 도 9는 본 실시예들에 따른 유기발광표시장치(100)에서 게이트 전압 전달을 나타낸 도면이다. 단, 설명의 편의를 위해, 게이트 드라이버(130)는 5개의 게이트 집적 회로(GDIC1, …, GDIC5)를 포함하는 것으로 가정한다.

[0148] 도 9를 참조하면, 컨트롤 인쇄회로기판(C-PCB)에 배치된 전원 컨트롤러(900)는 게이트 구동을 위해 필요한 게이트 전압(VGH, VGL)을 출력한다.

[0149] 전원 컨트롤러(900)에서 출력된 게이트 전압(VGH, VGL)은, 컨트롤 인쇄회로기판(C-PCB), 소스 인쇄회로기판(S-PCB), 소스 드라이버 집적회로(SDIC)가 실장된 소스 측 필름(FS)을 거쳐서, 유기발광표시패널(110)로 유입된다.

[0150] 유기발광표시패널(110)로 유입된 게이트 전압(VGH, VGL)은 유기발광표시패널(110) 상의 게이트 전압 배선을 통해 5개의 게이트 집적 회로(GDIC1, …, GDIC5)에 전달된다.

[0151] 5개의 게이트 집적 회로(GDIC1, …, GDIC5) 각각은 게이트 전압(VGH, VGL)을 이용하여 게이트 신호(SCAN, SENSE)를 생성하여 출력한다.

[0152] 이때, 게이트 전압(VGH, VGL)에 이상이 있는 경우, 5개의 게이트 집적 회로(GDIC1, …, GDIC5) 각각은 정상적인 게이트 구동을 수행할 수 없다.

- [0153] 따라서, 본 실시예들에 따른 유기발광표시장치(100)는, 유기발광표시패널(110)에 실제로 유입된 게이트 전압(VGH, VGL)의 이상 유무를 확인할 수 있다.
- [0154] 일 예로, 본 실시예들에 따른 유기발광표시장치(100)는, 비교기 등의 회로를 이용하여, 유기발광표시패널(110)에 실제로 유입된 게이트 전압(VGH, VGL)에 대응되는 전류를 센싱하여 정상 전류에 해당하는 기준 전류와 비교하여, 유기발광표시패널(110)에 실제로 유입된 게이트 전압(VGH, VGL)에 대응되는 전류가 비정상 전류(예: 과전류)인지를 판단한다.
- [0155] 이러한 게이트 전압(VGH, VGL)에 대응된 전류가 비정상 전류인 경우는, 유기발광표시패널(110) 상의 게이트 전압 배선, 게이트 측 필름(FG), 소스 측 필름(FS), 소스 인쇄회로기판(S-PCB), 가용성 플랫 케이블(FFC1), 컨트롤 인쇄회로기판(C-PCB) 중 적어도 하나에 결함이 생긴 경우에 발생할 수 있다.
- [0156] 도 10은 본 실시예들에 따른 유기발광표시장치(100)에서의 패널 번트(Panel Burnt) 현상을 설명하기 위한 도면이다.
- [0157] 도 10을 참조하면, 유기발광표시패널(110)은 여러 종류의 결함에 의해 타버리는 패널 번트 현상이 발생할 수 있다.
- [0158] 패널 번트 현상을 발생시키는 결함으로는, 유기발광표시패널(110)에 배치된 신호 라인(DL, GL, DVL, RVL, 게이트 전압 배선 등)이 단락 또는 오픈과, 유기발광표시패널(110)과 게이트 측 필름(FG) 또는 소스 측 필름(FS)의 본딩 상 오류와, 가요성 플랫 케이블(FFC1)의 미 체결 등으로 인해 소스 인쇄회로기판(S-PCB)과 컨트롤 인쇄회로기판(C-PCB) 간의 전기적인 연결 문제와, 가요성 플랫 케이블(FFC2)의 미 체결 등으로 인해 컨트롤 인쇄회로기판(C-PCB)과 메인 인쇄회로기판(M-PCB) 간의 전기적인 연결 문제 등이 있을 수 있다.
- [0159] 이러한 결함이 발생하는 경우, 유기발광표시패널(110)이 타버리는 패널 번트 현상이 발생할 수 있고, 유기발광표시장치(100)가 정상적으로 동작하지 않을 수 있다. 이뿐만 아니라, 유기발광표시장치(100)가 고장 나버릴 수도 있고 심한 경우 화재가 발생할 수도 있다.
- [0160] 따라서, 패널 번트 현상이 발생하기 이전에, 패널 번트 현상을 발생시키는 결함을 미리 검출하는 것이 반드시 필요하다.
- [0161] 패널 번트 현상을 발생시킬 수 있는 결함을 효율적으로 관리하는 것이 필요하다. 그래야만, 결함 발생 시, 즉각적이고 적절한 대응 조치가 가능하다.
- [0162] 따라서, 본 실시예들은, 결함이 검출되면, 검출된 결함의 결함 유형(DT: Defect Type, 이하 "DT"라 함)을 분류하고, 결함 유형(DT)에 맞는 결함 신호(DS: Defect Signal)를 생성하여, 결함 신호(DS)를 통해 결함을 효율적으로 관리하는 방법을 제공할 수 있다.
- [0163] 이하에서는, 패널 번트 현상을 방지하기 위한 방법 및 시스템을 상세하게 설명한다.
- [0164] 도 11은 본 실시예들에 따른 유기발광표시장치(100)에서 패널 번트 현상을 방지하기 위한 패널 번트 현상 방지 시스템을 나타낸 도면이다.
- [0165] 도 11을 참조하면, 본 실시예들에 따른 유기발광표시장치(100)에서 패널 번트 현상을 방지하기 위한 패널 번트 현상 방지 시스템은, 결함 검출부(1110), 결함 신호 생성부(1120) 및 결함 관리부(1130) 등을 포함할 수 있다.
- [0166] 결함 검출부(1110)는 유기발광표시장치(100)의 결함을 검출하고, 검출된 결함에 대한 결함 유형(DT)을 분류한다.
- [0167] 예를 들어, 결함 검출부(1110)는 유기발광표시패널(110)의 내부 또는 외부의 신호 라인 상의 결함을 검출하거나 유기발광표시패널(110)의 오동작에 대한 결함을 검출하고, 검출된 결함에 대한 결함 유형(DT)을 분류할 수 있다.
- [0168] 결함 신호 생성부(1120)는 결함 유형(DT)에 따라 다른 신호 파형을 갖는 결함 신호(DS)를 생성하여 전송한다.
- [0169] 결함 관리부(1130)는 결함 신호(DS)를 수신하여 수신된 결함 신호(DS)의 신호 파형을 분석하여 결함 유형(DT)을 인식하고, 인식 결과를 메모리(1140)에 저장시켜 관리한다.
- [0170] 전술한 패널 번트 현상 방지 시스템을 이용하면, 유기발광표시장치(100)에서 검출된 결함의 결함 유형(DT)을 확인할 수 있게 되어, 결함 발생 시점, 결함 발생 원인, 결함 발생 위치 등을 파악할 수 있다. 이를 통해, 결함에

대한 대응 조치 시, 결함에 맞는 적절한 대응 조치를 해줄 수 있게 한다.

[0171] 결합 관리부(1130)는, 결합 유형(DT)의 인식 결과에 따라 파워-오프 처리를 수행할 수 있다.

[0172] 일 예로, 결합 관리부(1130)는 유기발광다이오드(OLED)를 구동하기 위한 구동전압(EVDD)에 대한 파워-오프 처리를 수행할 수 있다.

[0173] 이러한 결합 관리부(1130)의 파워-오프 처리를 통해, 유기발광표시패널(110)의 패널 번트 현상을 미연에 발생할 수 있다.

[0174] 도 11을 참조하면, 결합 검출부(1110) 및 결합 신호 생성부(1120)는, 일 예로, 컨트롤 인쇄회로기판(C-PCB) 상의 타이밍 컨트롤러(140)에 포함될 수 있다.

[0175] 결합 관리부(1130)는, 일 예로, 메인 인쇄회로기판(M-PCB) 상에 위치할 수 있으며, 경우에 따라서, 메인 인쇄회로기판(M-PCB) 상의 메인 컨트롤러(M-CON)의 내부에 포함될 수 있다.

[0176] 도 12는 본 실시예들에 따른 유기발광표시장치(100)의 패널(110) 번트 현상 방지 시스템에서, 결합 검출 및 결합 유형 분류 방법을 나타낸 도면이다.

[0177] 도 12를 참조하면, 결합 검출부(1110)는, 결합 판단부(1210), 결합 유형 분류부(1220) 및 결합 유형 정보 출력부(1230) 등을 포함할 수 있다.

[0178] 결합 판단부(1210)는, 온-센싱 또는 실시간-센싱 또는 오프-센싱 시 얻어진 유기발광표시패널(110)에 대한 센싱 값과, 유기발광표시패널(110)에서의 전압값(예: 게이트 전압 등)과, 유기발광표시패널(110)에서의 전류값(예: 게이트 전압 전류)과, 타이밍 컨트롤러(140) 및 데이터 드라이버(120) 간의 인터페이스 신호(Interface(I/F) Signal) 중 적어도 하나에 기초하여 유기발광표시장치(100)의 결함 여부를 판단하여 결함을 검출할 수 있다.

[0179] 결합 판단부(1210)는, 온-센싱 또는 실시간-센싱 또는 오프-센싱 시 얻어진 유기발광표시패널(110)에 대한 센싱 값이 정상 센싱값 범위에 있는지를 판단하여, 센싱값이 정상 센싱값 범위를 벗어나면, 결함이 발생한 것으로 판단할 수 있다.

[0180] 또한, 결합 판단부(1210)는, 유기발광표시패널(110)에서의 전압값(예: 게이트 전압 등) 또는 유기발광표시패널(110)에서의 전류값(예: 게이트 전압 전류)을 기준 전압 값 또는 기준 전류값과 비교하여, 차이가 나는 경우, 해당 전압 또는 해당 전류를 공급하는 신호 라인 또는 신호 라인이 배치된 위치에서 결함이 발생한 것으로 판단할 수 있다.

[0181] 또한, 결합 판단부(1210)는, 도 8에서 설명한 바와 같이, 타이밍 컨트롤러(140)가 전송한 인터페이스 신호(I/F Signal)에 대하여 소스 드라이버 집적회로(SDIC6)로부터 로우 레벨의 인터페이스 신호(I/F Signal)를 정해진 횟수만큼 연속적으로 피드백 받는 경우, 가요성 플랫 케이블(FFC1)의 미체결 등의 결함이 발생한 것으로 판단할 수 있다.

[0182] 전술한 바와 같이, 결합 검출부(1110)의 결합 판단부(1210)는, 다양한 방식으로 유기발광표시장치(100)에서 발생 가능한 결함을 검출함으로써, 유기발광표시장치(100)에서 다양한 타이밍에 다양한 위치에서 발생할 수 있는 다양한 종류의 결함을 효율적으로 검출할 수 있다.

[0183] 도 13은 본 실시예들에 따른 유기발광표시장치(100)의 패널(110) 번트 현상 방지 시스템에서의 결합 유형(DT)과 결합 신호(DS) 간의 대응 관계를 나타낸 도면이다.

[0184] 도 13을 참조하면, 결합 검출부(1110)의 결합 유형 분류부(1220)는, 파워-온 신호의 발생에 따라 진행된 패널 센싱의 센싱값을 토대로 검출되는 결함을 제1 결합 유형(DT1)으로 분류하고, 영상 구동이 시작한 이후 블랭크 시간마다 실시간으로 진행된 패널 센싱의 센싱값을 토대로 검출되는 결함을 제2 결합 유형(DT2)으로 분류하며, 파워-오프 신호의 발생에 따라 진행된 패널 센싱의 센싱값을 토대로 검출되는 결함을 제3 결합 유형(DT3)으로 분류하고, 타이밍 컨트롤러(140) 및 데이터 드라이버(120) 간의 인터페이스의 신호를 토대로 검출되는 결함을 제4 결합 유형(DT4)으로 분류하며, 게이트 드라이버(130)에서 사용하는 게이트 전압이 비정상적인 경우에 검출되는 결함을 제5 결합 유형(DT5)으로 분류할 수 있다.

[0185] 전술한 바와 같이, 결합 검출 방식 별로 결합 유형(DT)을 분류하고, 분류된 결합 유형(DT)별로 결합 신호(DS)를 생성함으로써, 결합 관리부(1130)는 결합 신호(DS)로부터 어떠한 결합 유형(DT)의 결함이 발생하였는지를 인지할 수 있다.

- [0186] 도 14는 본 실시예들에 따른 유기발광표시장치(100)의 패널 변트 현상 방지 시스템에서, 결합 신호 생성부(1120)와 결합 관리부(1130) 간의 결합 신호 전송 구조를 나타낸 도면이다.
- [0187] 도 14를 참조하면, 결합 신호 생성부(1120)는 컨트롤 인쇄회로기판(C-PCB) 상의 타이밍 컨트롤러(140)의 내부에 위치하고, 결합 관리부(1130)는 메인 인쇄회로기판(M-PCB) 상에 위치하는 경우, 결합 신호 생성부(1120)에서 생성된 결합 신호(DS)가 결합 관리부(1130)로 전달되기 위해서는, 결합 신호 생성부(1120)와 결합 관리부(1130) 간에 연결된 결합 신호 라인(DSL)이 필요하다.
- [0188] 아래에서는, 이러한 결합 신호 라인(DSL)을 통해 전송되는 결합 신호(DS)의 신호 파형을 결합 유형(DT)별로 예시적으로 설명한다.
- [0189] 도 15 내지 도 18은 본 실시예들에 따른 유기발광표시장치(100)의 패널(110) 변트 현상 방지 시스템에서 결합 유형(DT)에 따른 결합 신호(DS)의 예시도들이다.
- [0190] 도 15를 참조하면, 결합 신호 생성부(1120)는 펄스 폭 변조 방식으로 결합 신호(DS)를 생성하되, 결합 검출부(1110)에서 분류된 결합 유형(DT)에 따라 다른 뉴티를 갖는 결합 신호(DS)를 생성할 수 있다.
- [0191] 결합 신호 생성부(1120)는 제1 검출 유형(DT1)의 경우, t1의 뉴티를 갖는 제1 결합 신호(DS1)를 생성할 수 있다.
- [0192] 결합 신호 생성부(1120)는 제2 검출 유형(DT2)의 경우, t2의 뉴티를 갖는 제2 결합 신호(DS2)를 생성할 수 있다.
- [0193] 결합 신호 생성부(1120)는 제3 검출 유형(DT3)의 경우, t3의 뉴티를 갖는 제3 결합 신호(DS3)를 생성할 수 있다.
- [0194] 결합 신호 생성부(1120)는 제4 검출 유형(DT4)의 경우, t4의 뉴티를 갖는 제4 결합 신호(DS4)를 생성할 수 있다.
- [0195] 결합 신호 생성부(1120)는 제5 검출 유형(DT5)의 경우, t5의 뉴티를 갖는 제5 결합 신호(DS5)를 생성할 수 있다.
- [0196] 여기서, 뉴티 값에 해당하는 t1, t2, t3, t4, t5는 모두 다른 값이다.
- [0197] 전술한 바와 같이, 결합 신호 생성부(1120)는 결합 유형(DT)에 따라 다른 뉴티를 갖는 결합 신호(DS)를 생성함으로써, 결합 관리부(1130)는 결합 신호(DS)의 신호 파형을 분석하여 뉴티를 확인하고, 확인된 뉴티로부터 결합 유형(DT)을 쉽게 인지할 수 있다.
- [0198] 도 16을 참조하면, 결합 신호 생성부(1120)는, 펄스 진폭 변조 방식으로 결합 신호(DS)를 생성하되, 결합 유형(DT)에 따라 다른 진폭(Amplitude)을 갖는 결합 신호(DS)를 생성할 수 있다.
- [0199] 결합 신호 생성부(1120)는 제1 검출 유형(DT1)의 경우, A1의 진폭을 갖는 제1 결합 신호(DS1)를 생성할 수 있다.
- [0200] 결합 신호 생성부(1120)는 제2 검출 유형(DT2)의 경우, A2의 진폭을 갖는 제2 결합 신호(DS2)를 생성할 수 있다.
- [0201] 결합 신호 생성부(1120)는 제3 검출 유형(DT3)의 경우, A3의 진폭을 갖는 제3 결합 신호(DS3)를 생성할 수 있다.
- [0202] 결합 신호 생성부(1120)는 제4 검출 유형(DT4)의 경우, A4의 진폭을 갖는 제4 결합 신호(DS4)를 생성할 수 있다.
- [0203] 결합 신호 생성부(1120)는 제5 검출 유형(DT5)의 경우, A5의 진폭을 갖는 제5 결합 신호(DS5)를 생성할 수 있다.
- [0204] 여기서, 진폭 값에 해당하는 A1, A2, A3, A4, A5는 모두 다른 값이다.
- [0205] 전술한 바와 같이, 결합 신호 생성부(1120)는 결합 유형(DT)에 따라 다른 진폭을 갖는 결합 신호(DS)를 생성함으로써, 결합 관리부(1130)는 결합 신호(DS)의 신호 파형을 분석하여 진폭을 확인하고, 확인된 진폭으로부터 결합 유형(DT)을 쉽게 인지할 수 있다.

- [0206] 도 17을 참조하면, 결합 신호 생성부(1120)는, 결합 유형(DT)에 따라 하이 레벨 구간 또는 로우 레벨 구간의 개수를 다르게 하여 결합 신호(DS)를 생성할 수 있다.
- [0207] 결합 신호 생성부(1120)는 제1 검출 유형(DT1)의 경우, 1개의 하이 레벨 구간을 갖는 제1 결합 신호(DS1)를 생성할 수 있다.
- [0208] 결합 신호 생성부(1120)는 제2 검출 유형(DT2)의 경우, 2개의 하이 레벨 구간을 갖는 제2 결합 신호(DS2)를 생성할 수 있다.
- [0209] 결합 신호 생성부(1120)는 제3 검출 유형(DT3)의 경우, 3개의 하이 레벨 구간을 갖는 제3 결합 신호(DS3)를 생성할 수 있다.
- [0210] 결합 신호 생성부(1120)는 제4 검출 유형(DT4)의 경우, 4개의 하이 레벨 구간을 갖는 제4 결합 신호(DS4)를 생성할 수 있다.
- [0211] 결합 신호 생성부(1120)는 제5 검출 유형(DT5)의 경우, 5개의 하이 레벨 구간을 갖는 제5 결합 신호(DS5)를 생성할 수 있다.
- [0212] 전술한 바와 같이, 결합 신호 생성부(1120)는 결합 유형(DT)에 따라 하이 레벨 구간 또는 로우 레벨 구간의 개수를 다르게 결합 신호(DS)를 생성함으로써, 결합 관리부(1130)는 결합 신호(DS)의 신호 파형을 분석하여 하이 레벨 구간 또는 로우 레벨 구간의 개수를 확인하고, 확인된 하이 레벨 구간 또는 로우 레벨 구간의 개수로부터 결합 유형(DT)을 쉽게 인지할 수 있다.
- [0213] 도 18을 참조하면, 결합 신호 생성부(1120)는, 결합 유형(DT)에 따라 하이 레벨 구간 또는 로우 레벨 구간의 길이를 다르게 하여 결합 신호(DS)를 생성할 수 있다.
- [0214] 결합 신호 생성부(1120)는 제1 검출 유형(DT1)의 경우, 하이 레벨 구간의 길이 ht1을 갖는 제1 결합 신호(DS1)를 생성할 수 있다.
- [0215] 결합 신호 생성부(1120)는 제2 검출 유형(DT2)의 경우, 하이 레벨 구간의 길이 ht2를 갖는 제2 결합 신호(DS2)를 생성할 수 있다.
- [0216] 결합 신호 생성부(1120)는 제3 검출 유형(DT3)의 경우, 하이 레벨 구간의 길이 ht3을 갖는 제3 결합 신호(DS3)를 생성할 수 있다.
- [0217] 결합 신호 생성부(1120)는 제4 검출 유형(DT4)의 경우, 하이 레벨 구간의 길이 ht4를 갖는 제4 결합 신호(DS4)를 생성할 수 있다.
- [0218] 결합 신호 생성부(1120)는 제5 검출 유형(DT5)의 경우, 하이 레벨 구간의 길이 ht5를 갖는 제5 결합 신호(DS5)를 생성할 수 있다.
- [0219] 여기서, 하이 레벨 구간의 시간적인 길이에 해당하는 ht1, ht2, ht3, ht4, ht5는 모두 다른 값이다.
- [0220] 전술한 바와 같이, 결합 신호 생성부(1120)는 결합 유형(DT)에 따라 하이 레벨 구간 또는 로우 레벨 구간의 길이를 다르게 하여 결합 신호(DS)를 생성함으로써, 결합 관리부(1130)는 결합 신호(DS)의 신호 파형을 분석하여 하이 레벨 구간 또는 로우 레벨 구간의 길이를 확인하고, 확인된 하이 레벨 구간 또는 로우 레벨 구간의 길이로부터 결합 유형(DT)을 쉽게 인지할 수 있다.
- [0221] 이상에서는, 결합 신호 생성부(1120)와 결합 관리부(1130) 간의 결합 신호 라인(DSL)이 1개인 경우에 대하여, 결합 신호(DS)의 생성 방식에 대하여 설명하였다.
- [0222] 경우에 따라서는, 결합 신호 생성부(1120)와 결합 관리부(1130) 간의 결합 신호 라인(DSL)이 2개 이상일 수도 있다.
- [0223] 아래에서는 이러한 경우에 대하여 결합 신호(DS)의 생성 방식 및 전달 방식을 설명한다.
- [0224] 도 19는 본 실시예들에 따른 유기발광표시장치(100)의 패널 벤트 현상 방지 시스템에서, 결합 신호 생성부(1120)와 결합 관리부(1130) 간의 결합 신호 전송 구조의 다른 예시를 나타낸 도면이다.
- [0225] 도 19를 참조하면, 결합 신호 생성부(1120)는 컨트롤 인쇄회로기판(C-PCB) 상의 타이밍 컨트롤러(140)의 내부에 위치하고, 결합 관리부(1130)는 메인 인쇄회로기판(M-PCB) 상에 위치하는 경우, 결합 신호 생성부(1120)와 결합

관리부(1130)는 N(N은 2 이상의 자연수)개의 결합 신호 라인(DSL_1, DSL_2, ...)으로 연결될 수 있다.

[0226] 아래에서는, N이 3인 경우를 예로 들어 설명한다.

도 20은 본 실시예들에 따른 유기발광표시장치(100)의 패널(110) 번트 현상 방지 시스템에서, 3개(N=3)의 결합 신호 라인(DSL_1, DSL_2, DSL_3)을 이용하는 경우, 5가지의 결합 유형(DT1, DT2, DT3, DT4, DT5) 각각에 따른 3개의 결합 신호(DS_1, DS_2, DS_3)의 예시도들이다.

도 20을 참조하면, 결합 신호 생성부(1120)와 결합 관리부(1130)는 3개의 결합 신호 라인(DSL_1, DSL_2, DSL_3)으로 연결되어 있을 때, 결합 신호 생성부(1120)는, 결합 유형(DT)에 따라 3(N=3)개의 결합 신호(DS_1, DS_2, DS_3)를 생성하여 3개의 결합 신호 라인(DSL_1, DSL_2, DSL_3)으로 대응시켜 전송한다.

결합 관리부(1130)는, 3개의 결합 신호 라인(DSL_1, DSL_2, DSL_3)으로부터 수신된 3개의 결합 신호(DS_1, DS_2, DS_3)의 조합 형태로 결합 유형(DT)을 인식한다.

이때, 결합 유형(DT)이 다른 경우, 3개의 결합 신호(DS_1, DS_2, DS_3) 중 적어도 하나의 신호 패형은 서로 다를 수 있다.

[0231] 예를 들어, 제1 결합 유형(DT1)에 따른 3개의 결합 신호(DS_1, DS_2, DS_3)는 로우 레벨 신호, 로우 레벨 신호 및 하이 레벨 신호이다. 제2 결합 유형(DT2)에 따른 3개의 결합 신호(DS_1, DS_2, DS_3)는, 로우 레벨 신호, 하이 레벨 신호 및 로우 레벨 신호이다. 따라서, 제1 결합 유형(DT1)에 따른 3개의 결합 신호(DS_1, DS_2, DS_3)와 제2 결합 유형(DT2)에 따른 3개의 결합 신호(DS_1, DS_2, DS_3)는 DS_2와 DS_3는 서로 다르다.

[0232] 이에 따라, 결합 관리부(1130)는 3개의 결합 신호(DS_1, DS_2, DS_3)를 수신하여 3개의 결합 신호(DS_1, DS_2, DS_3) 각각이 어떠한 형태의 신호 패형을 갖는지를 확인하여, 3개의 결합 신호(DS_1, DS_2, DS_3)이 어떠한 조합 형태로 되어 있는지를 확인하여, 3개의 결합 신호(DS_1, DS_2, DS_3)를 생성하게 된 결합의 결합 유형(DT)을 파악할 수 있다.

[0233] 여기서, 결합 신호 라인 및 결합 신호의 개수 N은, 결합 유형의 개수(k)에 따라 정해진다.

[0234] 즉, 다음과 같은 수학식 1을 만족하는 M값 중에서 최소값을 N값으로 설정할 수 있다.

수학식 1

$$2^M \geq K$$

[0235] 상기 수학식 1에서, K는 결합 유형(DT)의 개수이다.

[0236] 도 21은 본 실시예들에 따른 유기발광표시장치(100)의 패널 번트 현상 방지 시스템의 구현 예시도이다.

[0237] 도 21을 참조하면, 결합 검출부(1110) 및 결합 신호 생성부(1120) 중 적어도 하나는 타이밍 컨트롤러(140)에 포함되거나 타이밍 컨트롤러(140)가 위치한 컨트롤 인쇄회로기판(C-PCB)에 위치할 수 있다.

[0238] 또한, 결합 관리부(1130)는 컨트롤 인쇄회로기판(C-PCB)과 전기적으로 연결된 메인 인쇄회로기판(M-PCB)에 위치할 수 있다.

[0239] 예로, 결합 관리부(1130)는, 결합 신호 라인(DSL)을 통해, 타이밍 컨트롤러(140)로 파워-오프를 위한 제어신호를 전달하고, 타이밍 컨트롤러(140)는 전원 컨트롤러(900)로 파워-오프 처리를 지시할 수 있다.

[0240] 전술한 바에 따르면, 기존 구성을 이용하여 패널 번트 현상 방지 시스템을 구현할 수 있다.

[0241] 이상에서 설명한 결합 관리 방법을 아래에서 간략하게 다시 설명한다.

[0242] 도 22는 본 실시예들에 따른 유기발광표시장치(100)의 결합 관리 방법에 대한 흐름도이다.

[0243] 도 22를 참조하면, 본 실시예들에 따른 유기발광표시장치(100)의 결합 관리 방법은, 유기발광표시패널(110)의 내부 또는 외부의 신호 라인 상의 결함을 검출하거나 유기발광표시패널(110)의 오동작에 대한 결함을 검출하는 단계(S2210)와, 검출된 결함에 대한 결합 유형(DT)을 분류하는 단계(S2220)와, 결합 유형(DT)에 따라 다른 신호 패형을 갖는 결합 신호(DS)를 생성하는 단계(S2230)와, 결합 신호(DS)의 신호 패형을 분석하여 결합 유형(DT)을 인식하고, 인식 결과를 메모리(1140)에 저장시켜 관리하는 단계(S2240)를 포함할 수 있다.

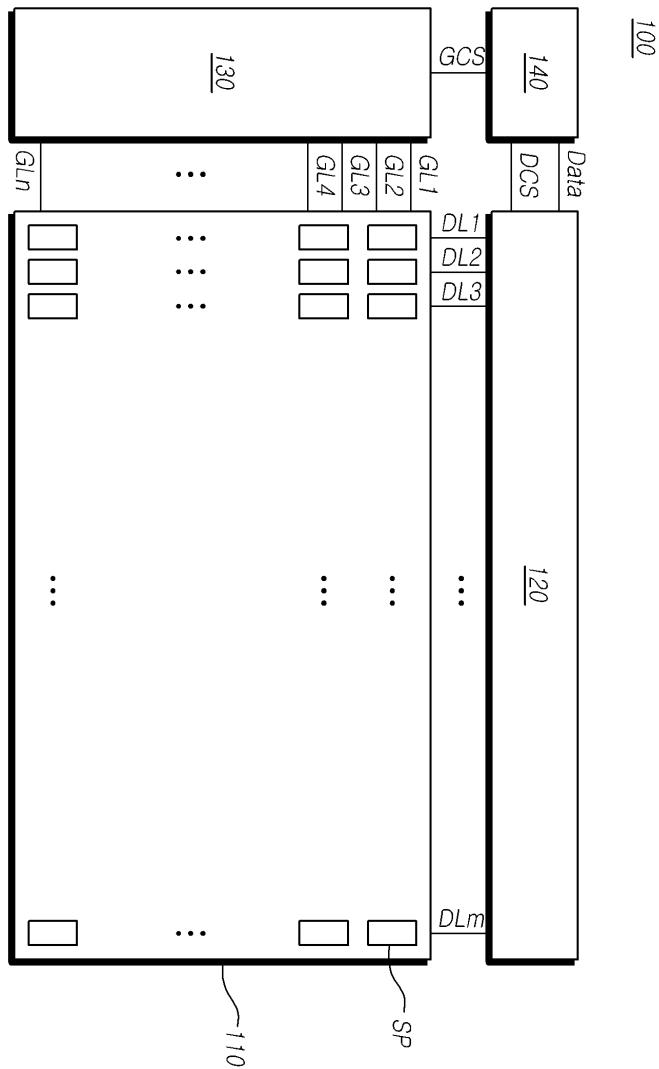
- [0245] 전술한 결합 관리 방법을 이용하면, 유기발광표시장치(100)에서 검출된 결합의 결합 유형(DT)을 확인할 수 있게 되어, 결합 발생 시점, 결합 발생 원인, 결합 발생 위치 등을 파악할 수 있다. 이를 통해, 결합에 대한 대응 조치 시, 결합에 맞는 적절한 대응 조치를 해줄 수 있게 한다.
- [0246] 이상에서 설명한 바와 같은 본 실시예들에 의하면, 결합 검출 후 검출된 결합을 효율적으로 관리하여 패널 번트 현상을 방지해줄 수 있는 타이밍 컨트롤러(140), 유기발광표시장치(100) 및 그 결합 관리 방법을 제공할 수 있다.
- [0247] 또한, 본 실시예들에 의하면, 결합 유형을 분류하고, 결합 사실을 알려주기 위한 결합 신호를 분류된 결합 유형에 따라 생성하여 결합 관리부(1130)로 전송해줌으로써, 결합을 효율적으로 관리할 수 있는 타이밍 컨트롤러(140), 유기발광표시장치(100) 및 그 결합 관리 방법을 제공할 수 있다.
- [0248] 또한, 본 실시예들에 의하면, 결합 발생 시점, 결합 발생 원인 등을 파악할 수 있게 해주는 타이밍 컨트롤러(140), 유기발광표시장치(100) 및 그 결합 관리 방법을 제공할 수 있다.
- [0249] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

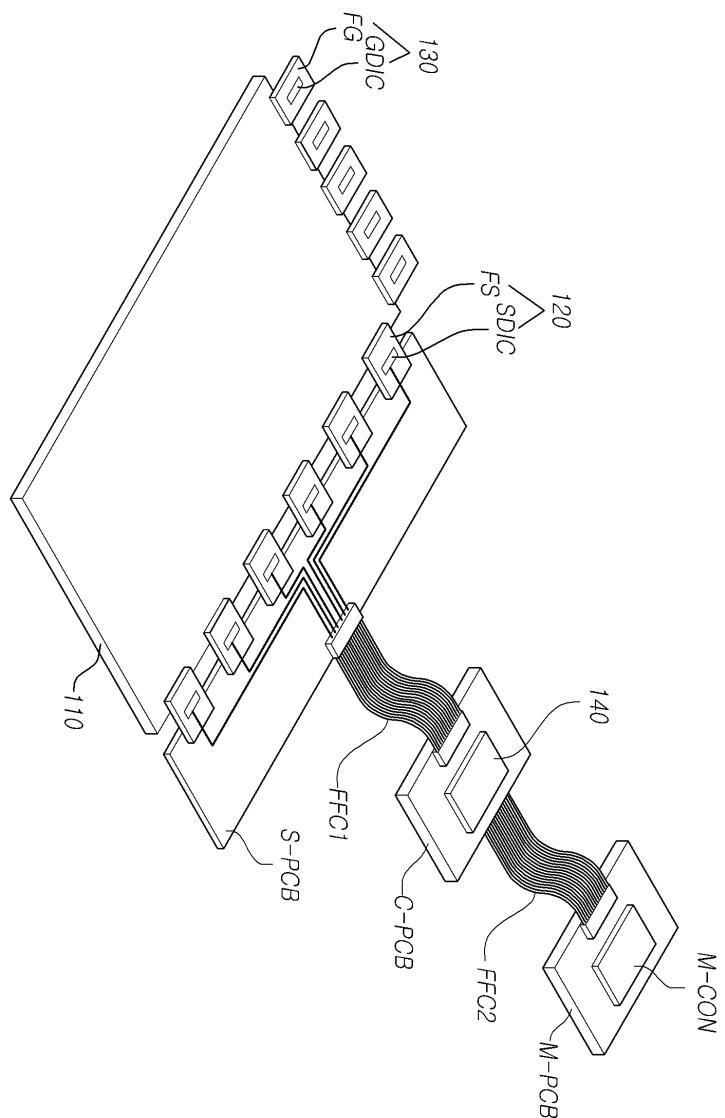
- [0250]
- 100: 유기발광표시장치
 - 110: 유기발광표시패널
 - 120: 데이터 드라이버
 - 130: 게이트 드라이버
 - 140: 타이밍 컨트롤러

도면

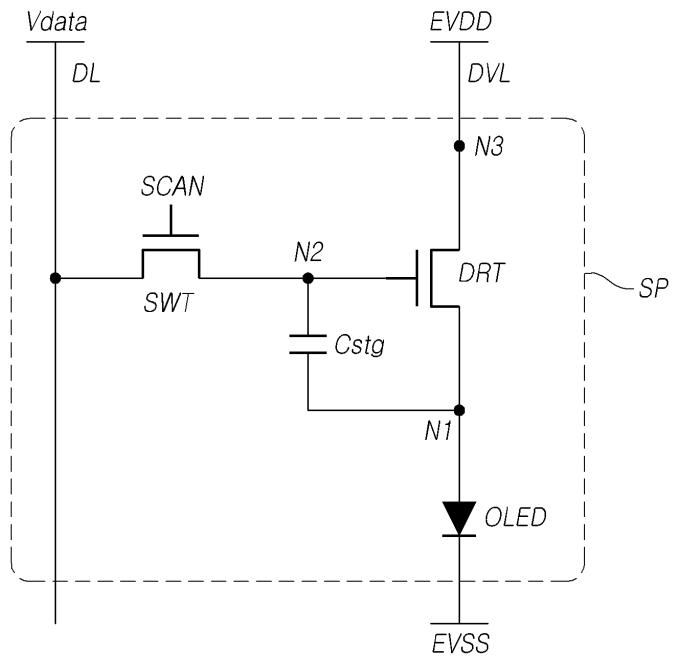
도면1



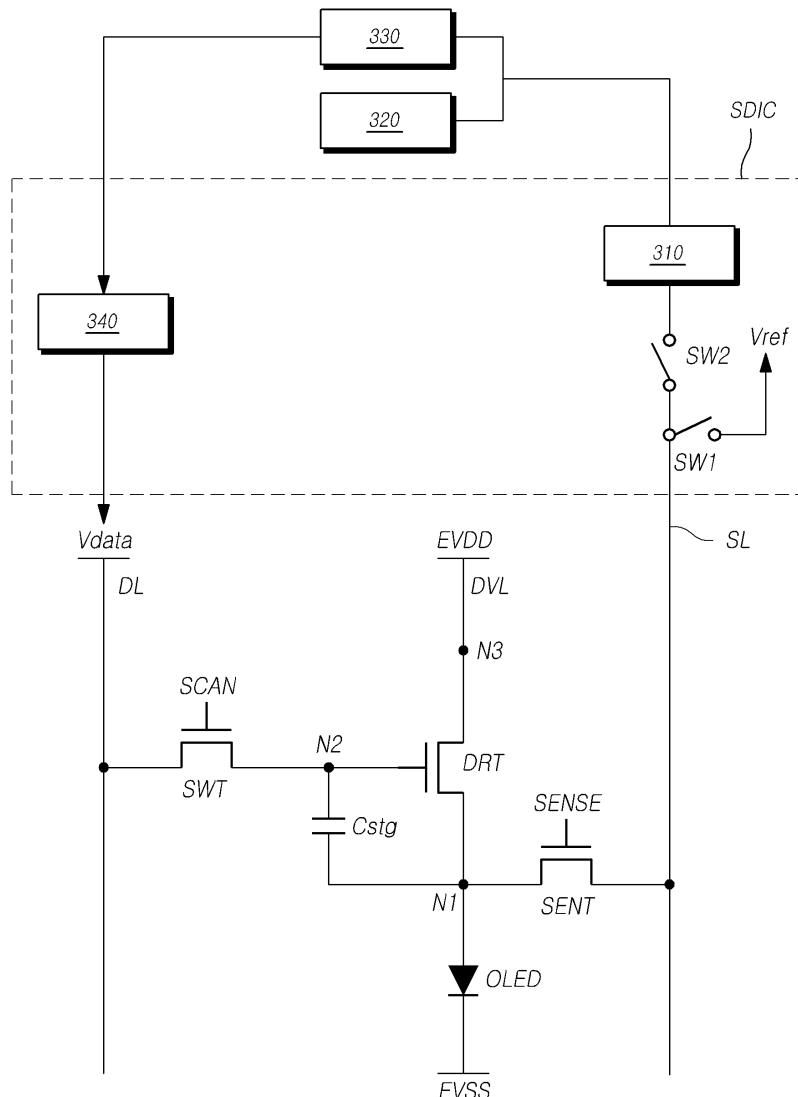
도면2



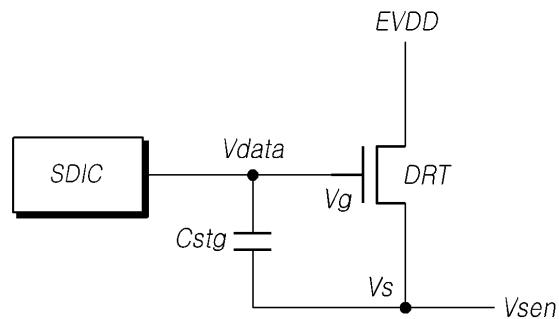
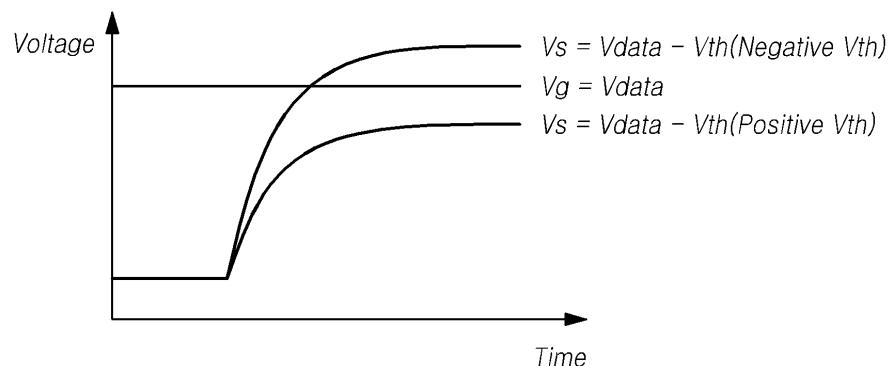
도면3



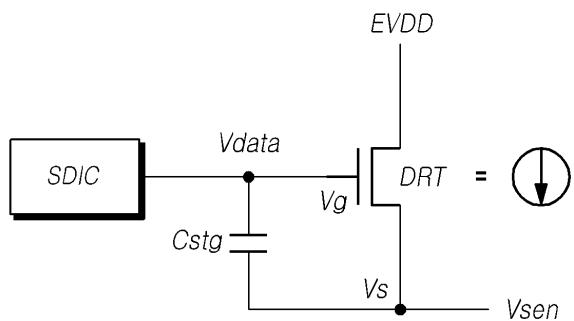
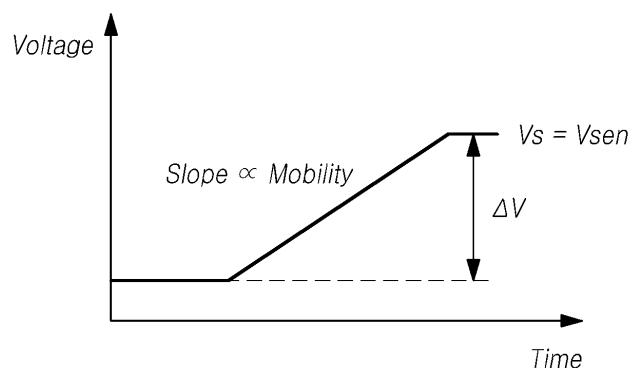
도면4



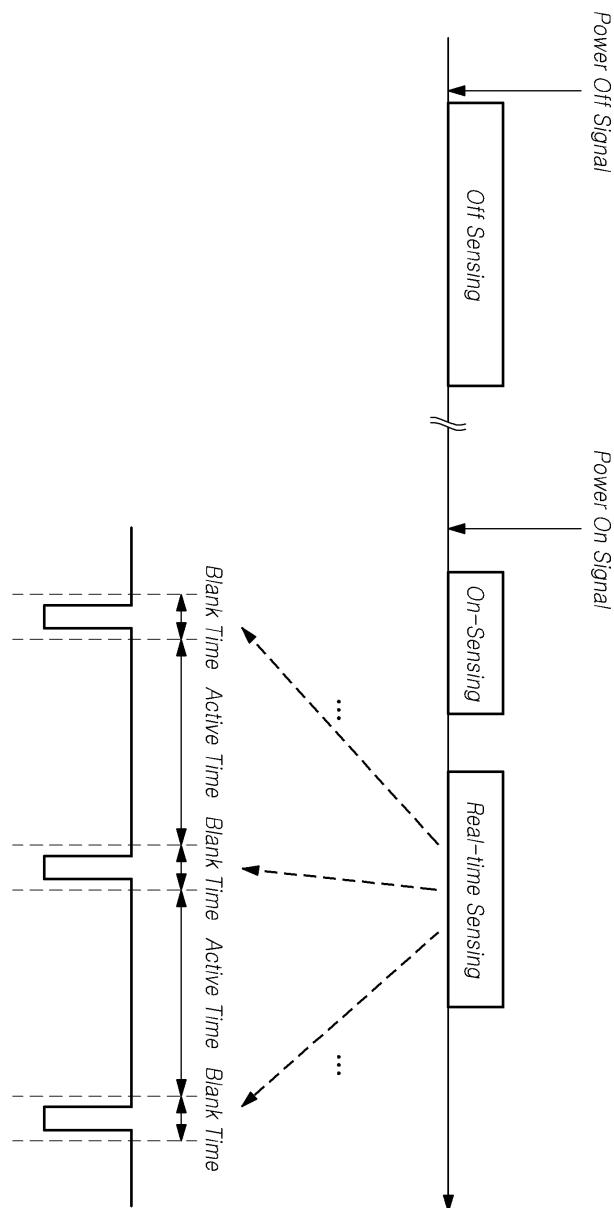
도면5

Vth Sensing V_{sen} Wave

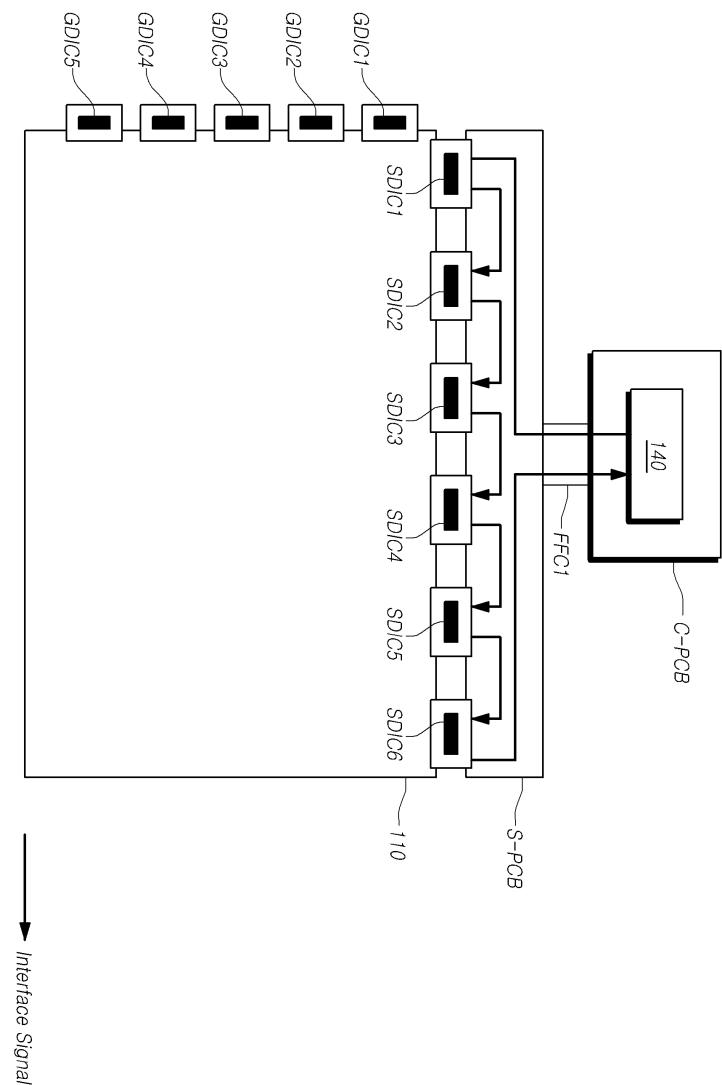
도면6

Mobility Sensing V_{sen} Wave

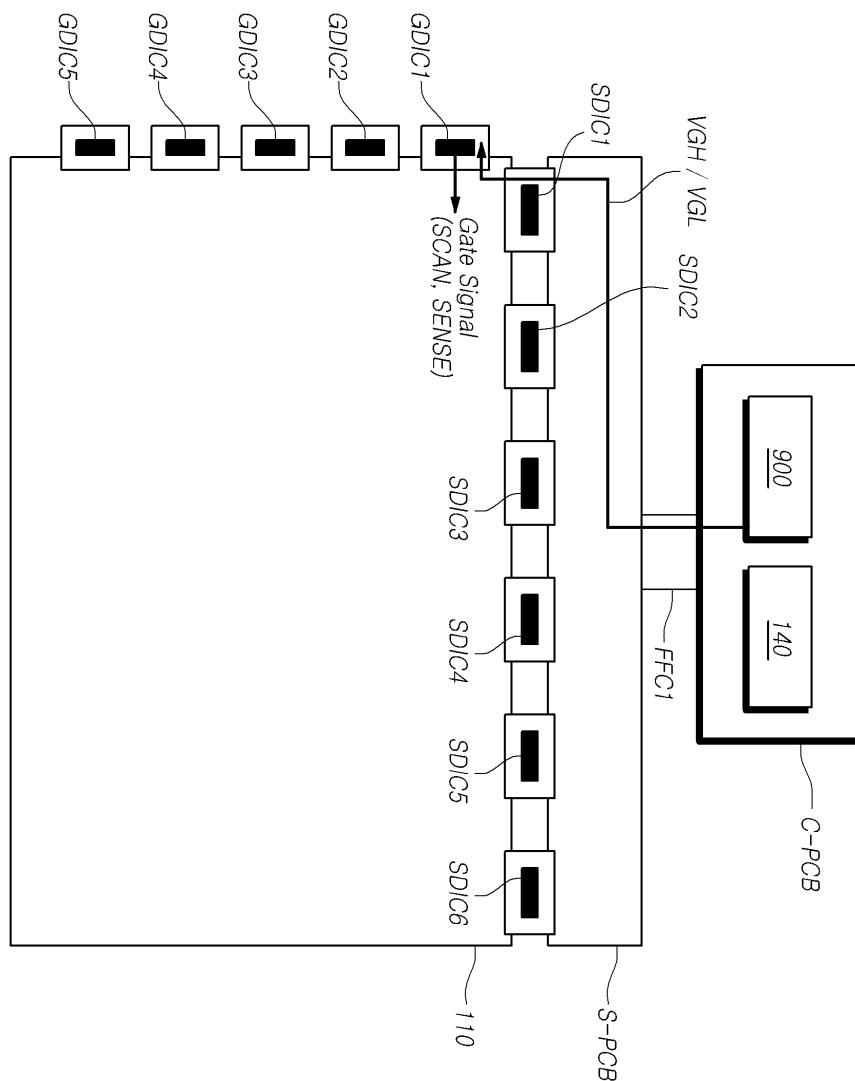
도면7



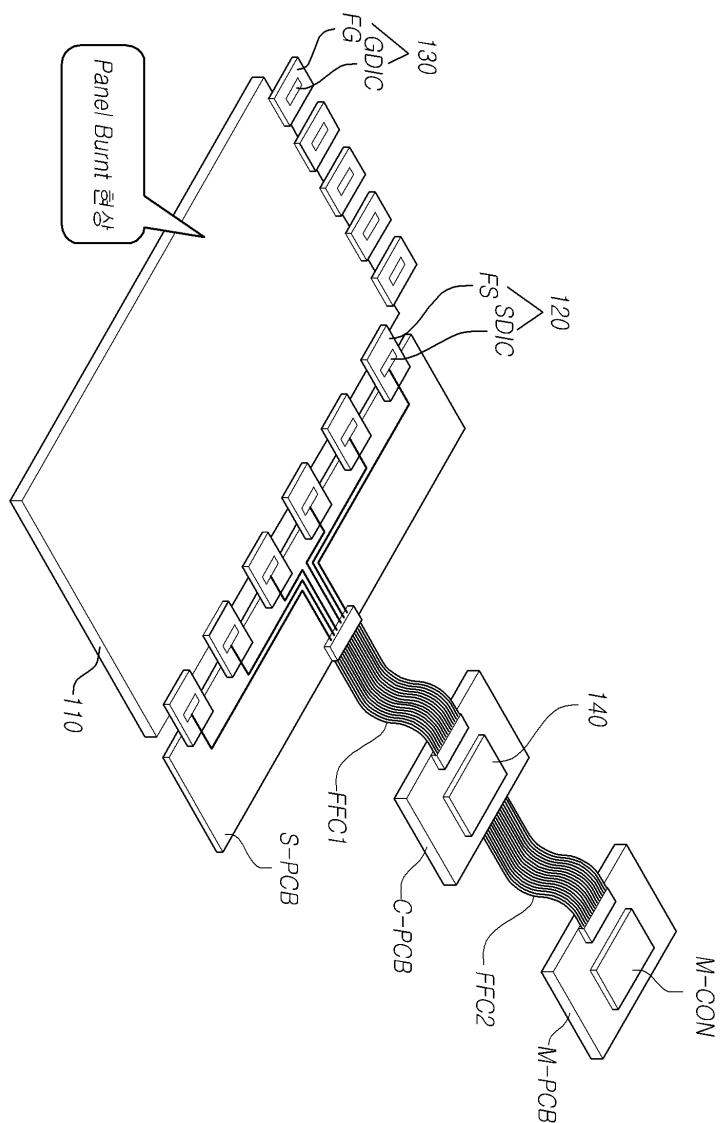
도면8



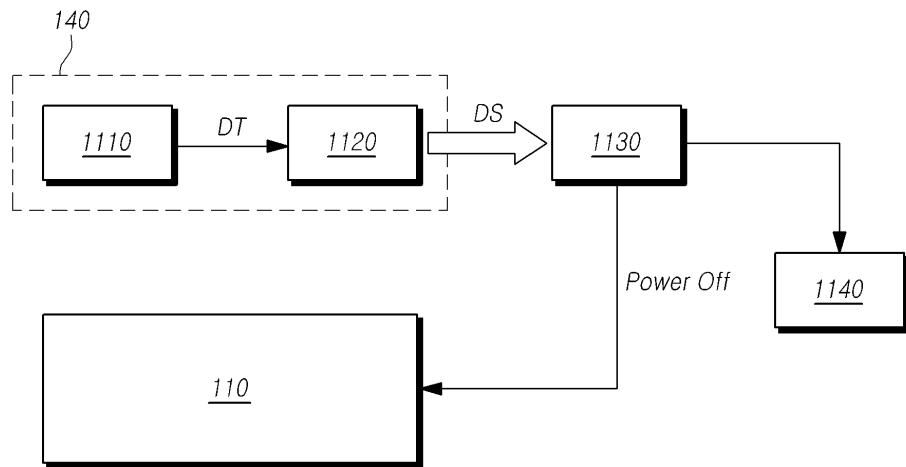
도면9



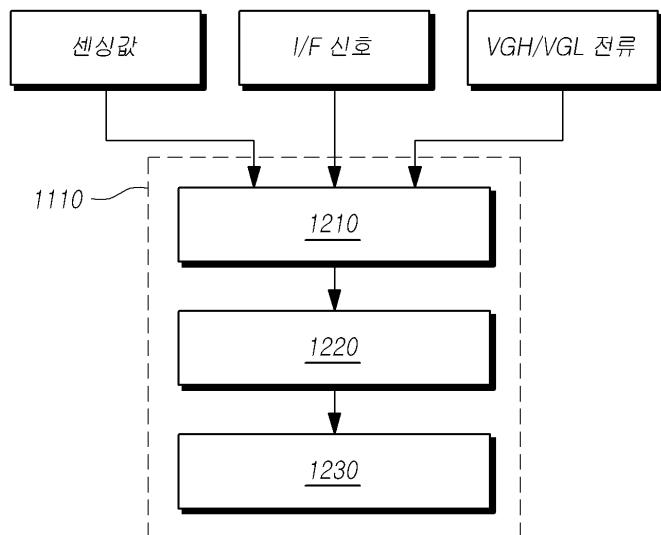
도면10



도면11



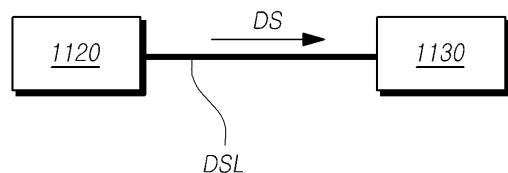
도면12



도면13

Defect Type	Defect Signal	Defect 발생 상황
DT1	DS1	On-Sensing 시, Defect
DT2	DS2	Real-Time Sensing 시, Defect
DT3	DS3	Off-Sensing 시, Defect
DT4	DS4	I/F Abnormal
DT5	DS5	Abnormal VGH/VGL current

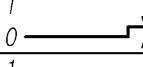
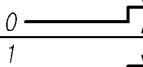
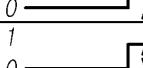
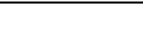
도면14



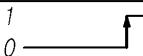
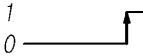
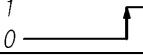
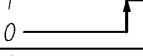
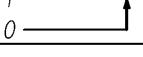
도면15

Defect Type	Defect Signal
DT1	1 t1 DS1 0
DT2	1 t2 DS2 0
DT3	1 t3 DS3 0
DT4	1 t4 DS4 0
DT5	1 t5 DS5 0

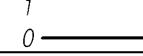
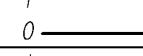
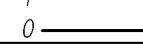
도면16

Defect Type	Defect Signal
DT1	
DT2	
DT3	
DT4	
DT5	

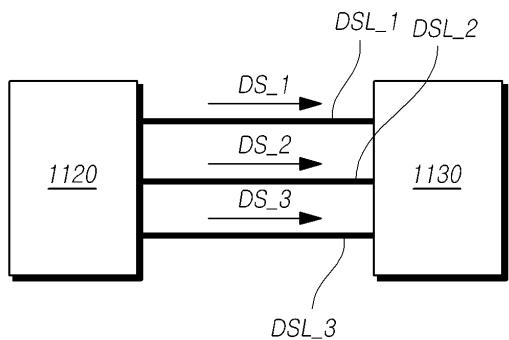
도면17

Defect Type	Defect Signal
DT1	
DT2	
DT3	
DT4	
DT5	

도면18

Defect Type	Defect Signal
DT1	
DT2	
DT3	
DT4	
DT5	

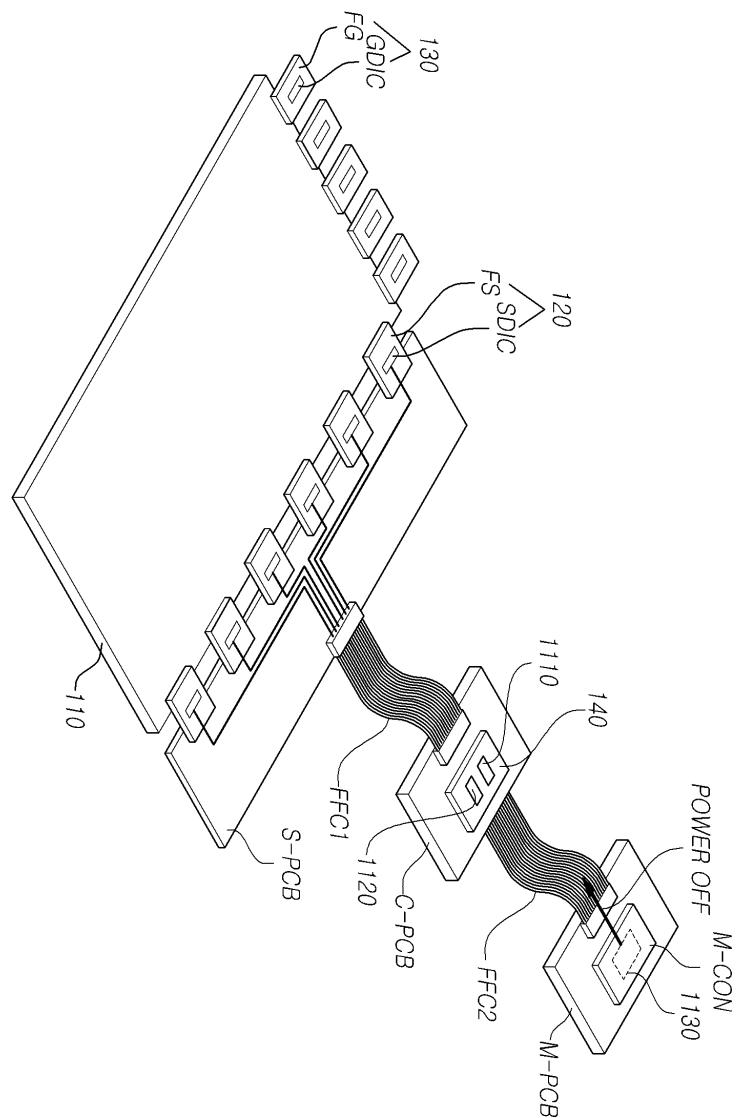
도면19



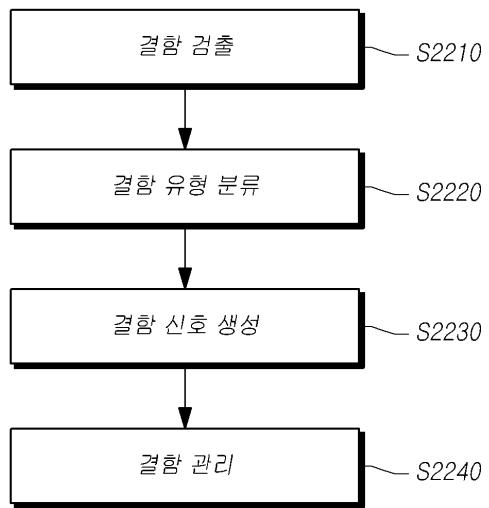
도면20

Defect Type	Defect Signal		
	DS_1	DS_2	DS_3
DT1	Low	Low	High
DT2	Low	High	Low
DT3	High	Low	Low
DT4	Low	High	High
DT5	High	High	Low

도면21



도면22



专利名称(译)	标题定时控制器，有机发光显示器及其缺陷管理方法		
公开(公告)号	KR1020170080902A	公开(公告)日	2017-07-11
申请号	KR1020150190582	申请日	2015-12-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE DONG UK 이동욱		
发明人	이동욱		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3233 G09G2310/08 G09G2330/08 G09G2300/0842		
代理人(译)	Gimeungu 宋.		
外部链接	Espacenet		

摘要(译)

本发明涉及序控制器，有机发光显示器及其缺陷管理方法，本发明检测缺陷，对检测到的缺陷类型进行分类，更具体地，涉及能够预先防止面板隆起现象的定时控制器，有机发光显示器和缺陷管理方法，以及能够掌握缺陷发生时间和缺陷发生的原因。

