



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0026971
(43) 공개일자 2017년03월09일

(51) 국제특허분류(Int. Cl.)
G09G 3/32 (2016.01)

(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2300/0842 (2013.01)

(21) 출원번호 10-2015-0123253

(22) 출원일자 2015년08월31일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

박영주

서울특별시 성동구 성수일로8길 47 102동 2201호
(성수동2가, 성수롯데캐슬파크)

윤성욱

경기도 고양시 덕양구 화신로 298 804동 1604호
(화정동, 별빛마을8단지아파트)

나세환

경기도 파주시 가람로116번길 130 703동 1203호
(와동동, 가람마을7단지한라비발디아파트)

(74) 대리인

특허법인로알

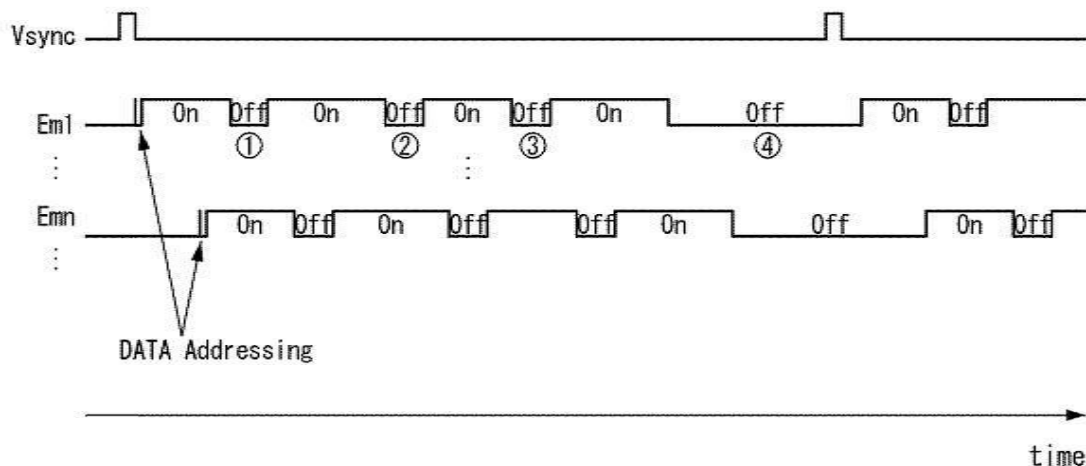
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 유기 발광 표시장치와 그 구동 장치 및 방법

(57) 요약

본 발명은 유기 발광 표시장치와 그 구동 장치 및 방법에 관한 것으로, 이 유기 발광 표시장치는 픽셀들에 기입되는 데이터와 무관한 타이밍 신호들을 이용하여 1 프레임 기간에서 스캐닝 기간 이후의 듀티 구동 기간 동안 온 레벨 구간과 오프 레벨 구간이 각각 2 회 이상 반전되는 발광 제어 신호(EM)를 발생하는 듀티 구동부를 구비한다. 픽셀들의 스위치는 상기 발광 제어 신호 신호에 응답하여 상기 듀티 구동 기간 동안 상기 픽셀들에서 유기 발광 다이오드로 흐르는 전류를 차단한다.

대표도 - 도5



(52) CPC특허분류
G09G 2310/08 (2013.01)

명세서

청구범위

청구항 1

데이터 라인들, 상기 데이터 라인들과 교차되는 스캔 라인들 및 발광 제어 라인들을 포함하고, 픽셀들이 매트릭스 형태로 배치되며, 상기 픽셀들 각각에 배치되는 스위치들을 구비하는 표시패널; 및

상기 픽셀들에 기입되는 데이터와 무관한 타이밍 신호들을 이용하여 1 프레임 기간에서 스캐닝 기간 이후의 듀티 구동 기간 동안 온 레벨 구간과 오프 레벨 구간이 각각 2 회 이상 반전되는 발광 제어 신호(EM)를 발생하는 듀티 구동부를 구비하고,

상기 스위치들은 상기 발광 제어 신호 신호에 응답하여 상기 픽셀들에서 유기 발광 다이오드로 흐르는 전류를 차단하는 유기 발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 데이터 라인들에 데이터 전압을 공급하는 데이터 구동부; 및

상기 픽셀들 각각에 펄스폭이 다른 한 쌍의 스캔 펄스를 공급하는 게이트 구동부; 및

상기 데이터 구동부에 입력 영상의 데이터를 전송하고, 상기 데이터 구동부, 상기 게이트 구동부 및 상기 듀티 구동부의 동작 타이밍을 제어하는 타이밍 컨트롤러를 더 포함하고,

상기 한 쌍의 스캔 펄스는 펄스폭이 넓은 제1 스캔 펄스와, 상기 제1 스캔 펄스 보다 작은 펄스폭으로 발생하는 제2 스캔 펄스를 포함하고,

상기 제2 스캔 펄스는 상기 픽셀들에 상기 데이터가 기입되는 스캐닝 기간에 발생되고, 상기 스캐닝 기간 이후의 듀티 구동 구간에 2 회 이상 발생되어 상기 픽셀들을 소등시키고,

상기 타이밍 컨트롤러는 상기 게이트 구동부와 상기 듀티 구동부를 제어하기 위한 스타트 펄스와 시프트 클럭 및 리셋 신호를 발생하는 유기 발광 표시장치.

청구항 3

제 2 항에 있어서,

상기 듀티 구동부는

Q 노드의 전압에 따라 출력 노드를 충전하여 상기 제N(N은 양의 정수) 발광 제어 신호를 온 레벨로 출력하는 풀업 트랜지스터;

QB 노드의 전압에 따라 상기 출력 노드를 방전하여 상기 제N 발광 제어 신호를 오프 레벨로 출력하는 풀다운 트랜지스터;

제1 시프트 클럭(ECLK1)과 제N-1 발광 제어 신호에 응답하여 상기 Q 노드를 충전하는 제1 스위치 소자(T11, T12);

상기 리셋 신호와 상기 제1 스캔 펄스가 발생할 때 상기 QB 노드를 충전하는 제2 스위치 소자(T13); 및

상기 듀티 구동 기간 동안 상기 제2 스캔 펄스와 제2 시프트 클럭(ECLK3)가 발생할 때 상기 QB 노드를 충전하는 제3 스위치 소자(T15)를 포함하고,

상기 제1 시프트 클럭(ECLK1)과 상기 제2 시프트 클럭(ECLK3) 각각은 제1 및 제2 펄스를 포함한 클럭쌍으로 발생되고,

상기 제1 시프트 클럭(ECLK1)의 클럭쌍과 상기 제2 시프트 클럭(ECLK3)의 클럭쌍이 중첩되지 않는 유기 발광 표시장치.

청구항 4

제 1 항에 있어서,

상기 데이터 라인들에 데이터 전압을 공급하는 데이터 구동부; 및

상기 픽셀들 각각에 펄스폭이 다른 한 쌍의 스캔 펄스를 공급하는 게이트 구동부; 및

상기 데이터 구동부에 입력 영상의 데이터를 전송하고, 상기 데이터 구동부, 상기 게이트 구동부 및 상기 듀티 구동부의 동작 타이밍을 제어하는 타이밍 컨트롤러를 더 포함하고,

상기 한 쌍의 스캔 펄스는 펄스폭이 넓은 제1 스캔 펄스와, 상기 제1 스캔 펄스 보다 작은 펄스폭으로 발생하는 제2 스캔 펄스를 포함하고,

상기 제1 및 제2 스캔 펄스는 상기 픽셀들에 상기 데이터가 기입되는 스캐닝 기간에 발생되고,

상기 타이밍 컨트롤러는 상기 게이트 구동부와 상기 듀티 구동부를 제어하기 위한 스타트 펄스와 시프트 클럭 및 리셋 신호를 발생하는 유기 발광 표시장치.

청구항 5

제 4 항에 있어서,

상기 듀티 구동부는

상기 제1 및 제2 스캔 펄스와는 독립된 제N(N은 양의 정수)-1 및 제N 스캔 펄스(SCAN(0), SCAN(1))를 발생하고, 상기 스캐닝 기간 이후의 듀티 기간 동안 2 회 이상 발생하는 듀티 신호(DD OUT)를 발생하는 입력 신호 발생 회로;

Q 노드의 전압에 따라 출력 노드를 충전하여 상기 제N 발광 제어 신호(EMO(1))를 온 레벨로 출력하는 풀업 트랜지스터;

QB 노드의 전압에 따라 상기 출력 노드를 방전하여 상기 제N 발광 제어 신호(EMO(1))를 오프 레벨로 출력하는 풀다운 트랜지스터;

제1 시프트 클럭(ECLK1)과 제N-1 발광 제어 신호(EMO(0))에 응답하여 상기 Q 노드를 충전하는 제1 스위치 소자(T71, T72);

상기 리셋 신호(ERST)와 상기 제N 스캔 펄스(SCAN(1))가 발생할 때 상기 QB 노드를 충전하는 제2 스위치 소자(T73);

상기 제2 시프트 클럭(ECLK3)과 상기 제N-1 스캔 펄스가 발생할 때 상기 QB 노드를 충전하는 제3 스위치 소자(T75); 및

상기 듀티 신호(DD OUT)에 응답하여 상기 듀티 구동 기간 동안 상기 QB 노드를 충전하는 제4 스위치 소자(T81)을 포함하고,

상기 제N-1 및 상기 제N 스캔 펄스(SCAN(0), SCAN(1)) 각각은 제1 펄스와, 상기 제1 펄스 보다 넓은 폭의 제2 펄스를 포함한 클럭쌍으로 발생되고,

상기 제1 시프트 클럭(ECLK1)과 상기 제2 시프트 클럭(ECLK3) 각각은 제1 및 제2 펄스를 포함한 클럭쌍으로 발생되고,

상기 제1 시프트 클럭(ECLK1)의 클럭쌍과 상기 제2 시프트 클럭(ECLK3)의 클럭쌍이 중첩되지 않는 유기 발광 표시장치.

청구항 6

제 1 항에 있어서,

상기 듀티 구동 기간 동안 상기 픽셀들에 데이터가 기입되지 않고 상기 픽셀들이 점등과 소등을 반복하면서 상기 스캐닝 기간에 충전된 데이터 전압으로 동일한 휘도로 상기 데이터를 표시하는 유기 발광 표시장치.

청구항 7

데이터 라인들, 상기 데이터 라인들과 교차되는 스캔 라인들 및 발광 제어 라인들을 포함하고, 픽셀들이 매트릭스 형태로 배치되며, 상기 픽셀들 각각에 배치되는 스위치들을 구비하는 표시패널을 구비하는 유기 발광 표시장치의 구동 장치에 있어서,

상기 픽셀들에 기입되는 데이터와 무관한 타이밍 신호들을 이용하여 1 프레임 기간에서 스캐닝 기간 이후의 듀티 구동 기간 동안 온 레벨 구간과 오프 레벨 구간이 각각 2 회 이상 반전되는 발광 제어 신호를 발생하는 듀티 구동부를 구비하고,

상기 스위치들은 상기 발광 제어 신호 신호에 응답하여 상기 픽셀들에서 유기 발광 다이오드로 흐르는 전류를 차단하는 유기 발광 표시장치의 구동 장치.

청구항 8

데이터 라인들, 상기 데이터 라인들과 교차되는 스캔 라인들 및 발광 제어 라인들을 포함하고, 픽셀들이 매트릭스 형태로 배치되며, 상기 픽셀들 각각에 배치되는 스위치들을 구비하는 표시패널을 구비하는 유기 발광 표시장치의 구동 방법에 있어서,

상기 픽셀들에 기입되는 데이터와 무관한 타이밍 신호들을 발생하는 단계;

상기 타이밍 신호들을 이용하여 1 프레임 기간에서 스캐닝 기간 이후의 듀티 구동 기간 동안 온 레벨 구간과 오프 레벨 구간이 각각 2 회 이상 반전되는 발광 제어 신호를 발생하는 단계; 및

상기 발광 제어 신호로 상기 스위치들을 제어하여 상기 듀티 구동 기간 동안 상기 픽셀들에서 유기 발광 다이오드로 흐르는 전류를 차단하는 단계를 포함하는 유기 발광 표시장치의 구동 방법.

발명의 설명**기술 분야**

[0001] 본 발명은 픽셀의 점등 및 소등 듀티 제어가 가능한 유기 발광 표시장치에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스 타입의 유기 발광 표시장치는 스스로 발광하는 유기 발광다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다. OLED는 애노드와 캐소드 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)으로 이루어진다. 애노드와 캐소드에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0003] OLED 표시장치는 듀티 구동 방법(duty driving method)으로 구동될 수 있다. 이러한 듀티 구동 방법을 구현하기 위하여 픽셀들에 발광 제어 신호(이하, "EM 신호"라 함)를 인가하여야 한다. EM 신호는 픽셀들의 점등 시간을 정의하는 온 레벨(ON level)과 픽셀들의 소등 시간을 정의하는 오프 레벨(OFF level)로 발생된다. n type MOSFET(Metal Oxide Semiconductor Field Effect Transistor)의 경우에, 온 레벨은 하이 로직 레벨(High logic level)이고, 오프 레벨은 로우 로직 레벨(Low logic level)이다. EM 신호의 PWM(Pulse Width Modulation) 듀티비(duty ratio)는 픽셀들의 점등 및 소등 시간을 정의한다.

[0004] 듀티 구동 방법을 구현하기 위하여, 원하는 시간에 EM 신호를 온 레벨과 오프 레벨로 스위칭할 수 있는 EM 구동부(Driver)가 필요하다. EM 구동부는 게이트 구동부의 출력을 받아 구동될 수 있다. 그런데, 게이트 구동부의 출력이 픽셀에 기입되는 데이터에 동기되기 때문에 데이터와 무관하게 EM 신호를 원하는 시간 만큼 오프 레벨로 제어할 수 없다. 또한, 기존의 EM 구동부는 클럭 타이밍에 출력을 발생하기 때문에 50% 이상의 듀티비로 EM 신호를 출력할 수 없다. 따라서, 듀티 구동 방법을 구현할 수 있는 EM 구동부가 요구되고 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 듀티 구동이 가능한 유기 발광 표시장치와 그 구동 방법을 제공한다.

과제의 해결 수단

[0006] 본 발명의 유기 발광 표시장치는 데이터 라인들, 상기 데이터 라인들과 교차되는 스캔 라인들 및 발광 제어 라인들을 포함하고, 픽셀들이 매트릭스 형태로 배치되며, 상기 픽셀들 각각에 배치되는 스위치들을 구비하는 표시 패널, 및 상기 픽셀들에 기입되는 데이터와 무관한 타이밍 신호들을 이용하여 1 프레임 기간에서 스캐닝 기간 이후의 듀티 구동 기간 동안 온 레벨 구간과 오프 레벨 구간이 각각 2 회 이상 반전되는 발광 제어 신호(EM)를 발생하는 듀티 구동부를 구비한다. 상기 스위치들은 상기 발광 제어 신호에 응답하여 상기 픽셀들에서 유기 발광 다이오드로 흐르는 전류를 차단한다.

[0007] 상기 유기 발광 표시장치의 구동 장치는 픽셀들에 기입되는 데이터와 무관한 타이밍 신호들을 이용하여 1 프레임 기간에서 스캐닝 기간 이후의 듀티 구동 기간 동안 온 레벨 구간과 오프 레벨 구간이 각각 2 회 이상 반전되는 발광 제어 신호를 발생하는 듀티 구동부를 구비한다.

[0008] 상기 유기 발광 표시장치의 구동 방법은 픽셀들에 기입되는 데이터와 무관한 타이밍 신호들을 발생하는 단계, 상기 타이밍 신호들을 이용하여 1 프레임 기간에서 스캐닝 기간 이후의 듀티 구동 기간 동안 온 레벨 구간과 오프 레벨 구간이 각각 2 회 이상 반전되는 발광 제어 신호를 발생하는 단계, 및 상기 발광 제어 신호로 상기 스위치들을 제어하여 상기 듀티 구동 기간 동안 상기 픽셀들에서 유기 발광 다이오드로 흐르는 전류를 차단하는 단계를 포함한다.

발명의 효과

[0009] 본 발명은 데이터 기입과는 무관한 스캔 펄스(또는 별도의 신호)와 시프트 클럭으로 듀티 구동 기간 동안 EM 신호의 오프 레벨 구간 타이밍을 제어함으로써 픽셀에 기입되는 데이터 변경을 방지하고 원하는 시간 만큼 오프 레벨 구간을 길게 제어할 수 있다. 그 결과, 본 발명은 듀티 구동이 가능한 유기 발광 표시장치를 구현할 수 있다.

도면의 간단한 설명

[0010] 도 1은 본 발명의 실시예에 따른 유기 발광 표시장치를 보여 주는 블록도이다.

도 2는 픽셀 어레이의 일부를 간략하게 보여 주는 도면이다.

도 3은 픽셀의 일 예를 보여 주는 등가 회로도이다.

도 4는 도 3에 도시된 픽셀에 입력되는 신호들을 보여 주는 파형도이다.

도 5는 본 발명의 실시예에 따른 듀티 구동 방법을 보여 주는 수직 동기신호와 EM 신호를 보여 주는 파형도이다.

도 6은 본 발명의 실시예에 따른 유기 발광 표시장치를 듀티 구동 방법으로 구동할 때 1 프레임 기간 동안 소등 구간이 시프트되는 예를 보여 주는 도면이다.

도 7은 1 프레임 기간 내에서 추가적인 데이터 어드레싱 없이 픽셀에서 데이터가 유지되는 원리를 보여 주는 도면이다.

도 8 및 도 9는 게이트 구동부와 EM 구동부의 시프트 레지스터가 GIP 회로로 구현된 예를 보여 주는 도면들이다.

도 10은 GIP 회로에서 하나의 스테이지 회로 구성을 간략히 보여 주는 도면이다.

도 11은 도 1에 도시된 EM 구동부의 회로 구성을 보여 주는 회로도이다.

도 12는 도 11에 도시된 회로의 입출력 신호를 보여 주는 파형도이다.

도 13은 본 발명의 다른 실시예에 따른 유기 발광 표시장치를 보여 주는 블록도이다.

도 14는 도 13에 도시된 EM 구동부의 회로 구성을 보여 주는 회로도이다.

도 15는 도 13에 도시된 회로의 입출력 신호를 보여 주는 파형도이다.

발명을 실시하기 위한 구체적인 내용

- [0011] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0012] 도 1은 본 발명의 실시예에 따른 유기 발광 표시장치를 보여 주는 블록도이다.
- [0013] 도 1 및 도 2를 참조하면, 본 발명의 실시예에 따른 유기 발광 표시장치는 표시패널(100), 데이터 구동부(102), 게이트 구동부(104), EM 구동부(106), 및 타이밍 콘트롤러(110)를 구비한다.
- [0014] 표시패널(100)에는 다수의 데이터 라인들(11)과 다수의 게이트 라인들(12a, 12b, 12c)이 교차되고, 픽셀들(10)이 매트릭스 형태로 배치된다. 표시패널(100)의 픽셀 어레이(Pixel array)에 입력 영상의 데이터가 표시된다. 표시패널(100)은 이웃한 픽셀들(10)에 공통으로 연결되는 기준 전압 라인(도 3에서 “16” 이하, “REF 라인”이라 함), 고전위 구동 전압(VDD)을 픽셀들(10)에 공급하는 VDD 라인을 포함한다. REF 라인(도 3, 16)을 통해 픽셀들(10)에 소정의 초기화 전압(도 3, Vini)이 공급될 수 있다.
- [0015] 게이트 라인들(12a, 12b, 12c)은 제1 스캔 펄스가 공급되는 다수의 제1 스캔 라인들(12a)과, 제2 스캔 펄스가 공급되는 다수의 제2 스캔 라인들(12b)과, EM 신호가 공급되는 다수의 EM 신호 라인들(12c)을 포함한다. 도 3 및 도 4에서, “SCAN1”은 제1 스캔 펄스이고, “SCAN2”는 제2 스캔 펄스이다. “EM”은 EM 신호를 나타낸다.
- [0016] 픽셀들(10) 각각은 컬러 구현을 위하여 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀로 나뉘어진다. 픽셀들(10) 각각은 백색 서브 픽셀을 더 포함할 수 있다. 픽셀들 각각에 하나의 데이터 라인, 하나의 게이트 라인 쌍, 하나의 REF 라인, 하나의 VDD 라인 등의 배선이 연결된다. 게이트 라인쌍은 하나의 제1 스캔 라인과 하나의 제2 스캔 라인을 포함한다.
- [0017] 유기 발광 표시장치의 1 프레임 기간은 픽셀들에 데이터가 어드레싱되어 픽셀들 각각에 입력 영상의 데이터가 기입되는 스캐닝 기간과, 스캐닝 기간 이후 교류 EM 신호(EM)에 따라 픽셀들이 점등 및 소등을 반복하는 듀티 구동 기간으로 나뉘어진다. 스캐닝 기간은 대략 1 수평 기간에 불과하므로 1 프레임 기간의 대부분이 듀티 구동 기간이다. 픽셀들(10)은 스캐닝 기간에 데이터 전압을 충전한다. 픽셀들(10)은 스캐닝 기간 이후 듀티 구동 기간 동안 추가로 데이터 전압을 공급 받지 않고 교류 EM 신호(EM)에 따라 점등과 소등을 반복하면서 스캐닝 기간에 충전하였던 데이터 전압으로 1 프레임 기간 동안 동일한 휘도로 데이터를 표시한다.
- [0018] 데이터 구동부(102)는 타이밍 콘트롤러(110)로부터 수신된 입력 영상의 데이터(DATA1 ~ DATA4)를 타이밍 콘트롤러(110)의 제어 하에 감마 보상 전압으로 변환하여 데이터 전압을 발생하고, 그 데이터 전압을 데이터 라인들(11)로 출력한다. 데이터 전압은 데이터 라인들(11)을 통해 픽셀들(10)에 공급된다. 데이터 구동부(102)는 픽셀들(10)의 구동 소자를 초기화하기 위하여 초기화 기간(ti) 동안 소정의 기준 전압(도 3, Vref)를 데이터 라인들(11)로 출력할 수 있다.
- [0019] 게이트 구동부(104)는 타이밍 콘트롤러(110)의 제어 하에 도 3 및 도 4와 같은 한 쌍의 스캔 펄스(SCAN1, SCAN2)를 스캔 라인들(12a, 12b)에 공급한다. 제1 및 제2 스캔 펄스(SCAN1, SCAN2)는 데이터 전압에 동기된다. 제1 스캔 펄스(SCAN1)는 데이터 전압이 픽셀들에 공급될 때 온 레벨을 유지하여 도 3에서 스위치 소자(T3)를 턴-온시킴으로써 데이터 전압이 충전될 픽셀들(10)을 선택한다. 제2 스캔 펄스(SCAN2)는 제1 스캔 펄스(SCAN1)와 동시에 라이징되고 제1 스캔 펄스(SCAN1)보다 앞서 폴링되어 도 4에서 초기화 기간 동안 픽셀들(10)을 초기화한다. 제2 스캔 펄스(SCAN2)는 데이터 기입 타이밍과 분리된다. 제2 스캔 펄스(SCAN2)는 픽셀들(10)에 데이터가 기입되는 스캐닝 기간에 발생되고 또한, 스캐닝 기간 이후의 듀티 구동 구간에 2 회 이상 발생되어 픽셀들(10)을 소등시킨다.
- [0020] 스캔 펄스들(SCAN1, SCAN2)은 EM 구동부(106)에 입력된다. 게이트 구동부(104)는 시프트 레지스터(Shift register)를 이용하여 스캔 펄스들(SCAN1, SCAN2)을 시프트시킴으로써 그 펄스들을 스캔 라인들(12a, 12b)에 순차적으로 공급한다. 게이트 구동부(104)의 시프트 레지스터는 GIP(Gate-driver In Panel) 공정으로 도 8과 같이 픽셀 어레이와 함께 표시패널(100)의 기판 상에 직접 형성될 수 있다.
- [0021] EM 구동부(106)는 타이밍 콘트롤러(110)의 제어 하에 EM 신호(EM)를 출력하여 EM 신호 라인들(12c)에 공급하는

듀티 구동부이다. EM 구동부(106)는 시프트 레지스터를 이용하여 도 5와 같이 EM 신호(EM)를 시프트시킴으로써 EM 신호(EM)를 EM 신호라인들(12c)에 순차적으로 공급한다. EM 구동부(106)의 시프트 레지스터는 GIP 공정으로 도 8과 같이 픽셀 어레이와 함께 표시패널(100)의 기판 상에 직접 형성될 수 있다.

[0022] EM 구동부(106)는 Q 노드(도 11의 Q)의 전압에 따라 출력 노드를 충전하여 상기 EM 신호를 온 레벨로 출력하는 풀업 트랜지스터(도 11의 T18), QB 노드(도 11의 QB)의 전압에 따라 출력 노드를 방전하여 EM 신호(EM)를 오프 레벨로 출력하는 풀다운 트랜지스터(도 11의 T19 및 T20), 제1 시프트 클럭(도 11의 ECLK1)과 제N(N은 양의 정수)-1 발광 제어 신호(도 11의 EMO(1))에 응답하여 Q 노드를 충전하는 제1 스위치 소자(도 11의 T11 및 T12), 리셋 신호(도 11의 ERST)와 제1 스캔 펄스(SCAN1)가 발생할 QB 노드를 충전하는 제2 스위치 소자(도 11의 T13), 및 스캐닝 기간 이후의 듀티 구동 기간 동안 제2 스캔 펄스(도 11, SCAN2)와 제2 시프트 클럭(도 11, ECLK3)가 발생할 때 QB 노드를 충전하는 제3 스위치 소자(도 11, T15)를 포함한다.

[0023] 타이밍 컨트롤러(110)는 도시하지 않은 호스트 시스템으로부터 입력 영상의 디지털 비디오 데이터(DATA)와, 그와 동기되는 타이밍 신호를 수신한다. 타이밍 신호는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 클럭 신호(CLK) 및 데이터 인에이블신호(DE) 등을 포함한다. 호스트 시스템은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system) 중 어느 하나일 수 있다.

[0024] 타이밍 컨트롤러(110)는 호스트 시스템으로부터 수신된 타이밍 신호를 바탕으로서 데이터 구동부(102)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어 신호, 게이트 구동부(104)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어 신호, 그리고 EM 구동부(106)의 동작 타이밍을 제어하기 위한 듀티 타이밍 제어신호를 발생한다. 듀티 타이밍 제어신호는 도 12와 같다. 타이밍 컨트롤러(110)는 PWM으로 EM 신호의 듀티비를 변조하여 도 5 및 도 6과 같은 듀티 구동 방법을 제어한다.

[0025] 게이트 타이밍 제어신호와 듀티 타이밍 제어 신호 각각은 스타트 펄스(Start pulse), 시프트 클럭(Shift clock) 등을 포함한다. 스타트 펄스는 게이트 구동부(104)와 EM 구동부(106)의 시프트 레지스터들 각각에서 첫 번째 출력이 발생되게 하는 스타트 타이밍을 정의한다. 시프트 레지스터는 스타트 펄스가 입력될 때 구동되기 시작하여 첫 번째 클럭 타이밍에 첫 번째 출력 신호를 발생한다. 시프트 클럭(Gate Shift Clock, GSC)은 시프트 레지스터의 출력 시프트 타이밍을 제어한다.

[0026] 도 3은 픽셀의 일 예를 보여 주는 등가 회로도이다. 도 4는 도 3에 도시된 픽셀에 입력되는 신호들을 보여 주는 파형도이다. 도 3의 회로는 픽셀의 일 예를 보여 주는 것으로서, 본 발명의 픽셀은 도 3에 한정되지 않는다는 것에 주의하여야 한다.

[0027] 도 3 및 도 4를 참조하면, 픽셀들(10) 각각은 OLED, 다수의 TFT들(Thin Film Transistor)(T1~T4), 및 스토리지 커패시터(Cst)를 포함한다. 커패시터(C)가 제2 TFT(T2)의 드레인과 제2 노드(B) 사이에 연결될 수 있다. 도 3에서 “Coled”는 OLED의 기생 용량을 나타낸다.

[0028] OLED는 데이터 전압(Vdata)에 따라 제1 TFT(T1)에서 조절되는 전류량으로 발생한다. OLED의 전류패스는 제2 TFT(T2)에 의해 스위칭된다. OLED의 애노드와 캐소드 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)을 포함할 수 있으나 이에 한정되지 않는다. OLED의 애노드는 제2 노드(B)에 연결되고, 캐소드는 기저 전압(VSS)에 인가되는 VSS 라인에 연결된다.

[0029] TFT들(T1~T4)은 도 3에서 n 타입 MOSFET로 예시되었으나 이에 한정되지 않는다. 예를 들어, TFT들(T1~T4)은 p 타입 MOSFET로 구현될 수도 있다. 이 경우, 스캔 신호들(SCAN1, SCAN2)과 EM 신호(EM)의 위상이 반전된다. TFT들은 비정질 실리콘(a-Si) TFT, 폴리 실리콘 TFT, 산화물 반도체 TFT 중 어느 하나 또는 그 조합으로 구현될 수 있다.

[0030] OLED의 애노드는 제2 노드(B)를 경유하여 제1 TFT(T1)에 연결된다. OLED의 캐소드는 기저 전압원에 연결되어 기저 전압(VSS)에 공급된다. 기저 전압은 부극성의 저전위 직류 전압일 수 있다.

[0031] 제1 TFT(T1)는 게이트-소스 간 전압(Vgs)에 따라 OLED에 흐르는 전류(Ioled)를 조절하는 구동 소자이다. 제1 TFT(T1)는 제1 노드(A)에 연결된 게이트, 제2 TFT(T2)의 소스에 연결되는 드레인, 및 제2 노드(B)에 접속된 소스를 포함한다. 스토리지 커패시터(C)는 제1 노드(A)와 제2 노드(B) 사이에 접속되어 TFT(T1)의 게이트-소스간

전압(V_{gs})을 유지한다.

- [0032] 제2 TFT(T2)는 EM 신호(EM)에 응답하여 OLED에 흐르는 전류를 스위칭하는 스위치 소자이다. EM 신호(EM)의 듀티비에 따라 OLED의 점등 시간과 소등 시간이 조절되어 듀티 구동 방법이 구현된다. 제2 TFT(T2)의 드레인은 고전위 구동 전압(VDD)이 공급되는 VDD 라인에 연결된다. 제2 TFT(T2)의 소스는 제1 TFT(T1)의 드레인에 연결된다. 제2 TFT(T2)의 게이트는 EM 신호 라인(12c)에 연결되어 EM 신호를 공급 받는다. EM 신호(EM)는 샘플링 기간(t_s) 내에서 온 레벨로 발생되어 제2 TFT(T2)를 턴-온(turn-on)시키고, 초기화 기간(t_i)과 프로그래밍 기간(t_w) 동안 오프 레벨로 반전되어 제2 TFT(T2)를 턴-오프(turn-off)시킨다. 그리고, EM 신호(EM)는 발광 기간(t_{em}) 동안 PWM 듀티비에 따라 온 레벨과 오프 레벨 사이에서 스위칭하는 교류 신호로 발생되어 OLED의 전류 패스를 스위칭한다.
- [0033] 제3 TFT(T3)는 제1 스캔 펄스(SCAN1)에 응답하여 데이터 전압(V_{data})을 제1 노드(A)에 공급하는 스위치 소자이다. 제3 TFT(T3)는 제1 스캔 라인(12a)에 연결된 게이트, 데이터 라인(11)에 연결된 드레인, 및 제1 노드(A)에 연결된 소스를 포함한다. 제1 스캔 펄스(SCAN1)는 제1 스캔 라인(12a)을 통해 픽셀들(10)에 공급된다. 제1 스캔 신호(SCAN1)는 대략 1 수평 기간(1H) 동안 온 레벨로 발생되어 제3 TFT(T3)를 턴-온시키고, 발광 기간(t_{em}) 동안 오프 레벨로 반전되어 제3 TFT(T3)를 턴-오프시킨다.
- [0034] 제4 TFT(T4)는 제2 스캔 펄스(SCAN2)에 응답하여 기준 전압(V_{ref})을 제2 노드(B)에 공급하는 스위치 소자이다. 제4 TFT(T4)는 제2 스캔 라인(12b)에 연결된 게이트, REF 라인(16)에 연결된 드레인, 및 제2 노드(B)에 연결된 소스를 포함한다. 제2 스캔 펄스(SCAN2)는 제2 스캔 라인(12b)을 통해 픽셀들(10)에 공급된다. 제2 스캔 신호(SCAN2)는 초기화 기간(t_i) 내에서 온 레벨로 발생되어 제4 TFT(T4)를 턴-온시키고, 나머지 기간 동안 오프 레벨을 유지하여 제4 TFT(T4)를 오프 상태로 제어한다.
- [0035] 스토리지 커패시터(C_{st})는 제1 노드(A)와 제2 노드(B) 사이에 접속되어 양단 간의 차 전압을 저장한다. 스토리지 커패시터(C_{st})는 소스 팔로워(source-follower) 방식으로 구동 소자인 제1 TFT(T1)의 문턱 전압(V_{th})을 샘플링한다. 커패시터(C)는 VDD 라인과 제2 노드(B) 사이에 접속된다. 커패시터들(C_{st} , C)은 프로그래밍 기간(t_w) 동안 데이터 전압(V_{data})에 따라 제1 노드(A)의 전위가 변할 때, 그 변화분을 전압 분배하여 제2 노드(B)에 반영한다.
- [0036] 픽셀(10)의 스캐닝 기간은 초기화 기간(t_i), 샘플링 기간(t_s), 프로그래밍 기간(t_w), 및 에미션 기간(t_w)으로 나뉘어 진다. 이 스캐닝 기간은 대략 1 수평 기간(1H)으로 설정되어 픽셀 어레이의 1 수평 라인에 배열된 픽셀들에 데이터를 기입한다. 스캐닝 기간 동안, 픽셀(10)의 구동 소자인 제1 TFT(T1)의 문턱 전압이 샘플링되고 그 문턱 전압 만큼 데이터 전압을 보상한다. 따라서, 1 수평 기간(1H) 동안, 입력 영상의 데이터(DATA)가 구동 소자의 문턱 전압 만큼 보상되어 픽셀(10)에 기입된다.
- [0037] 초기화 기간(t_i)이 시작될 때, 제1 및 제2 스캔 펄스(SCAN1, SCAN2)가 라이징되어 온 레벨로 발생된다. 이와 동시에, EM 신호(EM)는 폴링되어 오프 레벨로 변한다. 초기화 기간(t_i) 동안, 제2 TFT(T2)는 턴-오프되어 OLED의 전류 패스를 차단한다. 제3 및 제4 TFT들(T3, T4)은 초기화 기간(t_i) 동안 턴-온된다. 초기화 기간(t_i) 동안, 데이터 라인(11)에 소정의 기준 전압(V_{ref})이 공급된다. 초기화 기간(t_i) 동안 제1 노드(A)의 전압은 기준 전압(V_{ref})으로 초기화되고, 제2 노드(B)의 전압은 소정의 초기화 전압(V_{ini})으로 초기화된다. 초기화 기간(t_i) 후에 제2 스캔 펄스(SCAN2)는 오프 레벨로 변하여 제4 TFT(T4)를 턴-오프시킨다. 온 레벨은 픽셀의 스위치 소자들(T2~T4)이 턴-온(turn-on)되는 TFT의 게이트 전압 레벨이다. 오프 레벨은 픽셀의 스위치 소자들(T2~T4)을 턴-오프(turn-off)되는 게이트 전압 레벨이다.
- [0038] 샘플링 기간(t_s) 동안, 제1 스캔 펄스(SCAN1)는 온 레벨을 유지하고, 제2 스캔 펄스(SCAN2)는 오프 레벨을 유지한다. EM 신호(EM)는 샘플링 기간(t_s)이 시작될 때 라이징되어 온 레벨로 변한다. 샘플링 기간(t_s) 동안, 제2 및 제3 TFT들(T2, T3)이 턴-온된다. 샘플링 기간(t_s) 동안, 제2 TFT(T2)가 온 레벨의 EM 신호(EM)에 응답하여 턴-온된다. 샘플링 기간(t_s) 동안, 제3 TFT(T3)는 온 레벨의 제1 스캔 신호(SCAN1)에 의해 온 상태를 유지한다. 샘플링 기간(t_s) 동안, 데이터 라인(11)에는 기준 전압(V_{ref})이 공급된다. 샘플링 기간(t_s) 동안, 제1 노드(A)의 전위는 기준전압(V_{ref})으로 유지되는데 반해, 제2 노드(B)의 전위는 드레인-소스 간 전류(I_{ds})에 의해 상승한다. 이러한 소스 팔로워(source-follower) 방식에 따라 제1 TFT(T1)의 게이트-소스 간 전압(V_{gs})은 제1 TFT(T1)의 문턱 전압(V_{th})으로서 샘플링되며, 이렇게 샘플링된 문턱전압(V_{th})은 스토리지 커패시터 (C_{st})에 저장된다. 샘플링 기간(t_s) 동안 제1 노드(A)의 전압은 기준 전압(V_{ref})이고, 제2 노드(B)의 전압은 $V_{ref}-V_{th}$ 이다.

- [0039] 프로그래밍 기간(tw) 동안 제3 TFT(T3)는 온 레벨의 제1 스캔 신호(SCAN1)에 따라 온 상태를 유지하고 나머지 TFT(T1, T2, T4)는 턴-오프된다. 프로그래밍 기간(tw) 동안 데이터 라인(11)에 입력 영상의 데이터 전압(Vdata)이 공급된다. 데이터 전압(Vdata)이 제1 노드(A)에 인가되고, 제1 노드(A)의 전위 변화분(Vdata-Vref)에 대한 커패시터들(Cst,C) 간의 전압 분배 결과가 제2 노드(B)에 반영됨으로써 제1 TFT(T1)의 게이트-소스 간 전압(Vgs)이 프로그래밍된다. 프로그래밍 기간(tw) 동안, 제1 노드(A)의 전압은 데이터 전압(Vdata)이고, 제2 노드(B)의 전압은 샘플링 기간(ts)을 통해 설정된 "Vref-Vth"에 커패시터들(Cst,C) 간의 전압 분배 결과(C'*(Vdata-Vref))가 더해져 "Vref-Vth+C'*(Vdata-Vref)"가 된다. 결국, 제1 TFT(T1)의 게이트-소스 간 전압(Vgs)은 프로그래밍 기간(tw)을 통해 "Vdata-Vref+Vth-C'*(Vdata-Vref)"으로 프로그래밍된다. 여기서, C'는 Cst/(Cst+C)이다.
- [0040] 발광 기간(tem)이 시작될 때, EM 신호(EM)는 라이징되어 다시 온 레벨로 변하는 반면, 제1 스캔 펄스(SCAN1)는 폴링되어 오프 레벨로 변한다. 발광 기간(tem) 동안, 제2 TFT(T2)는 온 상태를 유지하여 OLED의 전류 패스를 형성한다. 제1 TFT(T1)는 발광 기간(tem) 동안 데이터 전압에 따라 OLED에 흐르는 전류량을 조절한다.
- [0041] 발광 기간(tem)은 프로그래밍 기간(tw) 이후부터 그 다음 프레임의 초기화 기간(ti)까지 연속된다. 본 발명은 이 발광 기간(tem) 동안 픽셀들을 연속적으로 발광시키지 않고 입력 영상의 데이터에 따라 변조되는 PWM 듀티비로 EM 신호(EM)를 스위칭함으로써 픽셀들의 점등 및 소등 듀티비를 조절한다. EM 신호(EM)가 온 레벨로 발생될 때 제2 TFT(T2)는 턴-온되어 OLED의 전류 패스를 형성한다. 발광 기간(tem) 동안, 제1 TFT(T1)의 게이트-소스 간 전압(Vgs)에 따라 조절되는 전류(Ioled)가 OLED에 흘러 OLED가 발광된다. 발광 기간(tem) 동안, 제1 및 제2 스캔신호(SCAN1, SCAN2)는 오프 레벨을 유지하므로 제3 및 제4 TFT(T3, T4)는 오프된다.
- [0042] 발광 기간(tem) 동안 OLED에 흐르는 전류(Ioled)는 수학적 식 1과 같다. OLED는 이 전류에 의해 발광되어 입력 영상의 밝기를 표현한다.

수학적 식 1

$$I_{oled} = \frac{k}{2} [(1-C')(Vdata-Vref)]^2$$

- [0043]
- [0044] 수학적 식 1에서, k는 제1 TFT(T1)의 이동도, 기생 커패시턴스 및 채널 용량 등에 의해 결정되는 비례 상수이다.
- [0045] 프로그래밍 기간(tw)을 통해 프로그래밍 된 Vgs에 Vth가 포함되어 있으므로, 수학적 식 1의 Ioled 에서 Vth가 소거된다. 따라서, 구동 소자 즉, 제1 TFT(T1)의 문턱전압(Vth)이 OLED의 전류(Ioled)에 미치는 영향이 제거된다.
- [0046] 도 5는 본 발명의 실시예에 따른 듀티 구동 방법을 보여 주는 수직 동기신호와 EM 신호를 보여 주는 파형도이다. 도 6은 본 발명의 실시예에 따른 유기 발광 표시장치를 듀티 구동 방법으로 구동할 때 1 프레임 기간 동안 소등 구간이 시프트되는 예를 보여 주는 도면이다. 도 6에서 (a)는 1 프레임의 영상이다. (b)는 (a)와 같은 영상을 듀티 구동 방법으로 픽셀들에 표시할 때 소등 구간이 순차적으로 시프트되는 예를 보여 준다. 도 5 및 도 6을 참조하면, 수직 동기신호(Vsync)는 1 프레임 기간을 정의하는 타이밍 신호이다. 1 프레임 기간 동안, 1 프레임 분량의 영상 데이터가 어드레싱되어 픽셀들(10)에 기입된다.
- [0047] 입력 영상의 데이터는 1 프레임 기간의 초기 스캐닝 기간에만 픽셀들에 어드레싱된다. 픽셀들은 EM 신호(EM)의 오프 레벨 구간에서 소등되지만 도 7과 같이 이미 공급 받은 데이터 전압을 유지하여 스캐닝 기간 이후의 듀티 구동 기간 동안 픽셀들(10)의 소등 구간에 의해 단절된 점등 기간 동안 같은 휘도로 발광한다.
- [0048] EM 신호(EM)의 온 레벨 구간(On)은 픽셀 어레이에서 점등 구간을 정의한다. 온 레벨의 EM 신호(EM)는 픽셀들(10)에서 OLED의 전류 패스를 형성하여 OLED를 점등 시킨다. 이에 비하여, EM 신호(EM)의 오프 레벨 구간(Off)은 픽셀 어레이에서 소등 구간을 정의한다. 소등 구간 동안은 오프 레벨의 EM 신호(EM)가 픽셀들(10)에 인가된다. 소등 구간의 픽셀들(10)은 OLED의 전류 패스가 차단되어 OLED에 전류가 흐르지 않기 때문에 블랙 계조를 표시한다.
- [0049] EM 신호(EM)는 1 프레임 기간 동안 2 이상의 주기로 스위칭한다. EM 신호(EM)의 1 주기는 하나의 온 레벨 구간과 하나의 오프 레벨 구간을 포함한다. 따라서, EM 신호(EM)의 온 레벨 구간(On)은 1 프레임 기간 내에서 하나 이상의 오프 레벨 구간(Off)에 의해 단절된다. EM 신호(EM)에 의해 픽셀들(10) 각각은 1 프레임 기간 동안 1

회 이상 소등된다. EM 신호(EM)의 오프 레벨 구간(Off)이 시프트되기 때문에 도 6과 같이 픽셀 어레이에서 소등 구간도 EM 신호(EM)의 오프 레벨 구간(Off)을 따라 시프트된다.

- [0050] 이러한 듀티 구동 방법은 1 프레임 기간 내에 픽셀들에 적절히 높은 데이터 전압(Vdata)으로 픽셀들을 점등하고, EM 신호(EM)의 듀티비를 조정하여 픽셀들(10)의 휘도를 조정함으로써 픽셀들(10)의 응답 시간(response time)을 줄여 잔상을 개선할 수 있다. 듀티 구동 방법은 1 프레임 기간 내에서 픽셀들의 점등 및 소등 주파수를 높여 사용자가 인지하는 플리커(flicker)를 방지할 수 있다. 또한, 듀티 구동 방법은 픽셀들에 인가되는 데이터 전압을 높여 픽셀들의 휘도를 높인 상태에서 픽셀들의 듀티비를 낮추어 저계조를 표현함으로써 저계조 데이터 전압에서 보일 수 있는 얼룩을 방지할 수 있다.
- [0051] 본 발명은 스캐닝 기간 이후의 듀티 구동 기간 동안 데이터를 추가로 기입하지 않아도 픽셀들의 데이터 전압이 유지된다. 이를 도 7과 결부하여 설명하면 다음과 같다.
- [0052] 도 7을 참조하면, 데이터 어드레싱으로 픽셀들에 데이터를 기입한 후에 제1 스캔 펄스(SCAN1)는 1 프레임 기간 동안 오프 레벨을 유지한다. 그 결과, 데이터 전압이 스토리지 커패시터(Cst)에 충전된 후 제1 TFT(T1)의 게이트가 연결된 제1 노드(A)는 플로팅(floating)된다. 제1 TFT(T1)의 소스 전압(Vs)이 변하면 스토리지 커패시터(Cst)의 전하는 일정하게 유지되면서 Vs를 따라 Vg값이 변한다. 그 결과, EM 신호(EM)의 온 레벨 구간과 오프 레벨 구간에 의해 픽셀들이 소등된 후 다시 데이터를 기입하지 않더라도 구동 소자인 제1 TFT(T1)의 게이트-소스 간 전압(Vgs)은 일정하게 유지된다. 이렇게 구동 소자(T1)의 Vgs가 일정하게 유지되므로 픽셀(10)에 기입된 데이터가 유지된다.
- [0053] 도 8 및 도 9는 게이트 구동부(104)와 EM 구동부(106)의 시프트 레지스터가 GIP 회로로 구현된 예를 보여 주는 도면들이다. 도 10은 GIP 회로에서 하나의 스테이지 회로 구성을 간략히 보여 주는 도면이다. 도 10의 회로는 시프트 레지스터에서 하나의 스테이지를 간략하게 보여 준다.
- [0054] 도 8 및 도 9를 참조하면, 게이트 구동부(104)는 표시패널(100)의 기판 상에 직접 형성된 제1 및 제2 GIP 회로를 포함한다. 제1 GIP 회로는 제1 시프트 레지스터(SR1)를 포함하여 제1 스캔 펄스(SCAN1)를 순차적으로 발생한다. 제2 GIP 회로는 제2 시프트 레지스터(SR2)를 포함하여 제2 스캔 펄스(SCAN2)를 순차적으로 발생한다.
- [0055] EM 구동부(106)는 제3 GIP 회로를 포함한다. 제3 GIP 회로는 제1 및 제2 시프트 레지스터(SR1, SR2)의 출력(SCAN1, SCAN2)와 시프트 클럭(ECLK1~4)을 입력 받는 제3 시프트 레지스터(SR3)를 포함한다. EM 신호(EM)는 듀티비에 따라 1 프레임 기간 동안 온 레벨과 오프 레벨을 반복한다.
- [0056] 시프트 레지스터들(SR1, SR2, SR3) 각각은 종속적으로 접속된 스테이지들(S(N-1)~S(N+1))을 포함한다. 스테이지들(S(N-1)~S(N+1)) 각각은 풀업 트랜지스터(pull-up transistor)(Tu)를 제어하는 Q 노드(Q), 풀다운 트랜지스터(pull-down transistor)(Td)를 제어하는 QB 노드(QB), Q 노드(Q)와 QB 노드(QB)의 충전전을 제어하는 스위치 회로를 포함한다.
- [0057] EM 구동부(106)는 제1 및 제2 스캔 펄스(SCAN1, SCAN2)와는 독립된 제N-1 및 제N 스캔 펄스(SCAN(0), SCAN(1))를 발생하고, 스캐닝 기간 이후의 듀티 기간 동안 2 회 이상 발생하는 듀티 신호(DD OUT)를 발생하는 입력 신호 발생 회로(도 14의 82 및 84), Q 노드(도 14의 Q)의 전압에 따라 출력 노드를 충전하여 제N EM 신호(EMO(1))를 온 레벨로 출력하는 풀업 트랜지스터(도 14의 T78), QB 노드(도 14의 QB)의 전압에 따라 출력 노드를 방전하여 제N EM 신호(도 14의 EMO(1))를 오프 레벨로 출력하는 풀다운 트랜지스터(도 14의 T79 및 T80), 제1 시프트 클럭(도 14의 ECLK1)과 제N-1 EM 신호(도 14의 EMO(0))에 응답하여 Q 노드를 충전하는 제1 스위치 소자(도 14의 T71 및 T72), 리셋 신호(도 14의 ERST)와 제N 스캔 펄스(도 14의 SCAN(1))가 발생할 때 QB 노드를 충전하는 제2 스위치 소자(도 14의 T73), 제2 시프트 클럭(도 14의 ECLK3)과 제N-1 스캔 펄스(도 14의 SCAN(0))가 발생할 때 QB 노드를 충전하는 제3 스위치 소자(도 14의 T75), 및 듀티 신호(도 14의 DD OUT)에 응답하여 듀티 구동 기간 동안 QB 노드를 충전하는 제4 스위치 소자(T81)을 포함한다. 제N-1 및 상기 제N 스캔 펄스(SCAN(0), SCAN(1)) 각각은 제1 펄스(33)과, 그 보다 넓은 폭의 제2 펄스(34)을 포함한 클럭쌍으로 발생된다. 제1 시프트 클럭(ECLK1)과 제2 시프트 클럭(ECLK3) 각각은 제1 및 제2 펄스(31, 32)를 포함한 클럭쌍으로 발생된다. 제1 시프트 클럭(ECLK1)의 클럭쌍과 제2 시프트 클럭(ECLK3)의 클럭쌍이 중첩되지 않는다.
- [0058] 타이밍 컨트롤러(110)는 게이트 타이밍 제어 신호(Vst(A), Vst(B), CLK(A), CLK(B))를 발생하여 제1 및 제2 GIP 회로(GIP1, GIP2)의 동작 타이밍을 제어한다. Vst(A)와 Vst(B)는 스타트 펄스이고, CLK(A)와 CLK(B)는 시프트 클럭이다. 제1 및 제2 GIP 회로(GIP1, GIP2)는 타이밍 컨트롤러(110)에 의해 동기된다.
- [0059] 타이밍 컨트롤러(110)는 시프트 클럭(ECLK1~4)를 발생하여 제3 시프트 레지스터(SR3)의 시프트 타이밍과 듀티

온/오프 타이밍을 제어한다. 또한, 타이밍 콘트롤러(110)는 시프트 레지스터들(SR1, SR2, SR3)의 Q 노드(Q)를 초기화하기 위한 리셋 신호(RST)를 발생할 수 있다. 타이밍 콘트롤러(11)로부터 출력되는 게이트 구동부(104)와 EM 구동부(106)의 타이밍 제어 신호들은 디지털 로직 전압 레벨로 발생된다. GIP 회로의 TFT들은 픽셀 어레이의 TFT와 동시에 형성되고 그 구조가 유사하여 같은 디지털 로직 전압 보다 높은 전압으로 구동된다. 따라서, 타이밍 콘트롤러(110)로부터 출력된 타이밍 제어 신호들(Vst(A), Vst(B), CLK(A), CLK(B), ECLK1~4)는 도시하지 않은 레벨 시프터(Level shifter)에 의해 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL)으로 스위칭하는 전압으로 변환된다. 게이트 하이 전압(VGH)은 픽셀 어레이의 TFT와 GIP 회로의 TFT의 문턱 전압 보다 높은 전압이다. 게이트 로우 전압(VGL)은 픽셀 어레이의 TFT와 GIP 회로의 TFT의 문턱 전압 보다 낮은 전압이다.

[0060] 도 11은 EM 구동부(106)의 회로 구성을 보여 주는 회로도이다. 도 12는 도 11에 도시된 회로의 입출력 신호를 보여 주는 파형도이다.

[0061] 도 11 및 도 12를 참조하면, EM 구동부(106)는 풀업 트랜지스터(T18)를 제어하는 Q 노드와, 풀다운 트랜지스터(T19, T20)를 제어하는 QB 노드(QB)와, 다수의 스위치 소자들(T11~T20)을 포함한다. 스위치 소자들(T11~T20)은 n type MOSFET로 구현될 수 있으나 이에 한정되지 않는다.

[0062] 이 EM 구동부(106)에는 제1 및 제2 스캔 펄스(SCAN1(1), SCAN2(1)), 이전 EM 신호(EMO(0)), 시프트 클럭(ECK1, ECLK3)이 입력된다.

[0063] 제1 및 제2 스캔 펄스(SCAN1(1), SCAN2(1))는 도 4와 실질적으로 동일하다. 제1 및 제2 스캔 펄스(SCAN1(1), SCAN2(1))는 동시에 라이징된다. 제1 스캔 펄스(SCAN1(1))의 펄스폭은 제2 스캔 펄스(SCAN2(1)) 보다 넓다. 제1 스캔 펄스(SCAN(1))의 펄스폭이 1 수평 기간(1H)일 때 도 12와 같이 제2 스캔 펄스(SCAN2(1))의 펄스폭은 1/4 수평 기간일 수 있으나 이에 한정되지 않는다.

[0064] 이전 EM 신호(EMO(0))는 도 11에 도시된 스테이지가 제N(N은 양의 정수) EM 신호를 출력하는 제N 스테이지라고 가정할 때, 제N-1 스테이지로부터 출력되는 제N-1 EM 신호이다. EM 신호(EMO(0), EMO(1)) 각각은 제1 스캔 펄스(SCAN1(1))의 펄스가 발생하는 스캐닝 기간 동안 도 4와 동일하게 발생된다. 따라서, EM 신호(EMO(1))는 스캐닝 기간 동안 제1 및 제2 스캔 펄스(SCAN1(1), SCAN2(1))가 라이징될 때 폴링되고, 제1 스캔 펄스(SCAN2(1))와 동시에 폴링될 때 라이징된다. 그리고 EM 신호(EMO(1))는 스캐닝 기간 동안 제1 스캔 펄스(SCAN1(1))의 폴링과 동시에 라이징된다.

[0065] EM 신호(EMO(0), EMO(1))는 1 프레임 기간에서 스캐닝 기간 나머지 기간 동안 듀티 구동을 위하여 하나 이상의 오프 레벨 구간을 포함한다. 듀티 구동을 위한 EM 신호(EMO(0), EMO(1))의 오프 레벨 제어는 데이터 기입과 무관한 타이밍 신호를 이용하여야 한다. 입력 영상의 데이터를 픽셀에 기입하기 위한 타이밍 신호를 이용하여 스캐닝 기간 이후의 EM 신호(EMO(0), EMO(1))의 오프 레벨 구간을 제어한다면 픽셀에 기입되는 데이터가 변경될 수 있다. 본 발명은 데이터 기입과는 무관한 제2 스캔 펄스(SCAN2(1))와 시프트 클럭으로 EM 신호(EMO(1))의 오프 레벨 구간 타이밍을 제어함으로써 픽셀에 기입되는 데이터 변경을 방지하고 원하는 시간 만큼 오프 레벨 구간을 길게 제어할 수 있다.

[0066] 시프트 클럭(ECLK1~4)은 위상이 순차적으로 지연되는 4 상 클럭으로 발생될 수 있다. 시프트 클럭(ECLK1~4) 각각은 클럭 쌍(30)으로 발생될 수 있다. 클럭 쌍(30)은 2 수평 기간(2H) 내에서 연속으로 발생되는 제1 및 제2 펄스(31, 32)를 포함한다. 시프트 클럭(ECLK1~4) 각각에서, 클럭 쌍(30) 간의 간격은 1 수평 기간 이상이다. 제N(N은 양의 정수) 시프트 클럭(ECLK1)과 제N+2 시프트 클럭(ECLK3)은 클럭쌍(30)이 중첩되지 않는 시프트 클럭들이다. 제N+1 시프트 클럭(ECLK2)의 제1 펄스(31)는 제N 클럭(ECLK1)의 제2 펄스(32)와 중첩되고, 제N+1 시프트 클럭(ECLK2)의 제2 펄스(32)는 제N+2 클럭(ECLK3)의 제1 펄스(31)와 중첩된다.

[0067] 리셋 신호(ERST)의 클럭들은 일정한 간격으로 지속적으로 발생된다. 리셋 신호(ERST)의 클럭은 시프트 클럭(ECLK1~4)과 동일한 폭으로 발생될 수 있다.

[0068] EM 구동부(106)가 GIP 회로로 구현되는 경우에, 도 11에서 EVDD는 VGH 전위로 발생되고, EVSS는 VGL 전위로 발생될 수 있다. 또한, 스캔 펄스들(SCAN1(1), SCAN2(1))과 시프트 클럭(ECLK1~4) 그리고 리셋 신호(ERST)의 클럭은 VGH와 VGL 사이에서 스위칭하는 전압으로 발생된다.

[0069] 이하에서, 도 11에 도시된 회로를 제N EM 신호(EMO(1))를 출력하는 제N 스테이지로 가정하여 EM 구동부(16)의 회로 구성과 동작을 설명하기로 한다.

[0070] 제1 및 제2 TFT(T11, T12)는 제N-1 EM 신호(EMO(0))가 온 레벨이고 제1 시프트 클럭(ECLK1)이 온 레벨일 때 고

전위 구동 전압(EVDD)으로 Q 노드(Q)를 충전한다. 제1 TFT(T11)는 제1 펄스(ECLK1)에 응답하여 턴-온되는 스위치 소자이다. 제1 TFT(T11)의 게이트는 제1 시프트 클럭(ECLK1)이 입력되는 ECLK1 라인에 연결된다. 제1 TFT(T11)의 드레인은 고전위 구동 전압(EVDD)이 공급되는 EVDD 라인에 연결된다. 제1 TFT(T11)의 소스는 제2 TFT(T12)의 드레인에 연결된다. 제2 TFT(T12)는 제N-1 EM 신호(EMO(0))의 온 레벨 또는 스타트 펄스(도시하지 않음)에 응답하여 턴-온된다. 제2 TFT(T12)의 게이트는 제N-1 EM 신호(EMO(0))가 입력되거나 스타트 펄스가 입력되는 스타트 단자에 입력된다. 제2 TFT(T12)의 소스는 Q 노드(Q)에 연결된다. 제2 TFT(T12)의 드레인은 제1 TFT(T11)의 소스에 연결된다.

[0071] 제3 TFT(T13)는 제1 스캔 펄스(SCAN1(1))에 응답하여 QB 노드(QB)를 리셋 신호(ERST)로 충전한다. 제3 TFT(T13)의 게이트에 제1 스캔 펄스(SCAN1(1))가 입력된다. 제3 TFT(T13)의 드레인에 리셋 신호(ERST)가 입력된다. 제3 TFT(T13)의 소스는 QB 노드(QB)에 연결된다.

[0072] 제4 TFT(T14)는 출력 노드를 통해 제N EM 신호(EMO(1))가 온 레벨로 출력될 때 제9 및 제10 TFT들(T19, T20) 사이의 노드를 고전위 구동 전압(EVDD)으로 충전한다. 따라서, 제4 TFT(T14)는 제9 TFT(T19)의 게이트-소스간 전압을 문턱 전압 보다 낮게 조절함으로써 누설 전류를 방지한다. 제N EM 신호(EMO(1))가 온 레벨이 출력될 때 풀다운 트랜지스터(T19, T20)를 통한 방전패스를 차단한다. 제4 TFT(T14)의 게이트는 출력 노드에 연결된다. 제4 TFT(T14)의 드레인은 EVDD 라인에 연결된다. 제4 TFT(T14)의 소스는 제9 TFT(T19)의 소스와 제10 TFT(T20)의 드레인 사이의 노드에 연결된다.

[0073] 제5 TFT(T15)는 제3 시프트 클럭(ECLK3)에 응답하여 제2 스캔 펄스(SCAN2(1))의 전압으로 QB 노드(QB)를 충전한다. 제5 TFT(T15)의 게이트는 제3 시프트 클럭(ECLK3)이 입력되는 ECLK3 라인에 연결된다. 제5 TFT(T15)의 드레인에 제2 스캔 펄스(SCAN2(1))가 입력된다. 제5 TFT(T15)의 소스는 QB 노드(QB)에 연결된다.

[0074] 제6 TFT(T16)는 QB 노드(QB)의 전압이 온 레벨일 때 턴-온되어 Q 노드(Q)를 방전한다. 제6 TFT(T16)의 게이트는 QB 노드(QB)에 연결된다. 제6 TFT(T16)의 드레인은 Q 노드(Q)에 연결된다. 제6 TFT(T16)의 소스는 EVSS 라인에 연결된다. EVSS 라인에는 기저 전압(EVSS) 또는 게이트 로우 전압(VGL)이 공급된다.

[0075] 제7 TFT(T17)는 제1 시프트 클럭(ECLK1)에 응답하여 QB 노드(QB)의 전압의 방전 패스를 형성한다. 제7 TFT(T17)의 게이트는 ECLK1 라인에 연결된다. 제7 TFT(T17)의 드레인은 QB 노드(QB)에 연결된다. 제7 TFT(T17)의 소스는 EVSS 라인에 연결된다.

[0076] 제8 TFT(T18)는 Q 노드(Q)의 전압에 따라 출력 노드를 충전하여 제N EM 신호(EMO(1))를 라이징시키는 풀업 트랜지스터이다. 제8 TFT(T18)의 게이트는 Q 노드(Q)에 연결된다. 제8 TFT(T18)의 드레인은 EVDD 라인에 연결된다. 제8 TFT(T18)의 소스는 출력 노드에 연결된다. 제8 TFT(T18)의 게이트-소스 간에 커패시터(Cq)가 연결될 수 있다. 이 커패시터(Cq)는 제8 TFT(T18)의 게이트-소스간 전압(Vgs)를 저장한다.

[0077] 제9 및 제10 TFT(T19, T20)는 듀얼 게이트 구조로 QB 노드(QB)에 공통으로 접속된 풀다운 트랜지스터이다. 제9 및 제10 TFT(T19, T20)는 QB 노드(QB)의 전압이 온 레벨일 때 턴-온되어 출력 노드의 방전 패스를 형성함으로써 제N EM 신호(EMO(1))를 풀링시킨다. 듀얼 게이트 구조의 스위치 소자는 저항을 크게 하여 누설 전류를 줄이는데 효과적이다. 제9 TFT(T19)의 게이트는 QB 노드(QB)에 연결된다. 제9 TFT(T19)의 드레인은 출력 노드에 연결된다. 제9 TFT(T19)의 소스는 EVSS 라인에 연결된다. 제10 TFT(T20)의 게이트는 QB 노드(QB)에 연결된다. 제10 TFT(T20)의 드레인은 출력 노드에 연결된다. 제10 TFT(T20)의 소스는 EVSS 라인에 연결된다.

[0078] 이하에서 제N EM 신호(EMO(1))의 제어 방법을 상세히 설명하기로 한다.

[0079] 도 12에서, t1~t4 기간은 픽셀들에 데이터를 기입하는 스캐닝 기간에 해당한다. 이 스캐닝 기간(t1~t4) 동안 발생하는 제N EM 신호(EMO(1))는 도 4와 동일하다.

[0080] 제2 스캔 펄스(SCAN2(1))와 제3 시프트 클럭(ECLK3)의 제2 펄스(32)은 t1에 라이징되어 t2까지 온 레벨로 발생된다. 이 때, 제5 TFT(T15)는 턴-온되어 QB 노드(QB)를 충전하고, 풀다운 트랜지스터(T19, T20)는 QB 노드(QB)의 온 레벨 전압에 따라 턴-온되어 출력 노드의 방전 패스를 형성한다. 그 결과, 제N EM 신호(EMO(1))는 t1에 풀링되어 t2 까지 오프 레벨로 발생된다.

[0081] 제1 시프트 클럭(ECLK1)의 제1 펄스(31)과 제N-1 EM 신호(EMO(0))는 t2에 라이징되어 t3까지 온 레벨로 발생된다. 이 때, 제1 및 제2 TFT(T11, T12)는 턴-온되어 고전위 구동 전압(EVDD)을 Q 노드에 충전하고, 풀업 트랜지스터(T18)는 Q 노드의 온 레벨 전압에 따라 턴-온되어 출력 노드를 충전시킨다. 그 결과, 제N EM 신호(EMO(1))는 t2에 라이징되어 t3 까지 온 레벨로 발생된다.

- [0082] 리셋 신호(ERST)와 제1 스캔 펄스(SCAN1)가 온 레벨일 때 제N EM 신호(EMO(1))는 오프 레벨로 발생된다. 이 때, 제3 TFT(T13)는 턴-온되어 리셋 신호(ERST)의 전압으로 QB 노드(QB)를 충전하고, 풀다운 트랜지스터(T19, T20)는 턴-온되어 출력 노드의 방전 패스를 형성한다. 그 결과, 제N EM 신호(EMO(1))는 t3에 풀링되어 t4까지 오프 레벨로 발생된다.
- [0083] t4 이후의 기간은 픽셀들에 데이터를 추가로 기입하지 않고, 제N EM 신호(EMO(1))의 듀티비를 조절하는 듀티 구동 기간이다. 듀티 구동 기간 동안, 제N EM 신호(EMO(1))의 온 레벨 구간(On)은 제1 시프트 클럭(ECLK1)과 제N-1 EM 신호(EMO(0))으로 제어된다.
- [0084] 본 발명은 스캐닝 기간 이후 듀티 구동 기간 동안 데이터와 무관한 제2 스캔 펄스(SCAN2)를 추가적으로 발생하여 데이터와 연관된 타이밍 신호를 이용하여 듀티 구동할 때의 문제 없이 픽셀들의 듀티비를 조절할 수 있다.
- [0085] 듀티 구동 기간 동안 제2 스캔 펄스(SCAN2)를 스윙하면 픽셀들(10)에 연결된 제4 TFT(T4)가 온/오프 스위칭되기 때문에 제2 노드(B)의 전압 즉, 구동 소자(T1)의 소스 전압(V_s)이 변경될 수 있다. 이렇게 V_s 가 변하더라도 도 7과 같이 구동 소자(T1)의 게이트가 플로팅되어 있어 V_s 를 따라 게이트 전압이 변하여 구동 소자(T1)의 V_{gs} 는 픽셀들이 점등 및 소등을 반복하더라도 일정하게 유지된다.
- [0086] 듀티 구동 기간 동안, 제N EM 신호(EMO(1))의 오프 레벨 구간(Off)은 제2 스캔 펄스(SCAN2)와 제3 시프트 클럭(ECLK3)으로 제어된다. 제2 스캔 펄스(SCAN2(1))와 제3 시프트 클럭(ECLK3)이 온 레벨일 때 제N EM 신호(EMO(1))는 오프 레벨로 발생된다. 듀티 구동 기간 동안, 추가로 발생되는 제2 스캔 펄스(SCAN2(1))는 제3 시프트 클럭(ECLK3)의 제2 펄스(32)에 동기될 수 있다. 이 때, 제5 TFT(T15)는 턴-온되어 제2 스캔 펄스(SCAN2(1))의 전압으로 QB 노드(QB)를 충전하고, 풀다운 트랜지스터(T19, T20)는 턴-온되어 출력 노드의 방전 패스를 형성한다. 그 결과, 제N EM 신호(EMO(1))는 t5에 풀링된다.
- [0087] 본 발명은 듀티 구동 기간 동안 제N EM 신호(EMO(1))의 오프 레벨 구간(Off) 횟수를 제2 스캔 펄스(SCAN2(1))의 출력 타이밍으로 제어한다. 또한, 본 발명은 제N EM 신호(EMO(1))의 오프 레벨 구간(Off) 동안 출력 노드가 오랜 시간 동안 플로팅되지 않도록 제2 스캔 펄스(SCAN2)를 주기적으로 발생할 수 있다.
- [0088] 제1 시프트 클럭(ECLK1) 만으로 듀티 구동 기간 동안, 제N EM 신호(EMO(1))의 온 레벨을 제어하면 제N EM 신호(EMO(1))의 오프 레벨 구간(Off) 내에서 제1 시프트 클럭(ECLK1)이 입력될 때 제N EM 신호(EMO(1))가 온 레벨로 변할 수 있다. 이러한 문제를 고려하여 본 발명은 제N-1 EM 신호(EMO(1))의 온 레벨 구간 동안 제1 시프트 클럭(ECLK1)이 발생될 때에만 제N EM 신호(EMO(1))를 온 레벨로 발생한다.
- [0089] 데이터와 동기되는 스캔 펄스를 이용하여 EM 신호를 출력할 때 픽셀들(10)에 기입된 데이터의 변경으로 인하여 디스플레이 구현이 불가능할 수 있다. 이 경우에, 본 발명은 도 13과 같이 게이트 구동부(104)와 분리된 별도의 EM 구동부(108)를 이용하여 듀티 구동이 가능한 EM 신호를 발생할 수 있다.
- [0090] 도 13은 본 발명의 다른 실시예에 따른 유기 발광 표시장치를 보여 주는 블록도이다.
- [0091] 도 13을 참조하면, 본 발명의 유기 발광 표시장치는 표시패널(100), 데이터 구동부(102), 게이트 구동부(104), EM 구동부(108), 및 타이밍 콘트롤러(110)를 구비한다. 이 실시예에서, 표시패널(100)와 데이터 구동부(102) 및 게이트 구동부(104)는 전술한 실시예와 실질적으로 동일하므로 그에 대한 상세한 설명을 생략한다.
- [0092] 게이트 구동부(104)는 제1 및 제2 스캔 펄스(SCAN1, SCAN2)를 순차적으로 발생한다. 제1 및 제2 스캔 펄스(SCAN1, SCAN2)는 데이터 기입을 위한 스캐닝 기간에만 발생되고, 그 스캐닝 기간 이후의 듀티 구동 기간에 발생하지 않는다.
- [0093] EM 구동부(108)는 타이밍 콘트롤러(110)의 제어 하에 EM 신호(EM)를 출력하여 EM 신호 라인들(12c)에 공급한다. EM 구동부(108)는 게이트 구동부(104)의 출력을 수신하지 않는다. EM 구동부(108)를 게이트 구동부(104)와 분리하여 독립적으로 구현하면, 게이트 구동부(104)로부터 출력된 스캔 펄스를 입력 받아 EM 신호(EM)를 발생할 때 픽셀에 기입된 데이터가 변경되는 문제를 방지할 수 있다. 이러한 EM 구동부(108)는 도 14와 같은 회로로 구현될 수 있다.
- [0094] EM 구동부(108)의 시프트 레지스터는 GIP 공정으로 도 8과 같이 게이트 구동부(104) 및 픽셀 어레이와 함께 표시패널(100)의 기판 상에 직접 형성될 수 있다.
- [0095] 타이밍 콘트롤러(110)는 호스트 시스템으로부터 수신된 타이밍 신호를 바탕으로 데이터 구동부(102)의 동작

타이밍을 제어하기 위한 데이터 타이밍 제어 신호, 게이트 구동부(104)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어 신호, 그리고 EM 구동부(108)의 동작 타이밍을 제어하기 위한 듀티 타이밍 제어신호를 발생한다. 듀티 타이밍 제어신호는 도 15와 같다. 타이밍 콘트롤러(110)는 PWM으로 EM 신호의 듀티비를 변조하여 도 5 및 도 6과 같은 듀티 구동 방법을 제어한다.

- [0096] 도 14는 도 13에 도시된 EM 구동부의 회로 구성을 보여 주는 회로도이다. 도 14에 도시된 회로는 시프트 레지스터들(80, 82, 84) 각각에서 하나의 스테이지 회로를 보여 준다. 도 15는 도 13에 도시된 회로의 입출력 신호를 보여 주는 파형도이다.
- [0097] 도 14 및 도 15를 참조하면, EM 구동부(108)는 스캔 펄스(SCAN(0), SCAN(1))를 순차적으로 출력하는 제1 시프트 레지스터(82), 듀티 신호(DD OUT(1))를 출력하는 제2 시프트 레지스터(84), 제1 및 제2 시프트 레지스터의 출력을 입력 받아 제N EM 신호(EMO(1))를 출력하는 제3 시프트 레지스터(80)를 포함한다.
- [0098] 제1 시프트 레지스터(82)는 입력 영상의 데이터 기입과 무관한 스캔 펄스(SCAN(1))를 출력하고 시프트 클럭(GCLK1~5) 타이밍마다 시프트한다. 이 스캔 펄스(SCAN(1))는 스캐닝 기간 동안 제N EM 신호(EMO(1))의 오프 레벨 구간을 제어한다. 제2 시프트 레지스터(84)는 듀티 신호(DD OUT(1))를 출력하고 시프트 클럭(DCLK1~5) 타이밍마다 시프트한다. 듀티 신호(DD OUT(1))는 듀티 구동 기간 동안 제N EM 신호(EMO(1))의 오프 레벨 구간을 제어한다. 제3 시프트 레지스터(80)는 스캔 신호(SCAN(1))와 듀티 신호(DD OUT(1))를 이용하여 제N EM 신호(EMO(1))를 출력하고, 시프트 클럭(ECLK1~5) 타이밍마다 시프트한다.
- [0099] 시프트 레지스터들(80, 82, 84) 각각은 풀업 트랜지스터를 제어하는 Q 노드와, 풀다운 트랜지스터를 제어하는 QB 노드(QB)와, 다수의 스위치 소자들을 포함한다. 스위치 소자들은 n type MOSFET로 구현될 수 있으나 이에 한정되지 않는다.
- [0100] 시프트 레지스터들(80, 82, 84)이 GIP 회로로 구현되는 경우에, 도 14에서 GVDD, DVDD, 그리고 EVDD는 VGH 전위로 발생된다. GVSS, DVSS 그리고 EVSS는 VGL 전위로 발생될 수 있다. 도 15에 도시된 신호들(SCAN(0), SCAN(1), GVST, DVST, GCLK1~5, ERST, ECLK1~5, DCLK1~5, EMO(0), EMO(1))은 VGH와 VGL 사이에서 스윙하는 전압으로 발생된다. GVST와 DVST는 스타트 펄스이다.
- [0101] 스타트 펄스(GVST), 시프트 클럭(GCLK1~5) 및 스캔 펄스(SCAN(0), SCAN(1))은 작은 펄스폭의 제1 펄스(33)과, 상대적으로 넓은 펄스폭의 제2 펄스(34)를 포함한 클럭쌍으로 발생된다. 제2 펄스(34)의 펄스폭은 1 수평 기간(1H)일 수 있으나 이에 한정되지 않는다. 시프트 클럭(GCLK1~5)은 위상이 순차적으로 지연되는 5 상 클럭으로 발생될 수 있다.
- [0102] 제1 시프트 레지스터(82)에서, 제1 내지 제3 TFT(T21, T22, T23)는 스타트 펄스(GVST)와 제5 시프트 클럭(GCLK5)이 입력될 때 Q 노드(Q)를 충전한다. 제1 시프트 레지스터(82)에서 제1 스테이지에 스타트 펄스(GVST)가 입력되고, 제2 스테이지 이후의 스테이지들에는 이전 스테이지 출력인 제N-1 스캔 펄스(SCAN(0))가 입력된다. 제5 시프트 클럭(GCLK5)은 스타트 펄스(GVST)와 제N-1 스캔 펄스(SCAN(0))의 제1 펄스(33)과 동기된다. 제1 TFT(T21)는 스타트 펄스(GVST) 또는 제N-1 스캔 펄스(SCAN(0))에 응답하여 턴-온된다. 제1 TFT(T21)의 게이트는 스타트 펄스(GVST) 또는 제N-1 스캔 펄스(SCAN(0))가 입력되는 스타트 단자에 연결된다. 제1 TFT(T21)의 드레인은 고전위 구동 전압(GVDD)이 공급되는 GVDD 라인에 연결된다. 제1 TFT(T21)의 소스는 제2 TFT(T22)의 드레인에 연결된다. 제2 TFT(T22)는 제5 시프트 클럭(GCLK5)에 응답하여 턴-온된다. 제2 TFT(T22)의 게이트는 제5 시프트 클럭(GCLK5)이 입력되는 GCLK5 라인에 연결된다. 제2 TFT(T22)의 드레인은 제1 TFT(T21)의 소스에 연결되고, 제2 TFT(T22)의 소스는 제3 TFT(T23)의 드레인에 연결된다. 제3 TFT(T23)는 제1 및 제2 TFT(T21, T22)가 턴-온될 때 고전위 구동 전압(GVDD)으로 Q 노드(Q)를 충전한다. 제3 TFT(T23)의 게이트는 GVDD 라인에 연결된다. 제3 TFT(T23)의 드레인은 제2 TFT(T22)의 소스에 연결되고, 제3 TFT(T23)의 소스는 Q 노드(Q)에 연결된다.
- [0103] 제4 TFT(T24)는 Q 노드(Q)를 제5 TFT(T25a, T25b)에 연결하여 Q 노드(Q)의 방전 패스를 형성한다. 제4 TFT(T24)의 게이트는 GVDD 라인에 연결된다. 제4 TFT(T24)의 드레인은 Q 노드(Q)에 연결되고, 제4 TFT(T24)의 소스는 제5 TFT(T25a, T25b)에 연결된다.
- [0104] 제5 TFT(T25a, T25b)는 듀얼 게이트 구조로 QB 노드(QB)에 공통으로 접속되어 QB 노드(QB)의 전압이 온 레벨일 때 턴-온되어 Q 노드(Q)의 방전 패스를 형성한다. 듀얼 게이트 구조의 스위치 소자는 저항을 크게 하여 누설 전류를 줄일 수 있다. 제5a TFT(T25a)의 게이트는 QB 노드(QB)에 연결된다. 제5a TFT(T25a)의 드레인은 Q 노드(Q)에 연결된다. 제5a TFT(T25a)의 소스는 제5b TFT(T25b)의 드레인에 연결된다. 제5b TFT(T25b)의 게이트는

QB 노드(QB)에 연결된다. 제5b TFT(T25b)의 드레인은 제5a TFT(T25a)의 소스에 연결된다. 제5b TFT(T25b)의 소스는 기저 전압(GVSS) 또는 게이트 로우 전압(VGL)이 공급되는 GVSS 라인에 연결된다.

[0105] 제6 TFT(T26)는 제3 시프트 클럭(GCLK3)에 응답하여 고전위 구동 전압(GVDD)을 QB 노드(QB)로 출력한다. 제3 시프트 클럭(GCLK3)은 제5 시프트 클럭(GCLK5) 보다 위상이 낮고 제5 시프트 클럭(GCLK5)과 중첩되지 않는다. 제6 TFT(T26)의 게이트는 제3 시프트 클럭(GCLK3)이 입력되는 GCLK3 라인에 연결된다. 제6 TFT(T26)의 드레인은 GVDD 라인에 연결된다. 제6 TFT(T26)의 소스는 QB 노드(QB)에 연결된다.

[0106] 제7 TFT(T27a, T27b)는 듀얼 게이트 구조로 스타트 단자에 공통으로 접속되어 스타트 펄스(GVST) 또는 제N-1 스캔 펄스(SCAN(0))에 응답하여 턴-온되어 QB 노드(QB)의 방전 패스를 형성한다. 제7a TFT(T27a)의 게이트는 스타트 단자에 연결된다. 제7a TFT(T27a)의 드레인은 QB 노드(QB)에 연결된다. 제7 TFT(T27a)의 소스는 제7b TFT(T27b)의 드레인에 연결된다. 제7b TFT(T27b)의 게이트는 스타트 단자에 연결된다. 제7b TFT(T27b)의 드레인은 제7a TFT(T27a)의 소스에 연결된다. 제7b TFT(T27b)의 소스는 GVSS 라인에 연결된다.

[0107] 제8 TFT(T28)는 Q 노드(Q)를 제9 TFT(T29a, T29b)의 게이트에 연결하여 Q 노드(Q)의 전압이 온 레벨일 때 QB 노드(QB)의 방전 패스를 형성한다. 제8 TFT(T28)의 게이트는 GVDD 라인에 연결된다. 제8 TFT(T28)의 드레인은 Q 노드(Q)에 연결되고, 제8 TFT(T28)의 소스는 제9 TFT(T29a, T29b)의 게이트에 연결된다.

[0108] 제9 TFT(T29a, T29b)는 듀얼 게이트 구조로 제8 TFT(T28)의 소스에 연결되어 Q 노드(Q)의 전압이 온 레벨일 때 QB 노드(QB)의 방전 패스를 형성한다. 제9a TFT(T29a)의 게이트는 제8 TFT(T28)의 소스에 연결된다. 제9a TFT(T29a)의 드레인은 QB 노드(QB)에 연결된다. 제9 TFT(T29a)의 소스는 제9b TFT(T29b)의 드레인에 연결된다. 제9b TFT(T29b)의 게이트는 제8 TFT(T28)의 소스에 연결된다. 제9b TFT(T29b)의 드레인은 제9a TFT(T29a)의 소스에 연결된다. 제9b TFT(T29b)의 소스는 GVSS 라인에 연결된다.

[0109] 제10 TFT(T30)는 Q 노드(Q)의 전압이 온 레벨로 충전되어 있는 상태에서 제1 시프트 클럭(GCLK1)이 입력될 때 출력 노드를 충전하여 제N 스캔 펄스(SCAN(1))를 라이징시키는 풀업 트랜지스터이다. 제10 TFT(T30)의 게이트는 Q 노드(Q)에 연결된다. 제10 TFT(T30)의 드레인은 제1 시프트 클럭(CLK1)이 입력되는 GCLK1 라인에 연결된다. 제10 TFT(T30)의 소스는 출력 노드에 연결된다. 제10 TFT(T30)의 게이트-소스 간에 커패시터(Cq)가 연결될 수 있다. 이 커패시터(Cq)는 제10 TFT(T30)의 게이트-소스간 전압(Vgs)를 저장한다.

[0110] 제11 TFT(T31)는 QB 노드(Q)의 온 레벨에 따라 턴-온되어 출력 노드의 방전 패스를 형성함으로써 제N 스캔 펄스(SCAN(1))를 폴링시키는 폴다운 트랜지스터이다. 제11 TFT(T31)의 게이트는 QB 노드(QB)에 연결된다. 제11 TFT(T31)의 드레인은 출력 노드에 연결된다. 제11 TFT(T31)의 소스는 GVSS 라인에 연결된다.

[0111] 제2 시프트 레지스터(84)는 제1 시프트 레지스터(82)와 실질적으로 동일한 회로 구성을 갖는다. 제2 시프트 레지스터(84)에 입력되는 스타트 펄스(DVST)와 시프트 클럭(DCLK1~5)은 제1 시프트 레지스터(82)에 입력되는 타이밍 신호(GVST, GCLK1~5)의 제1 펄스와 동기되고 위상이 순차적으로 지연된다.

[0112] 제2 시프트 레지스터(84)에서, 제1 내지 제3 TFT(T41, T42, T43)는 스타트 펄스(DVST)와 제4 시프트 클럭(DCLK4)이 입력될 때 Q 노드(Q)를 충전한다. 제2 시프트 레지스터(84)에서 제1 스테이지에 스타트 펄스(DVST)가 입력되고, 제2 스테이지 이후의 스테이지들에는 이전 스테이지 출력인 제N-1 듀티 신호가 입력된다. 제4 시프트 클럭(GCLK4)은 스타트 펄스(DVST)와 동기된다. 제1 TFT(T41)는 스타트 펄스(DVST) 또는 제N-1 듀티 신호에 응답하여 턴-온된다. 제2 TFT(T42)는 제4 시프트 클럭(DCLK4)에 응답하여 턴-온된다. 제3 TFT(T43)는 제1 및 제2 TFT(T41, T42)가 턴-온될 때 고전위 구동 전압(DVDD)으로 Q 노드(Q)를 충전한다. 제3 TFT(T43)의 게이트는 DVDD 라인에 연결된다.

[0113] 제4 TFT(T44)는 Q 노드(Q)를 제5 TFT(T45a, T45b)에 연결하여 Q 노드(Q)의 방전 패스를 형성한다. 제5 TFT(T45a, T45b)는 듀얼 게이트 구조로 QB 노드(Q)에 공통으로 접속되어 QB 노드(QB)의 전압이 온 레벨일 때 턴-온되어 Q 노드(Q)의 방전 패스를 형성한다. 제6 TFT(T46)는 제3 시프트 클럭(DCLK3)에 응답하여 고전위 구동 전압(DVDD)을 QB 노드(QB)에 출력한다.

[0114] 제7 TFT(T47a, T47b)는 듀얼 게이트 구조로 스타트 단자에 공통으로 접속되어 스타트 펄스(DVST) 또는 제N-1 듀티 신호에 따라 턴-온되어 QB 노드(QB)의 방전 패스를 형성한다. 제8 TFT(T48)는 Q 노드(Q)를 제9 TFT(T49a, T49b)의 게이트에 연결하여 Q 노드(Q)의 전압이 온 레벨일 때 QB 노드(QB)의 방전 패스를 형성한다. 제9 TFT(T49a, T49b)는 듀얼 게이트 구조로 제8 TFT(T48)의 소스에 연결되어 Q 노드(Q)의 전압이 온 레벨일 때 QB 노드(QB)의 방전 패스를 형성한다.

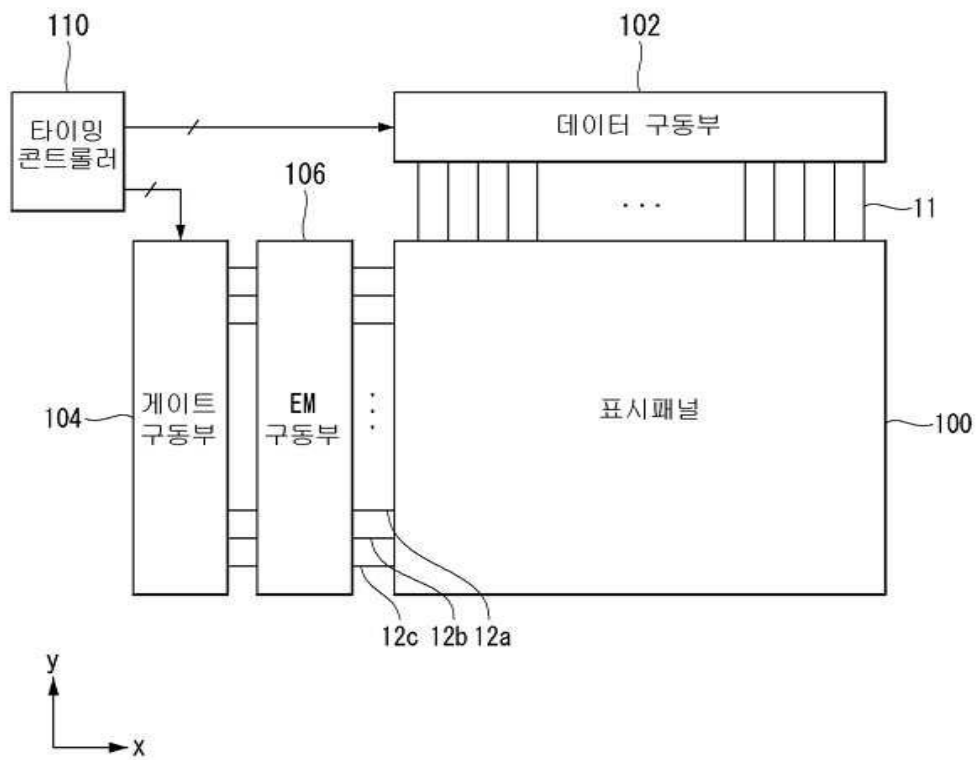
- [0115] 제10 TFT(T50)는 풀업 트랜지스터이다. 이 제10 TFT(T50)는 Q 노드(Q)의 전압이 온 레벨로 충전되어 있는 상태에서 제5 시프트 클럭(DCLK5)이 입력될 때 출력 노드를 충전하여 제N 듀티 신호(DD OUT(1))를 라이징시킨다. 제11 TFT(T51)는 풀다운 트랜지스터이다. 제11 TFT(T51)는 QB 노드(Q)의 온 레벨에 따라 턴-온되어 출력 노드의 방전 패스를 형성함으로써 제N 듀티 신호(DD OUT(1))를 폴링시킨다.
- [0116] 제3 시프트 레지스터(80)는 도 11에 도시된 EM 구동부의 회로와 대비할 때 제11 TFT(T81)이 추가된 것을 제외하면 도 11의 회로와 동일한 회로 구성을 가진다. 제3 시프트 레지스터(80)는 도 11에 도시된 EM 구동부의 회로와 대비할 때 데이터 기입과 무관한 스캔 신호(SCAN(1))와 듀티 신호(DD OUT(1))를 입력 받는다는 점에서 차이가 있다.
- [0117] 제1 및 제2 TFT(T71, T72)는 제N-1 EM 신호(EMO(0))가 온 레벨이고 제1 시프트 클럭(ECLK1)이 온 레벨일 때 고전위 구동 전압(EVDD)으로 Q 노드(Q)를 충전한다. 제3 TFT(T73)는 제N 스캔 펄스(SCAN(1))에 응답하여 QB 노드(QB)를 리셋 신호(ERST)로 충전한다. 이 제N 스캔 펄스(SCAN(1))는 데이터 기입을 위한 스캔 펄스(SCAN1, SCAN2)와는 독립적으로 생성되기 때문에 픽셀에 기입되는 데이터에 영향을 주지 않는다.
- [0118] 제4 TFT(T74)는 출력 노드를 통해 제N EM 신호(EMO(1))가 온 레벨로 출력될 때 제9 및 제10 TFT들(T79, T80) 사이의 노드를 고전위 구동 전압(EVDD)으로 충전한다. 제5 TFT(T75)는 제3 시프트 클럭(ECLK3)에 응답하여 제N-1 스캔 펄스(SCAN(0))의 전압으로 QB 노드(QB)를 충전하여 스캐닝 기간 동안 제N EM 신호(EMO(1))를 폴링시킨다.
- [0119] 제6 TFT(T76)는 QB 노드(QB)의 전압이 온 레벨일 때 턴-온되어 Q 노드(Q)를 방전한다. 제7 TFT(T77)는 제1 시프트 클럭(ECLK1)에 응답하여 QB 노드(QB)의 전압의 방전 패스를 형성한다.
- [0120] 제11 TFT(T81)는 듀티 신호(DD OUT(1))의 온 레벨에 따라 턴-온되어 QB 노드(QB)의 전압을 충전시킨다. 그 결과, 제N EM 신호(EMO(1))는 듀티 구동 기간 동안, 듀티 신호(DD OUT)에 동기되어 오프 레벨로 반전된다. 제11 TFT(T81)의 게이트는 제2 시프트 레지스터(84)의 출력 노드에 연결된다. 제11 TFT(T81)의 드레인은 EVDD 라인에 연결되고, 제11 TFT(T81)의 소스는 QB 노드(QB)에 연결된다.
- [0121] 제8 TFT(T78)는 풀업 트랜지스터이다. 제8 TFT(T78)는 Q 노드(Q)의 전압에 따라 출력 노드를 충전하여 제N EM 신호(EMO(1))를 라이징시킨다. 제9 및 제10 TFT(T79, T80)는 풀다운 트랜지스터이다. 제9 및 제10 TFT(T79, T80)는 QB 노드(QB)의 전압이 온 레벨일 때 턴-온되어 출력 노드의 방전 패스를 형성함으로써 제N EM 신호(EMO(1))를 폴링시킨다.
- [0122] 스캐닝 기간 동안, 제N EM 신호(EMO(1))는 제N-1 스캔 펄스(SCAN(0))에 동기되어 오프 레벨로 발생된다. 제5 TFT(T75)는 제N-1 스캔 펄스(SCAN(0))의 온 레벨 전압에 따라 턴-온된다. 이어서, 제N EM 신호(EMO(1))는 제1 시프트 클럭(ECLK1)과 제N-1 EM 신호(EMO(0))에 동기되어 온 레벨로 발생된다. 제1 TFT(T71)는 제1 시프트 클럭(ECLK1)에 응답하여 턴-온되고, 제2 TFT(T72)는 제N-1 EM 신호(EMO(0))에 응답하여 턴-온된다. 이어서, 제N EM 신호(EMO(1))는 제N 스캔 펄스(SCAN(1))와 리셋 신호(ERST)에 동기되어 오프 레벨로 발생된다. 제2 TFT(T72)는 제N 스캔 펄스(SCAN(1))에 따라 턴-온되어 제N-1 EM 신호(EMO(0))의 온 레벨 전압으로 QB 노드(QB)를 충전한다. 이어서, 제N EM 신호(EMO(1))는 제1 시프트 클럭(ECLK1)과 제N-1 EM 신호(EMO(0))에 동기되어 다시 온 레벨로 반전된다.
- [0123] 듀티 구동 기간 동안, 제N EM 신호(EMO(1))는 제N 듀티 신호(DD OUT(1))에 동기되어 오프 레벨로 반전되고, 제N-1 EM 신호(EMO(0))와 제1 시프트 클럭(ECLK1)이 모두 온 레벨일 때 온 레벨로 반전된다.
- [0124] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

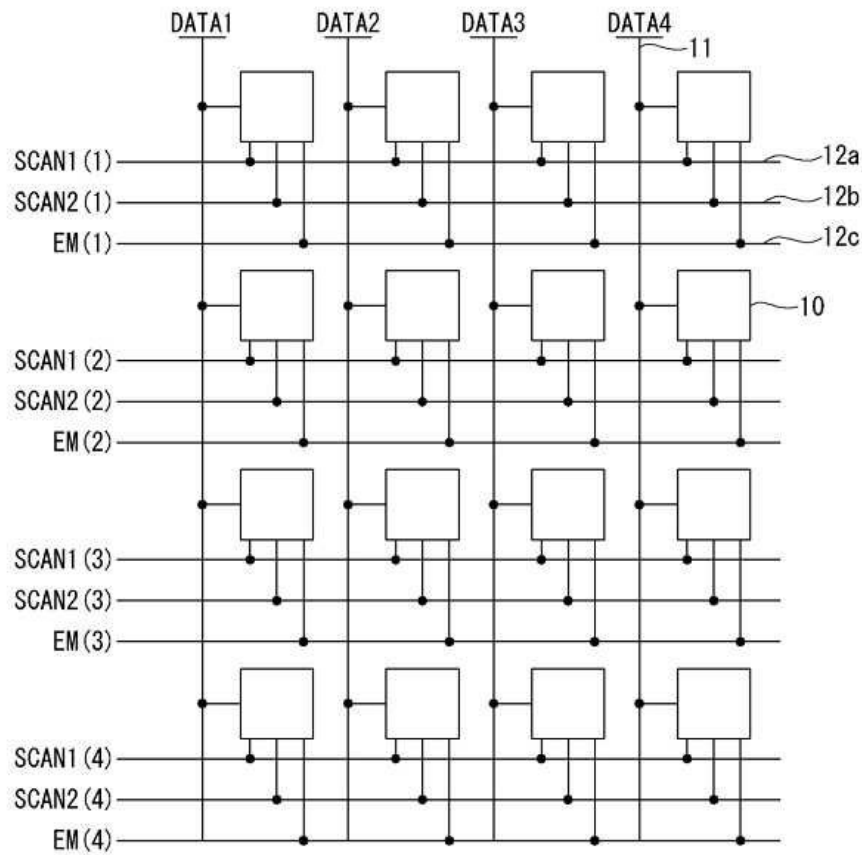
- [0125] 100 : 표시패널 110 : 타이밍 콘트롤러
102 : 데이터 구동부 104 : 게이트 구동부
106, 108 : EM 구동부

도면

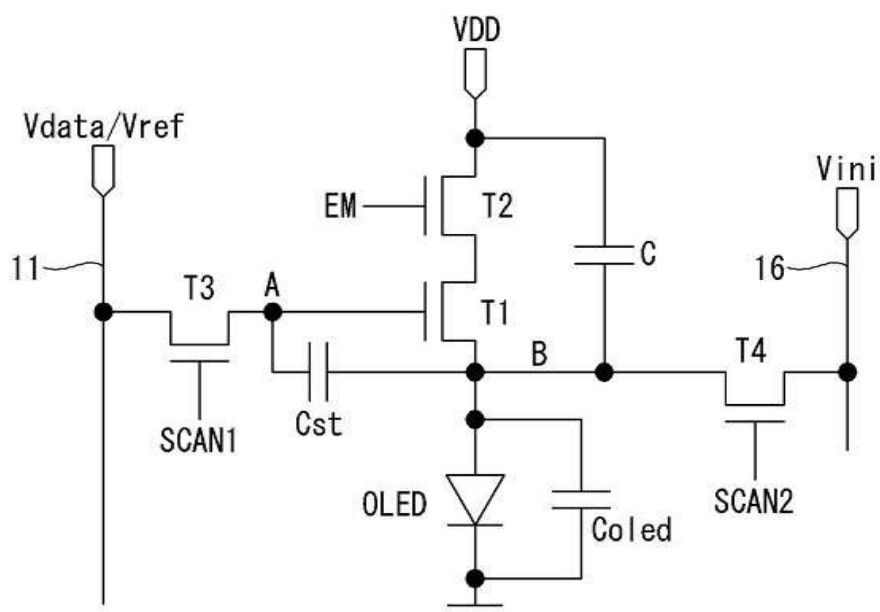
도면1



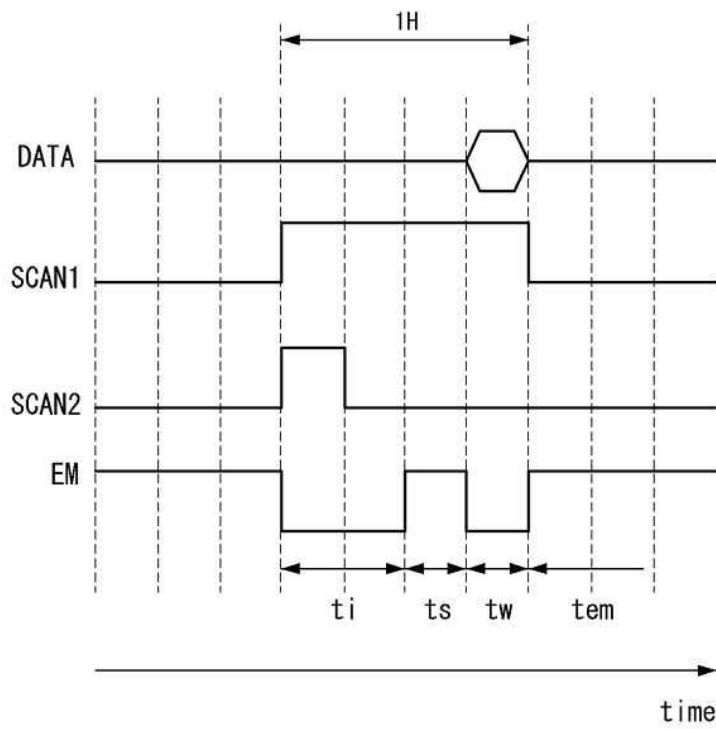
도면2



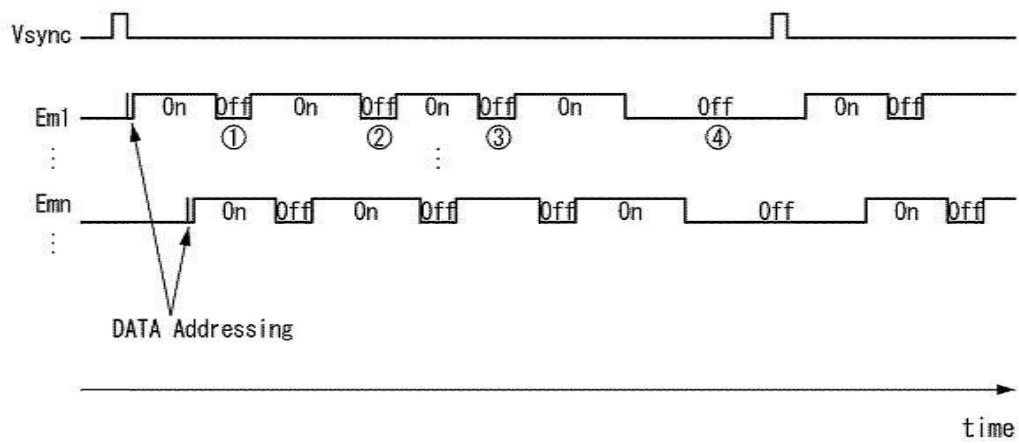
도면3



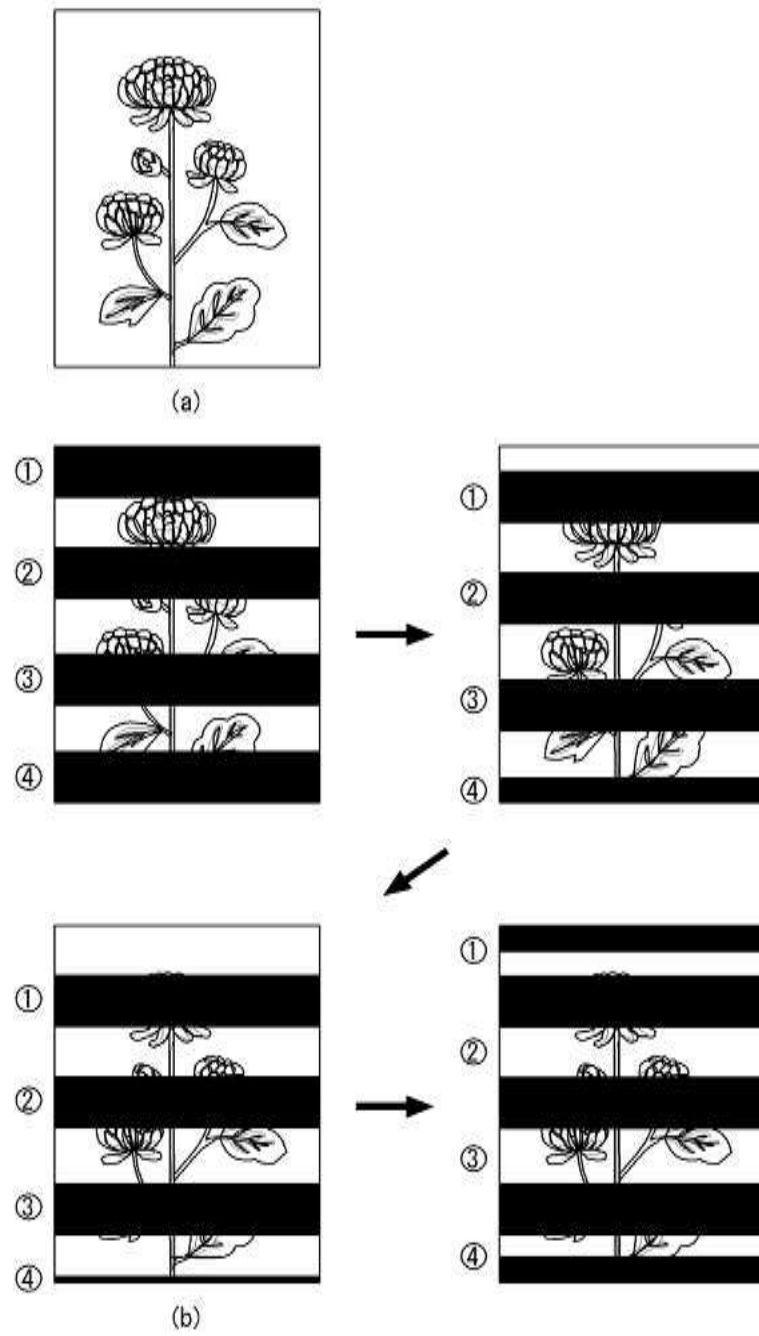
도면4



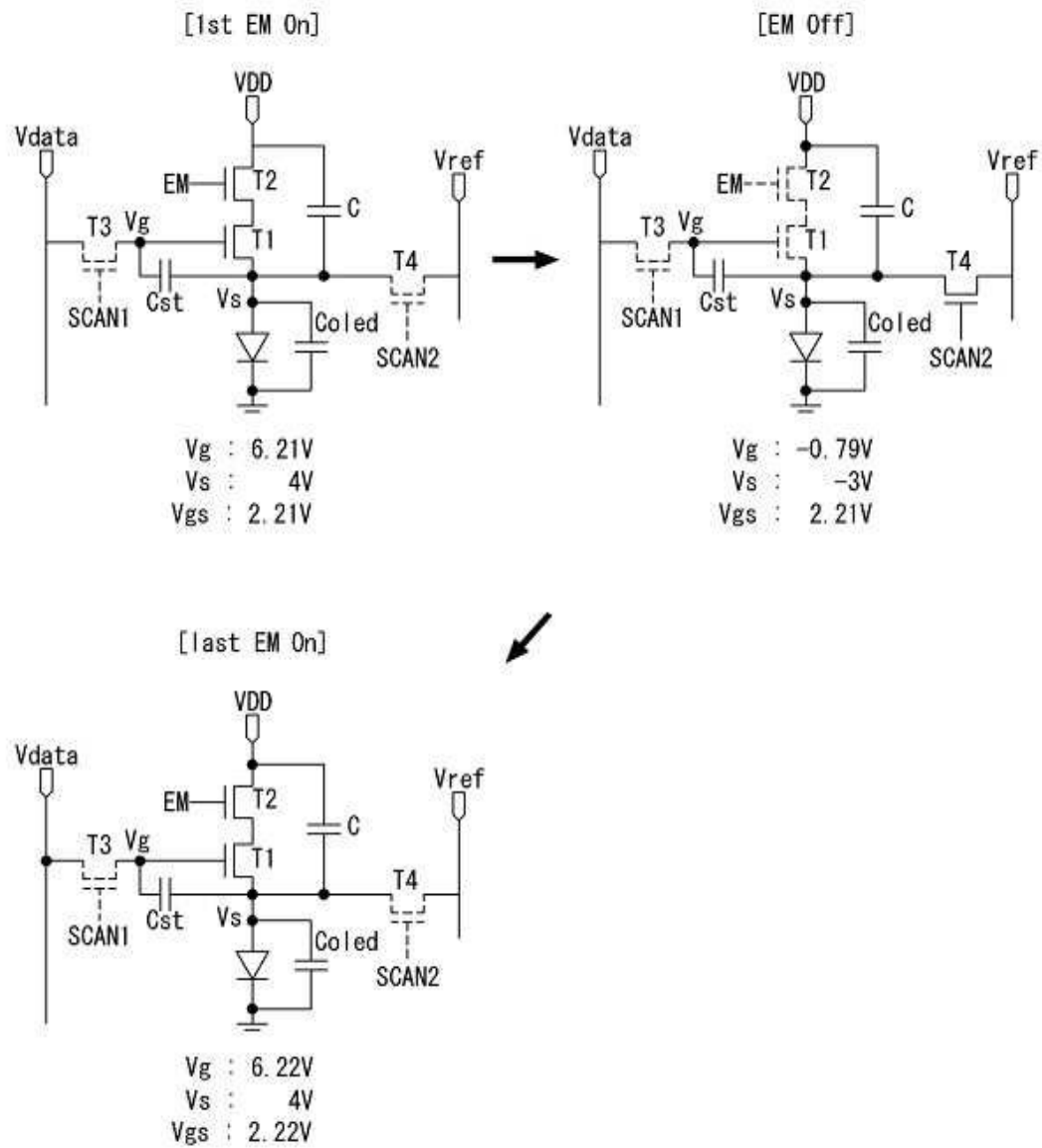
도면5



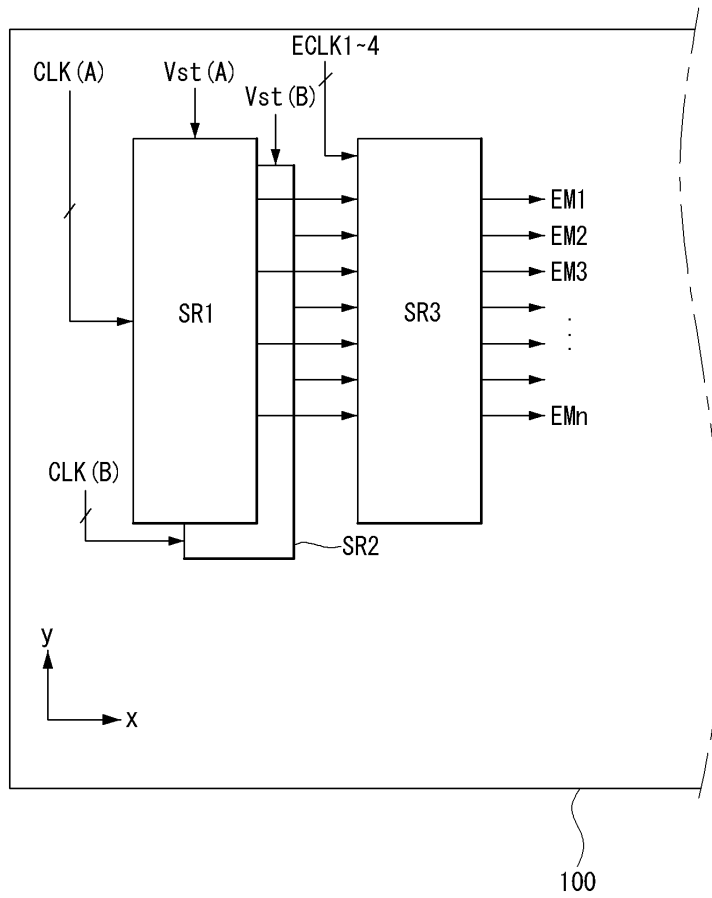
도면6



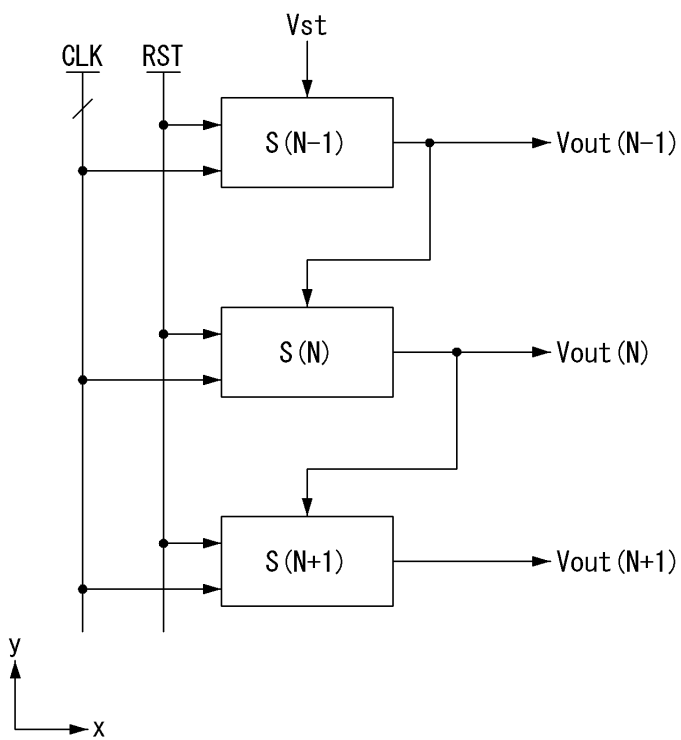
도면7



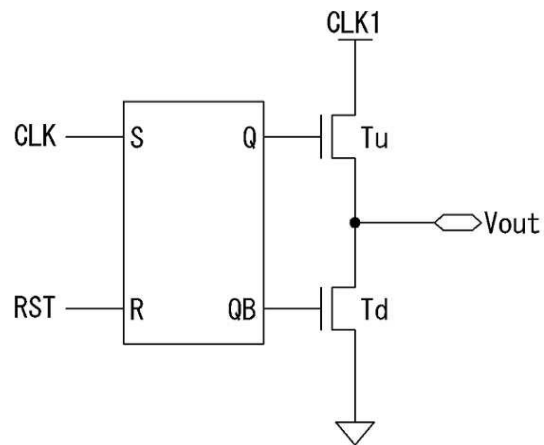
도면8



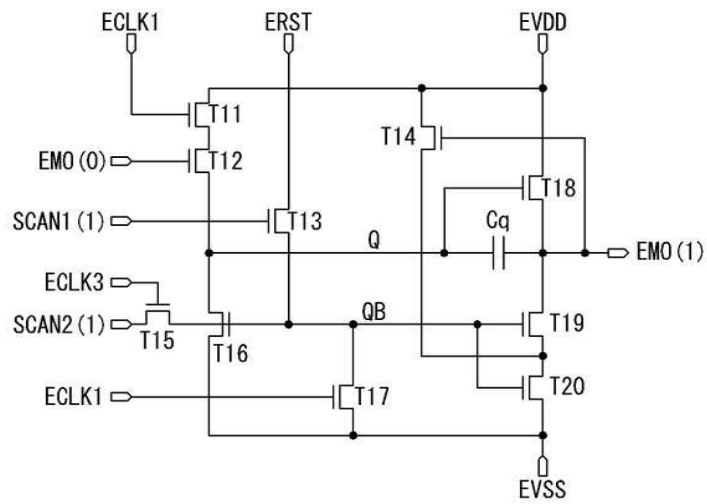
도면9



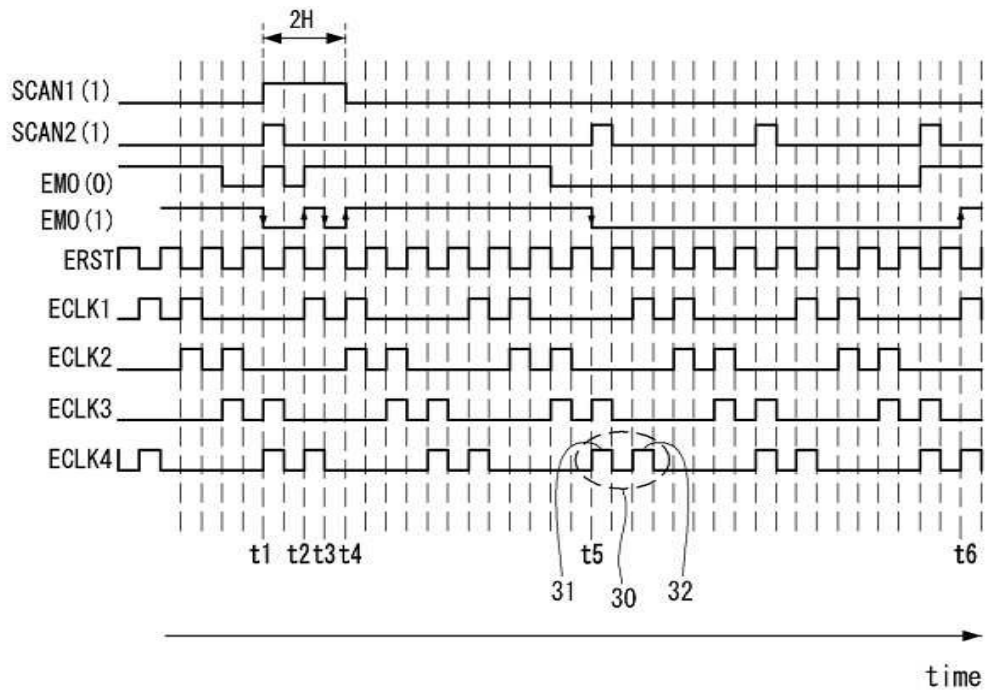
도면10



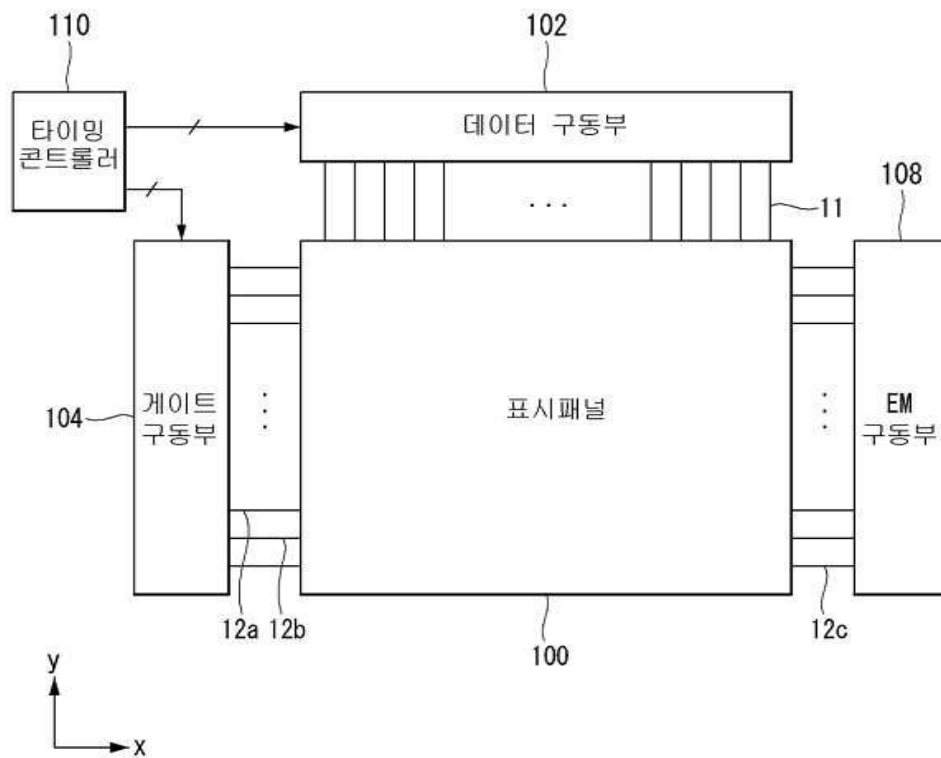
도면11



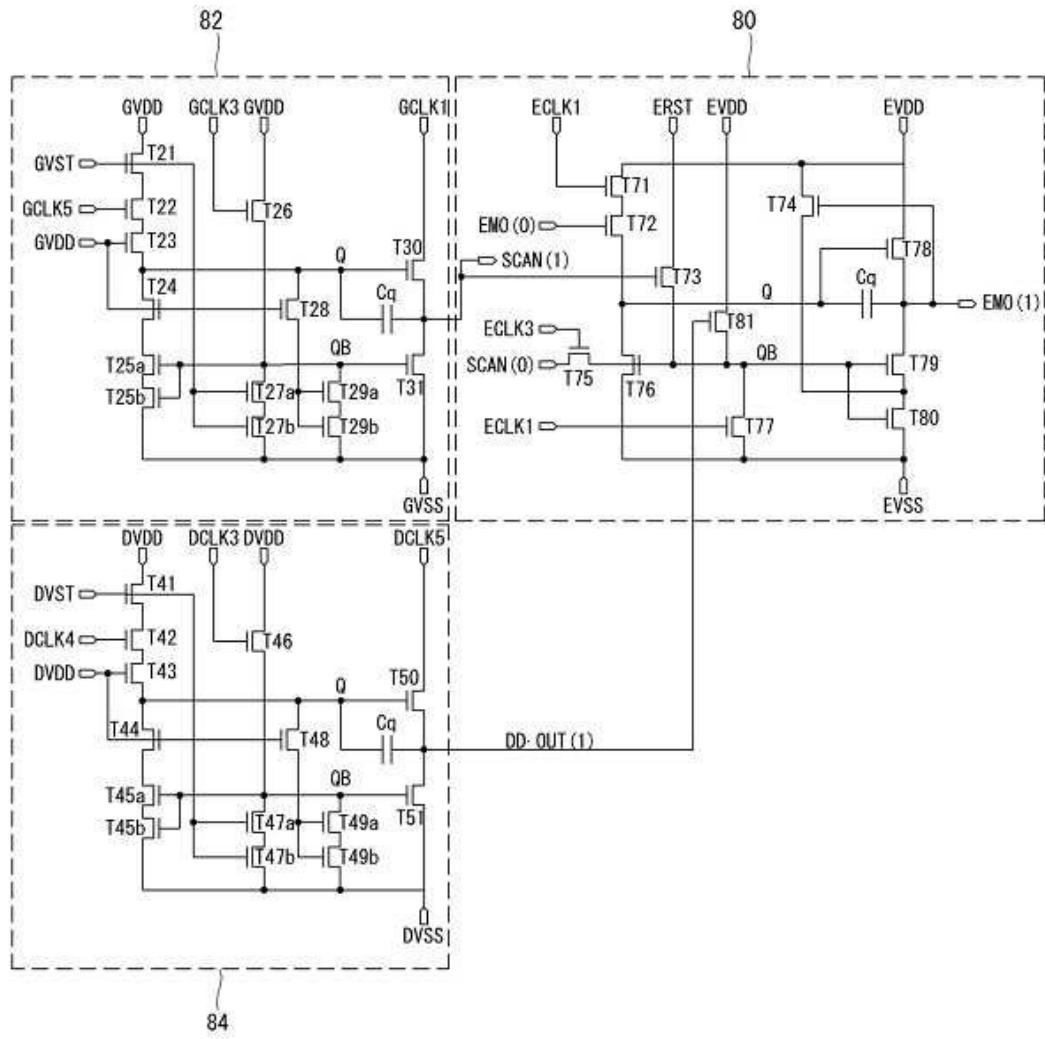
도면12



도면13



도면14



도면15



专利名称(译)	标题：OLED显示装置和驱动装置及其方法		
公开(公告)号	KR1020170026971A	公开(公告)日	2017-03-09
申请号	KR1020150123253	申请日	2015-08-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK YOUNG JU 박영주 YOON SUNG WOOK 윤성욱 NA SE HWAN 나세환		
发明人	박영주 윤성욱 나세환		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3233 G09G2300/0842 G09G2310/08 G09G3/3266 G09G2300/0852 G09G2300/0861 G09G2310/0251 G09G2310/0262		
外部链接	Espacenet		

摘要(译)

有机发光二极管显示装置及其驱动方法和驱动方法技术领域本发明涉及有机发光二极管 (OLED) 显示装置，其驱动方法及其驱动方法。在有机发光二极管显示装置中，并且，用于产生发光控制信号EM的占空驱动单元，其电平间隔和截止电平间隔分别被反转两次或更多次。响应于发光控制信号，像素开关在占空驱动时段期间切断从像素流到有机发光二极管的电流。

