(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0015470
(43) 공개일자 2016년02월15일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01)
(21) 출원번호 10-2014-0097297
(22) 출원일자 2014년07월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
정경준
경기 포천시 소흘읍 봉솔로 9, 104동 1201호 (연봉마을영화아이닉스아파트)
여동현
경기 수원시 장안구 서부로2105번길 16-9, 203호 (율전동)
(74) 대리인
김은구, 송해모

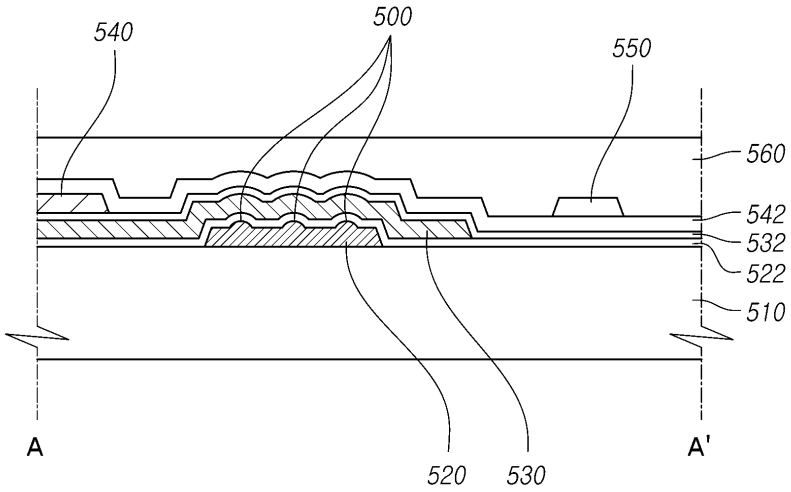
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **유기발광표시패널**

(57) 요 약

본 발명은 다수의 데이터 라인 및 다수의 게이트 라인이 서로 교차하여 정의되고, 트랜지스터 및 스토리지 캐패시터(Storage Capacitor)를 포함하는 각 화소에는, 반도체층, 반도체층 상에 위치하며, 트랜지스터의 게이트부 및 스토리지 캐패시터의 제1전극이 되는 캐패시터 형성부로 이루어진 제1플레이트 및 제1플레이트 상에 위치하고, 스토리지 캐패시터의 제2전극이 되며, 반도체층과 중첩되지 않는 제2플레이트가 형성된 것을 특징으로 하는 유기발광표시패널을 제공한다.

대 표 도 - 도7



명 세 서

청구범위

청구항 1

다수의 데이터 라인 및 다수의 게이트 라인이 서로 교차하여 정의되고, 트랜지스터 및 스토리지 캐패시터(Storage Capacitor)를 포함하는 각 화소에는,

반도체층;

상기 반도체층 상에 위치하며, 상기 트랜지스터의 게이트부 및 상기 스토리지 캐패시터의 제1전극이 되는 캐패시터 형성부로 이루어진 제1플레이트; 및

상기 제1플레이트 상에 위치하고, 상기 스토리지 캐패시터의 제2전극이 되며, 상기 반도체층과 중첩되지 않는 제2플레이트가 형성된 것을 특징으로 하는 유기발광표시패널.

청구항 2

제 1항에 있어서,

상기 제1플레이트의 상기 게이트부는 상기 반도체층과 중첩되고,

상기 제1플레이트의 상기 캐패시터 형성부는 상기 제2플레이트와 중첩되어 상기 스토리지 캐패시터를 형성하는 것을 특징으로 하는 유기발광표시패널.

청구항 3

제 1항에 있어서,

상기 트랜지스터는 상기 각 화소 내의 유기발광다이오드를 구동하는 구동트랜지스터인 것을 특징으로 하는 유기발광표시패널.

청구항 4

제 1항에 있어서,

상기 제1플레이트 상에 위치하고, 상기 제2플레이트가 있는 방향과 반대 방향으로 상기 트랜지스터의 소스전극 또는 드레인전극이 형성된 것을 특징으로 하는 유기발광표시패널.

청구항 5

제 1항에 있어서,

상기 반도체층은 저온 다결정 실리콘(Low Temperature Poly Silicon)인 것을 특징으로 하는 유기발광표시패널.

청구항 6

제 1항에 있어서,

상기 반도체층의 표면에 적어도 하나의 돌출부가 있는 것을 특징으로 하는 유기발광표시패널.

청구항 7

제 6항에 있어서,

상기 적어도 하나의 돌출부는,

상기 반도체층의 표면에 그레인(Grain)이 내포되어 형성된 것을 특징으로 하는 유기발광표시패널.

청구항 8

제 1항에 있어서,

상기 제1플레이트의 상기 게이트부는 상기 반도체층의 표면의 형상에 대응되도록 형성된 것을 특징으로 하는 유기발광표시패널.

청구항 9

제 1항에 있어서,

상기 반도체층과 상기 게이트부 사이에 형성된 제1절연막;

상기 캐패시터 형성부와 상기 제2플레이트 사이에 형성된 제2절연막; 및

상기 제2플레이트 상에 형성된 제3절연막을 추가로 포함하는 것을 특징으로 하는 유기발광표시패널.

청구항 10

제 9항에 있어서,

상기 제1절연막, 상기 제2절연막 및 상기 제3절연막 각각에서 상기 반도체층과 중첩되는 부분은,

상기 반도체층의 표면의 형상에 대응되도록 형성된 것을 특징으로 하는 유기발광표시패널.

발명의 설명

기 술 분 야

[0001] 본 발명은 유기발광표시패널에 관한 것이다.

배 경 기 술

[0002] 평판표시장치 분야에서, 지금까지는 가볍고 전력소모가 적은 액정표시장치가 널리 사용되어 왔으나, 액정표시장치는 스스로 빛을 생성하지 못하는 수광 소자(non-emissive device)여서, 휘도(brightness), 대조비(contrast ratio), 시야각(viewing angle) 및 대면적화 등에 단점이 있다.

[0003] 이에 따라, 이러한 액정표시장치의 단점을 극복할 수 있는 새로운 평판표시장치의 개발이 활발하게 전개되고 있는데, 새로운 평판표시장치 중 하나인 유기발광 표시장치는 스스로 빛을 생성하는 발광소자이므로, 액정표시장치에 비하여 휘도, 시야각 및 대조비 등이 우수하며, 백라이트가 필요하지 않기 때문에 경량박형이 가능하고, 소비전력 측면에서도 유리하다.

[0004] 유기발광 표시장치의 유기발광표시패널은 각 화소영역의 박막트랜지스터에 연결된 유기발광소자로부터 출사되는 빛을 이용하여 영상을 표시하는데, 유기 발광소자는 양극(anode)과 음극(cathode) 사이에 유기물로 이루어진 유기발광층을 형성하고 전기장을 가함으로 빛을 내는 소자로서, 낮은 전압에서 구동이 가능하고, 전력 소모가 비교적 적고, 가볍고 연성(flexible) 기판 상부에도 제작이 가능한 특징을 갖는다.

[0005] 이러한 유기발광표시패널의 경우, 트랜지스터의 전기적 특성 저하로 인해 구동 전압, 누설 전류 등이 증가하고, 패널에 암점이 발생하는 문제가 발생한다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 목적은 트랜지스터의 전기적 특성 저하를 방지하고, 구동 전압 및 누설 전류를 감소시키며, 암점 발생을 방지하는 유기발광표시패널을 제공함에 있다.

과제의 해결 수단

[0007] 전술한 목적을 달성하기 위하여, 일 측면에서, 본 발명은, 다수의 데이터 라인 및 다수의 게이트 라인이 서로 교차하여 정의되고, 트랜지스터 및 스토리지 캐패시터(Storage Capacitor)를 포함하는 각 화소에는, 반도체층; 상기 반도체층 상에 위치하며, 상기 트랜지스터의 게이트부 및 상기 스토리지 캐패시터의 제1전극이 되는 캐패시터 형성부로 이루어진 제1플레이트; 및 상기 제1플레이트 상에 위치하고, 상기 스토리지 캐패시터의 제2전극이 되며, 상기 반도체층과 중첩되지 않는 제2플레이트가 형성된 것을 특징으로 하는 유기발광표시패널을 제공한다.

발명의 효과

[0008] 본 발명은 트랜지스터의 전기적 특성 저하를 방지하고, 구동 전압 및 누설 전류를 감소시키며, 암점 발생을 방지하는 효과가 있다.

도면의 간단한 설명

[0009] 도 1은 실시예에 따른 유기발광표시장치의 개략적인 시스템 구성도이다.

도 2는 실시예에 따른 유기발광표시패널의 화소 구조의 예시도이다.

도 3은 실시예에 따른 유기발광표시패널의 화소 구조의 다른 예시도이다.

도 4는 실시예에 따른 유기발광표시패널의 여러 가지의 화소 구조에서의 공통부분이다.

도 5는 다른 실시예에 따른 유기발광표시패널(140)의 화소의 부분 평면도의 예시도이다.

도 6는 도 5의 유기발광표시패널(140)의 화소 내 제1플레이트(530)의 구조를 나타낸 도면이다.

도 7은 실시예에 따른 유기발광표시패널의 화소의 부분 단면도의 예시도이다.

도 8는 또다른 실시예에 따른 유기발광표시패널의 화소의 부분 평면도의 다른 예시도이다.

도 9은 또다른 실시예에 따른 유기발광표시패널의 화소의 부분 단면도의 다른 예시도이다.

도 10a 및 도 10b는 실시예에 따른 유기발광표시패널의 화소 내 제2플레이트의 구조적인 특징을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0010] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 통해 상세하게 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가지도록 하고 있음에 유의해야 한다. 또한, 본 발명의 실시예들을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략한다.

[0011] 또한, 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질이나 차례 또는 순서 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 또 다른 구성 요소가 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다. 같은 맥락에서, 어떤 구성 요소가 다른 구성 요소의 "상"에 또는 "아래"에 형성된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접 또는 또 다른 구성 요소를 개재하여 간접적으로 형성되는 것을 모두 포함하는 것으로 이해되어야 할 것이다.

[0012] 도 1은 실시예들이 적용되는 유기발광 표시장치에 관한 시스템 구성도이다.

[0013] 도 1을 참조하면, 유기발광 표시장치(100)는 (140), 데이터 구동부(120), 게이트 구동부(130), 타이밍 콘트롤러(110) 등을 포함한다.

[0014] 우선, 타이밍 컨트롤러(110)는 호스트 시스템으로부터 입력되는 수직/수평 동기신호(Vsync, Hsync)와 영상데이터(data), 클럭신호(CLK) 등의 외부 타이밍 신호에 기초하여 데이터 구동부(120)를 제어하기 위한 데이터 제어

신호(Data Control Signal, DCS)와 게이트 구동부(130)를 제어하기 위한 게이트 제어신호(Gate Control Signal, GCS)를 출력한다. 또한, 타이밍 컨트롤러(110)는 호스트 시스템로부터 입력되는 영상데이터(data)를 데이터 구동부(120)에서 사용하는 데이터 신호 형식으로 변환하고 변환된 영상데이터(data')를 데이터 구동부(120)로 공급할 수 있다.

[0015] 데이터 구동부(120)는 타이밍 컨트롤러(110)로부터 입력되는 데이터 제어신호(DCS) 및 변환된 영상데이터(data')에 응답하여, 영상데이터(data')를 계조 값에 대응하는 전압 값인 데이터 신호(아날로그 화소신호 혹은 데이터 전압)로 변환하여 데이터 라인(D1~Dm)에 공급한다.

[0016] 게이트 구동부(130)는 타이밍 컨트롤러(110)로부터 입력되는 게이트 제어신호(GCS)에 응답하여 게이트 라인(G1~Gn)에 스캔신호(게이트 펄스 또는 스캔펄스, 게이트 온신호)를 순차적으로 공급한다.

[0017] 한편 (140) 상의 각 화소(P)는, 데이터라인들(D1~Dm)과 게이트라인들(G1~Gn)에 의해 정의된 화소영역에 형성되어 매트릭스 형태로 배치될 수 있고, 제 1 전극인 화소 전극(anode), 제 2 전극인 공통 전극(cathode), 유기층을 포함하는 적어도 하나의 유기발광소자일 수 있다.

[0018] 각 화소(P)에는 게이트 라인(G1~Gn), 데이터 라인(D1~Dm) 및 고전위전압을 공급하기 위한 고전위전압라인이 형성되어 있다. 또한, 각 화소(P)에는 게이트 라인(G1~Gn) 및 데이터 라인(D1~Dm) 사이에서 스위칭 트랜지스터(Switching Transistor)가 형성되어 있고, 양극, 음극 및 유기발광층으로 구성된 유기발광 다이오드와 스위칭 트랜지스터의 소스 전극(혹은 드레인 전극) 및 고전위전압라인 사이에서 구동 트랜지스터(Driving Transistor)가 형성되어 있다.

[0019] 실시예들에 따른 유기발광표시패널(140)의 구동 트랜지스터에 있어서, 반도체층과 반도체층 상에 위치하는 제1플레이트의 적어도 일부는 중첩될 수 있다. 다만, 제1플레이트 상에 위치하고, 제1플레이트와 함께 스토리지 캐패시터를 형성하는 제2플레이트의 경우, 반도체층과 중첩하지 않는다. 이에 대해서는 이하에서 상세히 설명한다.

[0020] 도 2는 실시예에 따른 유기발광표시패널(140)의 화소 구조의 예시도이다.

[0021] 도 2는 2T(Transistor) 1C(Capacitor) 구조에 대한 등가회로도이다. 도 2를 참조하면, 각 화소는 1개의 데이터라인(DL)과 연결되고 1개의 게이트 라인(GL)을 통해 하나의 스캔신호(SCAN)만을 공급받는다.

[0022] 이러한 각 화소는, 유기발광다이오드(Organic Light Emitting Diode, OLED)를 포함하고, 구동 트랜지스터(Driving Transistor, DT), 스위칭 트랜지스터(Switching Transistor, SWT) 및 스토리지 캐패시터(Cst) 등을 포함한다. 이와 같이, 각 화소는 2개의 트랜지스터(DT, SWT)와 1개의 스토리지 캐패시터(Cstg)를 포함하기 때문에, 2T 1C 구조를 갖는다고 한다.

[0023] 각 화소 내 구동 트랜지스터(DT)는, 구동전압 라인(Driving Voltage Line, DVL)에서 공급되는 구동전압(EVDD)을 인가 받고, 스위칭 트랜지스터(SWT)를 통해 인가된 게이트 노드(N2)의 전압(데이터 전압)에 의해 제어되어 유기발광다이오드(OLED)를 구동시키는 트랜지스터이다.

[0024] 이러한 구동 트랜지스터(DT)는 제1노드(N1), 제2노드(N2), 제3노드(N3)를 가지고 있으며, 제1노드(N1)로는 스위칭 트랜지스터(SWT)와 연결되고, 제2노드(N1)로는 구동 트랜지스터(DT)와연결되며, 제3노드(N3)로는 구동전압(EVDD)을 공급받는다.

[0025] 실시예들에 따른 유기발광표시패널(140)의 화소 구조는 전술한 2T 1C 구조에 제한되지 않는다. 예를 들어 3T 1C 구조일 수 있고, 이에 대해서는 도 3과 관련하여 설명한다.

[0026] 도 3은 실시예에 따른 유기발광표시패널(140)의 화소 구조의 다른 예시도이다.

[0027] 도 3은 3T 1C 구조를 도시하고 있고, 도 3을 참조하면, 유기발광다이오드(OLED: Organic Light Emitting Diode)를 포함하고, 구동 트랜지스터(DT), 스위칭 트랜지스터(SWT), 센싱 트랜지스터(Sensing Transistor, SENT) 및 스토리지 캐패시터(Storage Capacitor, Cstg) 등을 포함한다.

[0028] 각 화소 내 구동 트랜지스터(DT)는, 구동전압 라인(DVL)에서 공급되는 구동전압(EVDD)을 인가 받고, 스위칭 트랜지스터(SWT)를 통해 인가된 게이트 노드(N2)의 전압(데이터 전압)에 의해 제어되어 유기발광다이오드(OLED)를 구동시키는 트랜지스터이다.

[0029] 이러한 구동 트랜지스터(DT)는 제1노드(N1), 제2노드(N2), 제3노드(N3)를 가지고 있으며, 제1노드(N1)로는 센싱

트랜지스터(SENT)와 연결되고, 제2노드(N2)로는 스위칭 트랜지스터(SWT)와 연결되며, 제3노드(N3)로는 구동전압(EVDD)을 공급받는다.

[0030] 여기서, 일 예로, 구동 트랜지스터(DT)의 제1노드는 소스 노드(Source Node, '소스 전극' 이라고도 함)이고, 제2노드는 게이트 노드(Gate Node, '게이트 전극' 이라고도 함)이며, 제3노드(N3)는 드레인 노드(Drain Node, '드레인 전극' 이라고도 함)일 수 있다. 트랜지스터의 타입 변경, 회로 변경 등에 따라, 구동 트랜지스터(DT)의 제1노드, 제2노드 및 제3노드가 바뀔 수 있다.

[0031] 또한, 센싱트랜지스터(SENT)는, 게이트 라인(GL)에서 공급되는 스캔신호(SCAN)에 의해 제어되며, 기준전압(Vref: Reference Voltage)을 공급하는 기준전압 라인(RVL: Reference Voltage Line) 또는 기준전압 라인(RVL)에 연결되는 연결패턴(CP: Connection Pattern)과 구동 트랜지스터(DT)의 제1노드(N1) 사이에 연결된다.

[0032] 또한, 스위칭 트랜지스터(SWT)는 게이트 라인(GL)에서 공통으로 공급되는 스캔신호(SCAN)에 의해 제어되며 해당 데이터 라인(DL)과 구동 트랜지스터(DT)의 제2노드(N2) 사이에 연결된다.

[0033] 또한, 스토리지 캐패시터(Cstg)는 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2) 사이에 연결되어, 데이터 전압을 한 프레임 동안 유지시켜 주는 역할을 할 수 있다.

[0034] 위에서 언급한 바와 같이, 센싱 트랜지스터(SENT)와 스위칭 트랜지스터(SWT)는, 하나의 동일한 게이트 라인(공통 게이트 라인)을 통해 공급되는 하나의 스캔신호에 의해 제어된다.

[0035] 이러한 3T 1C 기반의 1 스캔 구조와 관련하여, 센싱 트랜지스터(SENT)는 기본적으로 구동 트랜지스터(DT)의 게이트 노드(N2)로 데이터 전압을 인가해주는 것으로 구동과 관련된 트랜지스터이고, 스위칭 트랜지스터(SWT)는 구동과도 관련이 있을 수 있지만 기본적으로는 화소 간 휘도 편차를 보상해주기 위한 센싱(Sensing)과 관련된 트랜지스터이다.

[0036] 한편, 본 발명의 제1 실시예에 따른 유기발광표시패널(140)의 화소 구조는, 도 2를 참조하여 설명한 "기본 화소 구조(3T1C 기반의 1 스캔 구조)" 이외에, 각 화소가 데이터 라인(DL), 게이트 라인(GL), 구동전압 라인(DVL), 기준전압 라인(RVL) 등의 여러 신호 라인과 연결되는 것과 관련된 "신호 라인 연결 구조"도 포함한다.

[0037] 여기서, 여러 신호 라인은, 각 화소에 데이터 전압을 공급해주기 위한 데이터 라인과, 스캔신호를 공급해주기 위한 게이트 라인뿐만 아니라, 각 화소에 기준전압(Vref)을 공급하기 위한 기준전압 라인(RVL)과, 구동전압(EVDD)을 공급하기 위한 구동전압 라인(DVL) 등을 더 포함한다.

[0038] 한편 일실시예에 따른 유기발광표시패널(140)의 화소 구조는 전술한 구조들에 제한되지 않고, 다양한 방식으로 이루어질 수 있다.

[0039] 도 4는 실시예에 따른 유기발광표시패널(140)의 여러 가지의 화소 구조에서의 공통부분이다.

[0040] 화소 구조의 공통부분(commom part)은 도 2 및 도 3에 도시되어 있다. 다양한 화소 구조들이 공통적으로 갖는 구성들이 도 4에 도시된다.

[0041] 도 4를 참조하면, 다양한 화소 구조들은 공통적으로 구동 트랜지스터(DT)와 스토리지 캐패시터(Cstg)를 포함한다. 스토리지 캐패시터(Cstg)의 상판 또는 하판은 구동 트랜지스터(DT)의 게이트에 연결되고, 스토리지 캐패시터(Cstg)의 하판 또는 상판은 구동 트랜지스터(DT)의 소스전극 또는 드레인전극에 전기적으로 연결될 수 있다.

[0042] 이상으로 실시예들이 적용되는 유기발광표시패널(140)의 화소 구조들의 예시들을 설명하였고, 이하에서는 실시예들에 따른 유기발광표시패널(140) 구조의 구체적인 예시들에 대하여 설명한다.

[0043] 도 5는 다른 실시예에 따른 유기발광표시패널(140)의 화소의 부분 평면도의 예시도이고, 도 6는 도 5의 유기발광표시패널(140)의 화소 내 제1플레이트(530)의 구조를 나타낸 도면이다.

[0044] 도 5는 유기발광표시패널(140)의 다양한 화소 구조들이 가지는 공통부분(commom part)에 대해서 도시한 도면이고, 나머지 구성요소들의 경우, 다양하게 설계될 수 있음에 유의해야 한다.

[0045] 도 5 및 도 6을 참조하면, 실시예에 따른 유기발광표시패널(140)은 다수의 데이터 라인(D1~Dm) 및 다수의 게이트 라인(G1~Gn)이 서로 교차하여 정의되고, 트랜지스터(DT) 및 스토리지 캐패시터(Storage Capacitor, Cstg)를 포함하는 각 화소에는, 반도체층(520), 반도체층(520) 상에 위치하며, 트랜지스터(DT)의 게이트부(530a) 및 스토리지 캐패시터(Cstg)의 제1전극이 되는 캐패시터 형성부(530b)로 이루어진 제1플레이트(530) 및 제1플레이트(530) 상에 위치하고, 스토리지 캐패시터(Cstg)의 제2전극이 되며, 반도체층(520)과 중첩되지 않는 제2플레이트

(540)가 형성될 수 있다.

[0046] 제1플레이트(530)의 게이트부((530a)는 반도체층(520)과 중첩되고, 제1플레이트(530)의 캐패시터 형성부(530b)는 제2플레이트(540)와 중첩되어 스토리지 캐패시터(Cstg)를 형성할 수 있다.

[0047] 한편, 트랜지스터(DT)는 각 화소(P) 내의 유기발광다이오드(OLED)를 구동하는 구동 트랜지스터(DT)일 수 있으나, 이에 제한되지 않는다. 또한 실시예들에 따른 구조들은 게이트부(530a)가 반도체층(520)의 상부에 위치하는 탑게이트(top gate) 방식에 의하나, 이에 제한되지 않고, 바텀게이트(bottom gate) 방식에 의할 수도 있다.

[0048] 트랜지스터(DT)의 반도체층(520)은 트랜지스터(DT)의 소스전극 또는 드레인전극(550, 550')에 연결되는 영역들을 포함하고, 액티브(active) 또는 활성화 영역의 역할을 하는 영역을 포함할 수 있다.

[0049] 또한 반도체층(520)은 저온 다결정 실리콘(Low Temperature Poly Silicon)일 수 있다. 저온 다결정 실리콘 방식의 반도체층(520)은 액티브 영역의 직렬 저항이 낮고, 게이트 절연막을 얇게 형성할 수 있고, 이를 이용한 유기발광표시패널(140)은 구동 회로를 내장 가능하고, 낮은 구동전압으로 고해상도의 제품을 구현할 수 있게 하는 장점이 있다.

[0050] 한편, 제1플레이트(530)의 게이트부(530a)는 트랜지스터(DT)의 게이트 전극의 역할을 한다. 게이트부(530a)는 캐패시터 형성부(530b)와 일체로 형성되고, 반도체층(520)과 중첩되어 형성될 수 있다. 다시 말해서, 제1플레이트(530)는 반도체층(520)과 중첩되는 게이트부(530a) 및 제2플레이트(540)와 중첩되는 캐패시터 형성부(530b)로 이루어진다. 또한 게이트부(530a)는 Al, Pt, Pd, Ag, Mg, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, Cu 중 적어도 하나 이상의 금속 또는 합금으로 형성될 수 있으나, 이에 제한되지 않는다.

[0051] 이러한 제1플레이트(530)와 그 상부에 위치하는 제2플레이트(540)는 스토리지 캐패시터(Cstg)를 형성할 수 있다. 여기서 제1플레이트(530)는 스토리지 캐패시터(Cstg)의 제1전극의 역할을 하고, 제2플레이트(540)는 스토리지 캐패시터(Cstg)의 제2전극의 역할을 할 수 있다. 스토리지 캐패시터(Cstg)는 데이터 전압을 한 프레임 동안 유지시켜 줄 수 있다. 제2플레이트(540)는 적어도 하나 이상의 금속 또는 합금으로 형성될 수 있다.

[0052] 한편, 도 5에 도시된 반도체층(520), 제1플레이트(530) 및 제2플레이트(540)의 형상은 설명의 편의를 위해 도시된 것이고, 다양하게 설계될 수 있다.

[0053] 도 7은 실시예에 따른 유기발광표시패널(140)의 화소의 부분 단면도의 예시도이고, 도 5의 A-A'를 절단한 단면도이다.

[0054] 도 7을 참조하면, 다른 실시예에 따른 유기발광표시패널(140)에는, 기판(510) 상에 다수의 데이터 라인 및 다수의 게이트 라인이 서로 교차하여 정의되고, 트랜지스터 및 스토리지 캐패시터(Storage Capacitor)를 포함하는 다수의 화소(P)가 형성되고, 각 화소(P)에는 반도체층(520), 반도체층(520) 상에 위치하며, 트랜지스터(DT)의 게이트부(530a) 및 스토리지 캐패시터(Cstg)의 제1전극이 되는 캐패시터 형성부(530b)로 이루어진 제1플레이트(530) 및 제1플레이트(530) 상에 위치하고, 스토리지 캐패시터(Cstg)의 제2전극이 되며, 반도체층(520)과 중첩되지 않는 제2플레이트(540)가 형성될 수있다.

[0055] 또한 유기발광표시패널(140)은 반도체층(520)과 게이트부(530a) 사이에 형성된 제1절연막(522)과 캐패시터 형성부(530b)와 제2플레이트(540) 사이에 형성된 제2절연막(532)과 제2플레이트(540) 상에 형성된 제3절연막(542)을 추가로 포함할 수 있다.

[0056] 한편, 유기발광표시패널(140)은 제1플레이트(530) 상에 위치하고, 제2플레이트(540)가 있는 방향과 반대 방향으로 형성된 트랜지스터(DT)의 소스전극 또는 드레인전극(550)을 추가로 포함할 수 있다. 또한 제3절연막(542)과 소스전극 또는 드레인전극(550)을 덮도록 평탄화막(560)이 형성될 수 있다.

[0057] 구체적으로 설명하면, 기판(510)은 글래스(Glass) 기판뿐만 아니라, PET(Polyethylen terephthalate), PEN(Polyethylen naphthalate), 폴리이미드(Polyimide) 등을 포함하는 플라스틱 기판 등일 수 있다.

[0058] 제 1 기판(310) 상에는 불순원소의 침투를 차단하기 위한 버퍼층(buffering layer, 미도시)이 더 구비될 수 있다. 버퍼층(미도시)은 예를 들어 질화실리콘 또는 산화실리콘의 단일층 또는 다수층으로 형성될 수 있다. 다만, 버퍼층(미도시)은 반도체층(520)이 저온 다결정 실리콘인 경우에는 계면 특성이 우수한 SiO2로 이루어질 수 있다.

[0059] 한편, 기판(510) 상에 형성되는 반도체층(520)은 저온 다결정 실리콘(Low Temperature Poly Silicon)일 수 있

고, 반도체층(520)의 표면에는 적어도 하나의 돌출부(500)가 형성될 수 있다.

[0060] 여기서 돌출부(500)는, 저온 다결정 실리콘의 제조 공정 중에 발생한다. 구체적으로, 저온 다결정 실리콘은 비정질 실리콘(amorphous silicon)을 기판(510) 또는 버퍼층 상에 플라즈마 화학기상증착(Plasma Enhanced Chemical Vapor Deposition, PECVD) 등의 공정으로 증착한 후, 익사이머 레이저(excimer laser)를 조사하여 재결정화하는 공정을 거쳐 제조된다. 이 때, 돌출부(500)는 반도체 층의 표면에 그레인(Grain)이 내포되어 형성된 것일 수 있고, 다시 말해서 재결정화된 실리콘의 결정인 그레인(grain)으로 인한 그레인 바운더리(grain boundary)로 인한 것일 수 있다.

[0061] 이러한 도 7에 도시된 돌출부(500)는 설명의 편의를 위한 것일 뿐이고, 돌출부(500)의 형상, 크기 또는 개수는 다양하게 형성될 수 있다.

[0062] 한편, 게이트부(530a)는 반도체층(520)의 표면의 형상에 대응되도록 형성될 수 있다. 게이트부(530a)는 증착 공정으로 형성될 수 있는데, 반도체층(520)의 돌출부(500)로 인해 이의 형상에 대응된다.

[0063] 한편, 제1절연막(522), 제2절연막(532) 및 제3절연막(542)은 SiOx, SiNx, SiON, Al2O3, TiO2, Ta2O5, HfO2, ZrO2, BST, PZT와 같은 무기절연물질 또는 예를 들어 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)를 포함하는 유기절연물질, 또는 이들의 조합으로 이루어질 수 있다.

[0064] 전술한 게이트부(530a) 뿐만 아니라, 제1절연막(522), 제2절연막(532) 및 제3절연막(542)에서 반도체층(520)과 중첩되는 부분 또한, 반도체층(520)의 표면의 형상에 대응되도록 형성될 수 있다. 제1절연막(522), 제2절연막(532) 및 제3절연막(542)은 화학기상증착(Chemical Vapor Deposition, CVD)이나 물리기상증착(Physical Vapor Deposition, PVD) 등의 공정에 의해 얇게 형성되기 때문에, 하부층의 표면 형상이 반영될 수 있다.

[0065] 한편, 소스전극 또는 드레인전극(550)은, 유기발광표시패널(140)의 제1플레이트(530) 상에 위치하고, 제2플레이트(540)가 있는 방향과 반대 방향으로 형성될 수 있다. 다시 말해서, 도 7에 도시된 바와 같이 반도체층(520)을 기준으로, 제3절연막(542) 상에서 제2플레이트(540)가 형성된 영역과 반대되는 영역에 형성될 수 있다. 소스전극 또는 드레인전극(550)은, 예를 들어, Al, Pt, Pd, Ag, Mg, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, Cu 중 어느 하나의 금속 또는 이들의 합금으로, 단일층 또는 다수층으로 형성될 수 있고, 특히 크롬(Cr) 또는 탄탈륨(Ta) 등과 같은 고융점 금속으로 형성될 수 있으나 이에 제한되지 않는다.

[0066] 제3절연막(542)과 소스전극 또는 드레인전극(550) 상에는, 소자를 평탄화시키기 위한 평탄화층(560)이 형성될 수 있다. 평탄화층(560)은 기계적 강도, 내투습성, 성막 용이성, 생산성 등을 고려하여, 소수성의 성질을 갖고, 수소함유층으로서, 예를 들어, 포토 아크릴 계열의 물질, SiON, 질화실리콘(SiNx), 산화실리콘(SiOx), 산화알루미늄(AlOx) 중 어느 하나로 형성될 수 있다.

[0067] 도 8는 또다른 실시예에 따른 유기발광표시패널(140)의 화소의 부분 평면도의 다른 예시도이고, 도 9은 또다른 실시예에 따른 유기발광표시패널(140)의 화소의 부분 단면도의 다른 예시도이다.

[0068] 도 8 및 도 9를 참조하면, 또다른 실시예에 따른 유기발광표시패널(140)은 반도체층(520)과 반도체층(520) 상에 위치하는 제1플레이트(530)를 포함하는 트랜지스터(DT) 및 제1플레이트(530) 상에 위치하는 제2플레이트(540)를 포함할 수 있다.

[0069] 유기발광표시패널(140)은 제1플레이트(530)와 제2플레이트(540)가 중첩되어 형성된 스토리지 캐패시터(Storage Capacitor, Cstg)를 추가로 포함할 수 있다.

[0070] 여기서, 트랜지스터(DT)는 구동 트랜지스터(DT)일 수 있으나, 이에 제한되지 않는다. 또한 실시예들에 따른 구조들은 탑게이트(top gate) 방식에 의할 수도 있다.

[0071] 트랜지스터(DT)의 반도체층(520)은 소스전극 또는 드레인전극(550, 550')에 연결되는 영역들을 포함하고, 액티브(active) 또는 활성화 영역의 역할을 하는 영역을 포함할 수 있다. 또한 반도체층(520)은 저온 다결정 실리콘(Low Temperature Poly Silicon)일 수 있다.

[0072] 또다른 실시예에 따른 유기발광표시패널(140)의 제2플레이트(540)의 일부는 트랜지스터(DT)의 반도체층(520)과 중첩되고, 제2플레이트(540)와 제1플레이트(530)는 대부분의 영역이 중첩된다. 이로 인해, 스토리지 캐패시터(Cstg)의 정전용량이 커질 수 있고, 트랜지스터(DT)가 형성된 영역을 제외한 스토리지 캐패시터(Cstg) 형성 영역의 크기가 줄어들기 때문에, 비개구부의 영역이 줄어들 수 있게 되고, 이에 따라 개구율이 향상되는 효과가 있다.

[0073] 도 10a 및 도 10b는 실시예에 따른 유기발광표시패널(140)의 화소 내 제2플레이트(540)의 구조적인 특징을 설명하기 위한 도면이다.

[0074] 도 10a 및 도 10b를 참조하면, 유기발광표시패널(140)은 기판(510) 상에 형성된 반도체층(520)과 반도체층(520) 상에 위치하는 제1플레이트(530)를 포함하는 트랜지스터(DT) 및 제1플레이트(530) 상에 위치하는 제2플레이트(540)를 포함하는 구조가 도시된다.

[0075] 또한 유기발광표시패널(140)은 반도체층(520)과 게이트부(530a) 사이에 형성된 제1절연막(522)과 캐패시터 형성부(530b)와 제2플레이트(540) 사이에 형성된 제2절연막(532)과 제2플레이트(540) 상에 형성된 제3절연막(542)이 형성된다.

[0076] 여기서 트랜지스터(DT)는 구동 트랜지스터일 수 있고, 저온 다결정 실리콘 트랜지스터(LTPS TFT)일 수 있다.

[0077] 도 10a의 경우에는 제2플레이트(540)가 반도체층(520)과 중첩되지 않는 경우이고, 도 10b의 경우에는 제2플레이트(540)가 반도체층(520)과 중첩되는 경우이다.

[0078] 반도체층(520)은 저온 다결정 실리콘으로 이루어질 수 있고, 전술한 바와 같이 저온 다결정 실리콘의 경우 형성 과정에서, 그레인 바운더리로 인해 다수의 돌출부(500)가 형성된다. 이에 따라 반도체층(520)의 상부 방향(도면에서 세로 방향)으로의 두께는 일정하지 않게 형성된다. 즉 반도체층(520)의 상부 표면에 굴곡이 발생하고, 이에 따라 반도체층(520) 상의 제1플레이트(530), 제1절연막(522), 제2절연막(532) 및 제3절연막(542)에서 반도체층(520)과 중첩되는 부분의 형상은, 반도체층(520)의 표면 형상에 대응되도록 형성될 수 있다.

[0079] 이때, 제2플레이트(540)가 반도체층(520)과 중첩되는 경우, 트랜지스터(DT)의 전기적 특성 저하를 가져올 수 있다. 예를 들어, 반도체층(520)을 열화시켜 실리콘 밴드 갭(band gap) 내에 실리콘 원자들이 연결되지 않은 영역인 트랩핑 사이트(trapping site) 들이 많이 형성될 수 있고, 이에 따라 전기적 특성이 약화될 수 있다. 구체적으로, 문턱 전압(threshold voltage)이 증가하고, 전계효과 이동도(field effect mobility)가 감소하며, 누설 전류의 증가 등의 문제점이 발생할 수 있다. 또한 돌출부(500)들의 존재로 인해, 제1플레이트(530), 절연막들(522, 532, 542) 및 제2플레이트(540)에 크랙(crack)이 발생할 수 있고, 스텝 커버리지(step coverage) 특성이 저하될 수 있다.

[0080] 전술한 문제점들로 인해, 유기발광표시패널(140)이 턴온되었을 때, 암점 다발이 발생하여, 휘도나 명암비 특성이 저하될 수 있다.

[0081] 다만, 제2플레이트(540)가 반도체층(520)과 중첩되지 않도록 형성되는 경우, 돌출부(500)로 인한 트랜지스터(DT)의 전기적 특성 저하를 방지할 수 있는 효과가 발생한다. 이에 따라 유기발광표시패널(140)의 낮은 구동 전압을 구현하고, 누설 전류를 저하시켜, 암점 발생을 방지할 수 있다.

[0082] 이상 도면을 참조하여 실시예들을 설명하였으나 본 발명은 이에 제한되지 않는다.

[0083] 이상에서 기재된 "포함하다", "구성하다" 또는 "가지다" 등의 용어는, 특별히 반대되는 기재가 없는 한, 해당 구성 요소가 내재될 수 있음을 의미하는 것이므로, 다른 구성 요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것으로 해석되어야 한다. 기술적이거나 과학적인 용어를 포함한 모든 용어들은, 다르게 정의되지 않는 한, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 사전에 정의된 용어와 같이 일반적으로 사용되는 용어들은 관련 기술의 문맥 상의 의미와 일치하는 것으로 해석되어야 하며, 본 발명에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0084] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0085] 510: 기판 520: 반도체층

522: 제1절연막 530: 제1플레이트

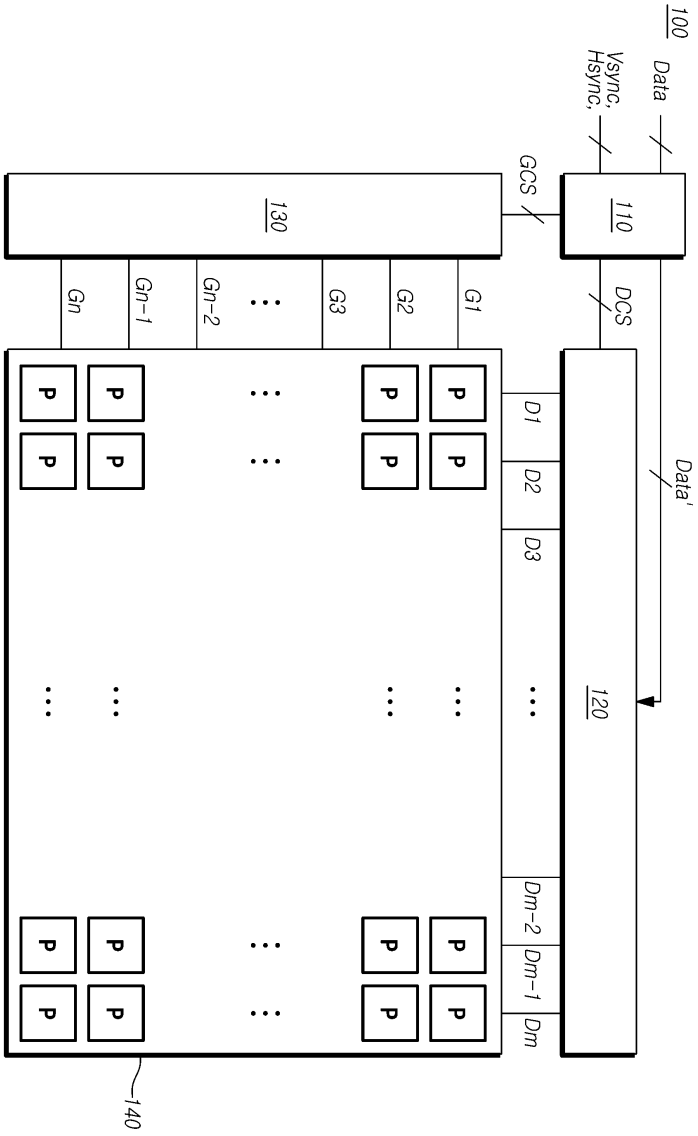
532: 제2절연막 540: 제2플레이트

542: 제3절연막 550: 소스전극 또는 드레인전극

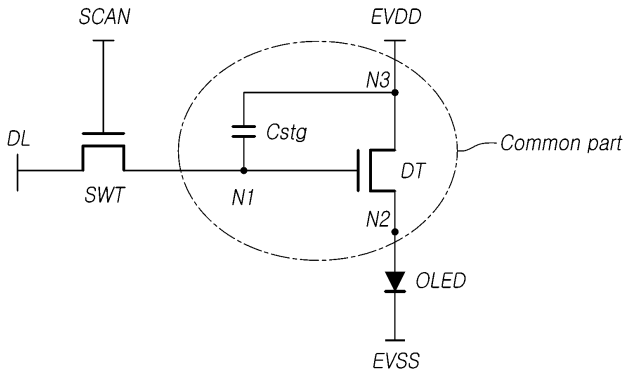
560: 평탄화막

도면

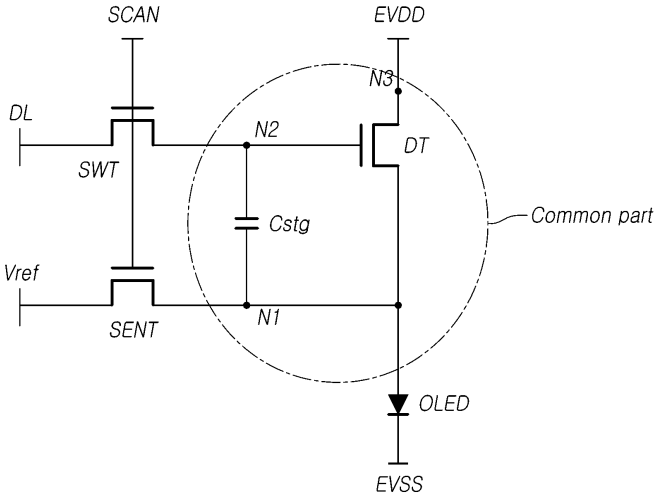
도면1



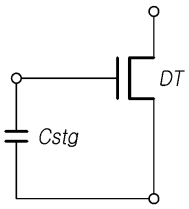
도면2


SCAN
EVDD
N3
DL
Cstg
Common part
DT
SWT
N1
N2
OLED
EVSS

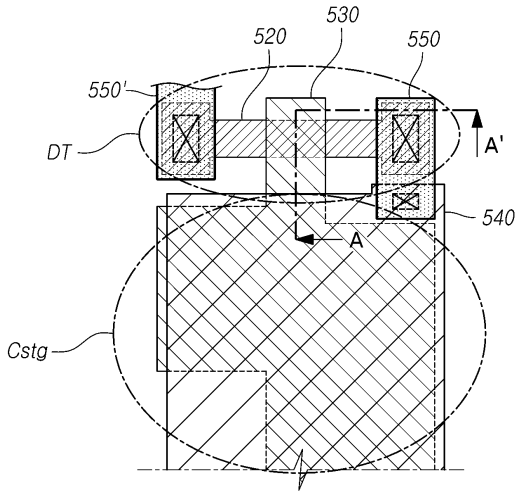
도면3


SCAN
EVDD
N3
DL
N2
DT
SWT
Cstg
Common part
Vref
SENT
N1
OLED
EVSS

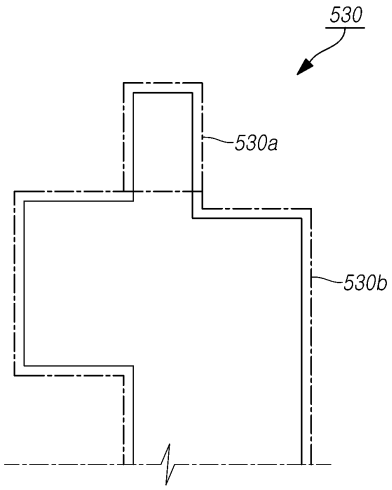
도면4


DT
Cstg

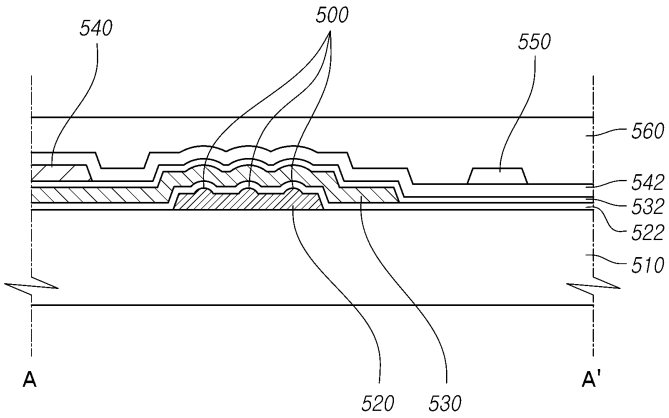
도면5


530
520
550
550'
DT
A'
540
A
Cstg

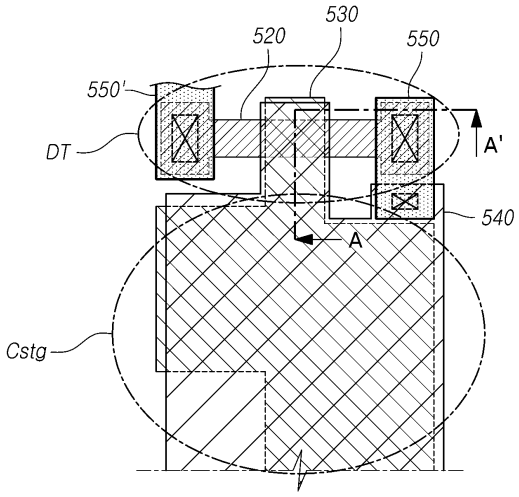
도면6


530
530a
530b

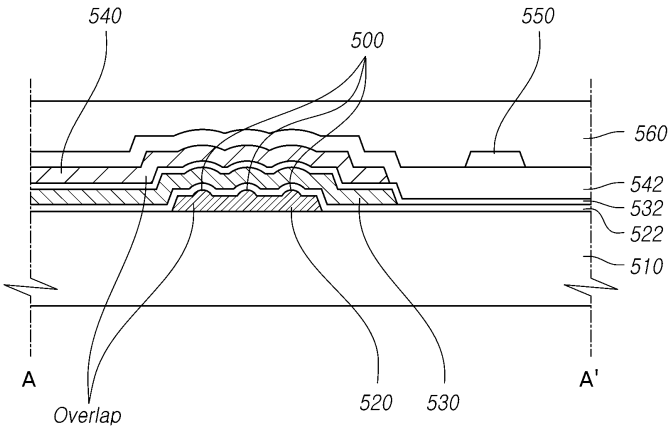
도면7


540
500
550
560
542
532
522
510
A
A'
520
530

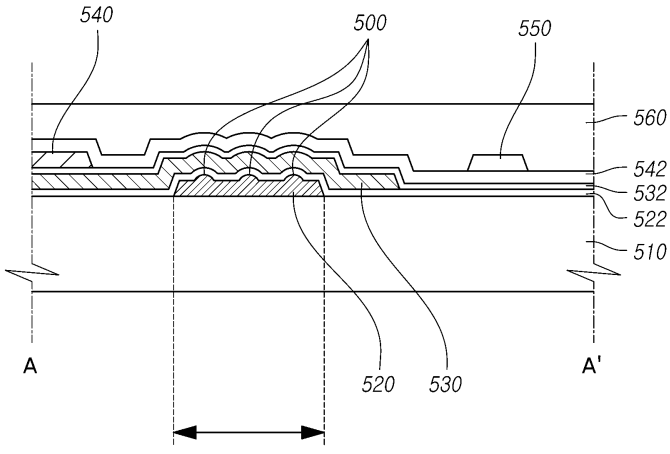
도면8



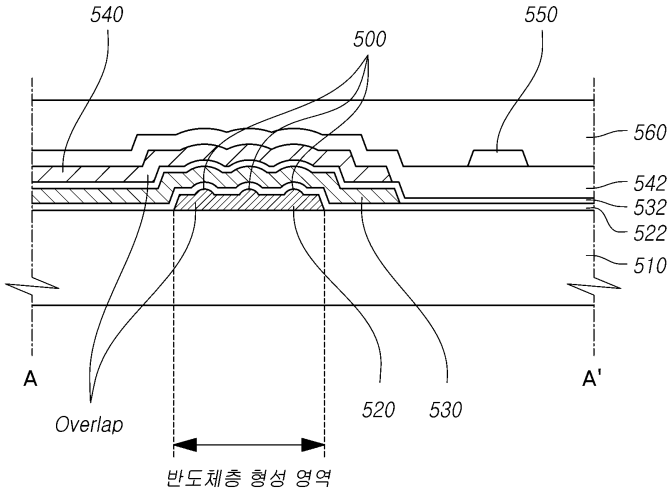
도면9



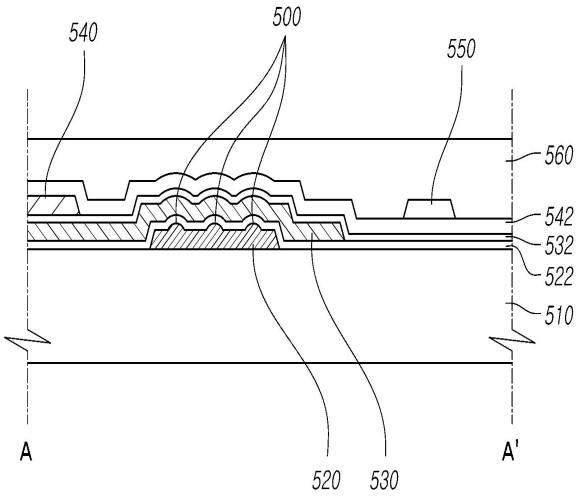
도면10a



도면10b



专利名称(译)	发明内容有机发光显示面板		
公开(公告)号	KR1020160015470A	公开(公告)日	2016-02-15
申请号	KR1020140097297	申请日	2014-07-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JUNG KYOUNG JUNE 정경준 YEO DONG HYUN 여동현		
发明人	정경준 여동현		
IPC分类号	H01L27/32		
CPC分类号	H01L51/56 H01L27/3258 H01L27/3262 H01L27/3265 H01L27/3276 H01L2227/323		
代理人(译)	Gimeungu 宋.		
其他公开文献	KR101737865B1		
外部链接	Espacenet		

摘要(译)

本发明提供一种有机发光显示面板，其防止电特性劣化，降低驱动电压和漏电流，并防止出现暗点。每个像素由交叉的多条数据线和多条栅极线限定，并包括晶体管和存储电容器。每个像素包括：半导体层;第一板，位于半导体层上，包括晶体管的栅极单元和电容器形成单元，电容器形成单元成为存储电容器的第一电极;位于第一板上的第二板成为存储电容器的第二电极，并且不与半导体层重叠.COPYRIGHT KIPO 2016