



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0135321
(43) 공개일자 2018년12월20일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01) H01L 29/786 (2006.01)
(52) CPC특허분류
G09G 3/3233 (2013.01)
H01L 29/78669 (2013.01)
(21) 출원번호 10-2017-0073298
(22) 출원일자 2017년06월12일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
신성수
경기도 파주시 월롱면 엘지로 245
최소희
경기도 파주시 월롱면 엘지로 245
홍예원
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인로얄

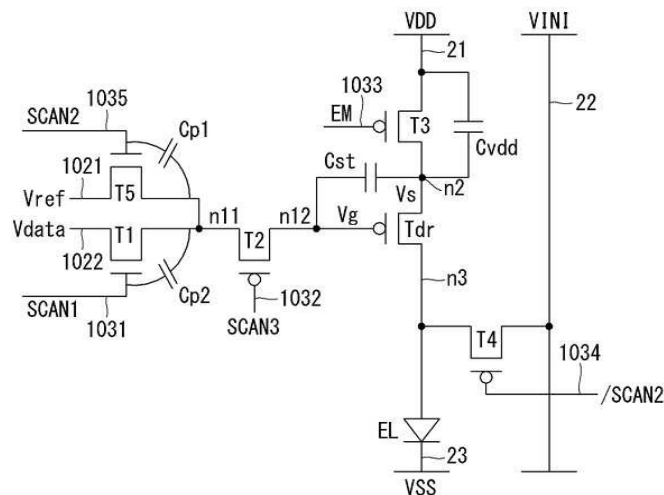
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 전계 발광 표시장치

(57) 요약

본 발명은 전계 발광 표시장치의 픽셀들 각각은 발광 소자를 구동하기 위한 구동 소자의 문턱 전압을 샘플링하여 데이터 전압을 보상하는 픽셀 회로를 포함한다. 상기 픽셀 회로는 상기 데이터 전압이 공급되는 데이터 전압 경로에 연결된 제1 스위치 소자, 소정의 기준 전압이 공급되는 기준 전압 경로에 연결된 제2 스위치 소자, 및 상기 구동 소자의 게이트와 상기 제1 및 제2 스위치 소자들 사이에 연결된 제3 스위치 소자를 구비한다.

대표도 - 도4



(52) CPC특허분류

G09G 2230/00 (2013.01)

G09G 2320/0257 (2013.01)

명세서

청구범위

청구항 1

데이터 라인들과 게이트 라인들이 교차되고, 매트릭스 형태로 배치된 픽셀들을 포함한 전계 발광 표시장치에 있어서,

상기 픽셀들 각각은 발광 소자를 구동하기 위한 구동 소자의 문턱 전압을 샘플링하여 데이터 전압을 보상하는 픽셀 회로를 포함하고,

상기 픽셀 회로는

상기 데이터 전압이 공급되는 데이터 전압 경로에 연결된 제1 스위치 소자;

소정의 기준 전압이 공급되는 기준 전압 경로에 연결된 제2 스위치 소자;

상기 구동 소자의 게이트와 상기 제1 및 제2 스위치 소자들 사이에 연결된 제3 스위치 소자;

소정의 초기화 전압이 공급되는 초기화 전압 경로에 연결된 제4 스위치 소자;

상기 기준 전압과 상기 초기화 전압 보다 높은 소정의 픽셀 구동 전압이 공급되는 전원 경로에 연결된 제5 스위치 소자; 및

상기 구동 소자의 게이트와 소스 사이에 연결된 스토리지 커패시터를 구비하는 전계 발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 제3 스위치 소자는 다결정 실리콘 반도체 패턴을 갖는 탑 게이트 구조의 트랜지스터 또는, 산화물 반도체 패턴을 갖는 보텀 게이트 구조의 트랜지스터 중 어느 하나를 포함하는 전계 발광 표시장치.

청구항 3

제 1 항에 있어서,

상기 제1 및 제2 스위치 소자 각각은 산화물 반도체 패턴을 갖는 보텀 게이트 구조의 트랜지스터를 포함하는 전계 발광 표시장치.

청구항 4

제 3 항에 있어서,

상기 구동 소자, 상기 제3 스위치 소자, 상기 제4 스위치 소자, 및 상기 제5 스위치 소자 각각은 다결정 실리콘 반도체 패턴을 갖는 탑 게이트 구조의 트랜지스터를 포함하는 전계 발광 표시장치.

청구항 5

제 1 항에 있어서,

상기 제1 스위치 소자, 상기 제2 스위치 소자, 상기 제4 스위치 소자, 상기 제5 스위치 소자, 및 상기 구동 소자 각각은 다결정 실리콘 반도체 패턴을 갖는 탑 게이트 구조의 트랜지스터를 포함하는 전계 발광 표시장치.

청구항 6

제 5 항에 있어서,

상기 제3 스위치 소자는 산화물 반도체 패턴을 갖는 보텀 게이트 구조의 트랜지스터를 포함하는 전계 발광 표시장치.

청구항 7

제 1 항에 있어서,

상기 제1 및 제3 스위치 소자 각각은 산화물 반도체 패턴을 갖는 보텀 게이트 구조의 트랜지스터를 포함하는 전계 발광 표시장치.

청구항 8

제 7 항에 있어서,

상기 제2 스위치 소자, 상기 제4 스위치 소자, 상기 제5 스위치 소자, 및 상기 구동 소자 각각은 다결정 실리콘 반도체 패턴을 갖는 탑 게이트 구조의 트랜지스터를 포함하는 전계 발광 표시장치.

청구항 9

제 1 항에 있어서,

상기 제1 스위치 소자, 상기 제2 스위치 소자 및 상기 제3 스위치 소자 각각은 산화물 반도체 패턴을 갖는 보텀 게이트 구조의 트랜지스터를 포함하는 전계 발광 표시장치.

청구항 10

제 7 항에 있어서,

상기 제4 스위치 소자, 상기 제5 스위치 소자, 및 상기 구동 소자 각각은 다결정 실리콘 반도체 패턴을 갖는 탑 게이트 구조의 트랜지스터를 포함하는 전계 발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 발광 소자를 구동하기 위한 구동 소자를 구비하는 전계 발광 표시장치에 관한 것이다.

배경 기술

[0002] 평판 표시장치는 액정 표시장치(Liquid Crystal Display : LCD), 전계 발광 표시장치(Electroluminescence Display), 전계 방출 표시장치(Field Emission Display : FED), 플라즈마 디스플레이 패널(Plasma Display Panel : PDP) 등이 있다.

[0003] 전계 발광 표시장치는 발광층의 재료에 따라 무기 발광 표시장치와 유기 발광 표시장치로 대별된다. 액티브 매트릭스 타입(active matrix type)의 유기 발광 표시장치는 스스로 발광하는 유기 발광 다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0004] 유기 발광 표시장치의 OLED는 애노드전극 및 캐소드전극과, 이들 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)으로 이루어진다. 애노드전극과 캐소드전극에 전원전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0005] 유기 발광 표시장치의 픽셀들 각각은 입력 영상의 픽셀 데이터에 따라 OLED에 흐르는 전류를 조절하는 구동 소자를 포함한다. 구동 소자는 트랜지스터(Transistor)로 구현될 수 있다. 문턱 전압, 이동도 등과 같은 구동 소자의 전기적 특성은 모든 픽셀들에서 동일하여야 하지만, 공정 조건, 구동 환경 등에 의해 구동 소자의 전기적 특성이 균일하지 않을 수 있다. 구동 소자는 구동 시간이 길어질수록 많은 스트레스(stress)를 받게 된다. 구동 소자의 스트레스가 증가할수록 구동 소자의 열화가 빨라진다.

[0006] 구동 소자의 전기적 특성 편차를 보상하기 위해 전계 발광 표시장치에 내부 보상 방법과 외부 보상 방법이 적용될 수 있다. 내부 보상 방법은 구동 소자의 전기적 특성에 따라 변하는 구동 소자의 게이트-소스 간 전압을 이

용하여 픽셀들 간 구동 소자의 전기적 특성 편차를 실시간 자동으로 보상한다. 외부 보상 방법은 구동 소자의 전기적 특성에 따라 변하는 픽셀의 전압을 센싱하고, 센싱된 전압을 바탕으로 외부 회로에서 입력 영상의 데이터를 변조함으로써 픽셀들 간 구동 소자의 전기적 특성 편차를 보상한다.

[0007] 구동 소자에 비교적 큰 기생 용량이 연결될 수 있다. 이러한 구동 소자의 기생 용량은 구동 소자의 전기적 특성을 보상할 때 보상률이 감소될 수 있다. 구동 소자의 기생 용량으로 인하여, 잔상이 보이는 등 화질이 저하될 수 있다.

발명의 내용

해결하려는 과제

[0008] 본 발명은 구동 소자의 전기적 특성을 보상할 때 구동 소자에 연결되는 기생 용량 영향을 줄일 수 있는 전계 발광 표시장치를 제공한다.

과제의 해결 수단

[0009] 본 발명의 전계 발광 표시장치의 픽셀들 각각은 발광 소자를 구동하기 위한 구동 소자의 문턱 전압을 샘플링하여 데이터 전압을 보상하는 픽셀 회로를 포함한다.

[0010] 상기 픽셀 회로는 상기 데이터 전압이 공급되는 데이터 전압 경로에 연결된 제1 스위치 소자, 소정의 기준 전압이 공급되는 기준 전압 경로에 연결된 제2 스위치 소자, 상기 구동 소자의 게이트와 상기 제1 및 제2 스위치 소자들 사이에 연결된 제3 스위치 소자, 소정의 초기화 전압이 공급되는 초기화 전압 경로에 연결된 제4 스위치 소자, 상기 기준 전압과 상기 초기화 전압 보다 높은 소정의 픽셀 구동 전압이 공급되는 전원 경로에 연결된 제5 스위치 소자, 및 상기 구동 소자의 게이트와 소스 사이에 연결된 스토리지 커패시터를 구비한다.

발명의 효과

[0011] 본 발명은 내부 보상 회로를 포함한 픽셀 회로를 이용하여 구동 소자의 문턱 전압을 보상하여 발광 소자를 구동하고, 픽셀 회로에 연결된 데이터 전압 경로와 기준 전압 경로를 분리하여 고해상도/고속 표시패널에서 구동 소자의 샘플링 시간을 충분히 확보할 수 있다. 본 발명은 데이터 전압 경로와 기준 전압 경로 상의 스위치 소자들을 연결한 전류 경로를 이용하여 스위치 소자의 문턱 전압을 센싱할 수 있다.

[0012] 초기화 시간과 샘플링 시간 동안 구동 소자에 연결되는 기생 용량을 낮추어 구동 소자의 문턱 전압 보상률을 향상함으로써 잔상과 화질을 개선할 수 있다.

[0013] 나아가, 본 발명은 초기화 시간과 샘플링 시간 동안 구동 소자에 연결되는 스위치 소자와 발광 시간을 제어하는 스위치 소자의 제어 신호를 하나의 게이트 신호로 공유함으로써 게이트 라인들의 개수와 게이트 구동부(120)의 채널 수가 감소되기 때문에 표시패널 상에서 베젤 영역을 줄이고 고해상도 표시패널 설계에 유리하다.

도면의 간단한 설명

[0014] 도 1은 본 발명의 실시예에 따른 전계 발광 표시장치를 보여 주는 블록도이다.

도 2는 픽셀 어레이의 일부를 확대하여 픽셀들과 신호 배선들의 연결 구조를 보여 주는 평면도이다.

도 3은 노말 구동 모드와 저소비 전력 구동 모드를 보여 주는 도면이다.

도 4는 본 발명의 제1 실시예에 따른 픽셀 회로를 보여 주는 회로도이다.

도 5 및 도 6은 도 4에 도시된 픽셀 회로의 구동 방법을 보여 주는 파형도들이다.

도 7은 본 발명의 제2 실시예에 따른 픽셀 회로를 보여 주는 회로도이다.

도 8 및 도 9는 도 7에 도시된 픽셀 회로의 구동 방법을 보여 주는 파형도들이다.

도 10은 제2 스위치 소자를 구동 소자의 게이트에 연결할 때 게이트에 연결되는 기생 용량의 감소를 보여 주는 회로도이다.

도 11은 탑 게이트 구조의 트랜지스터와 보텀 게이트 구조의 트랜지스터를 보여 주는 표시패널의 단면도이다.

도 12는 센싱 모드에서 스위치 소자의 문턱 전압을 센싱하는 방법을 보여 주는 도면이다.

도 13은 센싱 모드에서 제1 및 제5 스위치 소자들을 통해 흐르는 전류를 보여 주는 도면이다.

도 14는 센싱 모드에서 기준 전압이 높아지는 예를 보여 주는 도면이다.

도 15는 본 발명의 제3 실시예에 따른 픽셀 회로를 보여 주는 회로도이다.

도 16 및 도 17은 도 15에 도시된 픽셀 회로의 구동 방법을 보여 주는 파형도들이다.

도 18은 본 발명의 제4 실시예에 따른 픽셀 회로를 보여 주는 회로도이다.

도 19 및 도 20은 도 18에 도시된 픽셀 회로의 구동 방법을 보여 주는 파형도들이다.

도 21은 도 4에 도시된 픽셀 회로를 평면 구조를 보여 주는 평면도이다.

도 22는 도 7에 도시된 픽셀 회로를 평면 구조를 보여 주는 평면도이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0016] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명은 도면에 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 실질적으로 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0017] 본 명세서 상에서 언급된 "구비한다", "포함한다", "갖는다", "이루어진다" 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수로 해석될 수 있다.
- [0018] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0019] 위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 구성요소들 간에 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 그 구성요소들 사이에 하나 이상의 다른 구성 요소가 개재될 수 있다.
- [0020] 구성 요소들을 구분하기 위하여 제1, 제2 등이 사용될 수 있으나, 이 구성 요소들은 구성 요소 앞에 붙은 서수나 구성 요소 명칭으로 그 기능이나 구조가 제한되지 않는다. 예컨대, 이하의 실시예에서 픽셀 회로의 스위치 소자들과 구동 소자에 붙여진 제1, 제2, 제3 및 제4와 같은 서수는 특허청구범위에서 정의된 소자들에 붙여진 서수와 다르다. 실시예에서 설명된 제1 스위치 소자(T1)는 특허청구범위에서 데이터 전압이 공급되는 데이터 전압 경로에 연결된 제1 스위치 소자이다. 실시예에서 설명된 제5 스위치 소자(T5)는 특허청구범위에서 기준 전압(Vref)이 공급되는 기준 전압 경로에 연결된 제2 스위치 소자이다. 실시예에서 설명된 제2 스위치 소자(T2)는 특허청구범위에서 구동 소자(Tdr)의 게이트와 상기 제1 및 제2 스위치 소자들 사이에 연결된 제3 스위치 소자이다. 실시예에서 설명된 제4 스위치 소자(T4)는 특허청구범위에서 초기화 전압(VINI)이 공급되는 초기화 전압 경로에 연결된 제4 스위치이다. 실시예에서 설명된 제3 스위치 소자(T3)는 특허청구범위에서 기준 전압(Vref)과 초기화 전압(VINI) 보다 높은 소정의 픽셀 구동 전압(VDD)이 공급되는 전원 경로에 연결된 제5 스위치 소자이다.
- [0021] 이하의 실시예들은 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 기술적으로 다양한 연동 및 구동이 가능하다. 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0022] 본 발명의 전계 발광 표시장치에서 픽셀 회로는 n 타입 TFT(NMOS)와 p 타입 TFT(PMOS) 중 하나 이상을 포함할 수 있다. TFT는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. TFT 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인

TFT에서 캐리어가 외부로 나가는 전극이다. TFT에서 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 타입 TFT의 경우, 캐리어가 전자(electron)이기 때문에 소스로부터 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 타입 TFT에서 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. p 타입 TFT(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 타입 TFT에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. TFT의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 따라서, TFT의 소스와 드레인으로 인하여 발명이 제한되지 않는다. 이하의 설명에서 TFT의 소스와 드레인을 제1 및 제2 전극으로 칭하기로 한다.

[0023] 스위치 소자들로 이용되는 TFT의 게이트 신호는 게이트 온 전압(Gate On Voltage)과 게이트 오프 전압(Gate Off Voltage) 사이에서 스위칭(swing)한다. 게이트 온 전압은 TFT의 문턱 전압 보다 높은 전압으로 설정되며, 게이트 오프 전압은 TFT의 문턱 전압 보다 낮은 전압으로 설정된다. TFT는 게이트 온 전압에 응답하여 턴-온(turn-on)되는 반면, 게이트 오프 전압에 응답하여 턴-오프(turn-off)된다. NMOS의 경우에, 게이트 온 전압은 게이트 하이 전압(Gate High Voltage, VGH)이고, 게이트 오프 전압은 게이트 로우 전압(Gate Low Voltage, VGL)일 수 있다. PMOS의 경우에, 게이트 온 전압은 게이트 로우 전압(VGL)이고, 게이트 오프 전압은 게이트 하이 전압(VGH)일 수 있다.

[0024] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다. 이하의 실시예들에서, 전계 발광 표시장치는 유기 발광 물질을 포함한 유기발광 표시장치를 중심으로 설명한다. 본 발명의 기술적 사상은 유기 발광 표시장치에 국한되지 않고, 무기발광 물질을 포함한 무기발광 표시장치에 적용될 수 있다.

[0025] 본 발명의 실시예에 따른 전계 발광 표시장치의 픽셀 회로들 각각은 보상 회로를 포함한다. 보상 회로는 화질과 수명을 개선하기 위하여 발광 소자를 구동하기 위한 구동 소자의 전기적 특성 예를 들어, 문턱 전압을 샘플링하고, 그 문턱 전압 만큼 데이터 전압을 실시간 자동으로 보상한다.

[0026] 도 1 내지 도 3을 참조하면, 본 발명의 실시예에 따른 전계 발광 표시장치는 표시패널(100)과, 표시패널 구동회로를 포함한다.

[0027] 표시패널(100)은 화면 상에서 입력 영상을 표시하는 액티브 영역(AA)을 포함한다. 액티브 영역(AA)에 픽셀 어레이가 배치된다. 픽셀 어레이는 다수의 데이터 라인들(102), 데이터 라인들(102)과 교차되는 다수의 게이트 라인들(103), 및 매트릭스 형태로 배치되는 픽셀들을 포함한다.

[0028] 픽셀들 각각은 컬러 구현을 위하여 적색 서브 픽셀, 녹색 서브 픽셀, 청색 서브 픽셀로 나뉘어질 수 있다. 픽셀들 각각은 백색 서브 픽셀을 더 포함할 수 있다. 서브 픽셀들(101) 각각은 픽셀 회로를 포함한다. 픽셀 회로는 발광 소자와, 입력 영상의 픽셀 데이터에 따라 발광 소자를 구동하기 위한 구동 소자, 게이트 신호에 응답하여 온/오프되는 하나 이상의 스위치 소자, 및 구동 소자의 문턱 전압이 샘플링되는 스토리지 커패시터(Storage capacitor) 등을 포함한다. 구동 소자와 스위치 소자는 NMOS 또는 PMOS 구조의 TFT로 구현될 수 있다.

[0029] 표시패널(100)은 픽셀 구동 전압 또는 고전위 구동 전압(VDD)을 서브 픽셀들(101)에 공급하기 위한 제1 전원 라인, 초기화 전압(VINI)을 서브 픽셀들(101)에 공급하기 위한 제2 전원 라인, 저전위 전원 전압(VSS)을 픽셀들에 공급하기 위한 VSS 전극, 기준 전압(Vref)을 서브 픽셀들(101)에 공급하기 위한 제3 전원 라인 등을 더 포함할 수 있다. 전원 라인들과 VSS 전극은 도시하지 않은 전원 회로에 연결된다. VDD는 VSS, VINI, 및 Vref 보다 높은 전압이다.

[0030] 표시패널(100) 상에 터치 센서들이 배치될 수 있다. 터치 입력은 별도의 터치 센서들을 이용하여 센싱되거나 픽셀들을 통해 센싱될 수 있다. 터치 센서들은 온-셀(On-cell type) 또는 애드 온 타입(Add on type)으로 표시패널의 화면 상에 배치되거나 픽셀 어레이에 내장되는 인-셀(In-cell type) 터치 센서들로 구현될 수 있다.

[0031] 표시패널 구동회로는 데이터 구동부(110)와 게이트 구동부(120)를 구비한다. 데이터 구동부(110)와 데이터 라인들(102) 사이에 배치된 디멀티플렉서(112)가 배치될 수 있다.

[0032] 표시패널 구동회로(110, 112, 120)는 타이밍 컨트롤러(Timing controller, TCON)(130)의 제어 하에 표시패널(100)의 픽셀들에 입력 영상의 데이터를 기입한다. 표시패널 구동회로는 터치 센서들을 구동하기 위한 터치 센서 구동부를 더 구비할 수 있다. 터치 센서 구동부는 도 1에서 생략되어 있다. 모바일 기기나 웨어러블 기기에서 표시패널 구동회로, 타이밍 컨트롤러(130) 그리고 전원 회로는 하나의 집적 회로에 집적될 수 있다.

- [0033] 데이터 구동부(110)는 타이밍 콘트롤러(130)로부터 수신되는 입력 영상의 픽셀 데이터를 감마 보상 전압으로 변환하여 데이터 신호를 발생한다. 데이터 구동부(110)는 채널들 각각에서 출력 버퍼를 통해 데이터 신호의 전압(이하 “데이터 전압”이라 함)을 출력한다. 디멀티플렉서(112)는 다수의 스위치 소자들을 이용하여 데이터 구동부(110)와 데이터 라인들(102) 사이에 배치되어 데이터 구동부(110)로부터 출력되는 데이터 전압을 데이터 라인들(102)로 분배한다. 디멀티플렉서(112)에 의해 데이터 구동부(110)의 한 채널이 다수의 데이터 라인들에 시분할 연결되기 때문에 데이터 라인들(102)의 개수가 감소될 수 있다.
- [0034] 게이트 구동부(120)는 액티브 영역(AA)의 TFT 어레이와 함께 표시패널(100) 상의 베젤(bezel) 영역 상에 직접 형성되는 GIP(Gate in panel) 회로로 구현될 수 있다. 게이트 구동부(120)는 타이밍 콘트롤러(130)의 제어 하에 게이트 신호를 게이트 라인들(103)로 출력한다. 게이트 구동부(120)는 시프트 레지스터(Shift register)를 이용하여 게이트 신호를 시프트(shift) 함으로써 그 신호들을 게이트 라인들(103)에 순차적으로 공급할 수 있다. 게이트 신호는 도 5에 도시된 바와 같이 스캔 신호(SCAN1 ~ SCAN3)와 발광 제어 신호(이하, “EM 신호”라 함)를 포함한다.
- [0035] 게이트 구동부(120)는 제1 게이트 구동부(121)와 제2 게이트 구동부(122)를 포함할 수 있다. 제1 게이트 구동부(121)는 스캔 신호(SCAN1 ~ SCAN3)를 출력하고, 시프트 클럭에 따라 스캔 신호(SCAN1 ~ SCAN3)를 시프트한다. 제2 게이트 구동부(122)는 EM 신호(EM)를 출력하고, 시프트 클럭에 따라 EM 신호(EM)를 순차적으로 시프트한다. 베젤이 없는 모델의 경우에, 제1 및 제2 게이트 구동부들(121, 122)를 구성하는 스위치 소자들 중 적어도 일부 또는 전부가 액티브 영역(AA) 내에 분산 배치될 수 있다.
- [0036] 타이밍 콘트롤러(130)는 도시하지 않은 호스트 시스템으로부터 입력 영상의 디지털 비디오 데이터(DATA)와, 그와 동기되는 타이밍 신호를 수신한다. 타이밍 신호는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 클럭 신호(DCLK) 및 데이터 인 에이블신호(DE) 등을 포함한다. 호스트 시스템은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, 개인용 컴퓨터(PC), 홈 시어터 시스템, 모바일 기기, 웨어러블 기기 중 어느 하나일 수 있다.
- [0037] 타이밍 콘트롤러(130)는 노말 구동 모드(normal driving mode)에서 프레임 레이트(Frame rate)를 입력 프레임 주파수 보다 높게 조정할 수 있다. 예를 들어, 타이밍 콘트롤러(130)는 입력 프레임 주파수를 i 배 체배하여 프레임 주파수 $\times i$ (i 는 0 보다 큰 양의 정수) Hz의 프레임 주파수로 표시패널 구동부(110, 112, 120)의 동작 타이밍을 제어할 수 있다. 입력 프레임 주파수는 NTSC(National Television Standards Committee) 방식에서 60Hz이며, PAL(Phase-Alternating Line) 방식에서 50Hz이다. 타이밍 콘트롤러(130)는 저소비 전력 구동 모드에서 픽셀들의 리프레쉬 레이트를 낮추기 위하여 프레임 주파수를 1Hz ~ 30Hz 사이의 주파수로 낮출 수 있다.
- [0038] 타이밍 콘트롤러(130)는 호스트 시스템으로부터 수신된 타이밍 신호(Vsync, Hsync, DE)를 바탕으로 데이터 구동부(110)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호, 디멀티플렉서(112)의 동작 타이밍을 제어하기 위한 스위치 제어신호, 게이트 구동부(120)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호를 발생한다. 타이밍 콘트롤러(130)로부터 출력된 게이트 타이밍 제어신호의 전압 레벨은 도시하지 않은 레벨 시프터를 통해 게이트 온 전압과 게이트 오프 전압으로 변환되어 게이트 구동부(120)에 공급될 수 있다. 레벨 시프터는 게이트 타이밍 제어신호의 로우 레벨 전압(low level voltage)을 게이트 로우 전압(VGL)으로 변환하고, 게이트 타이밍 제어신호의 하이 레벨 전압(high level voltage)을 게이트 하이 전압(VGH)으로 변환한다.
- [0039] 표시패널 구동회로(110, 112, 120)는 도 3에 도시된 바와 같이, 노말 구동 모드에서 매 프레임 기간마다 입력 영상의 데이터가 픽셀들에 기입하여 매 프레임 기간마다 픽셀들에 새로운 데이터를 기입한다. 이에 비하여, 표시패널 구동회로(110, 112, 120)는 저소비 전력 구동 모드에서 프레임 레이트를 낮춘다. 그 결과, 저소비 전력 구동 모드에서 표시패널 구동회로(110, 112, 120)와 표시패널(100)의 구동 주파수가 감소되어 소비 전력이 낮아진다.
- [0040] 노말 구동 모드에서 프레임 레이트(frame rate)는 60 Hz로 설정될 수 있다. 표시패널 구동회로(110, 112, 120)는 노말 구동 모드에서 1 초에 60 개의 프레임 데이터를 픽셀들(P)에 기입한다. 저소비 전력 모드는 화면 상에 영상을 재현하는 노말 구동 모드에 비하여 표시패널 구동회로(110, 112, 120)와 픽셀들의 구동 주파수를 낮춘다. 일 예로, 저소비 전력 구동 모드에서 프레임 레이트는 1 Hz로 낮아질 수 있다. 저소비 전력 구동 모드에서 픽셀들에 기입되는 영상 데이터는 노말 구동 모드에 비하여 낮은 주파수로 갱신(update)된다. 도 3의 예와 같이 표시패널 구동회로(110, 112, 120)는 저소비 전력 구동 모드에서 60 프레임 기간 중에서 제1 프레임 기간(16.67ms)에 입력 영상의 데이터를 픽셀들에 기입하고 나머지 59 프레임 기간 동안 데이터를 출력하지 않는다. 픽셀들은 저소비 전력 모드 매 초마다 제1 프레임 기간(FR)에 데이터를 1차례 기입하고 나머지 대부분

의 시간 동안 스토리지 커패시터(Cst)에 저장된 데이터 전압으로 표시된 영상을 유지한다.

- [0041] 도 4는 본 발명의 제1 실시예에 따른 픽셀 회로를 보여 주는 회로도이다. 이 픽셀 회로는 다수의 스위치 소자들을 이용한 내부 보상 회로를 포함한다. 도 5는 도 4에 도시된 픽셀 회로의 구동 방법을 보여 주는 파형도이다. 도 6은 도 2에 도시된 픽셀들에 인가되는 게이트 신호들을 보여 주는 파형도이다.
- [0042] 도 4 내지 도 6을 참조하면, 픽셀 회로는 발광 소자(EL)에 연결된 구동 소자(Tdr), 제1 내지 제5 스위치 소자들(T1 내지 T5), 스토리지 커패시터(Cst) 등을 포함한다. VDD는 제1 전원 라인(21)을 통해 픽셀 회로에 공급된다. VINI는 제2 전원 라인(22)을 통해 픽셀 회로에 공급된다. VSS는 VSS 전극(23)을 통해 픽셀 회로에 공급된다. Vref는 제3 전원 라인(1021)을 통해 픽셀 회로에 공급된다.
- [0043] 제1 및 제5 스위치 소자들(T1, T5)은 산화물 반도체 패턴을 포함한 Oxide TFT로 구현될 수 있다. Oxide TFT는 반도체 패턴 아래에 게이트가 배치된 보텀 게이트(bottom gate) 구조의 NMOS 트랜지스터로 형성될 수 있다. Oxide TFT는 TFT의 오프 상태에서 발생하는 누설 전류가 작기 때문에 소비 전력을 줄일 수 있을 뿐 아니라 누설 전류로 인한 픽셀의 전압 감소를 방지할 수 있기 때문에 플리커 방지 효과를 높일 수 있다.
- [0044] 구동 소자(Tdr)와 제2 내지 제4 스위치 소자들(T2~T4)은 저온 폴리 실리콘(Low Temperature Poly-Silicon, LTPS) TFT로 구현될 수 있다. LTPS TFT는 전하의 이동도가 높고 신뢰성이 우수하다. LTPS TFT는 반도체 패턴 위에 게이트가 배치된 탑 게이트(top gate) 구조의 PMOS 트랜지스터로 형성될 수 있다.
- [0045] 발광 소자(EL)는 OLED로 구현될 수 있다. OLED는 데이터 전압(Vdata)에 따라 구동 소자(Tdr)에 의해 조절되는 전류로 발광한다. OLED는 애노드와 캐소드 사이에 형성된 유기 화합물층을 포함한다. OLED의 애노드는 제3 노드(n3)를 경유하여 구동 소자(Tdr)와 제4 스위치 소자(T4)에 연결된다. OLED의 캐소드는 VSS 전극(23)에 연결된다. 유기 화합물층은 정공주입층(HIL), 정공수송층(HTL), 발광층(EML), 전자수송층(ETL) 및 전자주입층(EIL) 등을 포함할 수 있으나 이에 한정되지 않는다. 스토리지 커패시터(Cst)는 제1-2 및 제2 노드(n12, n2)를 통해 구동 소자(Tdr)의 게이트와 소스(또는 제1 전극) 사이에 연결된다.
- [0046] 제1 스위치 소자(T1)는 제1 스캔 신호(SCAN1)에 응답하여 데이터 기입 시간(Tw) 동안 데이터 전압(Vdata)을 제1-1 노드(n11)에 공급한다. 제1 스위치 소자(T1)는 제1 스캔 신호(SCAN1)가 인가되는 제1 게이트 라인(1031)에 연결된 게이트, 데이터 라인(1022)에 연결된 제1 전극, 및 제1-1 노드(n11)에 연결된 제2 전극을 포함한다.
- [0047] 제5 스위치 소자(T5)는 제2 스캔 신호(SCAN2)에 응답하여 데이터 기입 시간(Tw)에 앞선 초기화 시간(Ti)과 샘플링 시간(Ts) 동안 Vref를 제1-1 노드(n11)에 공급한다. Vref는 VDD 보다 낮은 전압으로 설정된다. 제5 스위치 소자(T5)는 제2 스캔 신호(SCAN2)가 인가되는 제5 게이트 라인(1035)에 연결된 게이트, 제3 전원 라인(1021)에 연결된 제1 전극, 및 제1-1 노드(n11)에 연결된 제2 전극을 포함한다.
- [0048] 제2 스위치 소자(T2)는 초기화 시간(Ti)과 샘플링 시간(Ts) 동안 제3 스캔 신호(SCAN3)에 응답하여 제1-1 노드(n11)와 제1-2 노드(n12)를 연결한다. 제1-1 노드(n11)는 제1 스위치 소자(T1)의 제2 전극과, 제5 스위치 소자(T5)의 제2 전극에 연결된다. 제1-2 노드(n12)는 구동 소자(Tdr)의 게이트와, 스토리지 커패시터(Cst)의 제1 전극에 연결된다. 스토리지 커패시터(Cst)의 제2 전극은 제2 노드(n2)에 연결된다. 제2 스위치 소자(T2)는 제3 스캔 신호(SCAN3)가 인가되는 제2 게이트 라인(1032)에 연결된 게이트, 제1-1 노드(n11)에 연결된 제1 전극, 및 제1-2 노드(n12)에 연결된 제2 전극을 포함한다. 제2 스위치 소자(T2)는 초기화 시간(Ti)과 샘플링 시간(Ts) 동안 구동 소자(Tdr)의 게이트에 연결되는 기생 용량을 최소화한다. 이에 대하여 도 10 및 도 11을 결부하여 상세히 설명하기로 한다.
- [0049] 제3 스위치 소자(T3)는 EM 신호(EM)에 응답하여 VDD가 인가되는 제1 전원 라인(21)과 구동 소자(Tdr) 사이의 전류 경로를 스위칭한다. 제3 스위치 소자(T3)는 EM 신호(EM)가 인가되는 제3 게이트 라인(1033)에 연결된 게이트, 제1 전원 라인(21)을 통해 VDD가 인가되는 제1 전극, 및 제2 노드(n2)에 연결된 제2 전극을 포함한다. 제3 스위치 소자(T3)의 제1 전극과 제2 전극 사이에 커패시터(Cvdd)가 형성될 수 있다.
- [0050] 제4 스위치 소자(T4)는 반전된 제2 스캔 신호(/SCAN2)에 응답하여 초기화 시간(Ti)과 샘플링 시간(Ts) 동안 VINI를 제3 노드(n3)에 공급한다. 반전된 제2 스캔 신호(/SCAN2)는 제2 스캔 신호(SCAN2)의 역위상 신호이다. 제4 스위치 소자(T4)는 반전된 제2 스캔 신호(/SCAN2)가 인가되는 제4 게이트 라인(1034)에 연결된 게이트, 제2 전원 라인(22)을 통해 VINI가 인가되는 제1 전극, 및 제3 노드(n3)에 연결된 제2 전극을 포함한다.
- [0051] 구동 소자(Tdr)는 발광 시간(Tem) 동안 소스-게이트 간 전압(Vsg)에 따라 발광 소자(EL)의 전류를 조절한다. 제2 구동 소자(Tdr)는 제1-2 노드(n12)에 연결된 게이트, 제2 노드(n2)에 연결된 제1 전극, 및 제3 노드(n3)에 연

결된 제2 전극을 포함한다.

- [0052] 본 발명은 픽셀 회로들에 연결된 데이터 전압 경로와 기준 전압 경로를 스위치 소자들(T1, T5)을 이용하여 분리한다. 이렇게 데이터 전압 경로와 기준 전압 경로가 분리되면, 픽셀 회로들의 Vref가 인가되는 샘플링 시간을 1 수평 기간(1H) 보다 길게 예를 들어, 2 수평 기간(2H) 이상 길게 확보할 수 있다. 샘플링 시간(Ts)은 구동 소자(Tdr)의 전기적 특성 예를 들어, 문턱 전압(Vth)을 센싱(sensing)하기 위한 시간이다. 샘플링 시간(Ts)이 너무 짧으면 구동 소자(Tdr)의 전기적 특성이 부정확하게 센싱되기 때문에 구동 소자의 전기적 특성을 보상할 수 없다.
- [0053] 1 수평 기간(1H)은 1 픽셀 라인의 픽셀들에 데이터를 기입하는데 필요한 시간이다. 1 수평 기간(1H)은 수평 동기 신호(Hsync)와 데이터 인에이블 신호(DE)의 1 주기와 같다. 표시패널(100)의 픽셀 라인들(도 2에서, LINE1, LINE2)에 데이터가 독립적으로 기입될 수 있도록 픽셀 라인들(LINE1, LINE2) 간에 데이터 기입 시간(Tw)이 분리되어야 한다. 픽셀 회로의 데이터 전압 경로와 기준 전압 경로가 분리되면, 샘플링 시간(Ts)을 데이터 기입 시간(Tw) 보다 더 길게 설정할 수 있기 때문에 1 수평 기간(1H)이 짧은 고해상도/고속 표시패널에서 샘플링 시간(Ts)을 충분히 확보할 수 있다. 반면에, 하나의 데이터 라인을 통해 데이터 전압 경로와 기준 전압 경로가 공유되면, 1 수평 기간 내에서 샘플링 시간(Ts)과 데이터 기입 시간(Tw)이 시분할되기 때문에 샘플링 시간(Ts)이 1 수평 기간(1H) 보다 작기 때문에, 고해상도/고속 표시패널에서 샘플링 시간이 더 부족하게 될 수 있다.
- [0054] 제1 픽셀 라인(LINE1)의 픽셀들에 인가되는 게이트 신호는 도 6에서 SCAN1(1), SCAN2(1), SCAN3(1) 및 EM(1)이다. 제2 픽셀 라인(LINE2)의 픽셀들에 인가되는 게이트 신호는 도 6에서 SCAN1(2), SCAN2(2), SCAN3(2) 및 EM(2)이다. 제1 스캔 신호(SCAN1(1), SCAN1(2))는 데이터 기입 시간을 정의한다. 이웃한 픽셀 라인들(LINE1, LINE2) 간에 데이터가 독립적으로 기입될 수 있도록 제1 스캔 신호(SCAN1(1), SCAN1(2))는 중첩되지 않는다.
- [0055] 제2 스캔 신호(SCAN2(1), SCAN2(2))는 초기화 시간(Ti)과 샘플링 시간(Ts)을 정의한다. 이웃한 픽셀 라인들(LINE1, LINE2) 간에 샘플링 시간(Ts)이 중첩될 때 픽셀 라인들(LINE1, LINE2) 간에 데이터 혼신(crosstalk)이 없다. 제2 스캔 신호(SCAN2(1), SCAN2(2))의 펄스 폭은 제1 스캔 신호(SCAN1(1), SCAN1(2))의 그 것 보다 넓다. 제2 스캔 신호들(SCAN2(1), SCAN2(2))의 펄스는 이웃한 픽셀 라인들(LINE1, LINE2) 간에 중첩된다.
- [0056] 제3 스캔 신호(SCAN3(1), SCAN3(2))의 펄스는 초기화 시간(Ti), 샘플링 시간(Ts), 및 데이터 기입 시간(Tw) 동안 발생된다. 제3 스캔 신호(SCAN3(1), SCAN3(2))의 펄스 폭은 제2 스캔 신호(SCAN2(1), SCAN2(2))의 그 것 보다 넓다. 제3 스캔 신호들(SCAN3(1), SCAN3(2))의 펄스는 이웃한 픽셀 라인들(LINE1, LINE2) 간에 중첩된다.
- [0057] 도 5 및 도 6을 참조하면, 제2 스캔 신호(SCAN2)의 전압은 초기화 시간(Ti)이 시작될 때 VGL로부터 VGH 레벨로 반전된다. 이와 반대로, 반전된 제2 스캔 신호(/SCAN2)와 제3 스캔 신호(SCAN3)의 전압은 초기화 시간(Ti)이 시작될 때 VGH로부터 VGL 레벨로 반전된다. 제1 스캔 신호(SCAN1)와 EM 신호(EM)의 전압은 초기화 시간(Ti) 동안 VGL을 유지한다. 제1 및 제5 스위치 소자들(T1, T5)은 NMOS 트랜지스터이고, 그 이외의 다른 스위치 소자들(T2, T3, T4)과 구동 소자(Tdr)는 PMOS 트랜지스터이다. 따라서, 초기화 시간(Ti)에 제2 내지 제5 스위치 소자들(T2, T3, T4, T5)이 턴-온(turn-on)되어 픽셀 회로의 노드들(n11, n12, n2, n3)을 초기화한다. 이 때, 구동 소자(Tdr)의 게이트 전압(Vg)은 Vref로 초기화된다. 구동 소자(Tdr)의 드레인 전압(Vs)은 VINI로 초기화되고, 구동 소자(Tdr)의 소스 전압(Vs)은 VDD로 초기화된다. VDD=7V, Vref=3V, Vini=-3V, VSS=0V 일 수 있으나, 이에 한정되지 않는다. 이러한 전원 전압은 표시패널의 구동 특성과 구동 환경에 따라 다르게 설정될 수 있다.
- [0058] 샘플링 시간(Ts)이 시작될 때 EM 신호(EM)의 전압이 VGH로 반전된다. 스캔 신호들(SCAN1, SCAN2, /SCAN2, SCAN3)의 전압은 이전 상태를 유지한다. 제1 및 제5 스위치 소자들(T1, T5)은 NMOS 트랜지스터이고, 그 이외의 다른 스위치 소자들(T2, T3, T4)과 구동 소자(Tdr)는 PMOS 트랜지스터이다. 따라서, 샘플링 시간(Ts)에 제2, 제4 및 제5 스위치 소자들(T2, T4, T5)이 턴-온된다. 제1 및 제3 스위치 소자들(T1, T3)은 샘플링 시간(Ts) 동안 턴-오프된다. 샘플링 시간(Ts) 동안, 구동 소자(Tdr)의 소스-게이트간 전압(Vsg)은 구동 소자(Tdr)의 문턱 전압(Vth) 만큼 상승하고, 이 문턱 전압(Vth)이 스토리지 커패시터(Cst)에 저장된다. 이 때, 구동 소자(Tdr)의 게이트 전압(Vg)은 Vref이고, 구동 소자(Tdr)의 소스 전압(Vs)은 Vref + |Vth| 이다. 샘플링 시간(Ts)은 데이터 기입 시간(Tw) 보다 더 길다. 예를 들어, 데이터 기입 시간(Tw)이 1 수평 기간(1H)이고, 샘플링 시간(Ts)이 2 수평 기간(2H)일 수 있다.
- [0059] 데이터 기입 시간(Tw)이 시작될 때 제1 스캔 신호(SCAN1)와 반전된 제2 스캔 신호(/SCAN2)의 전압이 VGH로 반전된다. 데이터 기입 시간(Tw)이 시작될 때 제2 스캔 신호(SCAN2)의 전압이 VGL로 반전된다. 제3 스캔 신호(SCAN3)와 EM 신호(EM)는 이전 상태를 유지한다. 제1 및 제5 스위치 소자들(T1, T5)은 NMOS 트랜지스터이고,

그 이외의 다른 스위치 소자들(T2, T3, T4)과 구동 소자(Tdr)는 PMOS 트랜지스터이다. 따라서, 데이터 기입 시간(Tw)에 제1 및 제2 스위치 소자들(T1, T2)이 턴-온되고, 그 이외의 다른 스위치 소자들(T3, T4, T5)가 턴-오프된다. 데이터 기입 시간(Tw)에 구동 소자(Tdr)의 소스-게이트 전압(Vsg)은 구동 소자(Tdr)의 문턱 전압(Vth) 만큼 보상된 데이터 전압(Vdata)으로 변한다. 이 때, 구동 소자(Tdr)의 게이트 전압(Vg)은 Vdata이고, 구동 소자(Tdr)의 소스 전압(Vs)은 $Vref + |Vth| + Cst / (Cst + CVdd) * (Vdata - Vref)$ 이다.

[0060] 발광 시간(Tem)이 시작될 때 제1 스캔 신호(SCAN1)와 EM 신호(EM)의 전압은 VGL로 반전되고, 제3 스캔 신호(SCAN3)의 전압은 VGH로 반전된다. 제2 스캔 신호(SCAN2)와 반전된 제2 스캔 신호(/SCAN2)는 이전 상태를 유지한다. 제1 및 제5 스위치 소자들(T1, T5)은 NMOS 트랜지스터이고, 그 이외의 다른 스위치 소자들(T2, T3, T4)과 구동 소자(Tdr)는 PMOS 트랜지스터이다. 따라서, 발광 시간(Tem)에 제3 스위치 소자(T3)가 턴-온되고 그 이외 다른 스위치 소자들(T1, T2, T4, T5)은 턴-오프된다.

[0061] 발광 시간(Tem) 동안 구동 소자(Tdr)의 소스-게이트 전압(Vsg)에 따라 발광 소자(EL)에 전류(Ioled)가 흘러 발광 소자(EL)가 발광될 수 있다. 발광 시간(Tem) 동안, EM 신호(EM)는 미리 설정된 PWM(Pulse Width Modulation)의 듀티비(%)로 게이트 온 전압과 게이트 오프 전압 사이에서 스위칭하는 교류 신호로 발생될 수 있다. 발광 소자(EL)가 발광 시간(Tem) 동안 미리 설정된 듀티비로 온/오프를 반복하면 플리커(flicker)와 잔상이 개선될 수 있다.

[0062] 구동 소자(Tdr)를 통해 발광 소자(EL)로 흐르는 전류(Ioled)는 $Ioled = k * (Vsg - |Vth|)^2 = k * (VDD - Vdata - Cst / (Cst + Cp) * (VDD - Vref - |Vth| - Cst / (Cst + CVdd) * (Vdata - Vref) - |Vth|)$ 이다. 여기서, k는 구동 소자(Tdr)의 채널비(W/L)와 기생 용량 및 이동도에 의해 결정되는 상수값이다. Cp는 제2 스위치 소자(T2)와 구동 소자(Tdr)의 게이트 사이에 연결되는 기생 용량이다. 위 식에서 알 수 있는 바와 같이, Cp가 커질수록 Vth의 보상률이 저하된다. 본 발명의 제1 실시예에 의하면, Cp=0으로 볼 수 있기 때문에 Vth의 보상을 저하가 없다.

[0063] 제2 스위치 소자(T2)가 도 11에 도시된 바와 같은 탑 게이트 구조의 LTPS TFT로 형성되면, 제2 스위치 소자(T2)의 게이트(G1)와 소스(S1)가 중첩되지 않고 또한, 게이트(G1)와 드레인(D1)이 중첩되지 않는다. 그 결과, 제2 스위치 소자(T2)의 기생 용량(Cp)이 0(zero)와 가깝게 되기 때문에 도 10의 (A)에 도시된 바와 같이 Cp의 영향을 최소화할 수 있다. Cp의 영향이 클수록 구동 소자(Tdr)의 문턱 전압 보상률이 저하된다. 본 발명의 제1 실시예에 따른 픽셀 회로는 초기화 시간(Ti)과 샘플링 시간(Ts)에 구동 소자(Tdr)의 게이트에 연결되는 기생 용량(Cp)이 최소화되기 때문에 구동 소자(Tdr)의 문턱 전압 보상률을 높일 수 있다. 그 결과, 구동 소자의 문턱 전압(Vth) 보상을 저하에 기인한 잔상과 화질 저하가 없다.

[0064] 도 7은 본 발명의 제2 실시예에 따른 픽셀 회로를 보여 주는 회로도이다. 도 8 및 도 9는 도 7에 도시된 픽셀 회로의 구동 방법을 보여 주는 파형도들이다. 이 실시예에서 전술한 제1 실시예와 실질적으로 동일한 부분에 대하여는 구체적인 설명을 생략하기로 한다.

[0065] 도 7 내지 도 9를 참조하면, 픽셀 회로는 발광 소자(EL)에 연결된 구동 소자(Tdr), 제1 내지 제5 스위치 소자들(T1 내지 T5), 스토리지 커패시터(Cst) 등을 포함한다.

[0066] 제2 스위치 소자(T2)는 Oxide TFT로 구현될 수 있다. Oxide TFT는 도 11에 도시된 바와 같은 보텀 게이트(bottom gate) 구조의 NMOS 트랜지스터로 형성될 수 있다. 제2 스위치 소자(T2) 이외의 다른 스위치 소자들(T1, T3~T5)과 구동 소자(Tdr)는 저온 LTPS TFT로 구현될 수 있다. LTPS TFT는 도 11에 도시된 바와 같은 탑 게이트(top gate) 구조의 PMOS 트랜지스터로 형성될 수 있다.

[0067] 제1 스위치 소자(T1)는 제1 스캔 신호(SCAN1)에 응답하여 데이터 기입 시간(Tw) 동안 데이터 전압(Vdata)을 제1-1 노드(n11)에 공급한다. 제1 스위치 소자(T1)는 제1 스캔 신호(SCAN1)가 인가되는 제1 게이트 라인에 연결된 게이트, 데이터 라인에 연결된 제1 전극, 및 제1-1 노드(n11)에 연결된 제2 전극을 포함한다.

[0068] 제5 스위치 소자(T5)는 제2 스캔 신호(SCAN2)에 응답하여 초기화 시간(Ti)과 샘플링 시간(Ts) 동안 Vref를 제1-1 노드(n11)에 공급한다. 제5 스위치 소자(T5)는 제2 스캔 신호(SCAN2)가 인가되는 제5 게이트 라인에 연결된 게이트, 제3 전원 라인에 연결된 제1 전극, 및 제1-1 노드(n11)에 연결된 제2 전극을 포함한다.

[0069] 제2 스위치 소자(T2)는 EM 신호(EM)에 응답하여 초기화 시간(Ti)의 제2 초기화 구간(i2)과 샘플링 시간(Ts) 동안 제1-1 노드(n11)와 제1-2 노드(n12)를 연결한다. 제2 스위치 소자(T2)는 EM 신호(EM)가 인가되는 제2 게이트 라인에 연결된 게이트, 제1-1 노드(n11)에 연결된 제1 전극, 및 제1-2 노드(n12)에 연결된 제2 전극을 포함한다. 제2 스위치 소자(T2)는 초기화 시간(Ti)과 샘플링 시간(Ts) 동안 구동 소자(Tdr)의 게이트에 연결되는

기생 용량을 줄인다. 이에 대하여 도 10 및 도 11을 결부하여 상세히 설명하기로 한다.

- [0070] 제3 스위치 소자(T3)는 EM 신호(EM)에 응답하여 VDD가 인가되는 제1 전원 라인과 구동 소자(Tdr) 사이의 전류 경로를 스위칭한다. 제3 스위치 소자(T3)는 EM 신호(EM)가 인가되는 제3 게이트 라인에 연결된 게이트, 제1 전원 라인을 통해 VDD가 인가되는 제1 전극, 및 제2 노드에 연결된 제2 전극을 포함한다. 제3 스위치 소자(T3)의 제1 전극과 제2 전극 사이에 커패시터(Cvdd)가 형성될 수 있다.
- [0071] 제4 스위치 소자(T4)는 제2 스캔 신호(SCAN2)에 응답하여 초기화 시간(Ti)과 샘플링 시간(Ts) 동안 VINI를 제3 노드(n3)에 공급한다. 제4 스위치 소자(T4)는 제2 스캔 신호(SCAN2)가 인가되는 제4 게이트 라인에 연결된 게이트, 제2 전원 라인에 연결된 제1 전극, 및 제3 노드(n3)에 연결된 제2 전극을 포함한다.
- [0072] 구동 소자(Tdr)는 발광 시간(Tem) 동안 소스-게이트 간 전압(Vsg)에 따라 발광 소자(EL)의 전류를 조절한다. 제2 구동 소자(Tdr)는 제1-2 노드(n12)에 연결된 게이트, 제2 노드(n2)에 연결된 제1 전극, 및 제3 노드(n3)에 연결된 제2 전극을 포함한다. 발광 소자(EL)는 제3 노드에 연결된 애노드, VSS 전극에 연결된 캐소드, 및 애노드와 캐소드 사이에 연결된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(HIL), 정공수송층(HTL), 발광층(EML), 전자수송층(ETL) 및 전자주입층(EIL) 등을 포함할 수 있으나 이에 한정되지 않는다. 스토리지 커패시터(Cst)는 제1-2 및 제2 노드(n12, n2)를 통해 구동 소자(Tdr)의 게이트와 소스 사이에 연결된다.
- [0073] 제2 및 제3 스위치 소자(T2, T3)는 EM 신호(EM)에 응답하여 턴-온/오프된다. 제4 및 제5 스위치 소자(T4, T5)는 제2 스캔 신호(SCAN2)에 응답하여 턴-온/오프된다. 따라서, 이 픽셀 회로는 제2 및 제4 스위치 소자(T2, T4)를 독립적으로 제어하기 위한 게이트 신호가 필요 없다. 따라서, 픽셀 회로의 구동에 필요한 게이트 라인들과 게이트 구동부(120)의 채널 수가 감소되기 때문에 이 실시예의 표시패널은 베젤(Bezel)이 감소될 수 있고 고 해상도에 유리하다.
- [0074] 제1 픽셀 라인(LINE1)의 픽셀들에 인가되는 게이트 신호는 도 9에서 SCAN1(1), SCAN2(1) 및 EM(1)이다. 제2 픽셀 라인(LINE2)의 픽셀들에 인가되는 게이트 신호는 도 9에서 SCAN1(2), SCAN2(2) 및 EM(2)이다. 제1 스캔 신호(SCAN1(1), SCAN1(2))는 데이터 기입 시간(Tw)을 정의한다. 제2 스캔 신호(SCAN2(1), SCAN2(2))는 초기화 시간(Ti)과 샘플링 시간(Ts)을 정의한다.
- [0075] 도 8 및 도 9를 참조하면, 제2 스캔 신호(SCAN2)의 전압은 초기화 시간(Ti)이 시작될 때 VGH로부터 VGL로 반전된다. 제1 스캔 신호(SCAN1)는 초기화 시간(Ti) 동안 VGH를 유지한다.
- [0076] 초기화 시간(Ti)은 구동 소자(Tdr)의 소스 전압과 드레인 전압을 초기화하는 제1 초기화 구간(i1)과, 구동 소자(Tdr)의 게이트 전압을 초기화하는 제2 초기화 구간(i2)으로 나누어진다. EM 신호(EM)는 제1 초기화 구간(i1) 동안 VGL을 유지하고, 제2 초기화 구간(i2)이 시작될 때 VGH로 반전하여 데이터 기입 시간(Tw)까지 VGH를 유지한다. 제2 스위치 소자(T2)는 NMOS 트랜지스터이고, 그 이외의 나머지 스위치 소자들(T1, T3~T5)과 구동 소자(Tdr)는 PMOS 트랜지스터이다. 따라서, 제2 스위치 소자(T2)는 EM 신호(EM)에 응답하여 제1 초기화 구간(i1) 동안 턴-오프된 후, 제2 초기화 구간(i2)에 턴-온된다. 제3 스위치 소자(T3)는 EM 신호(EM)에 응답하여 제1 초기화 구간(i1) 동안 턴-온된 후, 제2 초기화 구간(i2)에 턴-오프된다. 제4 및 제5 스위치 소자(T4, T5)는 제2 스캔 신호(SCAN2)에 응답하여 초기화 시간(Ti) 동안 턴-온된다. 제1 스위치 소자(T1)는 초기화 시간(Ti) 동안 오프 상태를 유지한다. 그 결과, 제1 초기화 구간(i1)에 제2 노드(n2)가 VDD로 초기화되고, 제3 노드(n3)가 VINI로 초기화된다. 이어서, 제2 초기화 구간(i2)에 제1-2 노드(n12)의 전압 즉, 구동 소자(Tdr)의 게이트 전압이 Vref로 초기화되고, 제3 노드(n3)의 전압이 VINI로 유지된다.
- [0077] 샘플링 시간(Ts) 동안, 제1 스캔 신호(SCAN1)와 EM 신호(EM)는 VGH를 유지한다. 제2 스캔 신호(SCAN2)는 샘플링 시간(Ts) 동안 VGL을 유지한다. 제2 스위치 소자(T2)는 NMOS 트랜지스터이고, 그 이외의 나머지 스위치 소자들(T1, T3~T5)과 구동 소자(Tdr)는 PMOS 트랜지스터이다. 따라서, 샘플링 시간(Ts)에 제2, 제4 및 제5 스위치 소자들(T2, T4, T5)이 턴-온된다. 제1 및 제3 스위치 소자들(T1, T3)은 샘플링 시간(Ts) 동안 턴-오프된다. 샘플링 시간(Ts) 동안, 구동 소자(Tdr)의 소스-게이트 간 전압(Vsg)은 구동 소자(Tdr)의 문턱 전압(Vth) 만큼 상승하고, 이 문턱 전압(Vth)이 스토리지 커패시터(Cst)에 저장된다.
- [0078] 데이터 기입 시간(Tw)이 시작될 때 제1 스캔 신호(SCAN1)의 전압이 VGL로 반전된다. 데이터 기입 시간(Tw)이 시작될 때 제2 스캔 신호(SCAN2)는 VGH로 반전된다. EM 신호(EM)는 이전 상태를 유지한다. 제2 스위치 소자(T2)는 NMOS 트랜지스터이고, 그 이외의 나머지 스위치 소자들(T1, T3~T5)과 구동 소자(Tdr)는 PMOS 트랜지스터이다. 따라서, 데이터 기입 시간(Tw)에 제1 및 제2 스위치 소자들(T1, T2)이 턴-온되고, 그 이외의 다른 스위치 소자들(T3, T4, T5)이 턴-오프된다. 데이터 기입 시간(Tw)에 구동 소자(Tdr)의 소스-게이트 간 전압(Vsg)은

구동 소자(Tdr)의 문턱 전압(V_{th}) 만큼 보상된 데이터 전압(V_{data})으로 변환다.

- [0079] 발광 시간(T_{em})이 시작될 때 제1 스캔 신호(SCAN1)는 VGH로 반전되고, EM 신호(EM)는 VGL로 반전된다. 제2 스캔 신호(SCAN2)는 이전 상태를 유지한다. 제2 스위치 소자(T2)는 NMOS 트랜지스터이고, 그 이외의 나머지 스위치 소자들(T1, T3~T5)과 구동 소자(Tdr)는 PMOS 트랜지스터이다. 따라서, 발광 시간(T_{em})에 제3 스위치 소자(S3)가 턴-온되고 그 이외 다른 스위치 소자들(S1, S2, S4, S5)은 턴-오프된다.
- [0080] 발광 시간(T_{em}) 동안 구동 소자(Tdr)의 소스-게이트 간 전압(V_{sg})에 따라 발광 소자(EL)에 전류(I_{oled})가 흘러 발광 소자(EL)가 발광될 수 있다.
- [0081] 제2 스위치 소자(T2)가 도 11에 도시된 바와 같은 보텀 게이트 구조의 Oxide TFT로 형성되면, 제2 스위치 소자(T2)의 게이트(G2)와 소스(S2)가 중첩되는 부분에 기생 용량(C_p)이 존재한다. 한편, 도 10에 도시된 바와 같이 제2 스위치 소자(T2) 없이 제1 및 제5 스위치 소자들(T1, T5)이 구동 소자(Tdr)의 게이트에 직접 연결되면 두 개의 트랜지스터들에 존재하는 기생 용량이 구동 소자(Tdr)에 연결된다. 이에 비하여, 본 발명은 초기화 기간(T_i)과 샘플링 시간(T_s)에 제2 TFT(T2)를 구동 소자(Tdr)의 게이트에 연결하여 기생 용량(C_p)을 줄인다. 본 발명의 제2 실시예에 따른 픽셀 회로는 구동 소자(Tdr)의 게이트에 연결되는 기생 용량(C_p)을 1/2 이하로 줄이기 때문에 구동 소자(Tdr)의 문턱 전압 보상률을 높일 수 있다. 그 결과, 구동 소자의 문턱 전압(V_{th}) 보상률 저하에 기인한 잔상과 화질을 개선할 수 있고, 게이트 라인들의 개수와 게이트 구동부(120)의 채널 수가 감소되기 때문에 표시패널 상에서 베젤 영역을 줄이고 고해상도 표시패널 설계에 유리하다.
- [0082] 도 10은 제2 스위치 소자를 구동 소자의 게이트에 연결할 때 게이트에 연결되는 기생 용량의 감소를 보여 주는 회로도이다.
- [0083] 도 10에서, (A)는 제2 스위치 소자(T2) 없이 제1 및 제5 스위치 소자들(T1, T5)이 구동 소자(Tdr)의 게이트에 직접 연결된 예를 보여 준다. 이 경우, 제1 및 제5 스위치 소자들(T1, T5)로 인하여 구동 소자의 게이트에 영향을 주는 기생 용량이 증가된다. 특히, 제1 및 제5 스위치 소자들(T1)이 도 11에 도시된 바와 같이 게이트(G2)와 소스-드레인(S2, D2) 간의 수직 중첩 면적인 큰 보텀 게이트 구조의 NMOS Oxide TFT로 구현되면 구동 소자(Tdr)의 게이트에 연결되는 기생 용량이 증가하여 구동 소자(Tdr)의 문턱 전압 보상률이 감소된다.
- [0084] 도 10에서, (B)는 본 발명의 제1 실시예에 따른 픽셀 회로와 같이 탑 게이트 구조를 갖는 제2 스위치 소자(T2)를 제1 및 제5 스위치 소자들(T1, T5)과 구동 소자(Tdr)에 추가한 예이다. 이 경우, 초기화 시간(T_i)과 샘플링 시간(T_s)에 구동 소자(Tdr)의 게이트에 제2 스위치 소자(T2)만 연결된다. 제2 스위치 소자(T2)가 탑 게이트 구조의 트랜지스터일 때 제2 스위치 소자(T2)의 기생 용량이 거의 없다. 그 결과, 본 발명의 제1 실시예에 따른 픽셀 회로는 초기화 시간(T_i)과 샘플링 시간(T_s)에 구동 소자(Tdr)의 게이트에 연결되는 기생 용량이 최소화되어 구동 소자(Tdr)의 문턱 전압 보상률을 향상시킬 수 있다.
- [0085] 도 10에서, (C)는 본 발명의 제2 내지 제4 실시예에 따른 픽셀 회로와 같이 보텀 게이트 구조를 갖는 제2 스위치 소자(T2)를 제1 및 제5 스위치 소자들(T1, T5)과 구동 소자(Tdr)에 추가한 예이다. 이 경우, 초기화 시간(T_i)과 샘플링 시간(T_s)에 구동 소자(Tdr)의 게이트에 제2 스위치 소자(T2)만 연결된다. 제2 스위치 소자(T2)가 보텀 게이트 구조의 트랜지스터일 때 (A)에 비하여 구동 소자(Tdr)의 게이트에 연결되는 기생 용량(C_p)이 1/2 이하로 감소된다. 그 결과, 구동 소자(Tdr)의 게이트에 연결되는 기생 용량이 감소되어 구동 소자(Tdr)의 문턱 전압 보상률이 개선된다. 본 발명의 제2 내지 제4 실시예에 따른 픽셀 회로에, 제2 스위치 소자(T2)가 Oxide TFT로 구현되기 때문에 데이터 기입 시간(T_w)과 발광 시간(T_{em}) 동안 제5 스위치 소자(T5)와 구동 소자(Tdr) 사이의 누설 전류를 방지할 수 있다.
- [0086] 도 11은 탑 게이트 구조의 트랜지스터와 보텀 게이트 구조의 트랜지스터를 보여 주는 표시패널의 단면도이다.
- [0087] 도 11을 참조하면, 본 발명의 표시패널(100)은 픽셀 어레이 영역 상에 배치된 다수의 트랜지스터들(Oxide TFT, LTPS TFT)을 포함한다. 이 트랜지스터들(Oxide TFT, LTPS TFT)은 픽셀 회로의 구동 소자(Tdr)와 스위치 소자들(T1~T5)을 포함한다. 표시패널(100)의 기판에는 트랜지스터들(Tdr, T1~T5)과 함께 스토리지 커패시터(C_{st}), 발광 소자(EM) 등이 형성된다. 도 11에서 스토리지 커패시터(C_{st})와 발광 소자(EL)는 생략되어 있다.
- [0088] Oxide TFT는 반도체 패턴(A2) 아래에 게이트(G2)가 배치된 보텀 게이트(bottom gate) 구조의 NMOS 트랜지스터로 형성될 수 있다. LTPS TFT는 반도체 패턴(A1) 위에 게이트(G1)가 배치된 탑 게이트(top gate) 구조의 PMOS 트랜지스터로 형성될 수 있다.
- [0089] LTPS TFT는 반도체 패턴(A1), 반도체 패턴(A1) 위에 게이트(G1), 반도체 패턴(A1)의 드레인 영역에 접촉된 제1

전극(S1), 및 반도체 패턴(A1)의 소스 영역에 접촉된 제2 전극(D1)을 포함한다. 반도체 패턴(A1)은 다결정 실리콘을 포함할 수 있다.

[0090] Oxide TFT는 반도체 패턴(A2), 반도체 패턴(A2) 아래에 배치된 게이트(G2), 반도체 패턴(A2)의 드레인 영역에 접촉된 제1 전극(S2), 및 반도체 패턴(A2)의 소스 영역에 접촉된 제2 전극(D2)을 포함한다. 반도체 패턴(A1)은 인듐-갈륨-아연 산화물(Indium Gallium Zinc Oxide: IGZO), 인듐-갈륨 산화물(Indium Gallium Oxide: IGO) 및 인듐-아연 산화물(Indium Zinc Oxide: IZO) 중 적어도 어느 하나의 산화물 반도체 물질을 포함할 수 있다.

[0091] 기관(SUBS)의 전체 표면 위에는 버퍼층(BUF)이 증착되어 있다. 버퍼층(BUF)은 생략될 수도 있다. 버퍼층(BUF) 위에는 제1 반도체 패턴(A1)이 형성된다. 제1 반도체 패턴(A1)의 소스 영역과 드레인 영역은 p+ 이온이 도핑된다.

[0092] 제1 게이트 절연막(GI1)은 제1 반도체 패턴(A1)을 덮도록 버퍼층(BUF) 상에 형성되고, 제1 금속 패턴들이 제1 게이트 절연막(GI1) 상에 증착된다. 제1 금속 패턴들은 LTPS TFT와 Oxide TFT의 게이트들(G1, G2)을 포함한다. 제2 게이트 절연막(GI2)이 제1 금속 패턴들을 덮도록 제1 게이트 절연막(GI1) 상에 형성된다.

[0093] 제1 층간 절연막(ILD1)과 제2 층간 절연막(ILD2)가 제2 게이트 절연막(GI2) 상에 적층되고, 그 위에 제2 반도체 패턴(A2)과 제2 금속 패턴들이 형성된다. 제2 금속 패턴들은 LTPS TFT와 Oxide TFT의 제1 및 제2 전극들(S1, D1, S2, D2)을 포함한다. LTPS TFT의 제1 및 제2 전극들(S1, D1)은 절연막을 관통한 콘택홀들(contact hole)을 통해 제1 반도체 패턴(A1)의 소스 영역과 드레인 영역에 접촉된다. Oxide TFT의 제1 및 제2 전극들(S2, D2)은 제2 반도체 패턴(A2) 상에 형성되어 제2 반도체 패턴(A2)의 소스 영역과 드레인 영역에 직접 접촉된다. 보호막(PAS)이 트랜지스터들(Oxide TFT, LTPS TFT) 상에 덮여진다.

[0094] 제1 및 제5 스위치 소자들(S1, S5)은 픽셀 회로에 연결된 데이터 전압 경로와 기준 전압 경로를 분리한다. 이렇게 데이터 전압 경로와 기준 전압 경로가 분리되면, 기준 전압이 인가되는 샘플링 시간(T_s)을 1 수평 기간 보다 길게 예를 들어, 2 수평 기간만큼 길게 할 수 있다. 이 때문에 본 발명의 픽셀 회로는 고해상도/고속 표시 패널에서 샘플링 시간을 확보할 수 있다. 한편, 하나의 데이터 라인과 하나의 스위치 소자를 통해 데이터 전압 경로와 기준 전압 경로가 공유되면, 1 수평 기간 내에서 샘플링 시간과 데이터 기입 시간이 시분할되기 때문에 샘플링 시간이 부족하게 되고, 고해상도/고속 표시패널에서 샘플링 시간이 더 부족하게 될 수 있다.

[0095] 제1 및 제5 스위치 소자들(S1, S5)은 픽셀 회로에 연결된 데이터 전압 경로와 기준 전압 경로를 분리된 구조는 샘플링 시간을 충분히 확보할 있을 뿐 아니라 스위치 소자의 문턱 전압을 간단히 센싱할 수 있는 효과가 더 있다. 이러한 센싱 방법에 대하여는 본원 출원인에 의해 기출원된 대한민국 특허 출원 제10-2016-0158431(2016. 11. 25)에서 상세히 설명되어 있다. 이 센싱 방법에 대하여 도 12를 결부하여 설명하기로 한다.

[0096] 도 12 내지 도 14는 센싱 모드에서 스위치 소자의 문턱 전압을 센싱하는 방법을 보여 주는 도면들이다. 도 14에서, “Tnor”은 노말 구동 모드이고, “Tsens”는 센싱 모드이다. Vref는 화면 상에 입력 영상이 표시되는 노말 구동 모드와 저소비 전력 구동 모드에서, VDD 보다 낮은 전압 예를 들어, 도 14에서 Vref1으로 설정된다. Vref는 센싱 모드에서 제1 및 제5 스위치 소자들(T1, T5)을 포함한 전류 경로에 전류를 공급하기 위하여 충분히 높은 전압 예를 들어, 도 14에서 Vref2로 설정될 수 있다.

[0097] 도 12 내지 도 14를 참조하면, 센싱 모드(Tsens)에서 제1 및 제2 스캔 신호(SCAN1, SCAN2)는 게이트 온 전압으로 발생되고, 나머지 게이트 신호는 게이트 오프 전압으로 발생된다. 따라서, 센싱 모드(Tsens)에서 제1 및 제5 스위치 소자들(T1, T5)이 턴-온되어 제3 전원 라인(1021)으로부터 데이터 라인(1022)으로 흐르는 전류 경로가 형성될 수 있다.

[0098] 제2 스캔 신호(SCAND2)의 전압은 센싱 모드(Tsens)에서 Vref2 보다 높은 전압으로 발생되기 때문에 제5 스위치 소자(T5)가 턴-온될 때 제1 스위치(T1)의 채널이 완전히 개방된다. 제1 스위치 소자(T1)의 게이트-소스 간 전압이 문턱 전압과 동일하게 될 때 제1 스위치 소자(T1)는 턴-오프된다. 이 때, 데이터 라인(1022)에 충전된 전압 즉, 데이터 라인(1022)의 기생 용량에 충전된 전압을 Vref2와 비교하여 제3 스위치 소자(T11)의 문턱 전압을 알 수 있다. 센싱 모드(Tsens)에서, 데이터 라인(1022)의 전압과 Vref2의 차 전압이 제1 스위치 소자(T1)의 문턱 전압이다. 따라서, 센싱 모드(Tsens)에서, 데이터 라인(1022)의 전압과 Vref2의 차 전압으로 제1 스위치 소자(T1)의 문턱전압이 센싱될 수 있다.

[0099] 도 15는 본 발명의 제3 실시예에 따른 픽셀 회로를 보여 주는 회로도이다. 도 16 및 도 17은 도 15에 도시된 픽셀 회로의 구동 방법을 보여 주는 파형도들이다. 이 제3 실시예는 제1 스위치 소자(T1)가 보텀 게이트(bottom gate) 구조의 NMOS 트랜지스터로 구현된 Oxide TFT이고, 제1 스위치 소자(T1)를 제어하기 위한 제1 스캔 신호

(SCAN1)의 위상이 역위상으로 변환 것을 제외하면, 제2 실시예와 실질적으로 동일하다. 제3 실시예에서 전술한 제2 실시예와 실질적으로 동일한 부분에 대하여는 구체적인 설명을 생략하기로 한다.

- [0100] 도 15 내지 도 17을 참조하면, 픽셀 회로는 발광 소자(EL)에 연결된 구동 소자(Tdr), 제1 내지 제5 스위치 소자들(T1 내지 T5), 스토리지 커패시터(Cst) 등을 포함한다.
- [0101] 제2 스캔 신호(SCAN2)의 전압은 초기화 시간(Ti)이 시작될 때 VGH로부터 VGL로 반전된다. 제1 스캔 신호(SCAN1)는 초기화 시간(Ti) 동안 VGL을 유지한다. 초기화 시간(Ti)은 제1 및 제2 초기화 구간(i1, i2)으로 나누어진다. EM 신호(EM)는 제1 초기화 구간(i1) 동안 VGL을 유지하고, 제2 초기화 구간(i2)이 시작될 때 VGH로 반전하여 데이터 기입 시간(Tw)까지 VGH를 유지한다. 제1 및 제2 스위치 소자(T1, T2)는 NMOS 트랜지스터이고, 그 이외의 나머지 스위치 소자들(T3~T5)과 구동 소자(Tdr)는 PMOS 트랜지스터이다. 따라서, 제4 및 제5 스위치 소자(T4, T5)는 제2 스캔 신호(SCAN)에 응답하여 초기화 시간(Ti) 동안 턴-온된다. 제2 스위치 소자(T2)는 EM 신호(EM)에 응답하여 제1 초기화 구간(i1) 동안 턴-오프된 후, 제2 초기화 구간(i2)에 턴-온된다. 제3 스위치 소자(T3)는 EM 신호(EM)에 응답하여 제1 초기화 구간(i1) 동안 턴-온된 후, 제2 초기화 구간(i2)에 턴-오프된다. 제4 및 제5 스위치 소자(T4, T5)는 제2 스캔 신호(SCAN2)에 응답하여 초기화 시간(Ti) 동안 턴-온된다. 제1 스위치 소자(T1)는 초기화 시간(Ti) 동안 오프 상태를 유지한다. 그 결과, 제1 초기화 구간(i1)에 제2 노드(n2)가 VDD로 초기화되고, 제3 노드(n3)가 VINI로 초기화된다. 이어서, 제2 초기화 구간(i2)에 제1-2 노드(n12)의 전압 즉, 구동 소자(Tdr)의 게이트 전압이 Vref로 초기화되고, 제3 노드(n3)의 전압이 VINI로 유지된다.
- [0102] 샘플링 시간(Ts) 동안, 제1 및 제2 스캔 신호(SCAN1, SCAN2)는 VGL로 유지되고, EM 신호(EM)는 VGH를 유지한다. 제1 및 제2 스위치 소자(T1, T2)는 NMOS 트랜지스터이고, 그 이외의 나머지 스위치 소자들(T3~T5)과 구동 소자(Tdr)는 PMOS 트랜지스터이다. 따라서, 샘플링 시간(Ts)에 제2, 제4 및 제5 스위치 소자들(T2, T4, T5)이 턴-온된다. 제1 및 제3 스위치 소자들(T1, T3)은 샘플링 시간(Ts) 동안 턴-오프된다. 샘플링 시간(Ts) 동안, 구동 소자(Tdr)의 소스-게이트 간 전압(Vsg)은 구동 소자(Tdr)의 문턱 전압(Vth) 만큼 상승하고, 이 문턱 전압(Vth)이 스토리지 커패시터(Cst)에 저장된다.
- [0103] 데이터 기입 시간(Tw)이 시작될 때 제1 및 제2 스캔 신호(SCAN1, SCAN2)의 전압이 VGH로 반전된다. 데이터 기입 시간(Tw)이 시작될 때 EM 신호(EM)는 VGH를 유지한다. 제1 및 제2 스위치 소자(T1, T2)는 NMOS 트랜지스터이고, 그 이외의 나머지 스위치 소자들(T3~T5)과 구동 소자(Tdr)는 PMOS 트랜지스터이다. 따라서, 데이터 기입 시간(Tw)에 제1 및 제2 스위치 소자들(T1, T2)이 턴-온되고, 그 이외의 다른 스위치 소자들(T3, T4, T5)이 턴-오프된다. 데이터 기입 시간(Tw)에 구동 소자(Tdr)의 소스-게이트 간 전압(Vsg)은 구동 소자(Tdr)의 문턱 전압(Vth) 만큼 보상된 데이터 전압(Vdata)으로 변한다.
- [0104] 발광 시간(Tem)이 시작될 때 제1 스캔 신호(SCAN1)는 VGL로 반전되고, EM 신호(EM)는 VGL로 반전된다. 제2 스캔 신호(SCAN2)는 VGH로 유지된다. 제1 및 제2 스위치 소자(T1, T2)는 NMOS 트랜지스터이고, 그 이외의 나머지 스위치 소자들(T3~T5)과 구동 소자(Tdr)는 PMOS 트랜지스터이다. 따라서, 발광 시간(Tem)에 제3 스위치 소자(S3)가 턴-온되고 그 이외 다른 스위치 소자들(S1, S2, S4, S5)은 턴-오프된다.
- [0105] 발광 시간(Tem) 동안 구동 소자(Tdr)의 소스-게이트 간 전압(Vsg)에 따라 발광 소자(EL)에 전류(Ioled)가 흘러 발광 소자(EL)가 발광될 수 있다.
- [0106] 제2 스위치 소자(T2)가 도 11에 도시된 바와 같은 보텀 게이트 구조의 Oxide TFT로 형성되면, 초기화 시간(Ti)과 샘플링 시간(Ts) 동안 제2 스위치 소자(T2)의 기생 용량(Cp)만이 구동 소자(Tdr)의 게이트에 연결된다. 따라서, 본 발명의 제3 실시예에 따른 픽셀 회로는 구동 소자(Tdr)의 게이트에 연결되는 기생 용량(Cp)을 줄일 수 있기 때문에 구동 소자(Tdr)의 문턱 전압 보상률을 높일 수 있다. 그 결과, 구동 소자의 문턱 전압(Vth) 보상을 저하에 기인한 잔상과 화질을 개선할 수 있고, 게이트 라인들의 개수와 게이트 구동부(120)의 채널 수가 감소되기 때문에 표시패널 상에서 베젤 영역을 줄이고 고해상도 표시패널 설계에 유리하다.
- [0107] 도 18은 본 발명의 제4 실시예에 따른 픽셀 회로를 보여 주는 회로도이다. 도 19 및 도 20은 도 18에 도시된 픽셀 회로의 구동 방법을 보여 주는 파형도들이다. 이 제4 실시예는 제1 및 제5 스위치 소자(T2, T5)가 보텀 게이트(bottom gate) 구조의 NMOS 트랜지스터로 구현된 Oxide TFT이고, 제1 및 제5 스위치 소자(T1, T5)를 제어하기 위한 제1 및 제2 스캔 신호(SCAN1, SCAN2)의 위상이 역위상으로 변하게 되고, 반전된 제2 스캔 신호(/SCAN2)가 추가된 것을 제외하면, 제2 실시예와 실질적으로 동일하다. 제4 실시예에서 전술한 제2 실시예와 실질적으로 동일한 부분에 대하여는 구체적인 설명을 생략하기로 한다.

- [0108] 도 18 내지 도 20을 참조하면, 픽셀 회로는 발광 소자(EL)에 연결된 구동 소자(Tdr), 제1 내지 제5 스위치 소자들(T1 내지 T5), 스토리지 커패시터(Cst) 등을 포함한다.
- [0109] 초기화 시간(Ti)이 시작될 때, 제2 스캔 신호(SCAN2)는 VGH로 반전되고, 반전된 제2 스캔 신호(/SCAN2)는 VGL로 반전된다. 제1 스캔 신호(SCAN1)는 초기화 시간(Ti) 동안 VGL을 유지한다. 초기화 시간(Ti)은 제1 초기화 구간(i1)과 제2 초기화 구간(i2)으로 나누어진다. EM 신호(EM)는 제1 초기화 구간(i1) 동안 VGL을 유지하고, 제2 초기화 구간(i2)이 시작될 때 VGH로 반전하여 데이터 기입 시간(Tw)까지 VGH를 유지한다. 제1, 제2 및 제5 스위치 소자(T1, T2, T5)는 NMOS 트랜지스터이고, 제3 및 제4 스위치 소자들(T3, T4)과 구동 소자(Tdr)는 PMOS 트랜지스터이다. 따라서, 제4 및 제5 스위치 소자(T4, T5)는 제2 스캔 신호(SCAN2)에 응답하여 초기화 시간(Ti) 동안 턴-온된다. 제2 스위치 소자(T2)는 EM 신호(EM)에 응답하여 제1 초기화 구간(i1) 동안 턴-오프된 후, 제2 초기화 구간(i2)에 턴-온된다. 제3 스위치 소자(T3)는 EM 신호(EM)에 응답하여 제1 초기화 구간(i1) 동안 턴-온된 후, 제2 초기화 구간(i2)에 턴-오프된다. 제1 스위치 소자(T1)는 초기화 시간(Ti) 동안 오프 상태를 유지한다. 그 결과, 제1 초기화 구간(i1)에 제2 노드(n2)가 VDD로 초기화되고, 제3 노드(n3)가 VINI로 초기화된다. 이어서, 제2 초기화 구간(i2)에 제1-2 노드(n12)의 전압 즉, 구동 소자(Tdr)의 게이트 전압이 Vref로 초기화되고, 제3 노드(n3)의 전압이 VINI로 유지된다.
- [0110] 샘플링 시간(Ts) 동안, 제1 스캔 신호(SCAN1)와 반전된 제2 스캔 신호(/SCAN2)는 VGL로 유지되고, 제2 스캔 신호(SCAN2)와 EM 신호(EM)는 VGH를 유지한다. 제1, 제2 및 제5 스위치 소자(T1, T2, T5)는 NMOS 트랜지스터이고, 제3 및 제4 스위치 소자들(T3, T4)과 구동 소자(Tdr)는 PMOS 트랜지스터이다. 따라서, 샘플링 시간(Ts)에 제2, 제4 및 제5 스위치 소자들(T2, T4, T5)이 턴-온된다. 제1 및 제3 스위치 소자들(T1, T3)은 샘플링 시간(Ts) 동안 턴-오프된다. 샘플링 시간(Ts) 동안, 구동 소자(Tdr)의 소스-게이트 간 전압(Vsg)은 구동 소자(Tdr)의 문턱 전압(Vth) 만큼 상승하고, 이 문턱 전압(Vth)이 스토리지 커패시터(Cst)에 저장된다.
- [0111] 데이터 기입 시간(Tw)이 시작될 때 제1 스캔 신호(SCAN1)와 반전된 제2 스캔 신호(/SCAN2)의 전압이 VGH로 반전된다. 데이터 기입 시간(Tw)이 시작될 때 EM 신호(EM)는 VGH를 유지한다. 제1, 제2 및 제5 스위치 소자(T1, T2, T5)는 NMOS 트랜지스터이고, 제3 및 제4 스위치 소자들(T3, T4)과 구동 소자(Tdr)는 PMOS 트랜지스터이다. 따라서, 데이터 기입 시간(Tw)에 제1 및 제2 스위치 소자들(T1, T2)이 턴-온되고, 그 이외의 다른 스위치 소자들(T3, T4, T5)이 턴-오프된다. 데이터 기입 시간(Tw)에 구동 소자(Tdr)의 소스-게이트 간 전압(Vsg)은 구동 소자(Tdr)의 문턱 전압(Vth) 만큼 보상된 데이터 전압(Vdata)으로 변한다.
- [0112] 발광 시간(Tem)이 시작될 때 제1 스캔 신호(SCAN1)는 VGL로 반전되고, EM 신호(EM)는 VGL로 반전된다. 제1, 제2 및 제5 스위치 소자(T1, T2, T5)는 NMOS 트랜지스터이고, 제3 및 제4 스위치 소자들(T3, T4)과 구동 소자(Tdr)는 PMOS 트랜지스터이다. 따라서, 발광 시간(Tem)에 제3 스위치 소자(S3)가 턴-온되고 그 이외 다른 스위치 소자들(S1, S2, S4, S5)은 턴-오프된다.
- [0113] 발광 시간(Tem) 동안 구동 소자(Tdr)의 소스-게이트 간 전압(Vsg)에 따라 발광 소자(EL)에 전류(Ioled)가 흘러 발광 소자(EL)가 발광될 수 있다.
- [0114] 제2 스위치 소자(T2)가 도 11에 도시된 바와 같은 보텀 게이트 구조의 Oxide TFT로 형성되면, 초기화 시간(Ti)과 샘플링 시간(Ts) 동안 제2 스위치 소자(T2)의 기생 용량(Cp)만이 구동 소자(Tdr)의 게이트에 연결된다. 따라서, 본 발명의 제4 실시예에 따른 픽셀 회로는 구동 소자(Tdr)의 게이트에 연결되는 기생 용량(Cp)을 줄일 수 있기 때문에 구동 소자(Tdr)의 문턱 전압 보상률을 높일 수 있다. 그 결과, 구동 소자의 문턱 전압(Vth) 보상률 저하에 기인한 잔상과 화질을 개선할 수 있고, 게이트 라인들의 개수와 게이트 구동부(120)의 채널 수가 감소되기 때문에 표시패널 상에서 베젤 영역을 줄이고 고해상도 표시패널 설계에 유리하다.
- [0115] 도 21은 도 4에 도시된 픽셀 회로를 평면 구조를 보여 주는 평면도이다. 도 22는 도 7에 도시된 픽셀 회로를 평면 구조를 보여 주는 평면도이다.
- [0116] 제2 스위치 소자(T2)가 탑 게이트 구조의 LTPS TFT로 형성되면, 제2 스위치 소자(T2)의 게이트와 소스가 중첩되지 않기 때문에 도 21에 도시된 바와 같이 제2 스위치 소자의 기생 용량(Cp)이 거의 없다. 제2 스위치 소자(T2)가 보텀 게이트 구조의 Oxide TFT로 형성되면, 제2 스위치 소자(T2)의 기생 용량(Cp)이 존재하지만, 제1 및 제2 스위치 소자들(T1, T2)이 구동 소자(Tdr)의 게이트에 직접 연결되는 경우에 비하여, 구동 소자(Tdr)의 게이트에 연결되는 기생 용량(Cp)이 1/2 이하로 감소된다.
- [0117] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정

되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

[0118]

100 : 표시패널 110 : 데이터 구동부

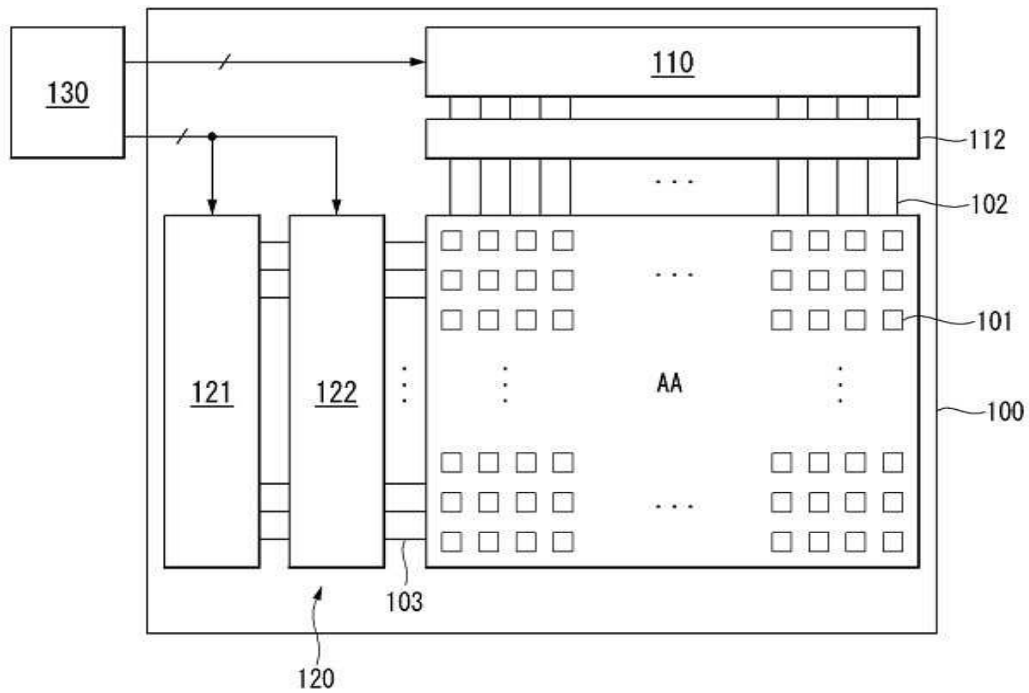
130 : 타이밍 콘트롤러 120 : 게이트 구동부

Tdr : 구동 소자 T1~T5 : 스위치 소자

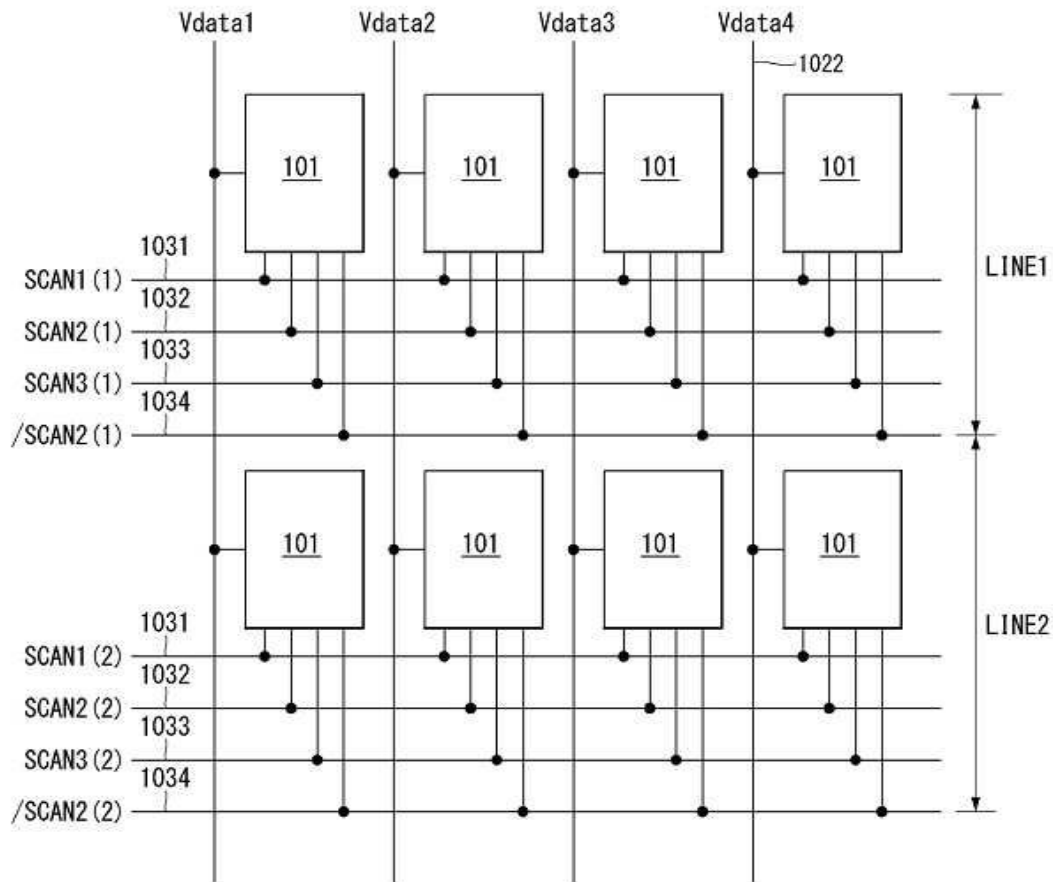
Cp : 기생 용량

도면

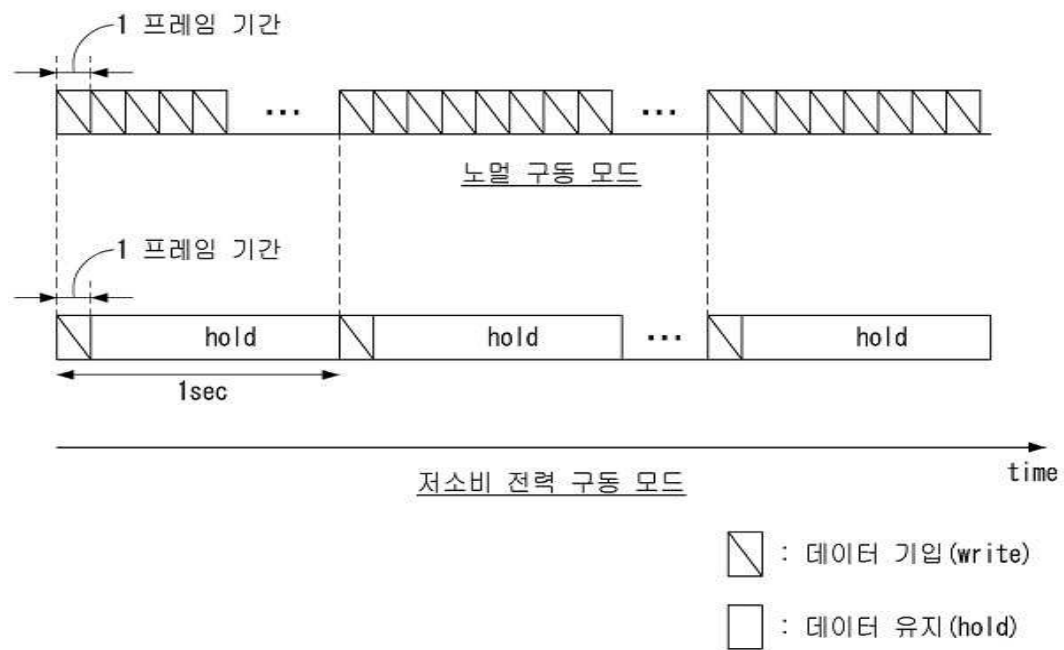
도면1



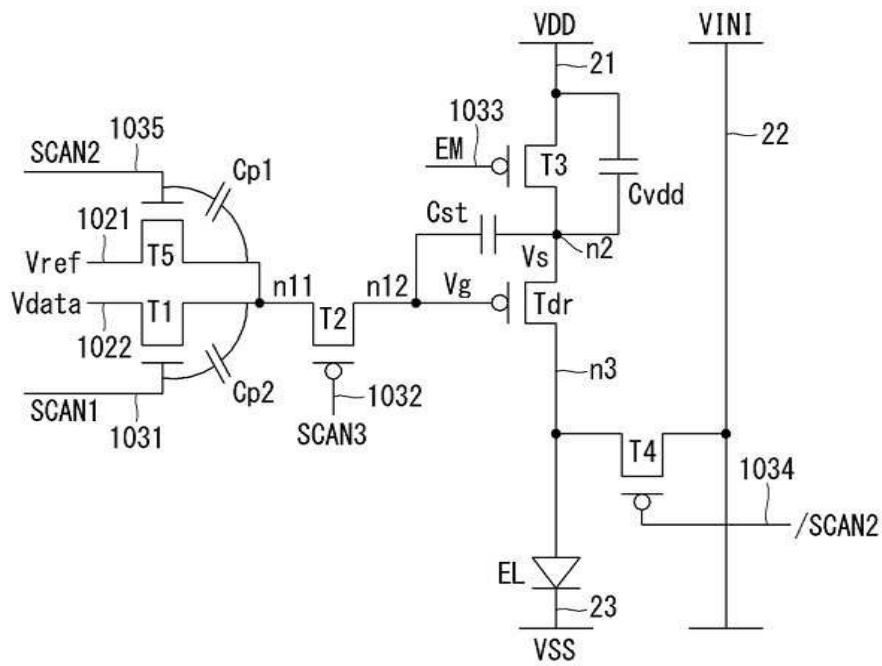
도면2



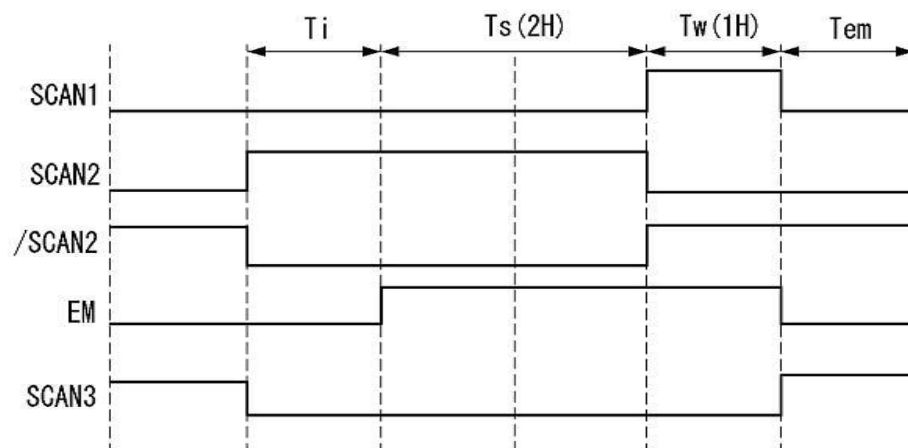
도면3



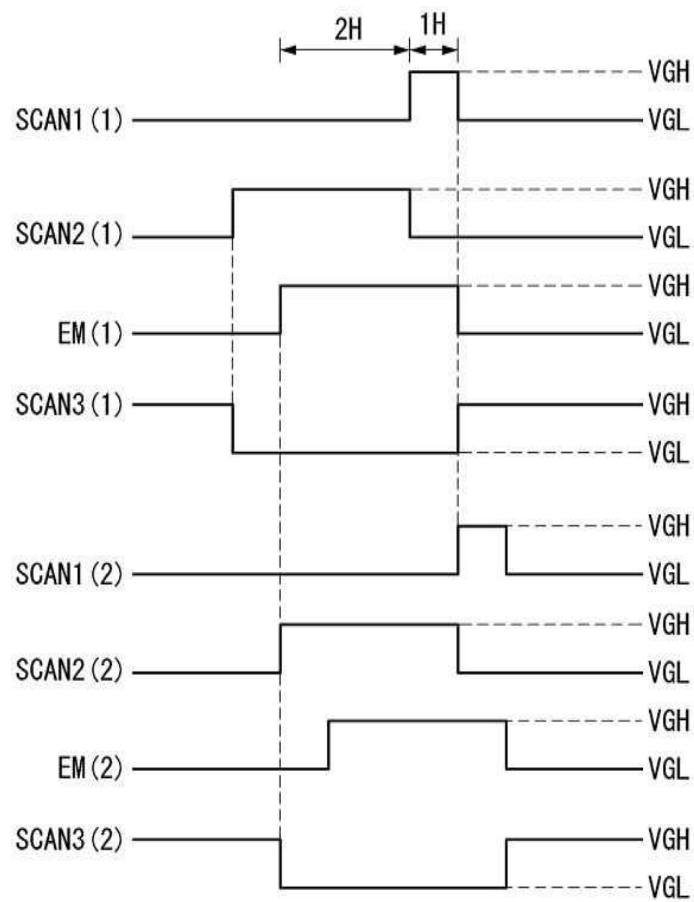
도면4



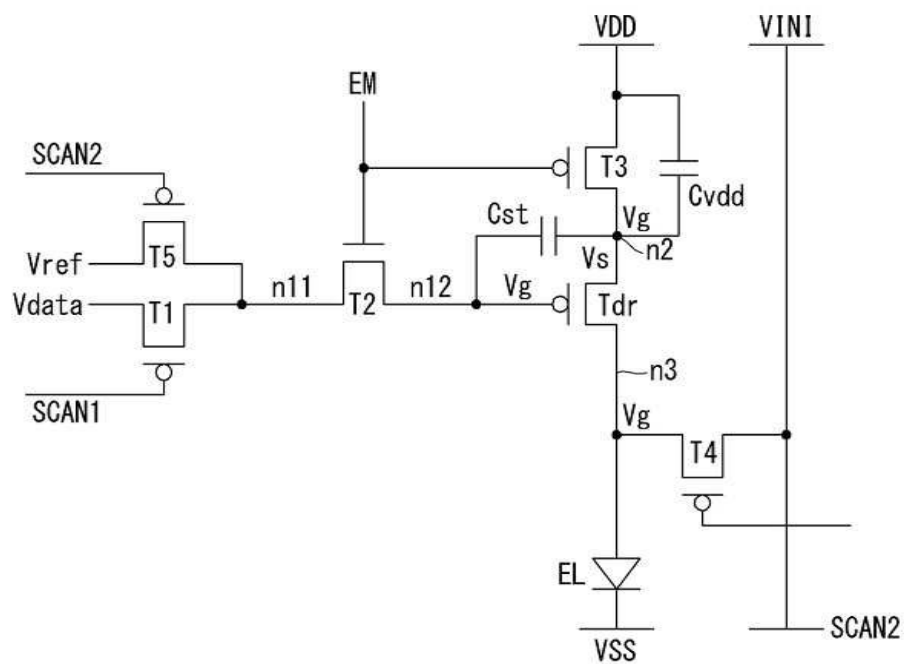
도면5



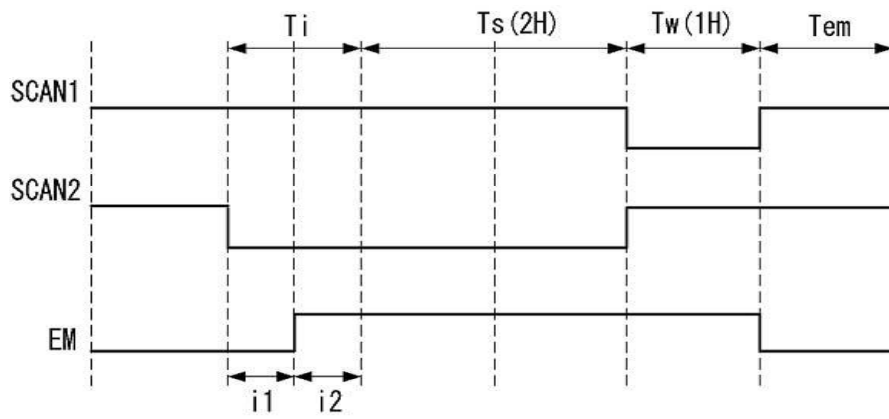
도면6



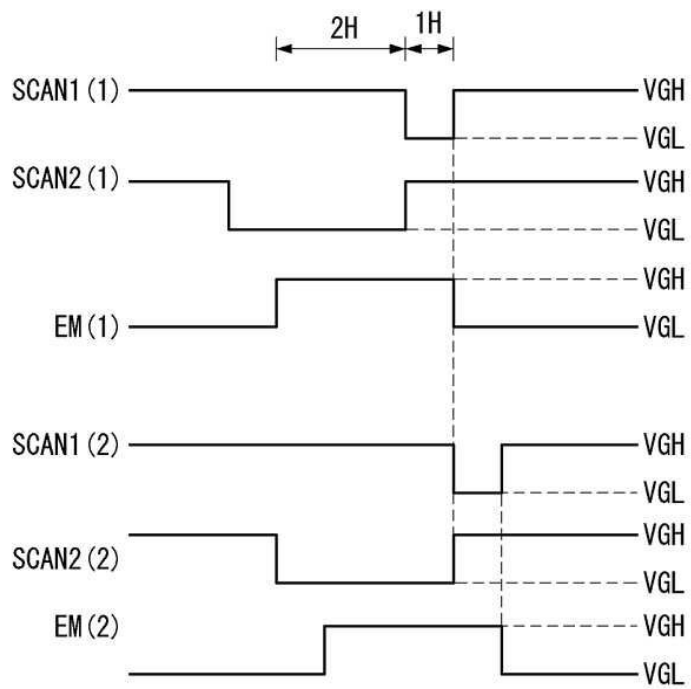
도면7



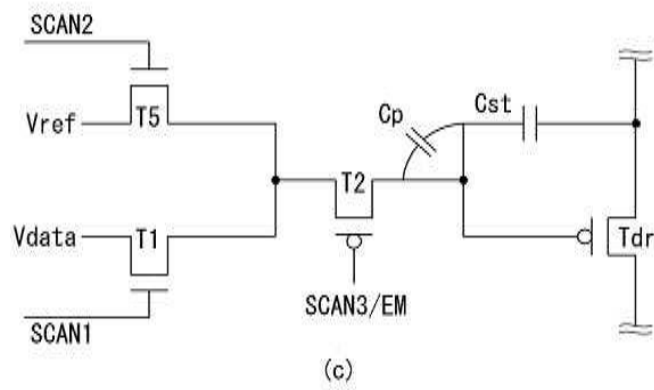
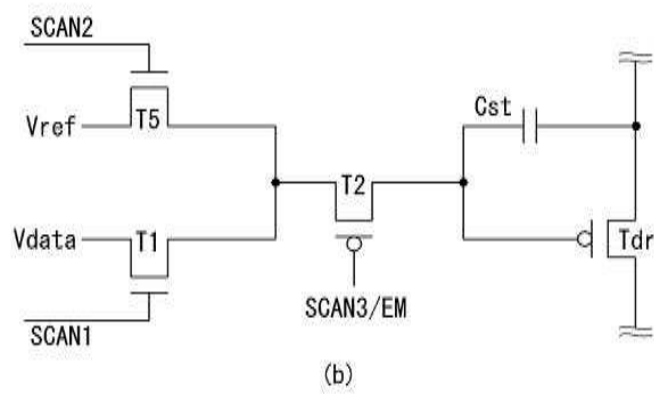
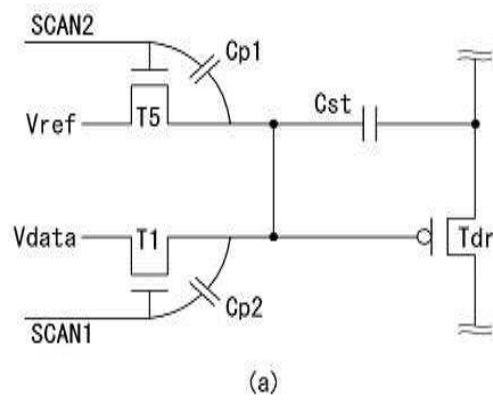
도면8



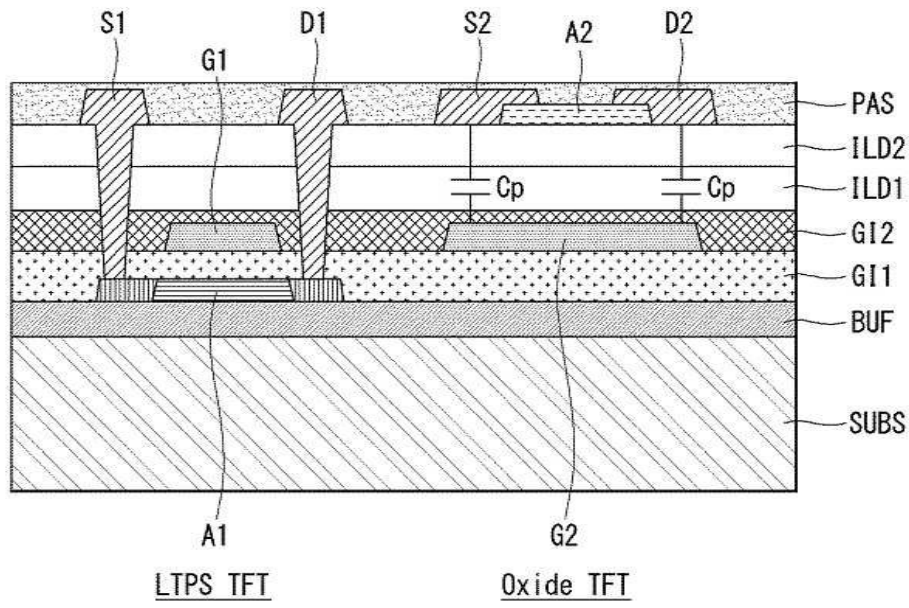
도면9



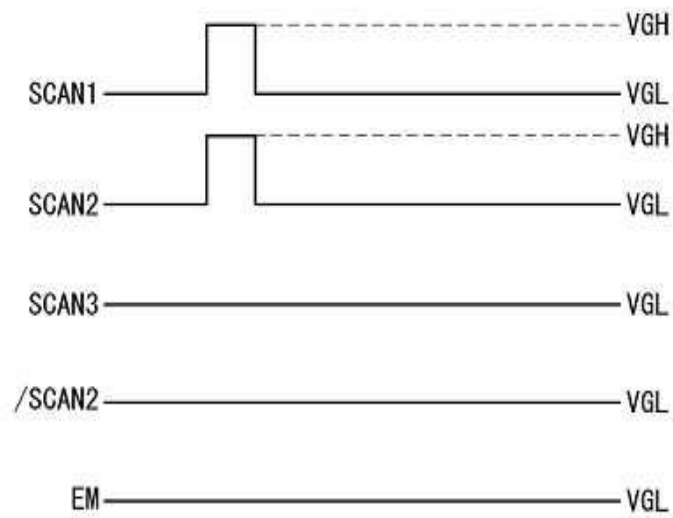
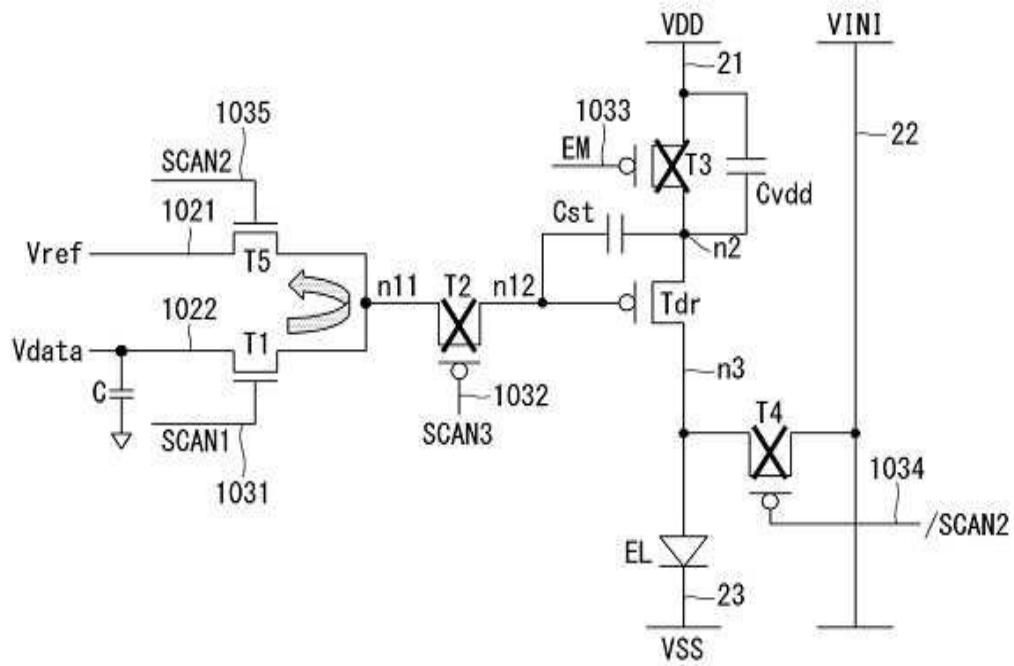
도면10



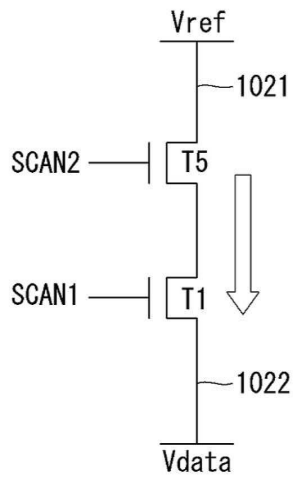
도면11



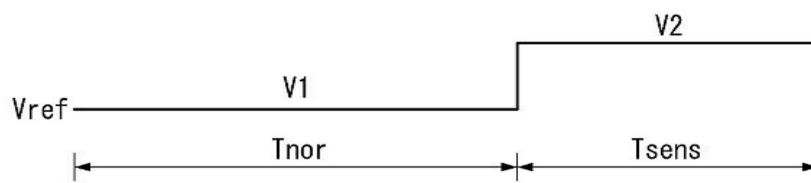
도면12



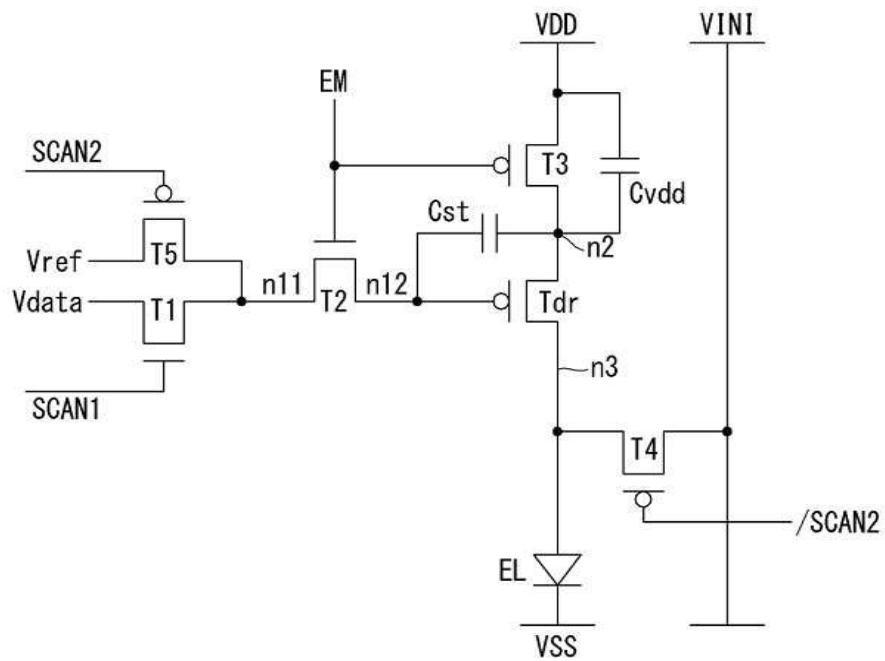
도면13



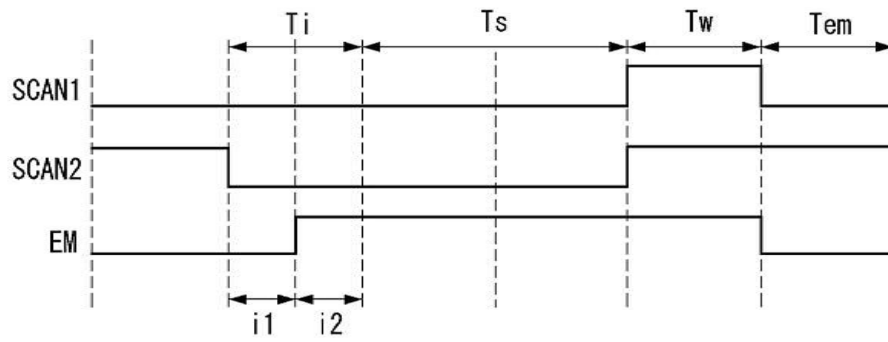
도면14



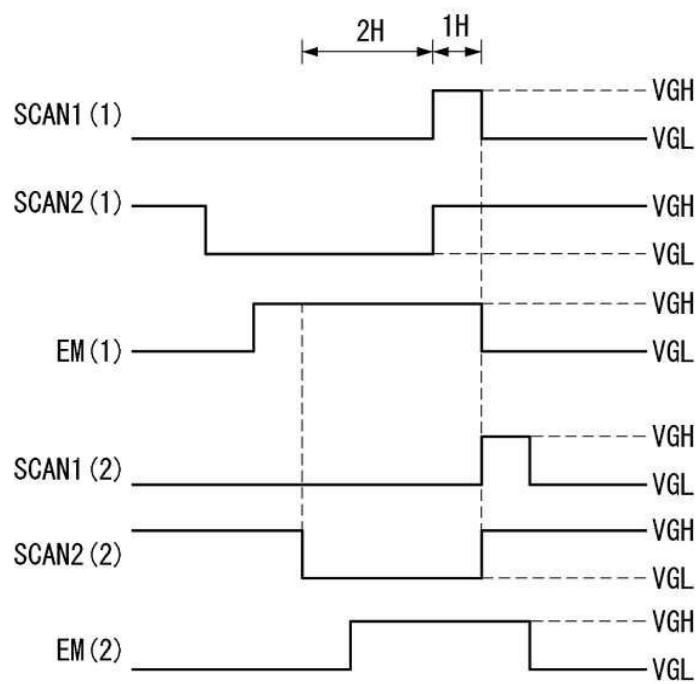
도면15



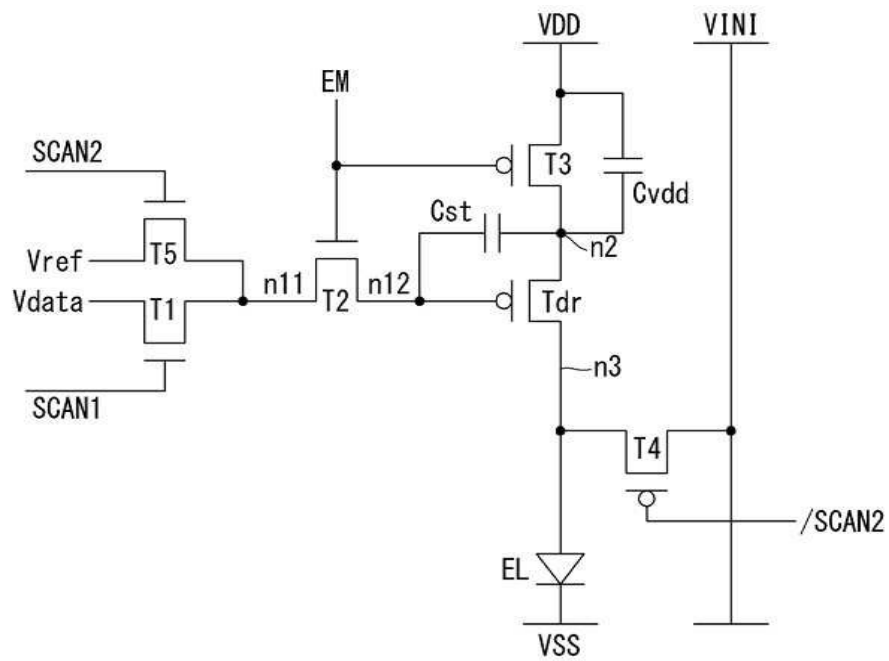
도면16



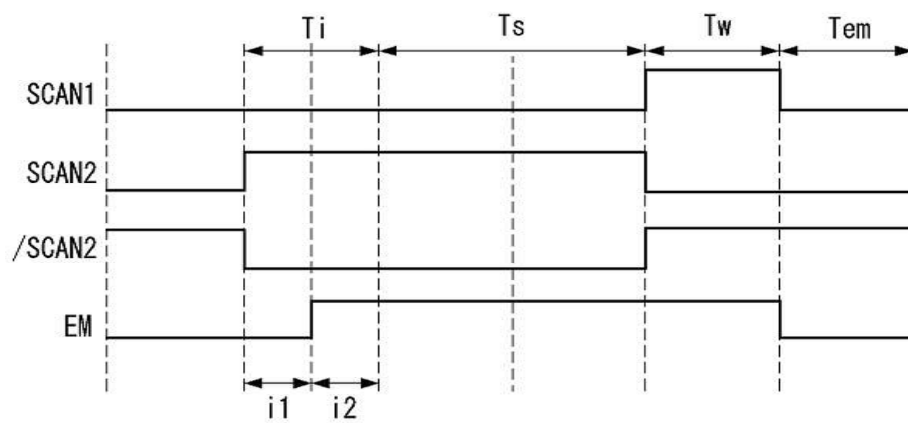
도면17



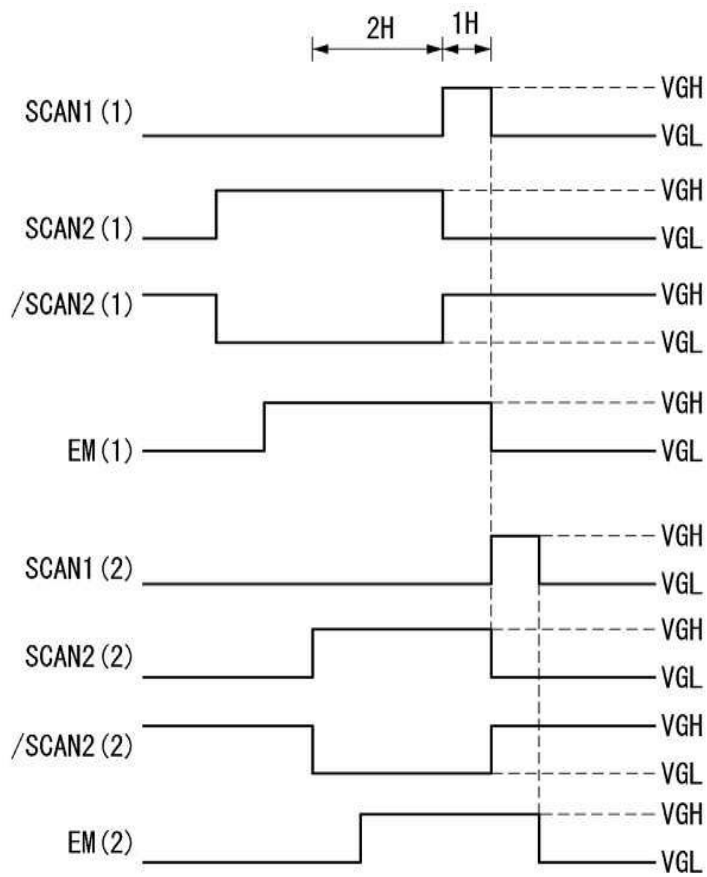
도면18



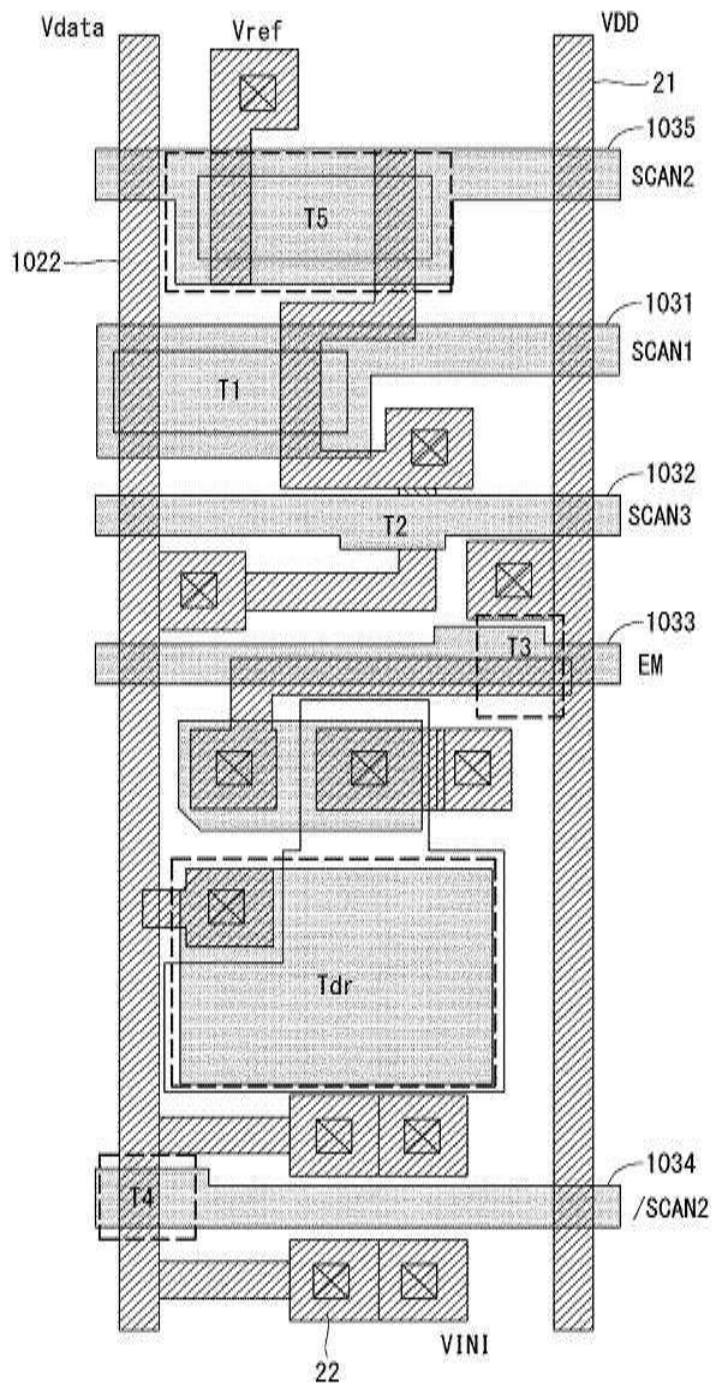
도면19



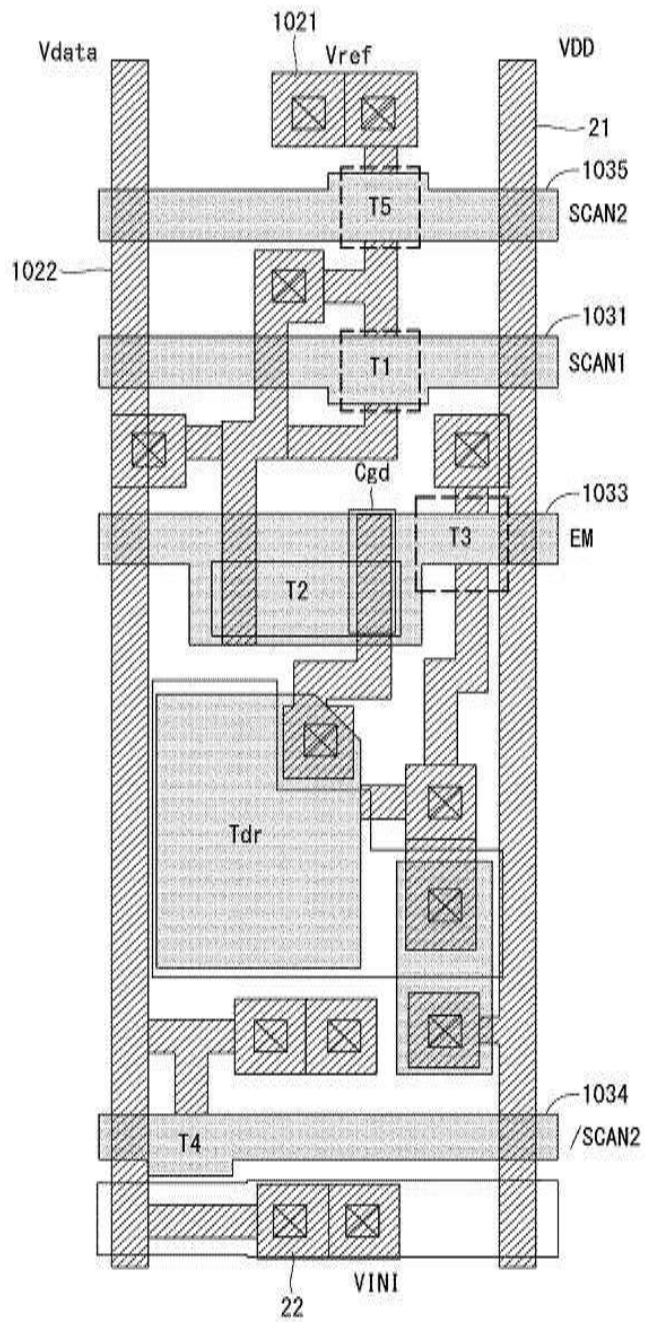
도면20



도면21



도면22



专利名称(译)	电致发光显示装置		
公开(公告)号	KR1020180135321A	公开(公告)日	2018-12-20
申请号	KR1020170073298	申请日	2017-06-12
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SHIN SUNG SOO 신성수 CHOI SO HEE 최소희 HONG YE WON 홍예원		
发明人	신성수 최소희 홍예원		
IPC分类号	G09G3/3233 H01L29/786		
CPC分类号	G09G3/3233 H01L29/78669 G09G2230/00 G09G2320/0257		
外部链接	Espacenet		

摘要(译)

电致发光显示装置的每个像素包括像素电路，用于对驱动元件的阈值电压进行采样，以驱动发光元件以补偿数据电压。像素电路包括连接到提供数据电压的数据电压路径的第一开关元件，连接到提供预定参考电压的参考电压路径的第二开关元件，以及连接到驱动元件的栅极和第一和第二开关元件的第二开关元件。并且第三开关元件连接在开关元件之间。

