



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0039052  
(43) 공개일자 2017년04월10일

(51) 국제특허분류(Int. Cl.)  
G09G 3/32 (2016.01)

(52) CPC특허분류  
G09G 3/3266 (2013.01)  
G09G 3/3233 (2013.01)

(21) 출원번호 10-2015-0138255

(22) 출원일자 2015년09월30일  
심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

박영주

서울특별시 성동구 성수일로8길 47 102동 2201호  
(성수동2가, 성수롯데캐슬파크)

윤성욱

경기도 고양시 덕양구 화신로 298 804동 1604호  
(화정동, 별빛마을8단지아파트)

(74) 대리인

특허법인로알

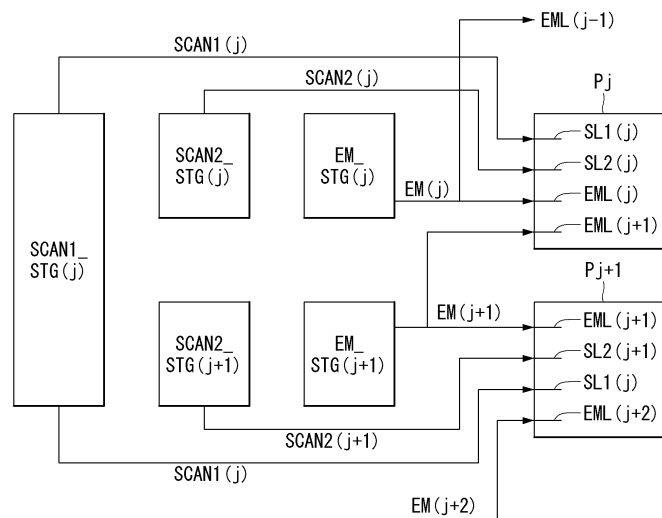
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 유기발광다이오드 표시장치

### (57) 요약

본 발명에 의한 유기발광다이오드 표시장치는 화소들 및 상기 화소들에 배치되는 트랜지스터들을 구동하는 쉬프트레지스터를 포함한다. 쉬프트레지스터는 제1 스캔신호를 인접하는 두 개의 수평라인에 배열된 화소들에 동시에 인가한다. 제2 스캔신호 스테이지는 제2 스캔신호를 인접하는 두 개의 수평라인에 배열된 화소들에 순차적으로 인가한다. 발광제어신호 스테이지는 제4 및 제5 트랜지스터들에 인가되는 발광제어신호를 생성한다.

### 대표도 - 도3



(52) CPC특허분류

G09G 2300/0842 (2013.01)

G09G 2310/0286 (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

화소들 및 상기 화소들에 배치되는 트랜지스터들을 구동하는 쉬프트레지스터를 포함하되,

상기 화소들은

노드 A에 접속되는 게이트전극, 노드 B에 접속되는 드레인전극 및 노드 C에 접속되는 소스전극으로 이루어지며, 노드 D에 접속하는 유기발광다이오드에 공급하는 구동전류를 제어하는 구동 트랜지스터;

상기 노드 A 및 노드 B 사이에 접속되고, 게이트전극이 제1 스캔신호를 인가받는 제1 트랜지스터;

노드 D 및 초기화전압 입력단 사이에 접속되고, 게이트전극이 상기 제1 스캔신호를 인가받는 제2 트랜지스터;

데이터라인 및 상기 노드 C 사이에 접속되고, 게이트전극이 제2 스캔신호를 인가받는 제3 트랜지스터;

상기 노드 B 및 고전위전압 입력단 사이에 접속되는 제4 트랜지스터; 및

상기 노드 C 및 상기 노드 D 사이에 접속되는 제5 트랜지스터를 포함하고,

상기 쉬프트레지스터는

상기 제1 스캔신호를 인접하는 두 개의 수평라인에 배열된 화소들에 동시에 인가하는 제1 스캔신호 스테이지;

상기 제2 스캔신호를 상기 인접하는 두 개의 수평라인에 배열된 화소들에 순차적으로 인가하는 제2 스캔신호 스테이지; 및

상기 제4 및 제5 트랜지스터들에 인가되는 발광제어신호를 생성하는 발광제어신호 스테이지를 포함하는 유기발광다이오드 표시장치.

#### 청구항 2

제 2 항에 있어서,

초기화 기간 내에서,

상기 제1 및 제2 트랜지스터는 상기 제1 스캔신호에 응답하여, 상기 노드 A를 고전위전압으로 초기화하고, 노드 D를 초기화전압으로 초기화하는 유기발광다이오드 표시장치.

#### 청구항 3

제 2 항에 있어서,

상기 초기화 기간에 이어지는 샘플링 기간 내에서,

상기 제1 트랜지스터는 상기 제1 스캔신호에 응답하여 턴-온되고, 상기 제3 트랜지스터는 상기 제2 스캔신호에 응답하여 턴-온 됨으로써, 상기 구동트랜지스터의 드레인-소스는 다이오드 커넥션되는 유기발광다이오드 표시장치.

#### 청구항 4

제 1 항에 있어서,

서로 인접하는  $j$  번째 수평라인 및  $(j+1)$  번째 수평라인에 배열되는 화소들을 구동하기 위한 상기 쉬프트 레지스터는

$j$  ( $j$ 는 자연수) 번째 제1 스캔신호를  $j$  번째 수평라인 및  $(j+1)$  번째 수평라인에 배치된 제1 및 제2 트랜지스터에 인가하는  $j$  번째 제1 스캔신호 스테이지;

$j$  번째 제2 스캔신호를  $j$  번째 수평라인에 배치된 제3 트랜지스터에 인가하는  $j$  번째 제2 스캔신호 스테이지;

(j+1) 번째 제2 스캔신호를 (j+1) 번째 수평라인에 배치된 제3 트랜지스터에 인가하는 (j+1) 번째 제2 스캔신호 스테이지;

j 번째 발광제어신호를 j 번째 수평라인에 배치된 제5 트랜지스터에 인가하는 j 번째 발광제어신호 스테이지;

(j+1) 번째 발광제어신호를 j 번째 수평라인에 배치된 제4 트랜지스터 (j+1) 번째 수평라인에 배치된 제5 트랜지스터에 인가하는 (j+1) 번째 발광제어신호 스테이지; 및

(j+2) 번째 발광제어신호를 (j+1) 번째 수평라인에 배치된 제4 트랜지스터에 인가하는 (j+2) 번째 발광제어신호 스테이지를 포함하는 유기발광다이오드 표시장치.

#### 청구항 5

제 4 항에 있어서,

상기 j 번째 제1 스캔신호 스테이지는

j 번째 수평라인에 배치된 화소들의 초기화 기간 및 샘플링 기간과 (j+1) 번째 수평라인에 배치된 화소들의 초기화 기간 및 샘플링 기간 동안에, 상기 제1 및 제2 트랜지스터를 턴-온 시키는 j 번째 제1 스캔신호를 출력하는 유기발광다이오드 표시장치.

#### 청구항 6

제 4항에 있어서,

상기 j 번째 제2 스캔신호 스테이지는 j 번째 수평라인에 배치된 화소들의 샘플링 기간 동안에 상기 제3 트랜지스터를 턴-온 시키는 j 번째 제2 스캔신호를 출력하는 유기발광다이오드 표시장치.

#### 청구항 7

제 4 항에 있어서,

상기 j 번째 발광제어신호 스테이지는 j 번째 수평라인에 배치된 화소들의 초기화 기간 및 샘플링 기간 동안에 상기 제5 트랜지스터를 턴-오프 시키는 j 번째 발광제어신호를 출력하는 유기발광다이오드 표시장치.

#### 청구항 8

제 1 항에 있어서,

서로 인접하는 j 번째 수평라인 및 (j+1) 번째 수평라인에 배열되는 화소들을 구동하기 위한 상기 쉬프트 레지스터는

j(j는 자연수) 번째 제1 스캔신호를 j 번째 수평라인 및 (j+1) 번째 수평라인에 배치된 제1 및 제2 트랜지스터에 인가하는 j 번째 제1 스캔신호 스테이지;

j 번째 제2 스캔신호를 j 번째 수평라인에 배치된 제3 트랜지스터에 인가하는 j 번째 제2 스캔신호 스테이지;

(j+1) 번째 제2 스캔신호를 (j+1) 번째 수평라인에 배치된 제3 트랜지스터에 인가하는 (j+1) 번째 제2 스캔신호 스테이지;

j 번째 제1 발광제어신호를 j 번째 수평라인에 배치된 제5 트랜지스터에 인가하는 j 번째 제1 발광제어신호 스테이지;

j 번째 제2 발광제어신호를 j 번째 수평라인에 배치된 제4 트랜지스터에 인가하는 j 번째 제2 발광제어신호 스테이지;

(j+1) 번째 제1 발광제어신호를 (j+1) 번째 수평라인에 배치된 제5 트랜지스터에 인가하는 (j+1) 번째 제1 발광제어신호 스테이지; 및

(j+1) 번째 제2 발광제어신호를 (j+1) 번째 수평라인에 배치된 제4 트랜지스터에 인가하는 (j+1) 번째 제2 발광제어신호 스테이지를 포함하는 유기발광다이오드 표시장치.

#### 청구항 9

제 8 항에 있어서,

상기 j 번째 제1 스캔신호 스테이지는

j 번째 수평라인에 배치된 화소들의 초기화 기간 및 샘플링 기간과 (j+1) 번째 수평라인에 배치된 화소들의 초기화 기간 및 샘플링 기간 동안에, 상기 제1 및 제2 트랜지스터를 턴-온 시키는 j 번째 제1 스캔신호를 출력하는 유기발광다이오드 표시장치.

#### 청구항 10

제 8 항에 있어서,

상기 j 번째 제1 발광제어신호 스테이지는 j 번째 수평라인에 배치된 화소들의 초기화 기간 및 샘플링 기간 동안에 상기 제5 트랜지스터를 턴-오프 시키는 j 번째 제1 발광제어신호를 출력하는 유기발광다이오드 표시장치.

#### 청구항 11

제 8 항에 있어서,

상기 j 번째 제2 발광제어신호 스테이지는 j 번째 수평라인에 배치된 화소들의 샘플링 기간 동안에 상기 제4 트랜지스터를 턴-오프 시키는 j 번째 제2 발광제어신호를 출력하는 유기발광다이오드 표시장치.

### 발명의 설명

#### 기술 분야

[0001] 본 발명은 액티브 매트릭스 타입의 유기발광다이오드 표시장치에 관한 것이다.

#### 배경 기술

[0002] 평판 표시장치(FPD; Flat Panel Display)는 소형화 및 경량화에 유리한 장점으로 인해서 데스크탑 컴퓨터의 모니터 뿐만 아니라, 노트북컴퓨터, PDA 등의 휴대용 컴퓨터나 휴대 전화 단말기 등에 폭넓게 이용되고 있다. 이러한 평판 표시장치는 액정표시장치(Liquid Crystal Display; LCD), 플라스마 표시장치(Plasma Display Panel; PDP), 전계 방출표시장치(Field Emission Display; FED) 및 유기발광다이오드 표시장치(Organic Light Emitting diode Display; OLED) 등이 있다.

[0003] 이 중에서 유기발광다이오드 표시장치는 응답속도가 빠르고, 발광효율이 높은 휘도를 표현할 수 있으며 시야각이 큰 장점이 있다. 자발광 소자인 유기발광다이오드는 도 1과 같은 구조를 갖는다. 유기발광다이오드는 애노드전극 및 캐소드전극과, 이들 사이에 형성된 유기 화합물층(HIL, HTL, EML, ETL, EIL)을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)으로 이루어진다. 애노드전극과 캐소드전극에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생한다.

[0004] 일반적으로 유기발광다이오드 표시장치는 스캔신호에 의해서 턴-온 되는 스캔 트랜지스터를 이용하여 데이터전압을 구동트랜지스터의 게이트 전극에 인가하고, 이처럼 구동트랜지스터에 공급되는 데이터전압을 이용하여 유기발광다이오드를 발광시킨다. 그리고 발광제어신호를 이용하여 구동트랜지스터와 고전위전압 입력단을 스위칭한다.

[0005] 스캔신호 및 발광제어신호를 생성하는 구동회로들은 표시패널의 베젤 영역에 게이트-인-패널(Gate In Panel, 이하 GIP) 형태로 구현되기도 한다. 근래에는 사용자의 요구에 따라 베젤 영역을 줄이기 위한 방안들이 모색되고 있는데, GIP 회로부로 인해서 베젤 사이즈를 줄이기가 쉽지 않은 상태이다.

### 발명의 내용

#### 해결하려는 과제

[0006] 평판 표시장치(FPD; Flat Panel Display)는 소형화 및 경량화에 유리한 장점으로 인해서 데스크탑 컴퓨터의 모

니터 뿐만 아니라, 노트북컴퓨터, PDA 등의 휴대용 컴퓨터나 휴대 전화 단말기 등에 폭넓게 이용되고 있다. 이러한 평판 표시장치는 액정표시장치(Liquid Crystal Display; LCD), 플라즈마 표시장치(Plasma Display Panel; PDP), 전계 방출표시장치(Field Emission Display; FED) 및 유기발광다이오드 표시장치(Organic Light Emitting diode Display; OLED) 등이 있다.

[0007] 이 중에서 유기발광다이오드 표시장치는 응답속도가 빠르고, 발광효율이 높은 휘도를 표현할 수 있으며 시야각이 큰 장점이 있다. 자발광 소자인 유기발광다이오드는 도 1과 같은 구조를 갖는다. 유기발광다이오드는 애노드전극 및 캐소드전극과, 이들 사이에 형성된 유기 화합물층(HIL, HTL, EML, ETL, EIL)을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)으로 이루어진다. 애노드전극과 캐소드전극에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생한다.

[0008] 일반적으로 유기발광다이오드 표시장치는 스캔신호에 의해서 턴-온 되는 스캔 트랜지스터를 이용하여 데이터전압을 구동트랜지스터의 게이트 전극에 인가하고, 이처럼 구동트랜지스터에 공급되는 데이터전압을 이용하여 유기발광다이오드를 발광시킨다. 그리고 발광제어신호를 이용하여 구동트랜지스터와 고전위전압 입력단을 스위칭한다.

[0009] 스캔신호 및 발광제어신호를 생성하는 구동회로들은 표시패널의 베젤 영역에 게이트-인-패널(Gate In Panel, 이하 GIP) 형태로 구현되기도 한다. 근래에는 사용자의 요구에 따라 베젤 영역을 줄이기 위한 방안들이 모색되고 있는데, GIP 회로부로 인해서 베젤 사이즈를 줄이기가 쉽지 않은 상태이다.

### 과제의 해결 수단

[0010] 상기 목적을 달성하기 위하여, 본 발명에 의한 유기발광다이오드 표시장치는 화소들 및 상기 화소들에 배치되는 트랜지스터들을 구동하는 쉬프트레지스터를 포함한다. 쉬프트레지스터는 제1 스캔신호를 인접하는 두 개의 수평라인에 배열된 화소들에 동시에 인가한다. 제2 스캔신호 스테이지는 제2 스캔신호를 인접하는 두 개의 수평라인에 배열된 화소들에 순차적으로 인가한다. 발광제어신호 스테이지는 제4 및 제5 트랜지스터들에 인가되는 발광제어신호를 생성한다.

### 발명의 효과

[0011] 본 발명에 의한 유기발광다이오드 표시장치는 하나의 스테이지로 구현되는 제1 스캔신호 스테이지가 한 쌍의 수평라인에 배열되는 화소들에 제1 스캔신호를 동시에 공급하기 때문에, 전체 표시패널을 구동하기 위한 제1 스캔신호 스테이지의 스테이지 개수를 줄일 수 있다. 그 결과, 제1 스캔신호 스테이지가 배치되는 베젤 영역을 줄일 수 있다.

### 도면의 간단한 설명

[0012] 도 1은 유기발광다이오드와 그 발광원리를 보여주는 도면.  
 도 2는 본 발명의 실시 예에 따른 유기발광다이오드 표시장치를 보여주는 도면.  
 도 3은 본 발명의 실시 예에 의한 쉬프트레지스터를 나타내는 도면.  
 도 4는 인접하는 한 쌍의 화소 구조를 나타내는 도면.  
 도 5는 도 4에 도시된 화소에 인가되는 데이터신호와 게이트신호를 나타내는 도면.  
 도 6a, 도 6b 및 도 6c는 본 발명의 화소 동작에 대응하는 등가 회로도.  
 도 7은 본 발명의 다른 실시 예에 의한 화소 구조를 나타내는 도면.  
 도 8은 다른 실시 예에 의한 쉬프트레지스터를 나타내는 도면.  
 도 9는 도 7에 도시된 화소에 인가되는 데이터신호와 게이트신호를 나타내는 도면.

### 발명을 실시하기 위한 구체적인 내용

- [0013] 이하, 첨부한 도면을 참조하여, 본 발명의 바람직한 실시 예를 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.
- [0014] 도 2는 본 발명의 실시예에 따른 유기발광다이오드 표시장치를 보여준다.
- [0015] 도 2를 참조하면, 본 발명에 의한 유기발광다이오드 표시장치는 화소들(P)이 매트릭스 형태로 배열되는 표시패널(100), 데이터 구동부(120), 게이트 구동부(130,140) 및 타이밍 컨트롤러(110)를 구비한다.
- [0016] 표시패널(100)은 화소(P)들이 배치되어 영상을 표시하는 표시부(100A) 및 쉬프트레지스터(140)가 배치되고 영상을 표시하지 않는 비표시부(100B)를 포함한다.
- [0017] 표시부(100A)는 복수 개의 화소(P)를 포함하고, 각각의 화소(P)들이 표시하는 계조를 기반으로 영상을 표시한다. 화소(P)들은 제1 내지 제n 수평라인(HL1 내지 HL[n])들을 따라 배열된다.
- [0018] 각각의 화소(P)는 컬럼라인(Column Line)을 따라 배열되는 데이터라인(DL)과 연결되고, 수평라인(HL)을 따라 배열되는 게이트라인(GL)에 연결된다. 게이트라인(GL)은 도 4에 보는 바와 같이, 제1 스캔라인(SL1), 제2 스캔라인(SL2) 및 발광제어신호라인(EML)을 포함한다. 그리고 각각의 화소(P)들은 유기발광다이오드(OLED), 구동트랜지스터(DT) 및 제1 내지 제5 트랜지스터(T1~T5), 스토리지 커패시터(Cst)를 포함한다. 각각의 트랜지스터들(DT, T1~T5)은 산화물 반도체층을 포함한 산화물 박막트랜지스터(Thin Film Transistor; 이하, 트랜지스터)로 구현될 수 있다. 다만, 본 발명은 이에 한정되지 않고 트랜지스터의 반도체층을 아몰포스 실리콘 또는, 산화물 반도체 층으로 형성할 수도 있다.
- [0019] 타이밍 컨트롤러(110)는 데이터 구동부(120) 및 게이트 구동부(130,140)의 구동 타이밍을 제어하기 위한 것이다. 이를 위해서 타이밍 컨트롤러(110)는 외부로부터 입력되는 디지털 비디오 데이터(RGB)를 표시패널(100)의 해상도에 맞게 재정렬하여 데이터 구동부(120)에 공급한다. 또한, 타이밍 컨트롤러(110)는 수직 동기 신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동부(120)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DDC)와, 게이트 구동부(130,140)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 발생한다.
- [0020] 데이터 구동부(120)는 데이터라인부(DL)를 구동하기 위한 것이다. 이를 위해서 데이터 구동부(120)는 데이터 제어신호(DDC)를 기반으로 타이밍 컨트롤러(110)로부터 입력되는 디지털 비디오 데이터(RGB)를 아날로그 데이터 전압으로 변환하여 데이터라인(DL)들에 공급한다.
- [0021] 스캔 구동부(130,140)는 레벨 시프터(130) 및 쉬프트 레지스터(140)를 포함한다. 레벨 시프터(130)는 레벨 시프터(130)는 IC 형태로 표시패널(100)에 접속되는 인쇄회로기판(미도시)에 형성되고, 쉬프트 레지스터(140)는 표시패널(100)의 비표시영역(100B)에 형성되는 게이트-인-패널(Gate In Panel; 이하 GIP) 방식으로 형성된다.
- [0022] 레벨 시프터(130)는 타이밍 컨트롤러(110)의 제어하에 클럭신호들(CLK) 및 스타트신호(VST)를 레벨 쉬프팅한 후 쉬프트 레지스터(140)에 공급한다. 쉬프트 레지스터(140)는 GIP 방식에 의해 표시패널(100)의 비표시영역(100B)에서 다수의 박막 트랜지스터(이하 트랜지스터)조합으로 형성된다. 쉬프트 레지스터(140)는 클럭신호들(CLK) 및 스타트신호(VST)에 대응하여 스캔 신호를 시프트하고 출력하는 스테이지들로 구성된다.
- [0023] 도 3을 참조하여, j 번째 수평라인에 배열되는 화소(Pj)들 및 (j+1) 번째 수평라인에 배열되는 화소(Pj+1)들을 구동하기 위한 쉬프트레지스터(140)의 스테이지를 살펴보면 다음과 같다. 도 4에서와 같이, j 번째 수평라인에 배열되는 화소(Pj)는 j 번째 제1 스캔라인(SCAN1[j]), j 번째 제2 스캔라인(SCAN2[j]), j 번째 발광제어신호라인(EML[j]) 및 (j+1) 번째 발광제어신호라인(EML[j+1])을 포함한다.
- [0024] 인접하는 두 개의 수평라인(HLj, HL[j+1])에 배열된 화소들을 구동하기 위해서, 쉬프트레지스터(140)는 j 번째 제1 스캔신호 스테이지(SCAN 1\_STG[j]), j 번째 제2 스캔신호 스테이지(SCAN 2\_STG[j]), (j+1) 번째 제2 스캔신호 스테이지(SCAN2\_STG[j+1]), j 번째 발광제어신호 스테이지(EM\_STG[j]) 및 (j+1) 번째 발광제어신호 스테이지(EM\_STG[j+1])를 포함한다.
- [0025] j 번째 제1 스캔신호 스테이지(SCAN 1\_STG[j])는 j 번째 제1 스캔신호(SCAN1[j])생성하고, 이를 j 번째 수평라인에 배치되는 j 번째 제1 스캔라인(SL1[j]) 및 (j+1) 번째 수평라인에 배치된 제1 스캔라인(SL1[j+1])에 인가

한다.

- [0026] j 번째 제2 스캔신호 스테이지(SCAN 2\_STG[j])는 j 번째 제2 스캔신호(SCAN2[j])를 생성하고, 이를 j 번째 수평라인에 배치되는 j 번째 제2 스캔라인(SL2[j])에 인가한다.
- [0027] (j+1) 번째 제2 스캔신호 스테이지(SCAN 2\_STG[j+1])는 (j+1) 번째 제2 스캔신호(SCAN[j+1])를 생성하고, 이를 (j+1) 번째 수평라인에 배치되는 (j+1) 번째 제2 스캔라인(SL2[j+1])에 인가한다.
- [0028] j 번째 발광제어신호 스테이지(EM[j])는 j 번째 발광제어신호(EM[j])를 생성하고, 이를 j 번째 수평라인에 배치되는 j 번째 발광제어신호라인(EML[j]) 및 (j-1) 번째 수평라인에 배치되는 (j-1) 번째 발광제어신호라인(EML[j-1])에 인가한다.
- [0029] 이와 같이, 인접하는 한 쌍의 수평라인에 배열되는 화소들(PJ, Pj+1)은 동일한 제1 스캔신호를 인가받기 때문에, n/2 개의 제1 스캔신호 스테이지를 이용하여 n개의 수평라인에 배열된 화소들을 구동할 수 있다. 즉, 본 발명은 쉬프트레지스터(140)의 전체 면적을 줄일 수 있기 때문에, 비표시부(100B)의 베젤 영역을 줄일 수 있다.
- [0030] 도 3은 본 발명의 일 화소 구조를 보여주는 등가 회로도이다. 그리고, 도 4는 도 3의 화소에 인가되는 데이터신호와 게이트신호를 보여주는 파형도이다.
- [0031] 도 3을 참조하면, j(j는 자연수)번째 화소 행에 배치된 각 화소(PXL)는 유기발광다이오드, 구동 트랜지스터(DT), 제1 내지 제5 트랜지스터(T1~T5), 스토리지 커패시터(Cst)를 포함한다.
- [0032] 유기발광다이오드는 구동 트랜지스터(DT)로부터 공급되는 구동 전류에 의해 발광한다. 도 1과 같이 유기발광다이오드의 애노드전극과 캐소드전극 사이에는 다층의 유기 화합물층이 형성된다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)을 포함한다. 유기발광다이오드의 애노드전극은 노드 D에 접속되고, 그의 캐소드전극은 저전위 구동전압(ELVSS)의 입력단에 접속된다.
- [0033] 구동 트랜지스터(DT)는 자신의 게이트-소스 간 전압(Vgs)에 따라 유기발광다이오드에 인가되는 구동전류를 제어한다. 구동 트랜지스터(DT)의 게이트전극은 노드 A에 접속되고, 드레인전극은 노드 B에 접속되며, 소스전극은 노드 C에 접속된다.
- [0034] 제1 트랜지스터(T1)는 노드 A와 노드 B 사이에 접속되고, 제1 스캔신호(SCAN1)에 따라 온/오프 된다. 제1 트랜지스터(T1)의 게이트전극은 제1 스캔신호(SCAN1)가 인가되는 j 번째 제1 스캔라인(SL1[j])에 접속되고, 드레인전극은 노드 B에 접속되며, 소스전극은 노드 A에 접속된다.
- [0035] 제2 트랜지스터(T2)는 노드 D와 초기화전압(Vinit)의 입력단 사이에 접속되고, j 번째 제1 스캔신호(SCAN1[j])에 따라 온/오프 된다. 제2 트랜지스터(T2)의 게이트전극은 j 번째 제1 스캔신호(SCAN1[j])가 인가되는 j 번째 제1 스캔라인(SL[j])에 접속되고, 드레인전극은 노드 D에 접속되며, 소스전극은 초기화전압(Vinit)의 입력단에 접속된다.
- [0036] 제3 트랜지스터(T3)는 데이터라인(DL)과 노드 C 사이에 접속되고, j 번째 제2 스캔신호(SCAN2[j])에 따라 온/오프 된다. 제3 트랜지스터(T3)의 게이트전극은 제2 스캔신호(SCAN2[j])가 인가되는 j 번째 제2 스캔라인(SL2[j])에 접속되고, 드레인전극은 데이터라인(DL)에 접속되며, 소스전극은 노드 C에 접속된다.
- [0037] 제4 트랜지스터(T4)는 고전위전압(VDD)의 입력단과 노드 B 사이에 접속되고, (j+1) 번째 발광제어신호(EM[j+1])에 따라 온/오프 된다. 제4 트랜지스터(T4)의 게이트전극은 (j+1) 번째 발광제어신호(EM1[j+1])가 인가되는 (j+1) 번째 발광제어신호라인(EML[j+1])에 접속되고, 드레인전극은 고전위전압(VDD)의 입력단에 접속되며, 소스전극은 노드 B에 접속된다.
- [0038] 제5 트랜지스터(T5)는 노드 D와 노드 C 사이에 접속되고, j 번째 발광제어신호(EM2[j])에 따라 온/오프 된다. 제5 트랜지스터(T5)의 게이트전극은 j 번째 발광제어신호(EM[j])가 인가되는 j 번째 발광제어신호라인 EML[j]에 접속되고, 드레인전극은 노드 C에 접속되며, 소스전극은 노드 D에 접속된다.
- [0039] 스토리지 커패시터(Cst)는 노드 A와 노드 D 사이에 접속된다.
- [0040] 상술한 바와 같은 구조를 갖는 화소(P)의 동작을 살펴보면 다음과 같다. 도 5는 도 4의 화소(P)에 인가되는 신호들(EM, SCAN, DATA)을 나타내는 파형도이다. 도면에서, j수평주기(jH)는 j 번째 수평라인(HLj)에 배열된 화소(P)들의 스캔 기간을 의미한다.

- [0041] 도 6a 내지 도 6c는 각각 초기화 기간(Pi), 샘플링 기간(Ps), 발광 기간(Pe)에서의 화소(P)의 등가회로를 보여 준다. 도 6a 내지 도 6c에서 소자 및 전류 경로가 활성화된 것은 실선으로, 반대로 소자 및 전류 경로가 비활성화된 것은 점선으로 표시하고 있다.
- [0042] 한 프레임기간은, 도 5와 같이 노드 A와 노드 D를 초기화하는 초기화 기간(Pi), 구동 트랜지스터(DT)의 문턱전압을 샘플링하여 노드 A에 저장하는 샘플링 기간(Ps), 및 샘플링된 문턱전압을 포함하여 구동 트랜지스터(DT)의 게이트-소스 간 전압을 프로그래밍하고, 상기 프로그래밍된 게이트-소스 간 전압에 따른 구동전류로 유기발광다이오드를 발광시키는 발광 기간(Pe)으로 나뉘어질 수 있다.
- [0043] 본 발명은 j 번째 수평라인(HLj)에 배치된 화소들의 초기화 동작을 j-1번째 수평 기간([j-1]H)에서 행함으로써 j번째 수평 기간(jH)을 모두 샘플링 동작에 할애할 수 있게 된다. 이렇게 샘플링 기간(Ps)을 충분히 확보하면 구동 트랜지스터(DT)의 문턱전압을 보다 정확히 샘플링할 수 있는 효과가 있다.
- [0044] 이하, j 번째 수평라인(HLj)에 배치된 화소들의 동작을 살펴보면 다음과 같다.
- [0045] 초기화 기간(Pi) 동안, j 번째 제1 스캔신호(SCAN1[j])와 (j+1) 번째 발광제어신호(EM1[j+1])는 온 레벨로 인가되고, j 번째 제2 스캔신호(SCAN2[j])와 j 번째 발광제어신호(EM[j])는 오프 레벨로 인가된다. 초기화 기간(Pi)에서, j 번째 제1 스캔신호(SCAN1[j])에 응답하여 제1 및 제2 트랜지스터(T1,T2)가 턴 온 되고, (j+1) 번째 발광제어신호(EM1[j+1])에 응답하여 제4 트랜지스터(T4)가 턴 온 됨으로써, 노드 A는 고전위전압(VDD)로 초기화되고, 노드 D는 초기화전압(Vinit)으로 초기화된다. 이렇게 샘플링 동작에 앞서 노드 A, D를 초기화하는 이유는 샘플링의 신뢰성을 높이고, 유기발광다이오드의 불필요한 발광을 방지하기 위함이다. 이를 위해, 초기화전압(Vinit)은 유기발광다이오드의 동작전압보다 충분히 낮은 전압 범위 내에서 선택되고, 저전위전압(VSS)과 같거나 그보다 낮게 설정될 수 있다.
- [0046] 샘플링 기간(Ps) 동안, j 번째 제1 스캔신호(SCAN1[j]) 및 j 번째 제2 스캔신호(SCAN2[j])는 온 레벨로 인가되고, j 번째 발광제어신호(EM[j]) 및 (j+1) 번째 발광제어신호(EM[j+1])는 오프 레벨로 인가된다. 샘플링 기간(Ps)에서, j 번째 제1 스캔신호(SCAN1[j])에 응답하여 제1 및 제2 트랜지스터(T1,T2)가 턴 온 되고, j 번째 제2 스캔신호(SCAN2[j])에 응답하여 제3 트랜지스터(T3)가 턴 온 됨으로써, 구동 트랜지스터(DT)는 다이오드 커넥션(diode connection, 게이트전극과 드레인전극이 쇼트되어 트랜지스터가 다이오드처럼 동작함)되고, 노드 C에는 데이터전압(Vdata(j))이 인가된다. 여기서, 데이터전압(Vdata[j])은 샘플링 기간(Ps) 동안 구동 트랜지스터(DT)가 턴 온 될 수 있도록 충분히 낮은 전압( $Vdata[j] < VDD - V_{th}$ )으로 인가된다. 샘플링 기간(Ps)에서, 구동 트랜지스터(DT)의 드레인-소스 사이에는 전류( $I_{ds}$ )가 흐르며, 이러한 전류( $I_{ds}$ )에 의해 노드 A의 전위는 초기화 상태인 고전위전압(VDD)에서 데이터전압(Vdata[j])과 구동 트랜지스터(DT)의 문턱전압을 합산한 값( $Vdata[j] + V_{th}$ )까지 낮아진다.
- [0047] 발광 기간(Pe)은 한 프레임기간 중에서 초기화 기간(Pi)과 샘플링 기간(Ps)을 제외한 나머지 기간에 해당된다. 발광 기간(Pe) 동안에, j 번째 제1 스캔신호(SCAN1[j]) 및 j 번째 제2 스캔신호(SCAN2[j])는 모두 오프 레벨로 인가되고, 발광 기간(Pe) 시작 시점에서 1수평주기(1H)가 경과한 이후에는, j 번째 발광제어신호(EM[j]) 및 (j+1) 번째 발광제어신호(EM[j+1])가 모두 온 레벨로 인가된다.
- [0048] 발광 기간(Pe)에서, (j+1) 번째 발광제어신호(EM[j+1])에 응답하여 제4 트랜지스터(T4)가 턴 온 됨으로써 구동 트랜지스터(DT)의 드레인전극에 고전위전압(VDD)을 연결하고, j 번째 발광제어신호(EM[j])에 응답하여 제5 트랜지스터(T5)가 턴 온 됨으로써 노드 C 및 노드 D의 전위를 유기발광다이오드의 동작전압(Voled)으로 동일하게 한다.
- [0049] 발광 기간(Pe)에서, 노드 D의 전위는 초기화 상태인 초기화전압(Vinit)에서 유기발광다이오드의 동작전압(Voled)으로 변화된다. 발광 기간(Pe)에서, 노드 A는 플로팅됨과 아울러 스토리지 커패시터(Cst)를 통해 노드 D에 커플링되어 있기 때문에, 노드 A의 전위도 샘플링 기간(Ps)에서 셋팅된 전압( $Vdata[j] + V_{th}$ )에서 노드 D의 전위 변화분( $Voled - Vinit$ )만큼 변화된다. 즉, 발광 기간(Pe)에서, 노드 A의 전위는 " $Vdata[j] + V_{th} + Voled - Vinit$ "으로 셋팅되고, 노드 C 및 노드 D의 전위는 " $Voled$ "로 셋팅되며, 그에 따라 구동 트랜지스터(DT)의 게이트전압(Vg)에서 소스전압(Vs)을 뺀 게이트-소스 간 전압(Vgs)은 " $Vdata[j] + V_{th} - Vinit$ "으로 프로그래밍된다.
- [0050] 발광 기간(Pe)에서 유기발광다이오드에 흐르는 구동전류(Ioled)에 대한 관계식은 하기 수학적 식 1과 같이 된다. 유기발광다이오드는 이러한 구동전류에 의해 발광함으로써 원하는 표시 계조를 구현하게 된다.

# 수학식 1

$$I_{oled} = \frac{k}{2} [(V_{gs} - V_{th})]^2 = \frac{k}{2} [(V_{data}(n) - V_{ini})]^2$$

[0051]

[0052]

수학식 1에서, k는 구동 트랜지스터(DT)의 전자 이동도, 기생 커패시턴스 및 채널 용량 등에 의해 결정되는 비례 상수를 지시한다.

[0053]

구동전류(I<sub>oled</sub>) 수식은  $k/2(V_{gs} - V_{th})^2$ 인데, 발광 기간(Pe)을 통해 프로그래밍 된 V<sub>gs</sub>에는 구동 트랜지스터(DT)의 문턱전압(V<sub>th</sub>) 성분이 이미 포함되어 있으므로, 수학식 1과 같이 구동전류(I<sub>oled</sub>) 관계식에서 구동 트랜지스터(DT)의 문턱전압(V<sub>th</sub>) 성분은 소거된다. 이를 통해, 문턱전압(V<sub>th</sub>) 변화가 구동전류(I<sub>oled</sub>)에 미치는 영향이 제거된다.

[0054]

한편, 유기발광다이오드 표시장치의 휘도 균일도를 저해하는 또 다른 요인으로 위치별 IR 드롭 편차가 있다. IR 드롭 편차는 각 화소에 인가되는 고전위전압(VDD)에 편차를 야기한다. 하지만, 본 발명에서는 수학식 1에서와 같이 구동전류(I<sub>oled</sub>) 수식에 고전위전압(VDD)의 성분을 미 포함되게 함으로써 IR 드롭 편차가 구동전류(I<sub>oled</sub>)에 미치는 영향까지 제거할 수 있다.

[0055]

도 7은 다른 실시 예에 의한 화소 구조를 나타내는 도면이고, 도 8은 도 7에 도시된 화소(P)를 구동하기 위한 쉬프트레지스터를 나타내는 도면이다.

[0056]

전술한 실시 예에서, 제4 트랜지스터(T4)는 후단 스테이지에서 생성하는 발광제어신호를 입력받는다. 즉, (j+1) 번째 발광제어신호(EM[j+1])는 j 번째 수평라인에 배치된 화소들의 제4 트랜지스터에 인가되는 동시에 (j+1) 번째 수평라인에 배치된 화소들의 제5 트랜지스터에 인가된다. j 번째 수평라인의 샘플링 기간이 종료된 직후부터부터 1수평주기 동안은 (j+1) 번째 수평라인의 샘플링 기간에 대응된다. (j+1) 번째 수평라인의 샘플링 기간에는 제5 트랜지스터(T5)가 턴-오프 상태를 유지하여야 하기 때문에, j 번째 수평라인의 발광기간은 샘플링 기간이 종료되고 1수평주기 이후에 시작한다. 이에 반해서, 도 7에 도시된 실시 예의 화소 구조는 각각의 수평라인에 배치되는 화소들에 발광제어신호를 개별적으로 인가하기 때문에, 샘플링 기간이 종료된 직후에 발광기간이 시작한다.

[0057]

도 7 및 도 8을 참조하여 다른 실시 예에 의한 화소 구조 및 이를 구동하기 위한 쉬프트레지스터를 살펴보면 다음과 같다. 도 7 및 도 8에서 전술한 실시 예와 실질적으로 동일한 구조에 대해서는 동일한 도면부호를 사용하고 자세한 설명을 생략하기로 한다.

[0058]

도 7에서, j 번째 수평라인에 배치되는 화소들(P<sub>j</sub>)의 제4 트랜지스터(T4)는 j 번째 제2 발광제어신호(EM2[j])에 의해서 턴-온 또는 턴-오프된다. j 번째 수평라인에 배치되는 화소들(P<sub>j</sub>)의 제5 트랜지스터(T5)는 j 번째 제1 발광제어신호(EM1[j])에 의해서 턴-온 또는 턴-오프된다. 도 8을 참조하면, j 번째 제1 발광제어신호(EM1[j])는 j 번째 제1 발광제어신호 스테이지(EM1\_STG[j])에서 생성되고, j 번째 제2 발광제어신호(EM2[j])는 j 번째 제2 발광제어신호 스테이지(EM2\_STG[j])에서 생성된다.

[0059]

도 7 및 도 8에서와 같이, 각각의 수평라인에 인가되는 발광제어신호는 독립적으로 생성되기 때문에, 발광제어신호들이 서로 다른 동작 기간을 갖는 두 개의 수평라인에 동시에 인가되지 않는다. 따라서, 다른 실시 예에 화소들은 도 9에서와 같이, 샘플링 기간(Ps)과 발광 기간(pE)을 연속적으로 수행할 수 있다.

[0060]

도 9는 도 7에 도시된 화소(P)에 인가되는 신호들(EM, SCAN, DATA)의 타이밍을 나타내는 도면이다. 도 9에 도시된 신호들을 이용하여 도 7을 구동하는 방법은 전술한 실시 예와 실질적으로 동일하다.

[0061]

즉, j 번째 수평라인에 배열된 화소들(P<sub>j</sub>)의 초기화 기간(Pi) 동안에, j 번째 제1 스캔신호(SCAN1[j])를 이용하여 제1 및 제2 트랜지스터(T1, T2)를 턴-온 시켜서 노드 A 및 노드 D를 초기화한다.

[0062]

샘플링 기간(Ps) 동안에는, j 번째 제1 스캔신호(SCAN1[j]) 및 j 번째 제2 스캔신호(SCAN2[j])를 이용하여 구동 트랜지스터(DT)가 다이오드 커넥션이 되도록 한다.

[0063]

그리고 발광 기간(Pe) 동안에는, j 번째 제1 발광제어신호(EM1[j]) 및 j 번째 제2 발광제어신호(EM2[j])를 이용하여, 노드 C 및 노드 D를 유기발광다이오드의 동작전압으로 설정하고, 유기발광 다이오드에 전류를 공급한다.

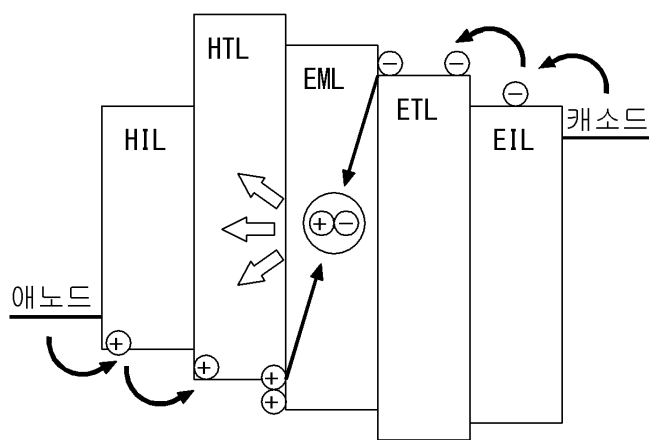
[0064] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

### 부호의 설명

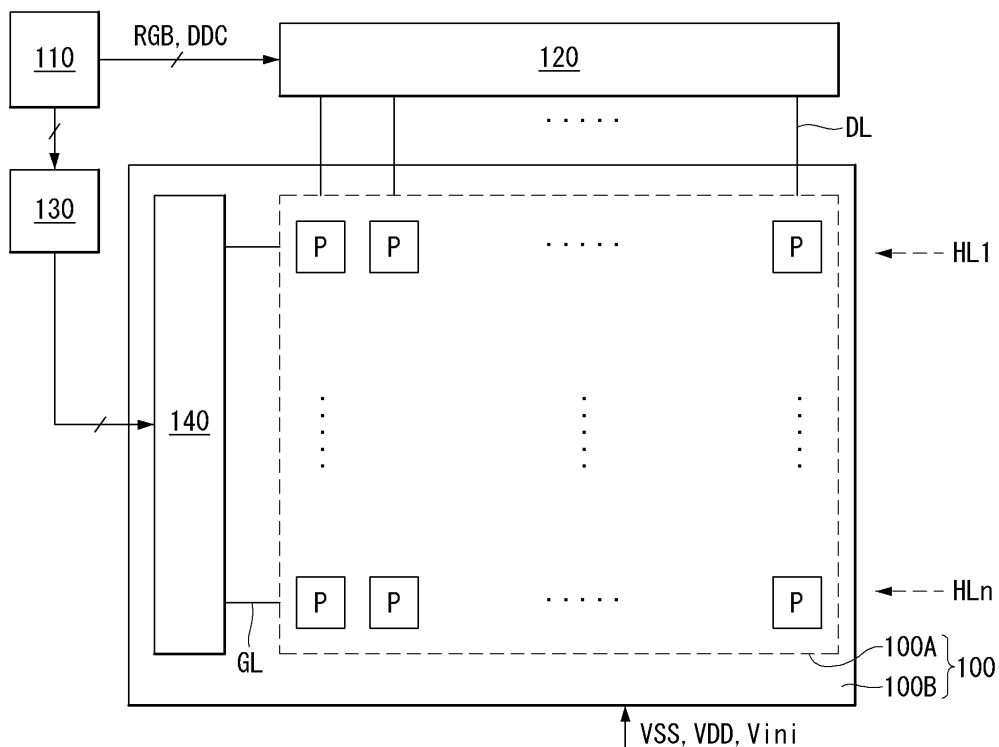
[0065] 100: 표시패널 110: 타이밍 컨트롤러  
120: 데이터 구동회로 130: 레벨 쉬프터  
140: 쉬프트 레지스터

### 도면

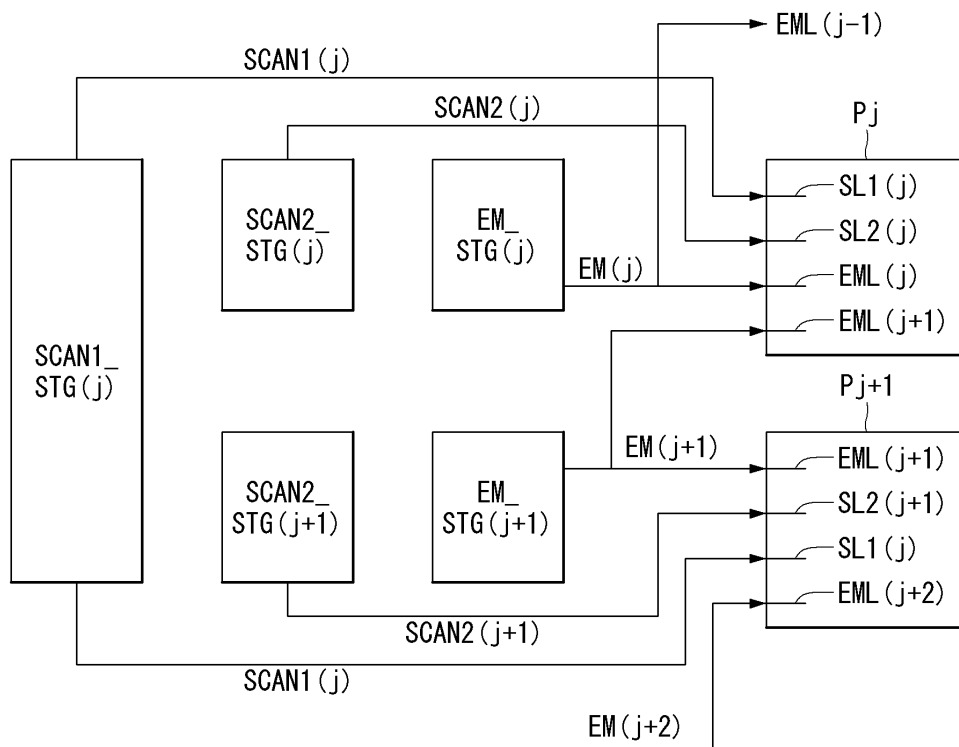
도면1



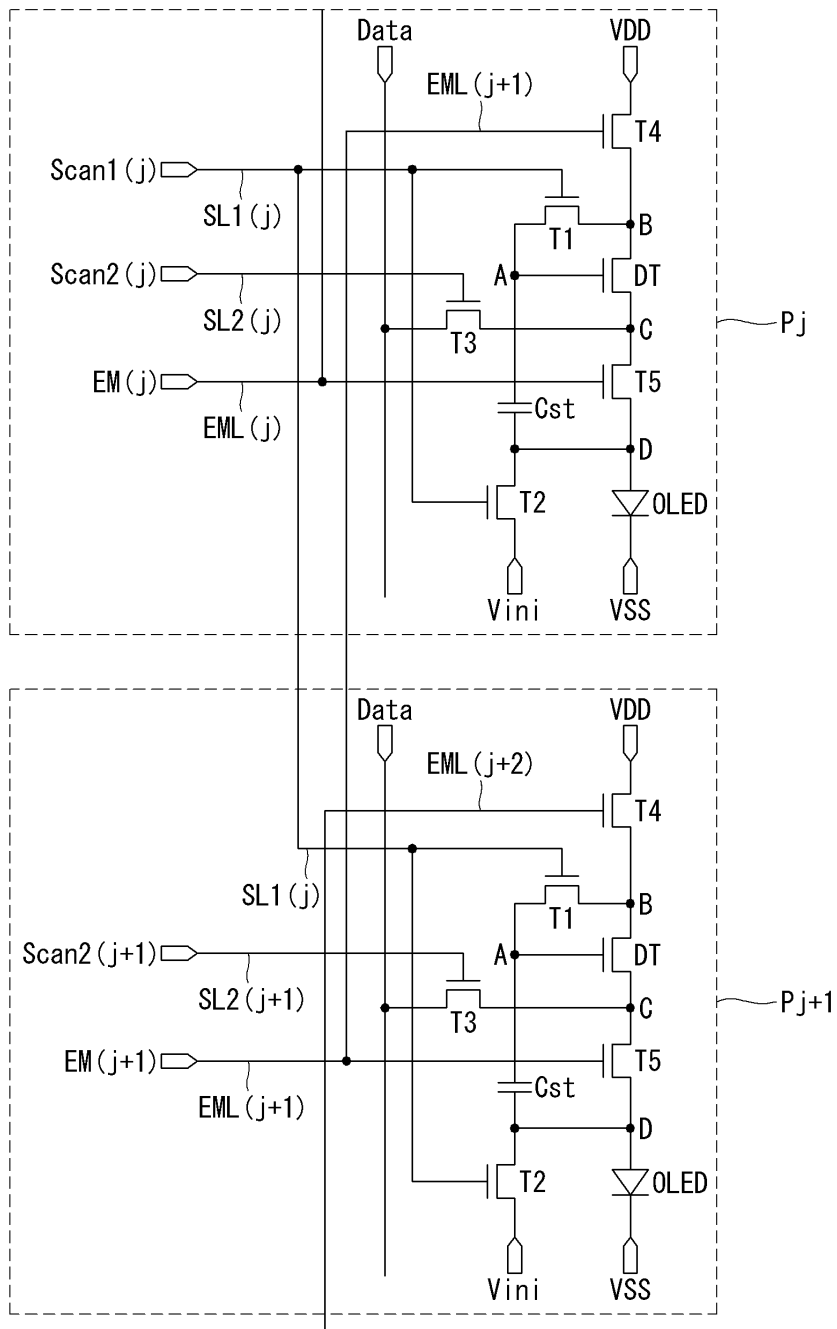
도면2



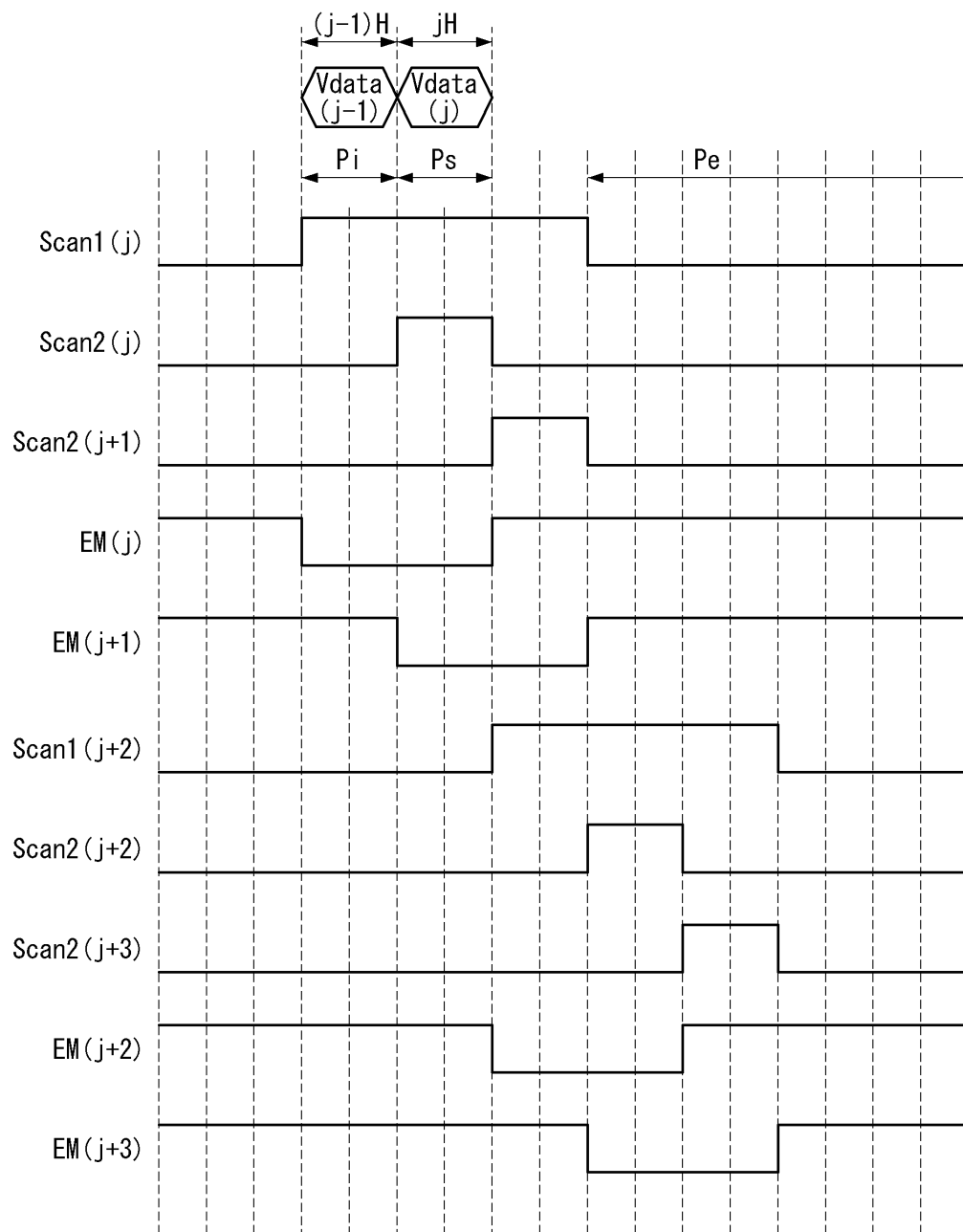
도면3



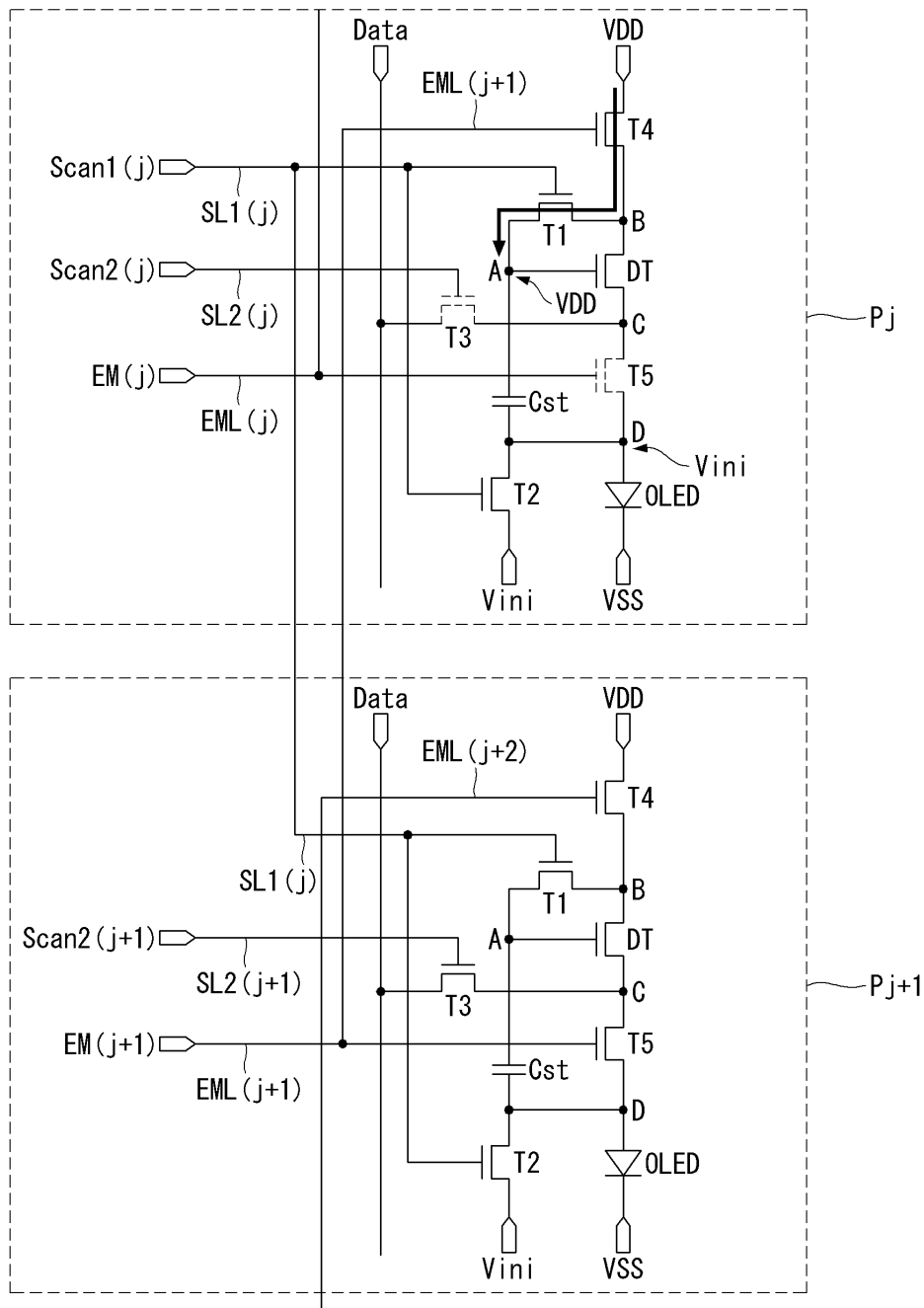
도면4



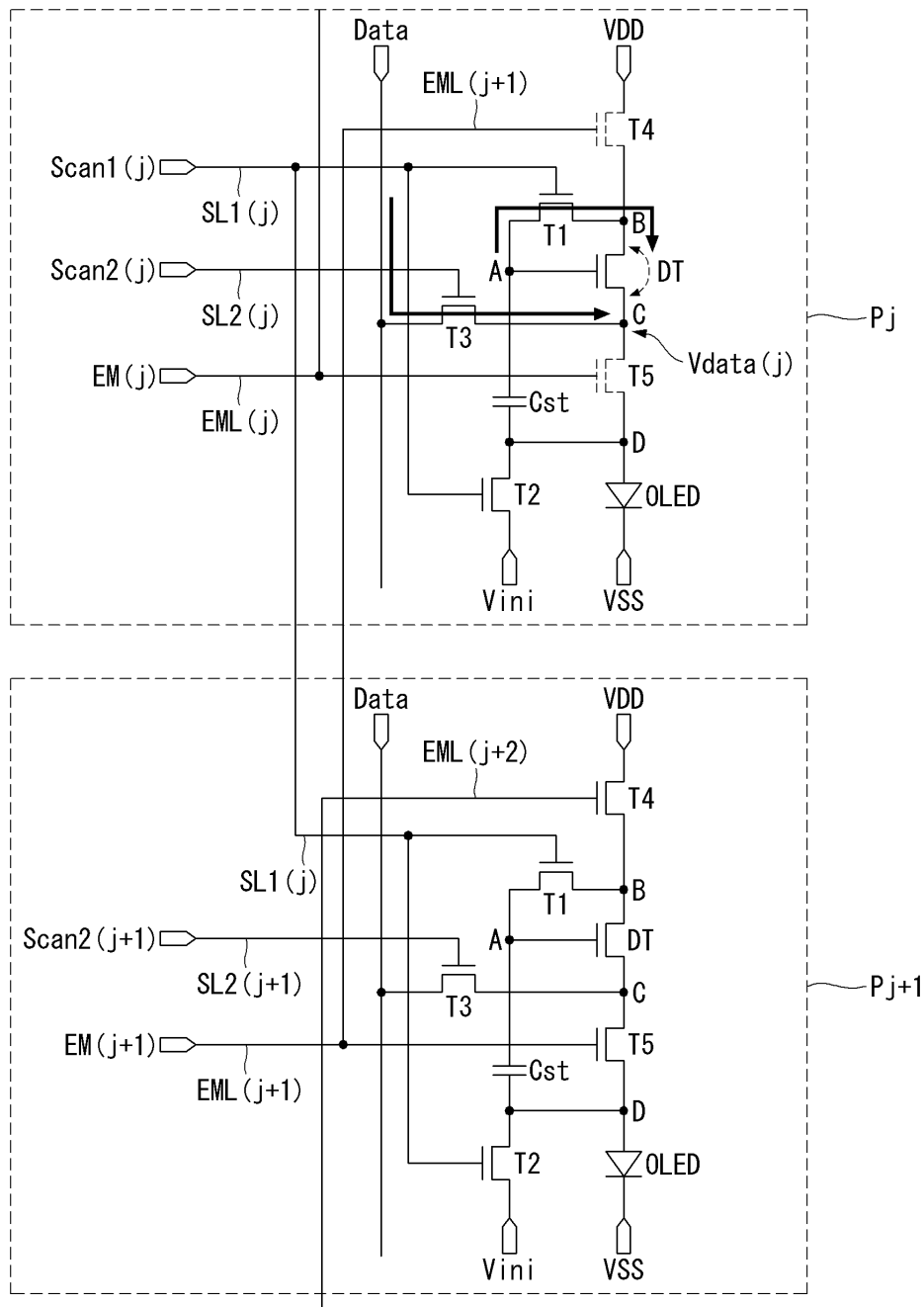
도면5



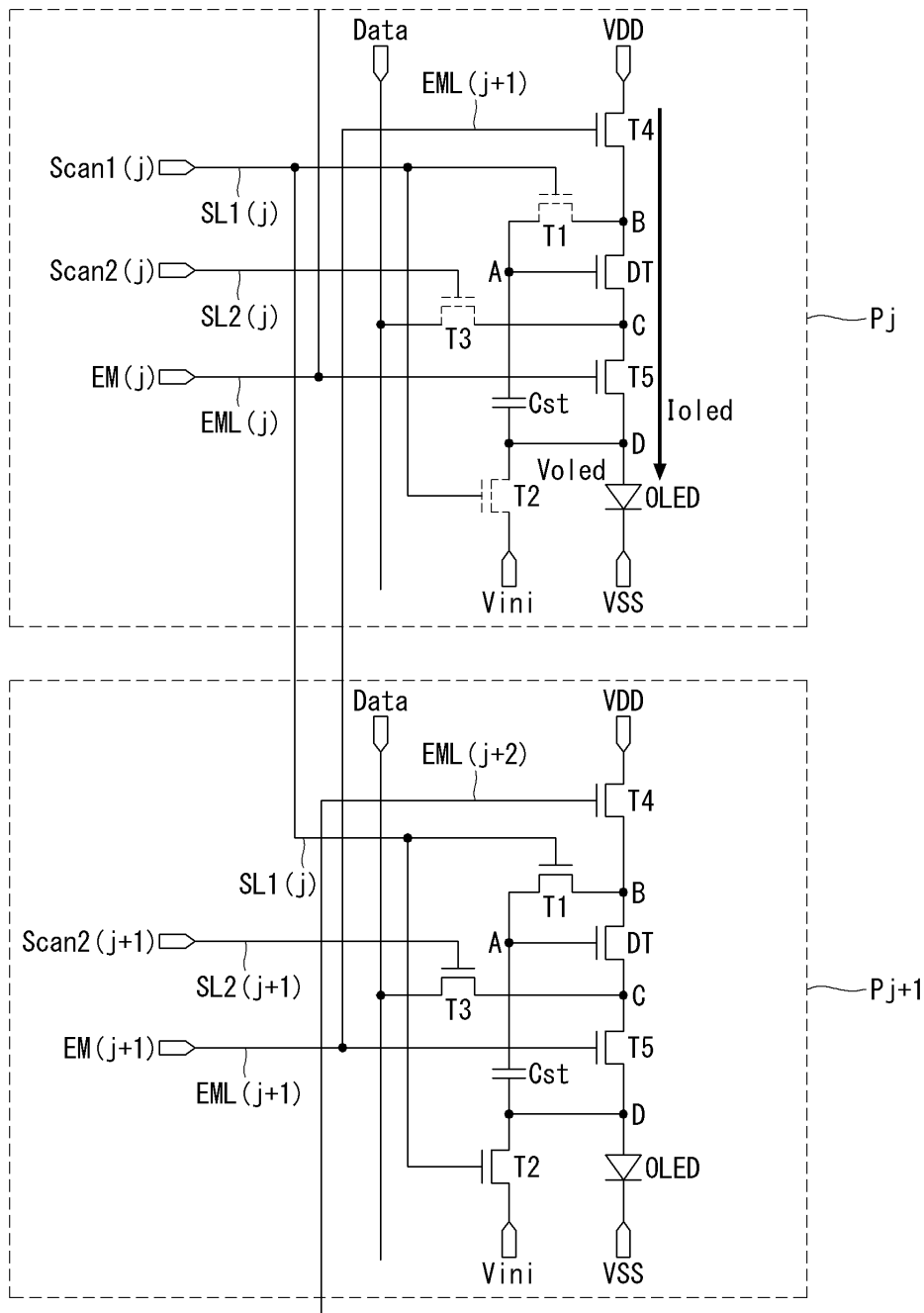
도면6a



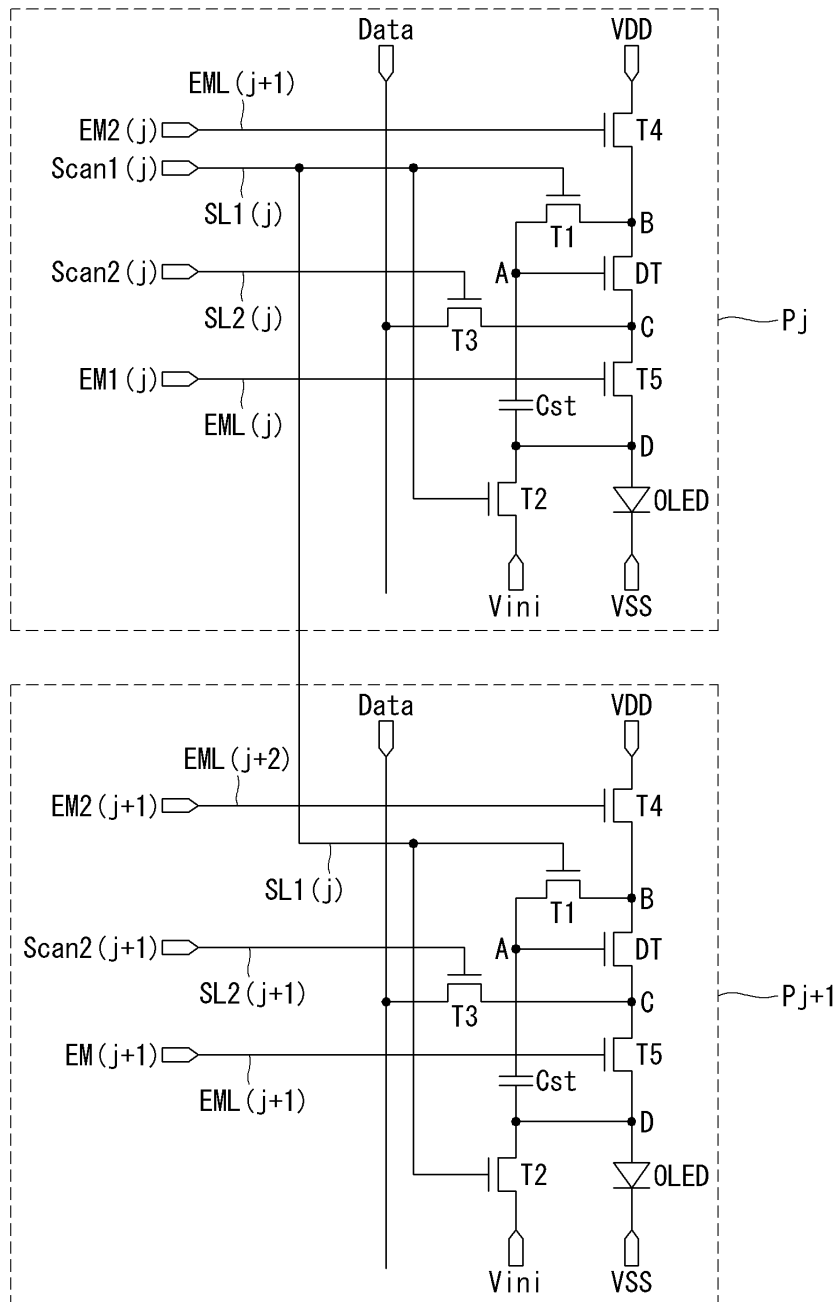
도면6b



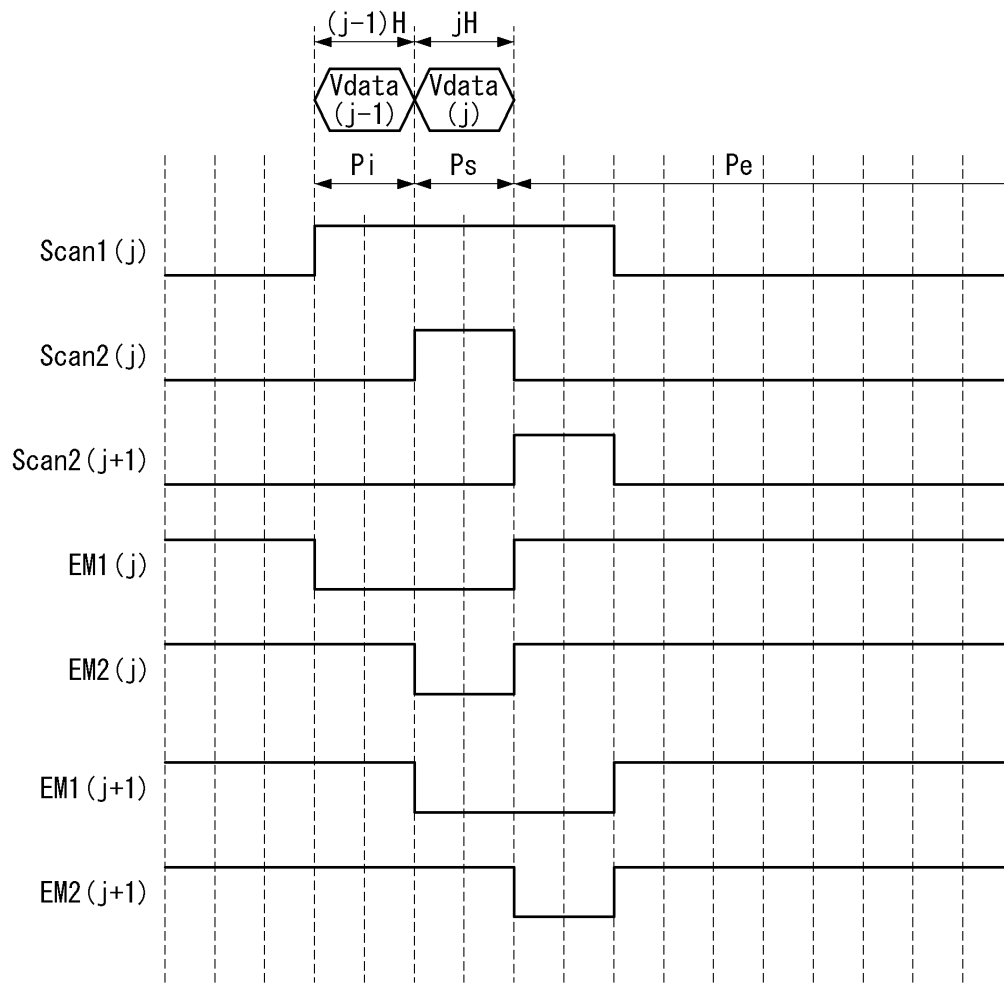
도면6c



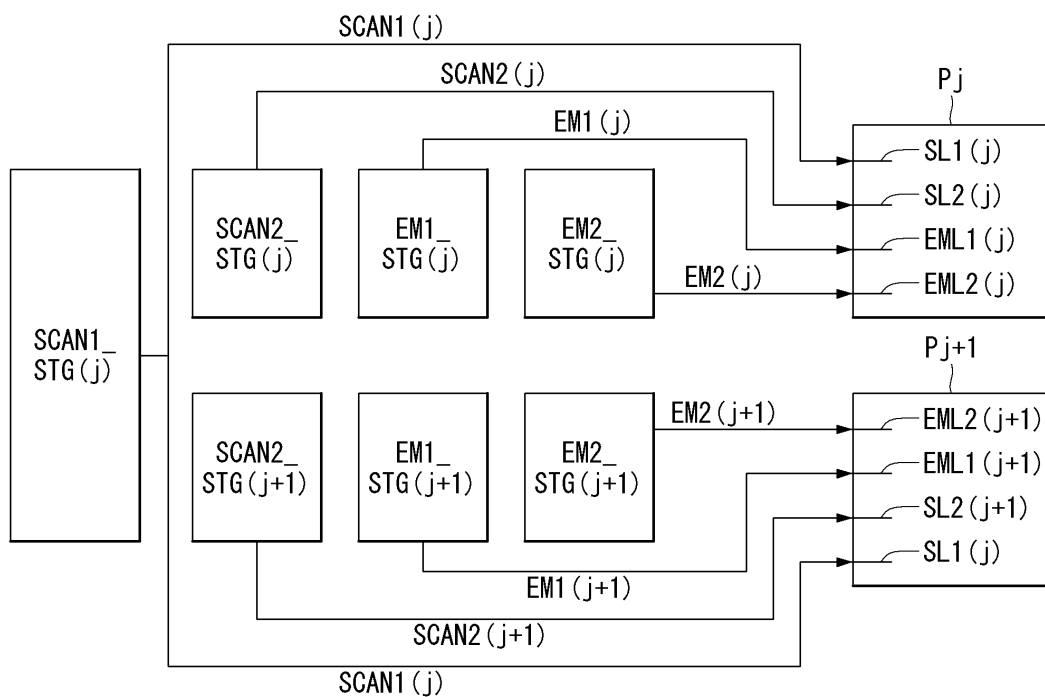
도면7



도면8



도면9



|                |                                                                                                                                                                     |         |            |
|----------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 有机发光二极管显示器                                                                                                                                                          |         |            |
| 公开(公告)号        | <a href="#">KR1020170039052A</a>                                                                                                                                    | 公开(公告)日 | 2017-04-10 |
| 申请号            | KR1020150138255                                                                                                                                                     | 申请日     | 2015-09-30 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                                                                                                                                                            |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司                                                                                                                                                           |         |            |
| 当前申请(专利权)人(译)  | LG显示器有限公司                                                                                                                                                           |         |            |
| [标]发明人         | PARK YOUNG JU<br>박영주<br>YOON SUNG WOOK<br>윤성욱                                                                                                                       |         |            |
| 发明人            | 박영주<br>윤성욱                                                                                                                                                          |         |            |
| IPC分类号         | G09G3/32                                                                                                                                                            |         |            |
| CPC分类号         | G09G3/3266 G09G3/3233 G09G2300/0842 G09G2310/0286 G09G2300/0426 G09G2300/0819<br>G09G2300/0861 G09G2310/0262 G09G2310/0281 G09G2320/045 G09G2300/0439 G09G2310/0205 |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                           |         |            |

#### 摘要(译)

根据本发明的有机发光二极管显示装置包括像素和放置在像素中的移位寄存器操作晶体管。它同时应用于布置在两条水平线中的像素，其中移位寄存器是相邻的第一扫描信号。连续地将第二扫描信号级施加到布置在两条水平线中的像素，所述两条水平线是相邻的第二扫描信号。产生将发光控制信号级施加到第四和第五晶体管的发光控制信号。

