



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0078610
(43) 공개일자 2016년07월05일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/56 (2006.01)
(21) 출원번호 10-2014-0188105
(22) 출원일자 2014년12월24일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이주석
경기 파주시 월롱면 덕은리 파주LCD산업단지 100
7번지 정다운마을 103동 419호
(74) 대리인
김은구, 송해모

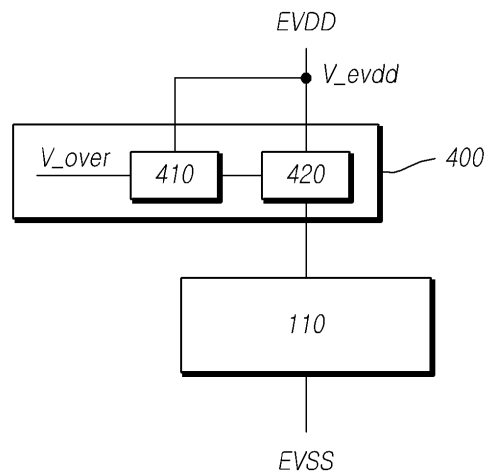
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 과전류 제어장치 및 이를 포함하는 유기발광 표시장치

(57) 요약

본 발명은 과전류 제어장치 및 이를 포함하는 유기발광 표시장치에 관한 것으로, 보다 상세하게 본 발명은, 본 발명은 표시패널의 과전류를 상기 구동전압 전원라인의 전압 강하 여부로 확인하는 과전류 확인부와 상기 과전류 확인부에서 과전류가 확인될 경우 상기 구동전압 전원라인의 전압이 인가되지 않도록 차단하는 차단부를 포함하는 과전류 제어장치 제공한다.

대표도 - 도4



명세서

청구범위

청구항 1

제1방향으로 다수의 데이터라인이 위치하고 제2방향으로 다수의 게이트라인이 위치하며 상기 데이터라인과 상기 게이트라인의 교차 지점에 화소가 정의된 표시패널;

상기 화소를 제어하는 박막 트랜지스터 중 구동 트랜지스터에 구동 전압을 인가하는 구동전압 전원라인; 및

상기 표시패널의 과전류를 상기 구동전압 전원라인의 전압 강하 여부로 확인하는 과전류 확인부와 상기 과전류 확인부에서 과전류가 확인될 경우 상기 구동전압 전원라인의 전압이 인가되지 않도록 차단하는 차단부를 포함하는 과전류 제어부를 포함하는 유기발광표시장치.

청구항 2

제1항에 있어서,

상기 과전류 확인부는 상기 구동전압 전원라인을 제1입력부로 하고, 참조전압을 제2입력부로 하며,

상기 참조전압은 상기 표시패널 내에 과전류가 발생할 경우 드롭된 상기 구동전압 전원라인의 전압보다 크거나 같으며, 상기 구동전압보다 작은 것을 특징으로 하는, 유기발광표시장치.

청구항 3

제2항에 있어서,

상기 참조전압은 상기 화소에 위치하는 박막 트랜지스터 중 센싱 트랜지스터에 제공되는 기준전압인 것을 특징으로 하는 유기발광표시장치.

청구항 4

제2항에 있어서,

상기 구동전압 전원라인에 센싱저항의 일단이, 그리고 차단부인 PMOS의 소스에 상기 센싱저항의 타단이 연결되어 있으며,

상기 과전류 확인부는 OP-Amp 이며,

상기 OP-Amp의 '-' 단자는 상기 센싱저항의 타단과 연결되어 있으며,

상기 OP-Amp의 '+' 단자는 상기 참조전압이 인가되어 있으며,

상기 OP-Amp의 출력 단자는 상기 PMOS의 게이트 노드에 연결된 것을 특징으로 하는 유기발광표시장치.

청구항 5

제2항에 있어서,

상기 구동전압 전원라인에 센싱저항의 일단이, 그리고 차단부인 NMOS의 소스에 상기 센싱저항의 타단이 연결되어 있으며,

상기 과전류 확인부는 OP-Amp 이며,

상기 OP-Amp의 '+' 단자는 상기 센싱저항의 타단과 연결되어 있으며,
 상기 OP-Amp의 '-' 단자는 상기 참조전압이 인가되어 있으며,
 상기 OP-Amp의 출력 단자는 상기 NMOS의 게이트 노드에 연결된 것을 특징으로 하는 유기발광표시장치.

청구항 6

제1항에 있어서,
 상기 과전류 제어부는 상기 참조전압을 증감시키는 참조전압 증감부를 더 포함하는 것을 특징으로 하는 유기발광표시장치.

청구항 7

표시패널의 화소를 제어하는 박막 트랜지스터 중 구동 트랜지스터에 구동 전압을 인가하는 구동전압 전원라인의 전압 강화 여부를 확인하여 상기 표시패널의 과전류를 확인하는 과전류 확인부; 및
 상기 과전류 확인부에서 과전류가 확인될 경우 상기 구동전압 전원라인의 전압이 인가되지 않도록 차단하는 차단부를 포함하는 과전류 제어부가 결합된 제어장치.

청구항 8

제7항에 있어서,
 상기 과전류 확인부는 상기 구동전압 전원라인을 제1입력부로 하고, 참조전압을 제2입력부로 하며,
 상기 참조전압은 상기 표시패널 내에 과전류가 발생할 경우 드롭된 상기 구동전압 전원라인의 전압보다 크거나 같으며, 상기 구동전압보다 작은 것을 특징으로 하는, 제어장치.

청구항 9

제8항에 있어서,
 상기 참조전압은 상기 화소에 위치하는 박막 트랜지스터 중 센싱 트랜지스터에 제공되는 기준전압인 것을 특징으로 하는 제어장치.

청구항 10

제8항에 있어서,
 상기 구동전압 전원라인에 센싱저항의 일단이, 그리고 차단부인 PMOS의 소스에 상기 센싱저항의 타단이 연결되어 있으며,
 상기 과전류 확인부는 OP-Amp 이며,
 상기 OP-Amp의 '-' 단자는 상기 센싱저항의 타단과 연결되어 있으며,
 상기 OP-Amp의 '+' 단자는 상기 참조전압이 인가되어 있으며,
 상기 OP-Amp의 출력 단자는 상기 PMOS의 게이트 노드에 연결된 것을 특징으로 하는 제어장치.

청구항 11

제8항에 있어서,

상기 구동전압 전원라인에 센싱저항의 일단이, 그리고 차단부인 NMOS의 소스에 상기 센싱저항의 타단이 연결되어 있으며,

상기 과전류 확인부는 OP-Amp 이며,

상기 OP-Amp의 '+' 단자는 상기 센싱저항의 타단과 연결되어 있으며,

상기 OP-Amp의 '-' 단자는 상기 참조전압이 인가되어 있으며,

상기 OP-Amp의 출력 단자는 상기 NMOS의 게이트 노드에 연결된 것을 특징으로 하는 제어장치.

청구항 12

제7항에 있어서,

상기 과전류 제어부는 상기 참조전압을 증감시키는 참조전압 증감부를 더 포함하는 것을 특징으로 하는 제어장치.

발명의 설명

기술 분야

[0001] 본 발명은 과전류를 보호하는 기능을 갖는 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 최근, 표시장치로서 각광받고 있는 유기발광 표시장치는 스스로 발광하는 유기발광다이오드(OLED: Organic Light Emitting Diode)를 이용함으로써 응답속도가 빠르고, 발광효율, 휘도 및 시야각 등이 큰 장점이 있다.

[0003] 이러한 유기발광 표시장치는 유기발광다이오드가 포함된 화소를 매트릭스 형태로 배열하고 스캔신호에 의해 선택된 화소들의 밝기를 데이터의 계조에 따라 제어한다.

[0004] 이러한 유기발광 표시장치의 각 화소는 유기발광다이오드 이외에도, 서로 교차하는 데이터 라인 및 게이트 라인 과 이와 연결 구조를 갖는 트랜지스터 및 스토리지 캐패시터 등으로 이루어져 있다.

[0005] 이러한 유기발광 표시장치의 각 화소에 포함된 트랜지스터 중에는 유기발광다이오드를 구동하기 위한 구동 트랜지스터(Driving Transistor)를 포함하는데, 이러한 구동트랜지스터는 문턱전압, 이동도 등의 고유 특성치를 갖는다.

[0006] 한편 구동트랜지스터를 구동시키는 전압(VDD)는 과전류가 발생할 수 있으며, 과전류가 발생할 경우 패널 전체의 구동을 중지시키며 화재의 위험성을 가지고 있다. 따라서, 이러한 구동전압의 과전류를 검출하고 과전류의 흐름을 차단하는 기술이 필요하다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 목적은 OLED를 이용한 표시장치에 있어서, 구동에 필요한 EVDD 전압의 과전류 유입을 방지함으로써, 부품 및 표시패널의 손상을 최소화 하는데 있다.

[0008] 본 발명의 목적은 표시패널에 인가되는 EVDD 전압의 전압 강하 여부를 참조전압과 비교하여 EVDD 전압이 참조전압보다 더 하강할 경우, 이를 과전류 발생으로 판단하여 표시패널에 인가되는 EVDD 전압을 차단하여 하드웨어적으로 과전류를 제어하는데 있다.

과제의 해결 수단

[0009] 전술한 목적을 달성하기 위하여, 일 측면에서, 본 발명은 표시패널의 과전류를 상기 구동전압 전원라인의 전압

강하 여부로 확인하는 과전류 확인부와 상기 과전류 확인부에서 과전류가 확인될 경우 상기 구동전압 전원라인의 전압이 인가되지 않도록 차단하는 차단부를 포함하는 과전류 제어장치 제공한다.

[0010] 또한, 다른 측면에서 본 발명은 표시패널의 과전류를 상기 구동전압 전원라인의 전압 강하 여부로 확인하는 과전류 확인부와 상기 과전류 확인부에서 과전류가 확인될 경우 상기 구동전압 전원라인의 전압이 인가되지 않도록 차단하는 차단부를 포함하는 유기발광표시장치를 제공한다.

[0011] 또한, 다른 측면에서 본 발명은 과전류를 OP-Amp를 이용하여 확인하며, 구동전압 전원라인의 차단은 PMOS 또는 NMOS를 이용하여 차단하는 하드웨어 구성을 제공한다.

[0012] 또한, 다른 측면에서 본 발명은 과전류가 자주 발생할 경우 과전류를 보다 정밀하게 판단할 수 있도록 참조전압 증감부가 포함된 유기발광표시장치를 제공한다.

발명의 효과

[0013] 이상에서 설명한 바와 같이 본 발명에 의하면, 과전류를 차단하는 회로를 포함하는 과전류 차단장치 또는 과전류 차단 회로가 포함된 유기발광 표시장치를 제공하는 효과가 있다.

[0014] 또한, 본 발명에 의하면 OP-Amp를 이용하여 과전류가 확인되는 경우 구동전압 전원라인을 PMOS 또는 NMOS를 턴 오프 시켜 차단하여 하드웨어적으로 신뢰성 높은 과전류 차단 회로를 제공하는 효과가 있다.

[0015] 또한, 본 발명에 의하면, 과전류의 증감 상황에 따라, 참조전압을 증감시켜, 구동전압의 과전류 모니터링 및 과전류의 차단이 보다 정확하게 제어될 수 있도록 한다.

도면의 간단한 설명

[0016] 도 1은 본 실시예들에 따른 유기발광표시장치(100)의 개략적인 시스템 구성도이다.

도 2는 본 실시예들에 따른 유기발광표시장치(100)에서, 구동 트랜지스터(DRT)의 센싱 구조가 있는 서브픽셀(SP)의 등가회로도이다.

도 3은 자동 전류 제한 알고리즘을 적용하여 과전류를 제어하는 구성을 보여주는 도면이다.

도 4는 본 발명의 일 실시예에 의한 과전류 제어부의 구성을 보여주는 도면이다.

도 5는 본 발명의 일 실시예에 의한 과전류 제어부의 세부 구성을 보여주는 도면이다.

도 6은 본 발명의 다른 실시예에 의한 과전류 제어부의 세부 구성을 보여주는 도면이다.

도 7은 본 발명의 일 실시예에 의한 도 5의 구성에서 과전류로 인한 전원 차단 과정을 보여주는 도면이다.

도 8은 본 발명의 다른 실시예에 의한 도 6의 구성에서 과전류로 인한 전원 차단 과정을 보여주는 도면이다.

도 9는 본 발명의 일 실시예에 의한 참조전압을 증감시키는 참조전압 증감부가 포함된 구성을 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0017] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.

[0018] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.

[0019] 도 1은 본 실시예들에 따른 유기발광표시장치(100)의 개략적인 시스템 구성도이다.

[0020] 도 1을 참조하면, 본 실시예들에 따른 유기발광표시장치(100)는, 유기발광표시패널(110), 데이터 구동부(120),

게이트 구동부(130), 타이밍 컨트롤러(140) 등을 포함한다.

- [0021] 유기발광표시패널(110)에는, 제1방향으로 다수의 데이터 라인(DL1, ... , DLm, m: 2 이상의 자연수)이 배치되고, 제1방향과 교차하는 제2방향으로 다수의 게이트 라인(GL1, ... , GLn, n: 2 이상의 자연수)이 배치되며, 다수의 서브픽셀(SP: Sub-Pixel)이 매트릭스 타입으로 배치된다.
- [0022] 데이터 구동부(120)는, 다수의 데이터 라인(DL1, ... , DLm)으로 데이터전압을 공급하여 다수의 데이터 라인(DL1, ... , DLm)을 구동한다.
- [0023] 게이트 구동부(130)는, 다수의 게이트 라인(GL1, ... , GLn)으로 스캔신호를 순차적으로 공급하여 다수의 게이트 라인(GL1, ... , GLn)을 순차적으로 구동한다.
- [0024] 타이밍 컨트롤러(140)는, 데이터 구동부(120) 및 게이트 구동부(130)로 제어신호를 공급하여, 데이터 구동부(120) 및 게이트 구동부(130)의 동작을 제어한다.
- [0025] 타이밍 컨트롤러(140)는, 각 프레임에서 구현하는 타이밍에 따라 스캔을 시작하고, 호스트 시스템(150)에서 입력되는 영상데이터(Data)를 데이터 구동부(120)에서 사용하는 데이터 신호 형식에 맞게 전환하여 전환된 영상데이터(Data')를 출력하고, 스캔에 맞춰 적당한 시간에 데이터 구동을 통제한다.
- [0026] 게이트 구동부(130)는, 타이밍 컨트롤러(140)의 제어에 따라, 온(On) 전압 또는 오프(Off) 전압의 스캔신호를 다수의 게이트 라인(GL1, ... , GLn)으로 순차적으로 공급하여 다수의 게이트 라인(GL1, ... , GLn)을 순차적으로 구동한다.
- [0027] 게이트 구동부(130)는, 구동 방식에 따라서, 도 1에서와 같이, 유기발광표시패널(110)의 일측에 위치할 수도 있고, 경우에 따라서는, 양측에만 위치할 수도 있다.
- [0028] 또한, 게이트 구동부(130)는, 다수의 게이트 드라이버 집적회로(Gate Driver IC)를 포함할 수 있는데, 이러한 다수의 게이트 드라이버 집적회로는, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG) 방식으로 유기발광표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, GIP(Gate In Panel) 타입으로 구현되어 유기발광표시패널(110)에 직접 배치될 수도 있으며, 경우에 따라서, 유기발광표시패널(110)에 집적화되어 배치될 수도 있다.
- [0029] 위에서 언급한 다수의 게이트 드라이버 집적회로 각각은 쉬프트 레지스터, 레벨 쉬프터 등을 포함할 수 있다.
- [0030] 데이터 구동부(120)는, 특정 게이트 라인이 열리면, 타이밍 컨트롤러(140)로부터 수신한 영상데이터(Data')를 아날로그 형태의 데이터 전압(Vdata)으로 변환하여 다수의 데이터 라인(DL1, ... , DLm)으로 공급함으로써, 데이터 라인들을 구동한다.
- [0031] 데이터 구동부(120)는, 다수의 소스 드라이버 집적회로(Source Driver IC, 데이터 드라이버 집적회로(Data Driver IC)라고도 함)를 포함할 수 있는데, 이러한 다수의 소스 드라이버 집적회로는, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG) 방식으로 유기발광표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, 유기발광표시패널(110)에 직접 배치될 수도 있으며, 경우에 따라서, 유기발광표시패널(110)에 집적화되어 배치될 수도 있다.
- [0032] 위에서 언급한 다수의 소스 드라이버 집적회로 각각은, 쉬프트 레지스터, 래치, 디지털 아날로그 컨버터(DAC: Digital Analog Converter), 출력 버퍼 등을 포함하고, 경우에 따라서, 서브픽셀 보상(휘도 편차 보상 또는 데이터 보상 등이라고도 함)을 위해 아날로그 전압 값을 센싱하여 디지털 값으로 변환하고 센싱 데이터를 생성하여 출력하는 아날로그 디지털 컨버터(ADC: Analog Digital Converter)를 더 포함할 수 있다.
- [0033] 다수의 소스 드라이버 집적회로는, 일 예로, 칩 온 필름(COF: Chip On Film) 방식으로 구현될 수 있다. 다수의 소스 드라이버 집적회로 각각에서, 일 단은 적어도 하나의 소스 인쇄회로기판(S-PCB: Source Printed Circuit Board)에 본딩되고, 타 단은 유기발광표시패널(110)의 본딩 패드부에 본딩된다.
- [0034] 한편, 위에서 언급한 호스트 시스템(150)은 입력 영상의 영상데이터(Data)와 함께, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 데이터 인에이블(DE: Data Enable) 신호, 클럭 신호(CLK) 등을 포함하는 각종 타이밍 신호들을 타이밍 컨트롤러(140)로 전송한다.
- [0035] 타이밍 컨트롤러(140)는, 호스트 시스템(150)으로부터 입력된 영상데이터(Data)를 데이터 구동부(120)에서 사용하는 데이터 신호 형식에 맞게 전환하여 전환된 영상데이터(Data')를 출력하는 것 이외에, 데이터 구동부(120)

및 게이트 구동부(130)를 제어하기 위하여, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 DE 신호, 클럭 신호 등의 타이밍 신호를 입력받아, 각종 제어 신호들을 생성하여 데이터 구동부(120) 및 게이트 구동부(130)로 출력한다.

- [0036] 예를 들어, 타이밍 컨트롤러(140)는, 게이트 구동부(130)를 제어하기 위하여, 게이트 스타트 펄스(GSP: Gate Start Pulse), 게이트 쉬프트 클럭(GSC: Gate Shift Clock), 게이트 출력 인에이블 신호(GOE: Gate Output Enable) 등을 포함하는 게이트 제어 신호(GCS)를 출력한다.
- [0037] 게이트 스타트 펄스(GSP)는 게이트 구동부(130)를 구성하는 게이트 드라이버 집적회로들의 동작 스타트 타이밍을 제어한다. 게이트 쉬프트 클럭(GSC)은 게이트 드라이버 집적회로들에 공통으로 입력되는 클럭 신호로서, 스캔 신호(게이트 펄스)의 쉬프트 타이밍을 제어한다. 게이트 출력 인에이블 신호(GOE)는 게이트 드라이버 집적회로들의 타이밍 정보를 지정하고 있다.
- [0038] 타이밍 컨트롤러(140)는, 데이터 구동부(120)를 제어하기 위하여, 소스 스타트 펄스(SSP: Source Start Pulse), 소스 샘플링 클럭(SSC: Source Sampling Clock), 소스 출력 인에이블 신호(SOE: Source Output Enable) 등을 포함하는 데이터 제어 신호(DCS)를 출력한다.
- [0039] 소스 스타트 펄스(SSP)는 데이터 구동부(120)를 구성하는 소스 드라이버 집적회로들의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 소스 드라이버 집적회로들 각각에서 데이터의 샘플링 타이밍을 제어하는 클럭 신호이다. 소스 출력 인에이블 신호(SOE)는 데이터 구동부(120)의 출력 타이밍을 제어한다. 경우에 따라서, 데이터 구동부(120)의 데이터 전압의 극성을 제어하기 위하여, 데이터 제어 신호(DCS)에 극성 제어 신호(POL)가 더 포함될 수 있다. 데이터 구동부(120)에 입력된 영상데이터(Data')가 mini LVDS(Low Voltage Differential Signaling) 인터페이스 규격에 따라 전송된다면, 소스 스타트 펄스(SSP)와 소스 샘플링 클럭(SSC)은 생략될 수 있다.
- [0040] 도 1을 참조하면, 유기발광표시장치(100)는, 유기발광표시패널(110), 데이터 구동부(120) 및 게이트 구동부(130) 등으로 각종 전압 또는 전류를 공급해주거나 공급할 각종 전압 또는 전류를 제어하는 전원 컨트롤러(미도시)를 더 포함할 수 있다. 이러한 전원 컨트롤러는 전원 관리 집적회로(PMIC: Power Management IC)라고도 한다.
- [0041] 도 2는 본 실시예들에 따른 유기발광표시장치(100)에서, 구동 트랜지스터(DRT)의 센싱 구조가 있는 서브픽셀(SP)의 등가회로도이다.
- [0042] 도 2를 참조하면, 유기발광표시패널(110)의 각 서브픽셀(SP)에는, 기본적으로, 유기발광다이오드(OLED)를 구동하기 위한 구동 트랜지스터(DRT)가 배치되어 있다.
- [0043] 이러한 구동 트랜지스터(DRT)는, 문턱전압, 이동도 등의 고유 특성치를 갖는다.
- [0044] 구동 트랜지스터(DRT)는 구동 시간이 증가함에 따라 열화(Degradation)가 되어, 고유 특성치가 변하게 된다.
- [0045] 각 서브픽셀에서의 구동 트랜지스터(DRT)마다 열화 정도가 달라, 각 서브픽셀에서의 구동 트랜지스터(DRT) 간의 고유 특성치(문턱전압, 이동도)에 대한 편차가 발생할 수 있다.
- [0046] 이로 인해, 서브픽셀 간의 휘도 편차가 발생하여, 화상 품질을 떨어뜨리는 요인이 될 수 있다.
- [0047] 이에, 서브픽셀 간의 휘도 편차를 보상해주기 위하여, 즉, 구동 트랜지스터(DRT) 간의 고유 특성치 편차를 보상해주기 위하여, 각 구동 트랜지스터(DRT)의 고유 특성치를 센싱하는 것이 필요하다. 이러한 구동 트랜지스터(DRT)의 고유 특성치에 대한 센싱을, 아래에서는, "구동 트랜지스터(DRT)의 센싱"이라고 한다.
- [0048] 따라서, 본 실시예들에 따른 유기발광표시패널(110)에서의 각 서브픽셀은, 구동 트랜지스터(DRT)의 센싱 용도로 사용될 수 있는 트랜지스터(이하, 센싱 트랜지스터(SENT)라고 함)를 더 포함한다.
- [0049] 도 2를 참조하여 더욱 상세하게 살펴보면, 구동 트랜지스터(DRT)의 센싱 구조가 있는 서브픽셀(SP)은, 유기발광다이오드(OLED), 구동 트랜지스터(DRT), 스위칭 트랜지스터(SWT), 스토리지 캐패시터(Cstg), 센싱 트랜지스터(SENT) 등을 포함한다.
- [0050] 구동 트랜지스터(DRT)는, 유기발광다이오드(OLED)로 구동전류를 공급하여 유기발광다이오드(OLED)를 구동하는 트랜지스터로서, 유기발광다이오드(OLED)의 제1전극(예: 애노드 전극 또는 캐소드 전극)에 전기적으로 연결된 제1노드(이하, "N1 노드"라 함), 게이트 노드에 해당하는 제2노드(이하, "N2 노드"라 함) 및 구동전압 라인

(DVL: Driving Voltage Line)과 전기적으로 연결된 제3노드(이하, "N3 노드"라 함)를 갖는다.

- [0051] 스위칭 트랜지스터(SWT)는, 해당 게이트 라인(GL)을 통해 게이트 노드에 인가되는 스캔신호(SCAN)에 의해 제어되고, 구동 트랜지스터(DRT)의 N2 노드와 데이터 라인(DL) 사이에 전기적으로 연결된다.
- [0052] 스토리지 캐패시터(Cstg)는, 구동 트랜지스터(DRT)의 N1노드와 N2 노드 사이에 전기적으로 연결되고, 한 프레임 동안 일정 전압을 유지시켜 주는 역할을 한다.
- [0053] 제1센싱 트랜지스터(SENT)는, 해당 게이트 라인(GL')을 통해 게이트 노드에 인가되는 스캔신호의 일종인 제1센스신호(SENSE)에 의해 제어되고, 구동 트랜지스터(DRT)의 N1노드와 기준전압 라인(RVL: Reference Voltage Line) 사이에 전기적으로 연결된다.
- [0054] 도 2를 참조하면, 본 실시예들에 따른 유기발광표시장치(100)는, 구동 트랜지스터(DRT)의 고유 특성치를 센싱하는 주체로서, 기준전압 라인(RVL)을 통해, 구동 트랜지스터(DRT)의 N1 노드의 전압을 센싱하는 아날로그 디지털 컨버터(ADC)를 더 포함할 수 있다.
- [0055] 여기서, 아날로그 디지털 컨버터(ADC)는 소스 드라이버 집적회로의 내부에 포함될 수 있다.
- [0056] 도 2를 참조하면, 본 실시예들에 따른 유기발광표시장치(100)는, 기준전압 라인(RVL)이 연결된 노드(Nrv1)를 아날로그 디지털 컨버터(ADC)에 연결된 노드(Nadc) 또는 기준전압(Vref)의 공급 노드(Nref)와 연결해주기 위한 스위치(S1, S2)를 더 포함할 수 있다.
- [0057] 도 2의 구조는 RGB 색상의 화소들 각각에 적용할 수 있다. 즉, 도 2의 OLED는 청색, 적색, 녹색 중 어느 하나의 화소를 제어하는 회로이다.
- [0058] 도 2와 같이 하나의 색상을 제어하는 하나의 화소에 대한 회로는 하나가 존재한다. 화소들은 R, G, B와 백색(W)과 같은 특정 색상의 온/오프를 담당한다.
- [0059] 다수의 화소들로 구성된 유기발광표시패널(110)에는 도 2와 같은 화소들이 다수 존재하며, 각 화소들에는 구동 전압(VDD 또는 EVDD)이 인가된다. 표시패널(110) 및 이를 구성하는 부품들이 과전류로 인한 데미지로부터 안전하게 보호되기 위해서는 구동 전압의 과전류 유입을 방지하는 것이 필요하다.
- [0060] 일반적인 유기 발광 표시 장치는 입력 영상에 따라 표시 패널에 흐르는 전류가 달라지게 된다. 전체 화면이 검은 색의 영상인 경우, 표시 패널에 전류가 거의 흐르지 않지만, 백색과 같이 밝은 색의 영상의 경우, 표시 패널에 많은 전류가 흐르게 된다. 이에 따라, 백색 패턴이 많은 특정 영상의 경우, 표시 패널에 과도한 전류가 흐르게 되어 소비 전류가 커지는 문제점이 있으며, 이를 제한하기 위해 이러한 소비 전류 문제를 해결하기 위해, 한 프레임의 입력 영상에 따라 표시 패널에 흐르는 전류를 제어하는 자동 전류 제한(Automatic Current Limiting, ACL) 알고리즘을 적용하여 표시패널(110)로 유입되는 EVDD 전류를 제한하고, 그 결과 표시 패널의 휘도를 저하시킬 수 있다.
- [0061] 도 3은 자동 전류 제한 알고리즘을 적용하여 과전류를 제어하는 구성을 보여주는 도면이다. 도 2에서 EVDD와 EVSS는 각 화소들에 연결되며, 도 3과 같이 패널 외부로 EVDD 및 EVSS가 연장되어 있으며, 외부 호스트 시스템(세트, 150)로부터 인가되는 EVDD 전압은 컨트롤 PCB(Control-PCB, 또는 C-PCB)(310)을 경유(bypass)하여 표시패널(110) 내에 인가된다. 그리고 EVSS 역시 표시패널(110) 외부에서 연결되어 있다.
- [0062] 전술한 ACL 알고리즘은 표시패널(110)의 소비전류를 예측하여 타겟 전류와의 게인(gain)을 구한다. 보다 상세히, 표시패널(110) 내의 각 화소들 단위로 전류를 예측하여 전체 소비 전류를 계산하고, 계산된 전류와 타겟 전류로부터 한계 게인(Limiting gain)을 산출하고, 이를 피크 휘도 제어 블록과 연계하여 구현한다. 따라서, ACL 알고리즘을 적용할 경우, 입력 영상의 밝기에 따라 표시 패널의 최대 휘도(Peak Luminance)를 제한하여 소비전류를 절감하는 것으로, 특정 패턴에 따라 제한 전류보다 많은 전류가 흐를 것으로 예측될 때 전체 휘도를 낮춰 과전류를 방지하는 구성이다. 그러나 ACL 알고리즘으로 전류를 제한할 수는 있으나, 이 값은 계산된 값으로 항상 정확하지 못하므로, 결과적으로는 하드웨어 자체적으로 EVDD 과전류에 대해 패널을 보호하는 기능이 없다. 즉, ACL(Automatic Current Limiting)에서는 설정한 전류가 흐를 때의 데이터 전압으로 한계를 정하게 되는데, EVDD 전류 자체를 직접 모니터링하여 제한하지는 않으므로, 정확한 전류를 확인하지 못하고, 그 결과 전류를 제한하지 못할 가능성이 발생한다.
- [0063] 이에 본 발명의 실시예에서는 간단한 추가회로를 이용하여 EVDD 라인에 과전류가 유입하는 것을 방지하는 구조를 제시하고자 한다. 보다 상세히, 본 발명의 일 실시예에서는 PMOS와 OP 앰프(OP-amp)를 이용하여 EVDD 라인에

과전류 유입을 방지하는 과전류 제어부를 제시한다. 본 발명의 과전류 제어부는 앞서 살펴본 컨트롤 PCB 내에 포함될 수 있고, 또한 컨트롤 PCB와 독립적으로 구성될 수 있다. 본 발명의 다른 실시예로, 표시패널(110)의 각 화소로 EVDD가 인가되기 전의 영역에 과전류 제어부가 형성되어 표시패널(110) 내에 화소들에 과전류가 인가되는 것을 막을 수 있다.

[0064] 도 4는 본 발명의 일 실시예에 의한 과전류 제어부의 구성을 보여주는 도면이다.

[0065] 과전류 제어부(400)는 EVDD 라인의 전압의 하강 정도를 통하여 과전류를 확인한다. 보다 상세히 과전류 확인부(410)에서 EVDD 라인의 전압(V_{evdd})과 과전류를 확인하기 위한 참조전압(V_{over})을 비교하여 EVDD 라인의 전압(V_{evdd})이 과전류에 해당하는 참조전압(V_{over})에 근접하거나 이보다 낮아지는 등의 전압의 변화가 발생하면 EVDD 라인에 과전류가 흐름을 감지하여 차단부(420)에서는 EVDD 라인의 전원 인가를 차단한다. 즉, 과전류 확인부(400)는 구동전압 전원라인을 제1입력부로 하며, 참조전압을 제2입력부로 하한다. 여기서 참조전압은 표시패널 내에 과전류가 발생할 경우 드롭된 구동전압 전원라인의 전압보다 크거나 같으며, 상기 구동전압보다 작은 값을 가지도록 설정하여, 구동전압 전원라인의 전압의 범위가 과전류 범위에 해당하는지 여부를 쉽게 판단할 수 있도록 한다. 이는 과전류로 인한 구동전압 전원라인의 전압 강화를 쉽게 판단할 수 있도록 하며, 후술할 OP-Amp와 같은 회로를 이용할 경우 그 구성에 있어서도 간단하면서도 정확하게 동작하는 효과를 제공한다.

[0066] 과전류 확인부(410)의 참조전압(V_{over})은 다양한 전압 값을 설정할 수 있는데, 일 실시예로 V_{evdd}가 과전류로 인해 드롭(drop)될 경우, 허용할 수 있는 크기를 V_{over}에 인가하여 비교할 수 있다.

[0067] 도 4를 정리하면, 표시패널의 각 화소를 제어하는 박막 트랜지스터 중 구동 트랜지스터에 구동 전압을 인가하는 구동전압 전원라인의 전압 강하 여부를 과전류 확인부(410)가 확인하여 표시패널(110)에 과전류로 판단될 경우, 차단부(420)는 구동전압 전원라인의 전압이 인가되지 않도록 구동전압 전원라인의 전원이 표시패널(110)이 인가되지 않도록 차단한다. 이는 표시패널 내의 과전류를 표시패널 외부에서 판단하여 표시패널로의 과전류 발생 가능성을 낮추므로, 구동전압 전원라인을 통해 발생하는 과전류를 하드웨어적으로 제어할 수 있다. 따라서 표시패널이 과전류로 인하여 열화되는 것을 방지한다. 또한, 도 4와 같이 표시패널(110)의 외부에 과전류 제어장치(400)를 구비함으로써, 표시패널(110)과 별도로 생산하여 결합할 수 있으며, 표시패널(110) 내의 과전류로 인한 오동작과 분리되므로 과전류 제어장치(400)는 정상적으로 동작하도록 보호할 수 있다.

[0068] 도 5는 본 발명의 일 실시예에 의한 과전류 제어부의 세부 구성을 보여주는 도면이다. 앞서 과전류 확인부를 OP-Amp(510)로 구성하고, 차단부를 PMOS(520)로 구성한 실시예이다. EVDD와 PMOS(520)의 소스 단자 사이에 저항(R_{sense}, 505)이 연결되어 있다. OP-Amp(510)의 '-' 단자에 인가되는 EVDD 라인이며, 저항(R_{sense}, 505)의 a 단자에 연결되어 있다. OP-Amp(510)의 '+' 단자에는 과전류를 확인하기 위한 참조전압이 인가되는데, 도 5의 실시예에서는 기준전압(V_{ref})을 인가하고 있다. 기준전압(V_{ref})은 화소에 위치하는 박막 트랜지스터 중 센싱 트랜지스터에 제공되는 전압이다. 기준전압(V_{ref})과 같이 표시패널에 인가되는 전압을 이용하여 EVDD 과전류 여부를 확인할 경우, 참조전압으로 별도의 전압을 과전류 확인부에 인가하지 않으므로, 회로 구성이 간단해진다. 과전류 확인부인 OP-Amp(510)는 저항(505)인 R_{sense}의 a 단자의 전압과 기준전압(V_{ref})을 비교한다. 비교 결과 R_{sense}의 a 단자의 전압이 과전류로 인하여 드롭하여 참조전압으로 인가되는 기준전압(V_{ref}) 이하로 떨어지면 b 단자의 전압이 상승한다. 그 결과, 차단부인 PMOS(520)의 V_{SG}를 감소시켜 PMOS(520)가 턴오프(turn off)가 되며, EVDD에서 과전류가 발생할 경우 이를 PMOS(520)에서 차단하여, 더 이상 패널(110)로 EVDD가 공급되지 않도록 한다.

[0069] 수학적 1을 살펴보면 PMOS(520)에 인가되는 전류와 전압의 관계를 볼 수 있다.

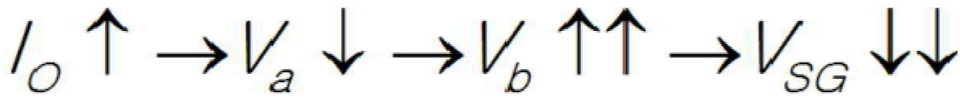
[0070] [수학적 1]

$$I_{ds} = \frac{\beta_n}{2} (V_{SG} - |V_{th}|)^2 (1 + \lambda V_{SD})$$

[0071]

[0072] 위에서 PMOS(520)의 드레인-소스 간에 흐르는 전류는 게이트에 인가된 전압(V_{sg})와 PMOS의 문턱전압(V_{th}), PMOS의 소스-드레인의 전압 등을 이용하여 산출된다.

[0073] [수학적 2]



[0074]

[0075]

저항인 Rsense의 전류(I_O)가 증가하면, 위 수학적 식 2에 따라, a 단자의 전압(V_a)이 하강하며, 그로 인하여 b 단자의 전압(V_b)이 상승하며, 그 결과 PMOS(520)의 V_{sg} 를 감소시켜 PMOS(520)가 턴오프된다. 그 결과 EVDD의 연결을 차단한다.

[0076]

도 5에서는 참조전압으로 기준전압(V_{ref})을 사용하고 있으나, 이에 한정되는 것은 아니며, 과전류가 흐르지 않을 경우의 EVDD의 전압보다 낮은 전압을 '+' 단자에 인가할 수 있다.

[0077]

도 5의 구성을 정리하면 다음과 같다. 차단부는 PMOS(520)가, 과전류 확인부는 OP-Amp(510)가 적용되며, 구동전압 전원라인에 센싱저항(505)의 일단이, 그리고 차단부인 PMOS(520)의 소스에 센싱저항의 타단이 연결되며, OP-Amp의 '-' 단자는 센싱저항(505)의 타단과 연결되어 있으며, OP-Amp의 '+' 단자는 상기 참조전압이 인가되며, OP-Amp의 출력 단자는 PMOS의 게이트 노드에 연결된 구성이다.

[0078]

도 6은 본 발명의 다른 실시예에 의한 과전류 제어부의 세부 구성을 보여주는 도면이다. 도 5와 달리 PMOS 대신 NMOS를 사용한다. 또한 과전류 확인부로 OP-Amp(610)을 사용하지만, OP-Amp(610)의 각 단자에 연결되는 방식도 다르다.

[0079]

과전류 확인부를 OP-Amp(610)로 구성하고, 차단부를 NMOS(620)로 구성한 실시예이다. EVDD와 NMOS(520)의 소스 단자 사이에 저항(R_{sense} , 505)이 연결되어 있다. OP-Amp(610)의 '+' 단자에 인가되는 EVDD 라인이며, 저항(R_{sense} , 505)의 c 단자에 연결되어 있다. OP-Amp(610)의 '-' 단자에는 과전류를 확인하기 위한 참조전압이 인가되는데, 도 6의 실시예에서는 V_{over1} 이라는 전압이 인가된다. 그 결과, 저항(505)인 R_{sense} 의 c 단자의 전압과 V_{over1} 가 과전류 확인부인 OP-Amp(610)에서 비교한다. 비교 결과 R_{sense} 의 c 단자의 전압(V_c)이 과전류로 인하여 드롭하여 기준전압(V_{over1}) 이하로 떨어지면 d 단자의 전압(V_d)이 하강한다. 그 결과, 차단부인 NMOS(620)의 V_{sg} 를 감소시켜 NMOS(620)가 턴오프(turn off)가 되며, EVDD가 더 이상 패널(110)로 인가되지 않도록 한다. V_{over1} 은 과전류가 흐르지 않을 경우의 EVDD의 전압보다 낮은 전압으로 설정할 수 있다.

[0080]

도 6의 구성을 정리하면 다음과 같다. 차단부는 NMOS(620)가, 과전류 확인부는 OP-Amp(610)가 적용되며, 구동전압 전원라인에 센싱저항(505)의 일단이, 그리고 차단부인 NMOS(620)의 소스에 센싱저항의 타단이 연결되며, OP-Amp의 '+' 단자는 센싱저항(505)의 타단과 연결되어 있으며, OP-Amp의 '-' 단자는 상기 참조전압이 인가되며, OP-Amp의 출력 단자는 NMOS의 게이트 노드에 연결된 구성이다.

[0081]

도 5 및 도 6은 각각 EVDD가 과전류가 흘러 전압이 하강하여 특정한 전압 이하가 될 경우 패널 내에 EVDD가 인가되는 것을 차단하여 과전류를 방지한다.

[0082]

도 5 및 도 6은 모두 과전류를 확인하기 위해 특정한 전압 레벨과 패널로 인가되는 전압을 비교하고 비교 결과에 따라 패널 내에 EVDD를 인가할 것인지 여부를 제어한다.

[0083]

도 7은 본 발명의 일 실시예에 의한 도 5의 구성에서 과전류로 인한 전원 차단 과정을 보여주는 도면이다. 도 5에서 과전류 확인부인 OP-Amp(510)와 차단부인 PMOS(520)를 중심으로 설명한다. 710 및 720에서 OP-Amp(510)에 도 5의 a단자의 전압 V_a 와 기준전압인 V_{ref} 가 인가되어 있다. V_{ref} 는 과전류를 판단하기 위한 비교 전압인 참조전압인 V_{over} 의 실시예로, 도 7에서는 기준전압인 V_{ref} 가 인가되지만 이외에도 과전류를 확인할 수 있으며 EVDD 보다 낮은 전압 중 특정한 전압값을 참조전압으로 인가할 수 있다. $V_a > V_{ref}$ 인 경우를 살펴보면 710과 같다. OP-Amp(510)의 b 단자에서는 "Low" 값이 출력되며, 그 결과 PMOS(520)는 턴온(turn on)되며, EVDD는 PMOS(520)를 통해 패널 내에 인가된다. 반대로 $V_a < V_{ref}$ 인 경우를 살펴보면 720과 같다. OP-Amp(510)의 b 단자에서는 "High" 값이 출력되며, 그 결과 PMOS(520)는 턴오프(turn off)되며 더 이상 EVDD는 패널로 인가되지 않는다.

[0084]

도 5 및 도 7을 살펴보면, 구동전압 전원라인에 센싱저항의 일단이, 그리고 차단부 기능을 제공하는 PMOS(520)의 소스에 센싱저항의 타단이 연결되어 있다. 그리고, 과전류 확인부를 OP-Amp(510)로 이용하며, OP-Amp의 '-' 단자는 센싱저항(505)의 타단과 연결되어 있고, OP-Amp의 '+' 단자는 상기 참조전압이 인가되어 과전류 여부를 확인한다. OP-Amp의 출력 단자는 차단부인 PMOS의 게이트 노드에 연결시켜 과전류가 발생할 경우 PMOS가 도 7과 같이 턴오프 되도록 동작한다. OP-Amp와 PMOS의 조합에 의해 EVDD의 과전류 및 표시패널로의 차단을 가능하게

한다.

- [0085] 도 8은 본 발명의 다른 실시예에 의한 도 6의 구성에서 과전류로 인한 전원 차단 과정의 과정을 보여주는 도면이다. 도 6에서 과전류 확인부인 OP-Amp(610)와 차단부인 NMOS(620)를 중심으로 설명한다. 810 및 820에서 OP-Amp(610)에 도 6의 c 단자의 전압 V_c 와 V_{over1} 이 인가되어 있다. V_{over1} 은 과전류를 판단하기 위한 비교 전압인 참조전압이다. 다양한 전압값 중에 선택할 수 있다. $V_c > V_{over1}$ 인 경우를 살펴보면 810과 같다. OP-Amp(610)의 d 단자에서는 "High" 값이 출력되며, 그 결과 NMOS(620)는 턴온(turn on)되며, EVDD는 NMOS(620)를 통해 표시패널 내에 인가된다. 반대로 $V_c < V_{over1}$ 인 경우를 살펴보면 820과 같다. OP-Amp(610)의 d 단자에서는 "Low" 값이 출력되며, 그 결과 NMOS(620)는 턴오프(turn off)되며 더 이상 EVDD는 패널로 인가되지 않는다.
- [0086] 도 6 및 도 8을 살펴보면, 구동전압 전원라인에 센싱저항의 일단이, 그리고 차단부 기능을 제공하는 NMOS(620)의 소스에 센싱저항의 타단이 연결되어 있다. 그리고, 과전류 확인부를 OP-Amp(610)로 이용한다. 도 5 및 도 7의 구성과 반대로, OP-Amp의 '+' 단자는 센싱저항(505)의 타단과 연결되어 있고, OP-Amp의 '-' 단자는 참조전압이 인가되어 과전류 여부를 확인한다. OP-Amp의 출력 단자는 차단부인 NMOS의 게이트 노드에 연결시켜 과전류가 발생할 경우 NMOS가 도 8과 같이 턴오프 되도록 동작한다. OP-Amp와 NMOS의 조합에 의해 EVDD의 과전류 및 표시패널로의 차단을 가능하게 한다.
- [0087] 도 9는 본 발명의 일 실시예에 의한 참조전압을 증감시키는 참조전압 증감부가 포함된 구성을 도시한 도면이다. 앞서, 참조전압인 V_{over} 는 V_{ref} 또는 별도로 설정된 전압값이 할당되어 구동전압 전원라인의 전압값이 과전류인지 여부를 확인하는 기준값이 된다. 참조전압은 고정되어 제공될 수도 있으나, 이와 달리, 과전류의 발생 빈도 혹은 과전류의 발생 특성에 따라 참조전압을 증감시킬 수 있다. 도 9는 도 4의 과전류 제어부(400)에 참조전압 증감부(950)이 추가된 실시예이다. 참조전압 증감부(950)는 외부로부터 인가된 참조전압인 V_{over} 를 그대로 과전류 확인부(410)에 인가할 수 있다. 한편, 과전류 확인부(410)는 구동전압 전원라인에 인가되는 전압값(V_{evdd})을 참조전압 증감부(950)에 피드백(Feedback(V_{evdd}))할 수 있는데, 피드백된 값을 참조하여 참조전압 증감부(950)는 과전류 확인부(410)에 인가할 V_{over} '의 값을 증가 또는 감소시킬 수 있다.
- [0088] 감소시키는 일 실시예로, V_{evdd} 의 값이 일시적으로 감소할 경우, 과전류가 아님에도 과전류로 판단될 수 있다. 이 경우, 참조전압 증감부(950)는 V_{over} '의 값을 감소시켜, 과전류로 확인할 수 있는 기준을 낮출 수 있다. 증가시키는 일 실시예로, V_{evdd} 의 값이 일시적으로 증가할 경우, 과전류로 판단해야 함에도 과전류로 판단되지 않을 수 있다. 이 경우, 참조전압 증감부(950)는 V_{over} '의 값을 증가시켜, 과전류로 확인할 수 있는 기준을 높일 수 있다.
- [0089] 이외에도 참조전압 증감부(950)는 표시패널 또는 시스템에서 확인된 과전류 여부에 따라 참조전압을 증감시킬 수 있다. 예를 들어, 과전류 확인부(410)에서 과전류로 확인하지 않았으나 별도의 입력 신호(Feedback_system)를 통하여 과전류가 발생한 것으로 확인된 경우, 참조전압 증감부(950)는 참조전압을 증가시켜, 과전류를 보다 정확하게 감지할 수 있도록 한다. 따라서, 참조전압 증감부(950)는 참조전압의 증감 여부를 결정하기 위하여 과전류 제어부(400) 외부로부터도 과전류의 발생을 지시하는 신호를 수신할 수 있다.
- [0090] 본 발명의 일 실시예는 OLED TV와 같은 표시장치를 구동함에 있어서, EVDD전압의 과전류 유입이 표시장치 내의 패널로 인가되는 것을 방지함으로써, 부품 및 패널의 손상을 저감시킨다. 종래에는 ACL(Automatic Current Limiting)이라는 알고리즘을 통해 패널 내에 유입되는 EVDD 전류를 제한하였으나, 이는 전류를 직접 모니터링하지 않아 정확하게 과전류를 감지하지 못할 가능성도 있다.
- [0091] 반면, 본 발명을 적용할 경우, 과전류를 확인하는 부분과 과전류를 차단하는 부분을 간단한 하드웨어의 구성으로 구성할 수 있다. 일 실시예에서는 OP-amp와 PMOS(또는 NMOS)를 이용하여, 전류를 직접 모니터링하여 패널 및 부품에 유입되는 EVDD 과전류를 제한할 수 있다. 또한 과전류가 발생할 경우 PMOS 또는 NMOS가 즉시 턴 오프되어 데미지를 최소화 할 수 있다.
- [0092] 본 발명의 일 실시예에 의한 제어장치는 도 3과 같이 C-PCB에 결합되어 구성될 수 있다. 제어장치는 앞서 살펴본 바와 같이, 과전류 확인부와 차단부를 포함하는 과전류 제어부가 결합될 수 있다. 하나의 OP-Amp와 PMOS 또는 NMOS로 구동전압 전원라인에 결합될 수 있다. OP-Amp는 과전류를 확인하는 기능을 제공하며 PMOS 또는 NMOS는 과전류를 차단하는 기능을 제공한다. 보다 상세히, 도 4 내지 도 9의 400과 같은 과전류 제어부를 포함하는 제어장치가 C-PCB에 결합될 수 있으며, OP-Amp를 일 실시예로 하는 과전류 확인부는 표시패널의 화소를 제어하는 박막 트랜지스터 중 구동 트랜지스터에 구동 전압을 인가하는 구동전압 전원라인의 전압 강화 여부를 확인하

여 상기 표시패널의 과전류를 확인하고, NMOS 또는 PMOS와 같은 차단부는 과전류 확인부에서 과전류가 확인될 경우 구동전압 전원라인의 전압이 인가되지 않도록 차단한다. 과전류의 확인을 위하여 구동전압 전원라인과 참조전압을 입력받아 OP-Amp에서 과전류의 발생 여부를 확인할 수 있으며, 센싱저항을 OP-Amp와 구동전압 전원라인 사이에 위치시킬 수 있다. 참조전압의 일 실시예는 화소의 센싱 트랜지스터에 제공되는 기준전압인 Vref를 사용할 수 있다. 또한, 과전류를 차단하는 차단부가 PMOS 또는 NMOS로 구성되며, 과전류 확인부의 입력단자에 입력되는 신호의 종류에 대해서 앞서 도 5 내지 도 8에서 살펴보았다. 그리고, 도 9에서 살펴본 바와 같이, 과전류 제어부는 상기 참조전압 증감부를 더 포함하여, 과전류의 증감 상황에 따라, 참조전압을 증감시켜, 구동전압의 과전류 모니터링 및 과전류의 차단이 보다 정확하게 제어될 수 있도록 한다.

[0093] 본 발명의 일 실시예와 같이 C-PCB(Control PCB) 내 EVDD 패스에 과전류 보호를 위해 PMOS(또는 NMOS)와 OP-amp, 센싱 저항(Rsense)을 결합시킬 수 있다. 여기서 센싱 저항은 구동전압 전원라인(EVDD 라인)과 과전류를 차단하는 PMOS(또는 NMOS)의 소스 단자 사이에 연결될 수 있다.

[0094] PMOS로 구동전압 전원라인의 과전류를 차단할 경우, OP-amp의 인버팅(inverting)단자는 PMOS의 소스 단자에 연결되며, OP-amp의 비인버팅(non-inverting)단자는 설정을 위한 Vref 전압과 연결될 수 있다. 그리고 OP-amp의 출력단자는 PMOS의 게이트 단과 연결되는 것을 포함한다.

[0095] NMOS로 구동전압 전원라인의 과전류를 차단할 경우, OP-amp의 인버팅(inverting)단자는 Vref 전압과 연결될 수 있다. OP-amp의 비인버팅(non-inverting)단자는 NMOS의 소스 단자에 연결될 수 있다. 그리고 OP-amp의 출력단자는 NMOS의 게이트 단과 연결되는 것을 포함한다.

[0096] 지금까지 살펴본 본 발명의 실시예는 패널의 과전류를 검출하고 패널 파손을 막기 위해, 과전류가 발생할 경우 OLED로 인가되는 EVDD를 차단하는 구성을 제공한다. 본 발명의 실시예는 종래의 과전류 감지를 위한 시스템 또는 구성 요소들과 연계하여 동작할 수 있다.

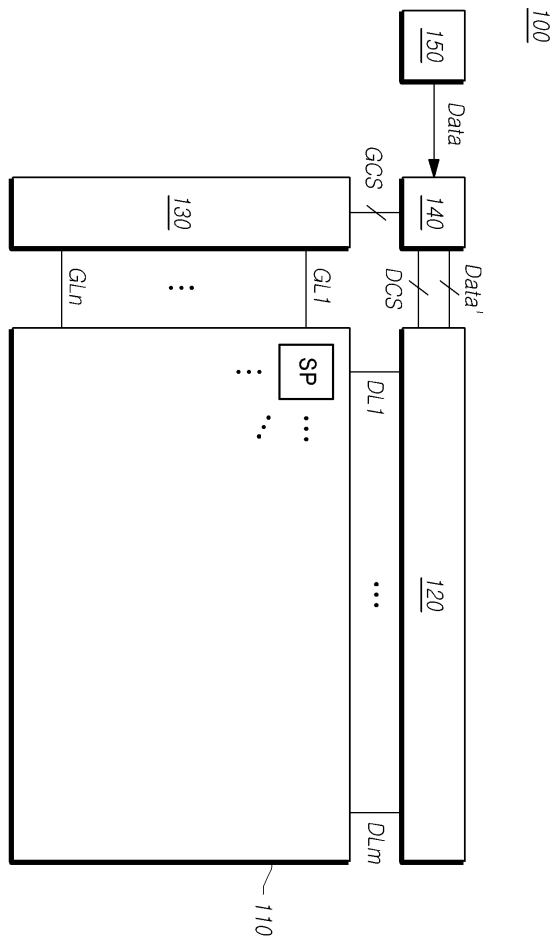
[0097] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

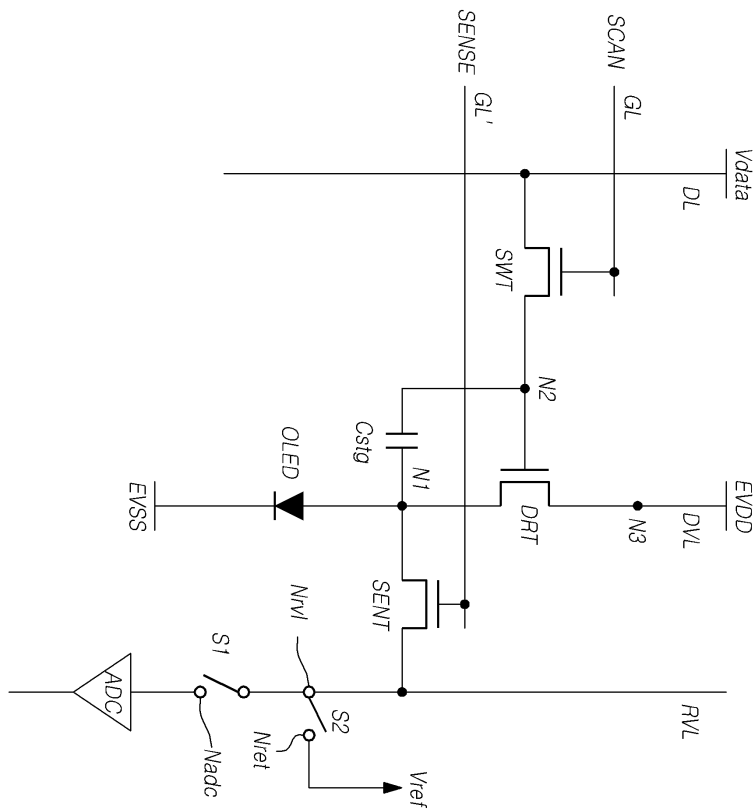
[0098] 100: 유기발광 표시장치 110: 표시패널
120: 데이터 구동부 130: 게이트 구동부
140: 타이밍 컨트롤러 150: 호스트 시스템
400: 과전류 제어부 410: 과전류 확인부
420: 차단부 950: 참조전압 증감부

도면

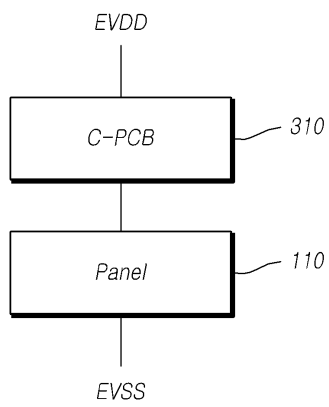
도면1



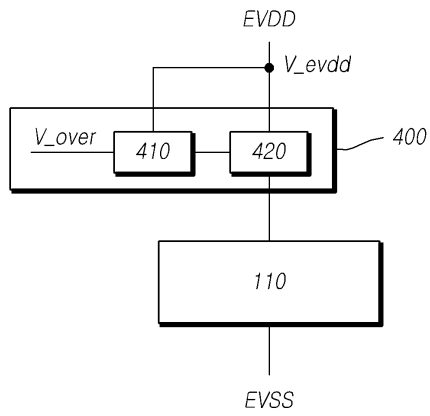
도면2



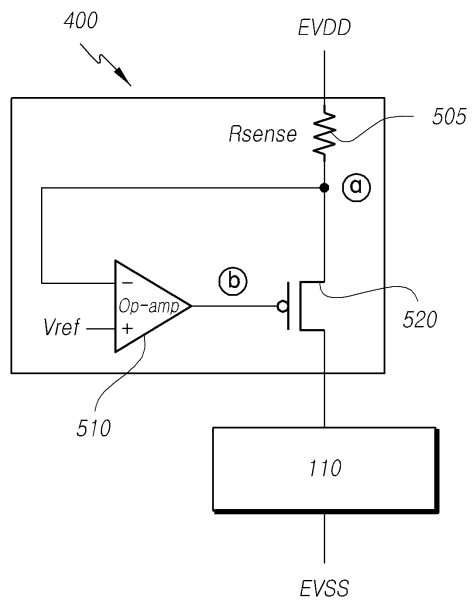
도면3



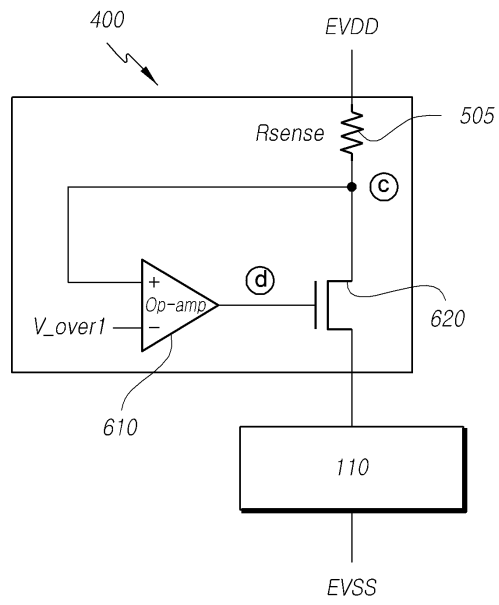
도면4



도면5

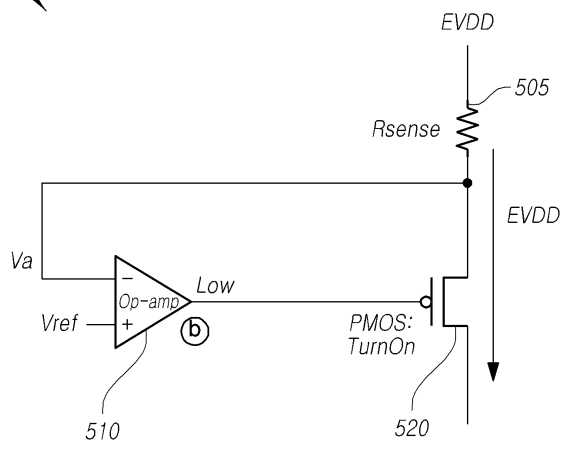


도면6

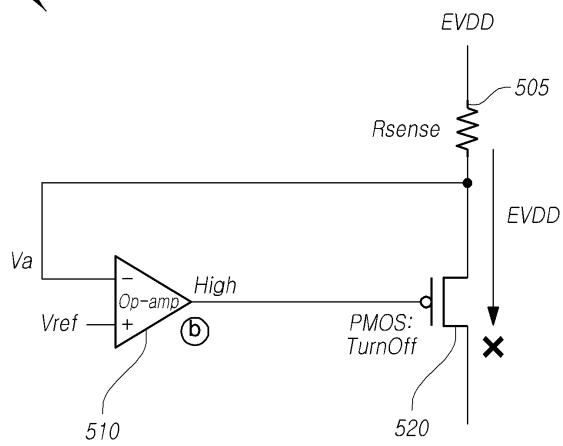


도면7

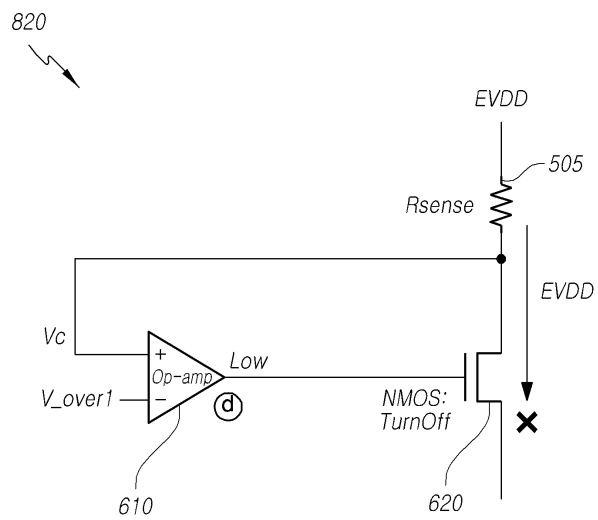
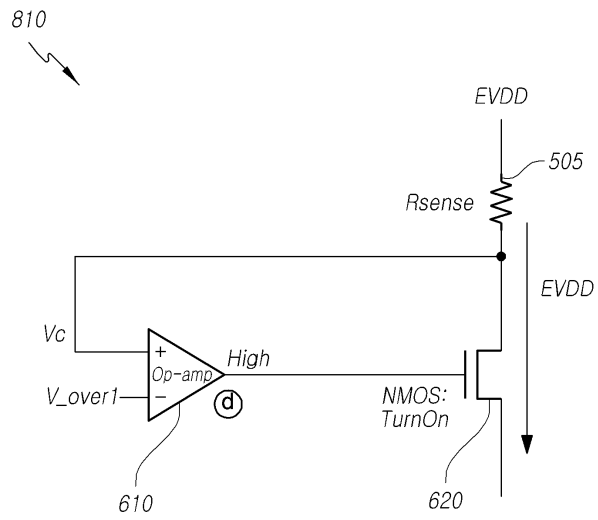
710



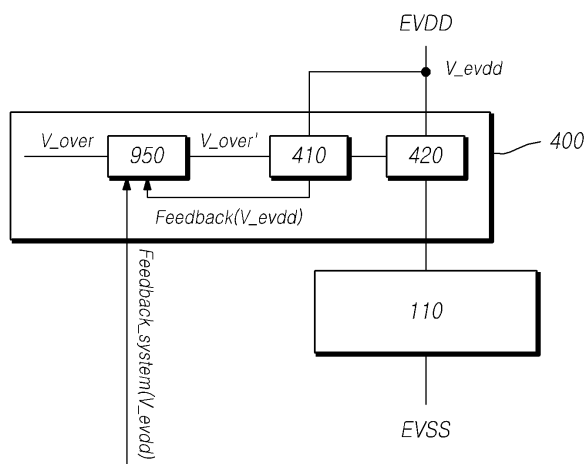
720



도면8



도면9



专利名称(译)	标题：过电流控制装置和包括其的有机发光显示装置		
公开(公告)号	KR1020160078610A	公开(公告)日	2016-07-05
申请号	KR1020140188105	申请日	2014-12-24
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE JU SEOK 이주석		
发明人	이주석		
IPC分类号	H01L27/32 H01L51/56		
CPC分类号	H01L27/32 H01L51/56 H01L27/3202 G01R19/0092 G01R31/2635 G09G3/006 G09G3/3225 G09G2330/025 G09G2330/028 G09G2330/045 G09G2330/12 H02H3/087 G09G3/2092 G09G3/3208 G09G2330/04 H05B45/50		
代理人(译)	Gimeungu 宋.		
外部链接	Espacenet		

摘要(译)

过电流控制装置和包括该过电流控制装置的有机发光显示装置技术领域
本发明涉及过电流控制装置和包括该过电流控制装置的有机发光显示装置，并且在过电流确认装置和过电流确认装置中，本发明确认显示面板的过电流作为电压降接受和更具体地说，本发明提供了一种过电流控制装置，该过电流控制装置包括它被阻断的截止，以便在确认过电流的情况下不施加驱动电压电源线的电压。

