



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0001607
(43) 공개일자 2014년01월07일

(51) 국제특허분류(Int. Cl.)

G09G 3/30 (2006.01)

(21) 출원번호 10-2012-0069633

(22) 출원일자 2012년06월28일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

이해연

경기도 용인시 기흥구 삼성2로 95 삼성전자(주)기
홍캠퍼스

안정근

경기도 용인시 기흥구 삼성2로 95 삼성전자(주)기
홍캠퍼스

(74) 대리인

박영우

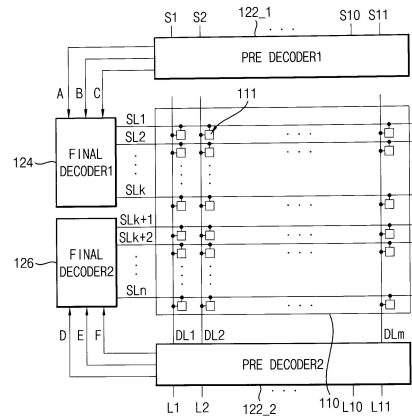
전체 청구항 수 : 총 24 항

(54) 발명의 명칭 스캔 구동 유닛 및 이를 구비하는 유기 발광 표시 장치

(57) 요약

스캔 구동 유닛은 표시 패널의 상부 표시부에 위치하는 상부 스캔 라인을 선택하기 위한 상부 스캔 라인 선택 신호에 기초하여 제 1 논리 신호를 출력하는 제 1 프리 디코더부, 표시 패널의 하부 표시부에 위치하는 하부 스캔 라인을 선택하기 위한 하부 스캔 라인 선택 신호에 기초하여 제 2 논리 신호를 출력하는 제 2 프리 디코더부, 상부 표시부와 제 1 프리 디코더부 사이에 연결되고 제 1 논리 신호에 기초하여 상부 표시부에 위치하는 상부 스캔 라인을 선택하는 제 1 최종 디코더부, 및 하부 표시부와 제 2 프리 디코더부 사이에 연결되고 제 2 논리 신호에 기초하여 하부 표시부에 위치하는 하부 스캔 라인을 선택하는 제 2 최종 디코더부를 포함할 수 있다.

대표도 - 도3



특허청구의 범위

청구항 1

유기 발광 표시 장치의 표시 패널의 상부 표시부에 위치하는 상부 스캔 라인을 선택하기 위한 상부 스캔 라인 선택 신호를 입력받고, 상기 상부 스캔 라인 선택 신호에 기초하여 제 1 논리 신호를 출력하는 제 1 프리 디코더부;

상기 표시 패널의 하부 표시부에 위치하는 하부 스캔 라인을 선택하기 위한 하부 스캔 라인 선택 신호를 입력받고, 상기 하부 스캔 라인 선택 신호에 기초하여 제 2 논리 신호를 출력하는 제 2 프리 디코더부;

상기 상부 표시부와 상기 제 1 프리 디코더부 사이에 연결되고, 상기 제 1 논리 신호에 기초하여 상기 상부 표시부에 위치하는 상기 상부 스캔 라인을 선택하는 제 1 최종 디코더부; 및

상기 하부 표시부와 상기 제 2 프리 디코더부 사이에 연결되고, 상기 제 2 논리 신호에 기초하여 상기 하부 표시부에 위치하는 상기 하부 스캔 라인을 선택하는 제 2 최종 디코더부를 포함하는 스캔 구동 유닛.

청구항 2

제 1 항에 있어서, 상기 제 1 및 제 2 프리 디코더부들은 상기 표시 패널의 외부에 위치하고, 상기 제 1 및 제 2 최종 디코더부들은 상기 표시 패널의 내부에 위치하는 것을 특징으로 하는 스캔 구동 유닛.

청구항 3

제 2 항에 있어서, 상기 제 1 및 제 2 프리 디코더부들은 상기 유기 발광 표시 장치의 타이밍 제어 유닛에 실장되고, 상기 제 1 및 제 2 최종 디코더부들은 상기 표시 패널에 실장되는 것을 특징으로 하는 스캔 구동 유닛.

청구항 4

제 1 항에 있어서, 상기 제 1 프리 디코더부는

상기 상부 스캔 라인 선택 신호에 기초하여 상기 제 1 논리 신호를 생성하기 위한 복수의 제 1 디코더들을 포함하는 것을 특징으로 하는 스캔 구동 유닛.

청구항 5

제 4 항에 있어서, 상기 제 2 프리 디코더부는

상기 하부 스캔 라인 선택 신호에 기초하여 상기 제 2 논리 신호를 생성하기 위한 복수의 제 2 디코더들을 포함하는 것을 특징으로 하는 스캔 구동 유닛.

청구항 6

제 5 항에 있어서, 상기 상부 표시부의 외곽에 실장되는 신호 배선들의 개수는 상기 제 1 디코더들 각각의 출력 라인 개수의 합(sum)에 상응하고, 상기 하부 표시부의 외곽에 실장되는 신호 배선들의 개수는 상기 제 2 디코더들 각각의 출력 라인 개수의 합에 상응하는 것을 특징으로 하는 스캔 구동 유닛.

청구항 7

제 6 항에 있어서, 상기 제 1 디코더들 각각의 출력 라인 개수의 곱과 상기 제 2 디코더들 각각의 출력 라인 개수의 곱의 합은 상기 표시 패널의 전체 스캔 라인들의 개수에 상응하는 것을 특징으로 하는 스캔 구동 유닛.

청구항 8

제 7 항에 있어서, 상기 제 1 디코더들 각각의 출력 라인 개수의 합과 상기 제 2 디코더들 각각의 출력 라인 개수의 합은 서로 동일한 것을 특징으로 하는 스캔 구동 유닛.

청구항 9

제 7 항에 있어서, 상기 제 1 디코더들 각각의 출력 라인 개수의 합과 상기 제 2 디코더들 각각의 출력 라인 개

수의 합은 서로 상이한 것을 특징으로 하는 스캔 구동 유닛.

청구항 10

유기 발광 표시 장치의 표시 패널의 상부 표시부에 위치하는 상부 스캔 라인을 선택하기 위한 상부 스캔 라인 선택 신호를 입력받고, 상기 상부 스캔 라인 선택 신호에 기초하여 제 1 논리 신호 및 상기 제 1 논리 신호를 반전시킨 제 1 반전 논리 신호를 출력하는 제 1 프리 디코더부;

상기 표시 패널의 하부 표시부에 위치하는 하부 스캔 라인을 선택하기 위한 하부 스캔 라인 선택 신호를 입력받고, 상기 하부 스캔 라인 선택 신호에 기초하여 제 2 논리 신호 및 상기 제 2 논리 신호를 반전시킨 제 2 반전 논리 신호를 출력하는 제 2 프리 디코더부;

상기 상부 표시부와 상기 제 1 프리 디코더부 사이에 연결되고, 상기 제 1 논리 신호 및 상기 제 1 반전 논리 신호에 기초하여 상기 상부 표시부에 위치하는 상기 상부 스캔 라인을 선택하는 제 1 최종 디코더부; 및

상기 하부 표시부와 상기 제 2 프리 디코더부 사이에 연결되고, 상기 제 2 논리 신호 및 상기 제 2 반전 논리 신호에 기초하여 상기 하부 표시부에 위치하는 상기 하부 스캔 라인을 선택하는 제 2 최종 디코더부를 포함하는 스캔 구동 유닛.

청구항 11

제 10 항에 있어서, 상기 제 1 및 제 2 프리 디코더부들은 상기 표시 패널의 외부에 위치하고, 상기 제 1 및 제 2 최종 디코더부들은 상기 표시 패널의 내부에 위치하는 것을 특징으로 하는 스캔 구동 유닛.

청구항 12

제 11 항에 있어서, 상기 제 1 및 제 2 프리 디코더부들은 상기 유기 발광 표시 장치의 타이밍 제어 유닛에 실장되고, 상기 제 1 및 제 2 최종 디코더부들은 상기 표시 패널에 실장되는 것을 특징으로 하는 스캔 구동 유닛.

청구항 13

제 10 항에 있어서, 상기 제 1 프리 디코더부는

상기 상부 스캔 라인 선택 신호에 기초하여 상기 제 1 논리 신호를 생성하기 위한 복수의 제 1 디코더들; 및

상기 제 1 논리 신호에 기초하여 상기 제 1 반전 논리 신호를 생성하기 위한 복수의 제 1 인버터들을 포함하는 것을 특징으로 하는 스캔 구동 유닛.

청구항 14

제 13 항에 있어서, 상기 제 2 프리 디코더부는

상기 하부 스캔 라인 선택 신호에 기초하여 상기 제 2 논리 신호를 생성하기 위한 복수의 제 2 디코더들; 및

상기 제 2 논리 신호에 기초하여 상기 제 2 반전 논리 신호를 생성하기 위한 복수의 제 2 인버터들을 포함하는 것을 특징으로 하는 스캔 구동 유닛.

청구항 15

제 14 항에 있어서, 상기 상부 표시부의 외곽에 실장되는 신호 배선들의 개수는 상기 제 1 디코더들 각각의 출력 라인 개수의 합(sum)에 상응하고, 상기 하부 표시부의 외곽에 실장되는 신호 배선들의 개수는 상기 제 2 디코더들 각각의 출력 라인 개수의 합에 상응하는 것을 특징으로 하는 스캔 구동 유닛.

청구항 16

제 15 항에 있어서, 상기 제 1 디코더들 각각의 출력 라인 개수의 곱과 상기 제 2 디코더들 각각의 출력 라인 개수의 곱의 합은 상기 표시 패널의 전체 스캔 라인들의 개수에 상응하는 것을 특징으로 하는 스캔 구동 유닛.

청구항 17

제 16 항에 있어서, 상기 제 1 디코더들 각각의 출력 라인 개수의 합과 상기 제 2 디코더들 각각의 출력 라인 개수의 합은 서로 동일한 것을 특징으로 하는 스캔 구동 유닛.

청구항 18

제 16 항에 있어서, 상기 제 1 디코더들 각각의 출력 라인 개수의 합과 상기 제 2 디코더들 각각의 출력 라인 개수의 합은 서로 상이한 것을 특징으로 하는 스캔 구동 유닛.

청구항 19

복수의 화소 회로들을 구비하는 표시 패널;

상기 화소 회로들에 스캔 신호를 제공하는 스캔 구동 유닛;

상기 화소 회로들에 데이터 신호를 제공하는 데이터 구동 유닛;

상기 표시 패널에 고전원 전압 및 저전원 전압을 제공하는 파워 유닛; 및

상기 스캔 구동 유닛, 상기 데이터 구동 유닛 및 상기 파워 유닛을 제어하는 타이밍 제어 유닛을 포함하고,

상기 스캔 구동 유닛은 상기 표시 패널의 상부 표시부와 하부 표시부에 각각 연결되는 2단의 상부 디코딩(decoding) 구조와 2단의 하부 디코딩 구조를 갖는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 20

제 19 항에 있어서, 하나의 프레임을 복수의 서브 프레임들로 나누고, 상기 서브 프레임들의 발광 시간들을 각각 상이하게 설정하며, 상기 발광 시간들의 합에 기초하여 계조를 표현하는 디지털 구동 방식으로 동작하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 21

제 19 항에 있어서, 상기 상부 디코딩 구조는

상기 상부 표시부에 위치하는 상부 스캔 라인을 선택하기 위한 상부 스캔 라인 선택 신호를 입력받고, 상기 상부 스캔 라인 선택 신호에 기초하여 제 1 논리 신호를 출력하는 제 1 프리 디코더부; 및

상기 상부 표시부와 상기 제 1 프리 디코더부 사이에 연결되고, 상기 제 1 논리 신호에 기초하여 상기 상부 표시부에 위치하는 상기 상부 스캔 라인을 선택하는 제 1 최종 디코더부를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 22

제 21 항에 있어서, 상기 하부 디코딩 구조는

상기 하부 표시부에 위치하는 하부 스캔 라인을 선택하기 위한 하부 스캔 라인 선택 신호를 입력받고, 상기 하부 스캔 라인 선택 신호에 기초하여 제 2 논리 신호를 출력하는 제 2 프리 디코더부; 및

상기 하부 표시부와 상기 제 2 프리 디코더부 사이에 연결되고, 상기 제 2 논리 신호에 기초하여 상기 하부 표시부에 위치하는 상기 하부 스캔 라인을 선택하는 제 2 최종 디코더부를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 23

제 19 항에 있어서, 상기 상부 디코딩 구조는

상기 상부 표시부에 위치하는 상부 스캔 라인을 선택하기 위한 상부 스캔 라인 선택 신호를 입력받고, 상기 상부 스캔 라인 선택 신호에 기초하여 제 1 논리 신호 및 상기 제 1 논리 신호를 반전시킨 제 1 반전 논리 신호를 출력하는 제 1 프리 디코더부; 및

상기 상부 표시부와 상기 제 1 프리 디코더부 사이에 연결되고, 상기 제 1 논리 신호 및 상기 제 1 반전 논리 신호에 기초하여 상기 상부 표시부에 위치하는 상기 상부 스캔 라인을 선택하는 제 1 최종 디코더부를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 24

제 23 항에 있어서, 상기 하부 디코딩 구조는

상기 하부 표시부에 위치하는 하부 스캔 라인을 선택하기 위한 하부 스캔 라인 선택 신호를 입력받고, 상기 하부 스캔 라인 선택 신호에 기초하여 제 2 논리 신호 및 상기 제 2 논리 신호를 반전시킨 제 2 반전 논리 신호를 출력하는 제 2 프리 디코더부; 및

상기 하부 표시부와 상기 제 2 프리 디코더부 사이에 연결되고, 상기 제 2 논리 신호 및 상기 제 2 반전 논리 신호에 기초하여 상기 하부 표시부에 위치하는 상기 하부 스캔 라인을 선택하는 제 2 최종 디코더부를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

명세서

기술 분야

[0001] 본 발명은 유기 발광 표시 장치에 관한 것이다. 보다 상세하게는, 본 발명은 스캔 구동 유닛 및 이를 구비하는 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 최근, 표시 장치 중에서 유기 발광 표시 장치가 많이 이용되고 있다. 일반적으로, 유기 발광 표시 장치는 각 화소 회로에 포함된 스토리지 커패시터에 저장되는 전압을 이용하여 계조를 표시(즉, 아날로그 구동 방식)할 수 있다. 그러나, 상기 아날로그 구동 방식에서는 스토리지 커패시터에 저장되는 전압에 기초하여 계조가 표현되기 때문에, 원하는 계조를 정확하게 표현하기가 상대적으로 어렵다는 문제점이 있다.

[0003] 이러한 문제점을 해결하기 위하여, 유기 발광 표시 장치에 디지털 구동 방식이 적용되고 있다. 구체적으로, 디지털 구동 방식이 적용된 유기 발광 표시 장치는 하나의 프레임을 복수의 서브 프레임들로 나누어 표시한다. 즉, 하나의 프레임을 복수의 서브 프레임들로 나누고, 상기 서브 프레임들의 발광 시간들을 각각 2^n 의 비율로 상이하게 설정하여, 상기 발광 시간들의 합에 기초하여 소정의 계조를 표현하는 것이다.

[0004] 이와 같이, 디지털 구동 방식이 적용된 유기 발광 표시 장치는 하나의 프레임이 복수의 서브 프레임들로 나누어 표시하므로, 스캔 시간이 상대적으로 짧아 스캔 구동 유닛은 고속으로 동작해야 한다. 나아가, 유기 발광 표시 장치가 랜덤(random) 스캔 디지털 구동 방식을 채용하는 경우, 스캔 구동을 랜덤하게 하기 위하여 스캔 구동 유닛이 프리(pre) 디코더부와 최종(final) 디코더부로 구성되는 디코더 타입의 내부 회로로 구현될 수 있다.

[0005] 이러한 스캔 구동 유닛에서는 프리 디코더부에서 출력되는 논리 신호가 최종 디코더부에 입력되기 때문에, 표시 패널의 외부에 위치하는 프리 디코더부에서 출력되는 논리 신호가 표시 패널의 내부에 위치하는 최종 디코더부에 전달되기 위한 신호 배선들이 표시 패널의 외곽에 실장되게 된다. 그러므로, 표시 패널의 해상도가 높아짐에 따라 표시 패널의 외곽에 실장되는 신호 배선들의 개수가 증가하여 데드 스페이스(dead space)가 커지는 문제점이 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 일 목적은 표시 패널의 외부에 위치하는 프리 디코더부와 표시 패널의 내부에 위치하는 최종 디코더부가 연결되는 신호 배선들(이하, 표시 패널의 외곽 신호 배선들로 명명함)의 개수를 감소시킬 수 있는 스캔 구동 유닛을 제공하는 것이다.

[0007] 본 발명의 다른 목적은 상기 스캔 구동 유닛을 구비하는 유기 발광 표시 장치를 제공하는 것이다.

[0008] 다만, 본 발명이 해결하고자 하는 과제는 상술한 과제들에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

[0009] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 스캔 구동 유닛은 유기 발광 표시 장치의 표시 패널의 상부 표시부에 위치하는 상부 스캔 라인을 선택하기 위한 상부 스캔 라인 선택 신호를 입력받고 상기 상부 스캔 라인 선택 신호에 기초하여 제 1 논리 신호를 출력하는 제 1 프리 디코더부, 상기 표시 패널의 하부

표시부에 위치하는 하부 스캔 라인을 선택하기 위한 하부 스캔 라인 선택 신호를 입력받고 상기 하부 스캔 라인 선택 신호에 기초하여 제 2 논리 신호를 출력하는 제 2 프리 디코더부, 상기 상부 표시부와 상기 제 1 프리 디코더부 사이에 연결되고 상기 제 1 논리 신호에 기초하여 상기 상부 표시부에 위치하는 상기 상부 스캔 라인을 선택하는 제 1 최종 디코더부, 및 상기 하부 표시부와 상기 제 2 프리 디코더부 사이에 연결되고, 상기 제 2 논리 신호에 기초하여 상기 하부 표시부에 위치하는 상기 하부 스캔 라인을 선택하는 제 2 최종 디코더부를 포함할 수 있다.

- [0010] 일 실시예에 의하면, 상기 제 1 및 제 2 프리 디코더부들은 상기 표시 패널의 외부에 위치할 수 있고, 상기 제 1 및 제 2 최종 디코더부들은 상기 표시 패널의 내부에 위치할 수 있다.
- [0011] 일 실시예에 의하면, 상기 제 1 및 제 2 프리 디코더부들은 상기 유기 발광 표시 장치의 타이밍 제어 유닛에 실장될 수 있고, 상기 제 1 및 제 2 최종 디코더부들은 상기 표시 패널에 실장될 수 있다.
- [0012] 일 실시예에 의하면, 상기 제 1 프리 디코더부는 상기 상부 스캔 라인 선택 신호에 기초하여 상기 제 1 논리 신호를 생성하기 위한 복수의 제 1 디코더들을 포함할 수 있다.
- [0013] 일 실시예에 의하면, 상기 제 2 프리 디코더부는 상기 하부 스캔 라인 선택 신호에 기초하여 상기 제 2 논리 신호를 생성하기 위한 복수의 제 2 디코더들을 포함할 수 있다.
- [0014] 일 실시예에 의하면, 상기 상부 표시부의 외곽에 실장되는 신호 배선들의 개수는 상기 제 1 디코더들 각각의 출력 라인 개수의 합(sum)에 상응할 수 있고, 상기 하부 표시부의 외곽에 실장되는 신호 배선들의 개수는 상기 제 2 디코더들 각각의 출력 라인 개수의 합에 상응할 수 있다.
- [0015] 일 실시예에 의하면, 상기 제 1 디코더들 각각의 출력 라인 개수의 곱과 상기 제 2 디코더들 각각의 출력 라인 개수의 곱의 합은 상기 표시 패널의 전체 스캔 라인들의 개수에 상응할 수 있다.
- [0016] 일 실시예에 의하면, 상기 제 1 디코더들 각각의 출력 라인 개수의 합과 상기 제 2 디코더들 각각의 출력 라인 개수의 합은 서로 동일할 수 있다.
- [0017] 일 실시예에 의하면, 상기 제 1 디코더들 각각의 출력 라인 개수의 합과 상기 제 2 디코더들 각각의 출력 라인 개수의 합은 서로 상이할 수 있다.
- [0018] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 스캔 구동 유닛은 유기 발광 표시 장치의 표시 패널의 상부 표시부에 위치하는 상부 스캔 라인을 선택하기 위한 상부 스캔 라인 선택 신호를 입력받고 상기 상부 스캔 라인 선택 신호에 기초하여 제 1 논리 신호 및 상기 제 1 논리 신호를 반전시킨 제 1 반전 논리 신호를 출력하는 제 1 프리 디코더부, 상기 표시 패널의 하부 표시부에 위치하는 하부 스캔 라인을 선택하기 위한 하부 스캔 라인 선택 신호를 입력받고 상기 하부 스캔 라인 선택 신호에 기초하여 제 2 논리 신호 및 상기 제 2 논리 신호를 반전시킨 제 2 반전 논리 신호를 출력하는 제 2 프리 디코더부, 상기 상부 표시부와 상기 제 1 프리 디코더부 사이에 연결되고 상기 제 1 논리 신호 및 상기 제 1 반전 논리 신호에 기초하여 상기 상부 표시부에 위치하는 상기 상부 스캔 라인을 선택하는 제 1 최종 디코더부, 및 상기 하부 표시부와 상기 제 2 프리 디코더부 사이에 연결되고 상기 제 2 논리 신호 및 상기 제 2 반전 논리 신호에 기초하여 상기 하부 표시부에 위치하는 상기 하부 스캔 라인을 선택하는 제 2 최종 디코더부를 포함할 수 있다.
- [0019] 일 실시예에 의하면, 상기 제 1 및 제 2 프리 디코더부들은 상기 표시 패널의 외부에 위치할 수 있고, 상기 제 1 및 제 2 최종 디코더부들은 상기 표시 패널의 내부에 위치할 수 있다.
- [0020] 일 실시예에 의하면, 상기 제 1 및 제 2 프리 디코더부들은 상기 유기 발광 표시 장치의 타이밍 제어 유닛에 실장될 수 있고, 상기 제 1 및 제 2 최종 디코더부들은 상기 표시 패널에 실장될 수 있다.
- [0021] 일 실시예에 의하면, 상기 제 1 프리 디코더부는 상기 상부 스캔 라인 선택 신호에 기초하여 상기 제 1 논리 신호를 생성하기 위한 복수의 제 1 디코더들, 및 상기 제 1 논리 신호에 기초하여 상기 제 1 반전 논리 신호를 생성하기 위한 복수의 제 1 인버터들을 포함할 수 있다.
- [0022] 일 실시예에 의하면, 상기 제 2 프리 디코더부는 상기 하부 스캔 라인 선택 신호에 기초하여 상기 제 2 논리 신호를 생성하기 위한 복수의 제 2 디코더들, 및 상기 제 2 논리 신호에 기초하여 상기 제 2 반전 논리 신호를 생성하기 위한 복수의 제 2 인버터들을 포함할 수 있다.
- [0023] 일 실시예에 의하면, 상기 상부 표시부의 외곽에 실장되는 신호 배선들의 개수는 상기 제 1 디코더들 각각의 출력 라인 개수의 합(sum)에 상응할 수 있고, 상기 하부 표시부의 외곽에 실장되는 신호 배선들의 개수는 상기 제

2 디코더들 각각의 출력 라인 개수의 합에 상응할 수 있다.

- [0024] 일 실시예에 의하면, 상기 제 1 디코더들 각각의 출력 라인 개수의 곱과 상기 제 2 디코더들 각각의 출력 라인 개수의 곱의 합은 상기 표시 패널의 전체 스캔 라인들의 개수에 상응할 수 있다.
- [0025] 일 실시예에 의하면, 상기 제 1 디코더들 각각의 출력 라인 개수의 합과 상기 제 2 디코더들 각각의 출력 라인 개수의 합은 서로 동일할 수 있다.
- [0026] 일 실시예에 의하면, 상기 제 1 디코더들 각각의 출력 라인 개수의 합과 상기 제 2 디코더들 각각의 출력 라인 개수의 합은 서로 상이할 수 있다.
- [0027] 본 발명의 다른 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 유기 발광 표시 장치는 복수의 화소 회로들을 구비하는 표시 패널, 상기 화소 회로들에 스캔 신호를 제공하는 스캔 구동 유닛, 상기 화소 회로들에 데이터 신호를 제공하는 데이터 구동 유닛, 상기 표시 패널에 고전원 전압 및 저전원 전압을 제공하는 파워 유닛, 및 상기 스캔 구동 유닛, 상기 데이터 구동 유닛 및 상기 파워 유닛을 제어하는 타이밍 제어 유닛을 포함할 수 있다. 이 때, 상기 스캔 구동 유닛은 상기 표시 패널의 상부 표시부와 하부 표시부에 각각 연결되는 2단의 상부 디코딩 구조와 2단의 하부 디코딩 구조를 가질 수 있다.
- [0028] 일 실시예에 의하면, 상기 유기 발광 표시 장치는 하나의 프레임을 복수의 서브 프레임들로 나누고, 상기 서브 프레임들의 발광 시간들을 각각 상이하게 설정하며, 상기 발광 시간들의 합에 기초하여 계조를 표현하는 디지털 구동 방식으로 동작할 수 있다.
- [0029] 일 실시예에 의하면, 상기 상부 디코딩 구조는 상기 상부 표시부에 위치하는 상부 스캔 라인을 선택하기 위한 상부 스캔 라인 선택 신호를 입력받고 상기 상부 스캔 라인 선택 신호에 기초하여 제 1 논리 신호를 출력하는 제 1 프리 디코더부, 및 상기 상부 표시부와 상기 제 1 프리 디코더부 사이에 연결되고 상기 제 1 논리 신호에 기초하여 상기 상부 표시부에 위치하는 상기 상부 스캔 라인을 선택하는 제 1 최종 디코더부를 포함할 수 있다.
- [0030] 일 실시예에 의하면, 상기 하부 디코딩 구조는 상기 하부 표시부에 위치하는 하부 스캔 라인을 선택하기 위한 하부 스캔 라인 선택 신호를 입력받고 상기 하부 스캔 라인 선택 신호에 기초하여 제 2 논리 신호를 출력하는 제 2 프리 디코더부, 및 상기 하부 표시부와 상기 제 2 프리 디코더부 사이에 연결되고 상기 제 2 논리 신호에 기초하여 상기 하부 표시부에 위치하는 상기 하부 스캔 라인을 선택하는 제 2 최종 디코더부를 포함할 수 있다.
- [0031] 일 실시예에 의하면, 상기 상부 디코딩 구조는 상기 상부 표시부에 위치하는 상부 스캔 라인을 선택하기 위한 상부 스캔 라인 선택 신호를 입력받고 상기 상부 스캔 라인 선택 신호에 기초하여 제 1 논리 신호 및 상기 제 1 논리 신호를 반전시킨 제 1 반전 논리 신호를 출력하는 제 1 프리 디코더부, 및 상기 상부 표시부와 상기 제 1 프리 디코더부 사이에 연결되고 상기 제 1 논리 신호 및 상기 제 1 반전 논리 신호에 기초하여 상기 상부 표시부에 위치하는 상기 상부 스캔 라인을 선택하는 제 1 최종 디코더부를 포함할 수 있다.
- [0032] 일 실시예에 의하면, 상기 하부 디코딩 구조는 상기 하부 표시부에 위치하는 하부 스캔 라인을 선택하기 위한 하부 스캔 라인 선택 신호를 입력받고 상기 하부 스캔 라인 선택 신호에 기초하여 제 2 논리 신호 및 상기 제 2 논리 신호를 반전시킨 제 2 반전 논리 신호를 출력하는 제 2 프리 디코더부, 및 상기 하부 표시부와 상기 제 2 프리 디코더부 사이에 연결되고 상기 제 2 논리 신호 및 상기 제 2 반전 논리 신호에 기초하여 상기 하부 표시부에 위치하는 상기 하부 스캔 라인을 선택하는 제 2 최종 디코더부를 포함할 수 있다.

발명의 효과

- [0033] 본 발명의 실시예들에 따른 스캔 구동 유닛은 표시 패널의 상부 표시부와 하부 표시부에 각각 연결되는 2단의 상부 디코딩 구조와 2단의 하부 디코딩 구조를 가짐(즉, 표시 패널을 상부 표시부와 하부 표시부로 나누고, 상부 표시부와 하부 표시부를 제 1 최종 디코더부와 제 2 최종 디코더부에 각각 연결시키며, 제 1 최종 디코더부와 제 2 최종 디코더부를 제 1 프리 디코더부와 제 2 프리 디코더부에 각각 연결시킨 구조를 가짐)으로써 표시 패널의 외곽 신호 배선들의 개수를 감소시킬 수 있다.
- [0034] 본 발명의 실시예들에 따른 유기 발광 표시 장치는 상기 스캔 구동 유닛을 구비함으로써 표시 패널의 외곽 신호 배선들의 개수를 감소시켜 표시 패널의 데드 스페이스를 최소화할 수 있다.
- [0035] 다만, 본 발명의 효과는 이에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

- [0036] 도 1은 본 발명의 실시예들에 따른 유기 발광 표시 장치를 나타내는 블록도이다.
- 도 2는 도 1의 유기 발광 표시 장치가 디지털 구동 방식으로 동작하는 일 예를 나타내는 도면이다.
- 도 3은 도 1의 유기 발광 표시 장치에 구비되는 스캔 구동 유닛의 일 예를 나타내는 블록도이다.
- 도 4a 및 도 4b는 도 3의 스캔 구동 유닛에 의하여 표시 패널에 외곽 신호 배선들이 형성되는 일 예를 나타내는 도면이다.
- 도 5는 도 3의 스캔 구동 유닛에 구비되는 제 1 및 제 2 최종 디코더부가 표시 패널에 위치하는 일 예를 나타내는 도면이다.
- 도 6은 도 1의 유기 발광 표시 장치에 구비되는 스캔 구동 유닛의 다른 예를 나타내는 블록도이다.
- 도 7은 도 6의 스캔 구동 유닛에 구비되는 제 1 및 제 2 최종 디코더부가 표시 패널에 위치하는 일 예를 나타내는 도면이다.
- 도 8은 도 1의 유기 발광 표시 장치에 구비되는 스캔 구동 유닛의 또 다른 예를 나타내는 블록도이다.
- 도 9a 및 도 9b는 도 8의 스캔 구동 유닛에 의하여 표시 패널에 외곽 신호 배선들이 형성되는 일 예를 나타내는 도면이다.
- 도 10은 도 8의 스캔 구동 유닛에 구비되는 제 1 및 제 2 최종 디코더부가 표시 패널에 위치하는 일 예를 나타내는 도면이다.
- 도 11은 도 1의 유기 발광 표시 장치에 구비되는 스캔 구동 유닛을 제어하는 방법을 나타내는 순서도이다.
- 도 12는 도 1의 유기 발광 표시 장치를 구비하는 전자 기기를 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0037] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다.
- [0038] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0039] 제 1, 제 2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로 사용될 수 있다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제 1 구성요소는 제 2 구성요소로 명명될 수 있고, 유사하게 제 2 구성요소도 제 1 구성요소로 명명될 수 있다.
- [0040] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0041] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0042] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미이다. 일반적으로

사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미인 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

- [0043] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0044] 도 1은 본 발명의 실시예들에 따른 유기 발광 표시 장치를 나타내는 블록도이고, 도 2는 도 1의 유기 발광 표시 장치가 디지털 구동 방식으로 동작하는 일 예를 나타내는 도면이다.
- [0045] 도 1 및 도 2를 참조하면, 유기 발광 표시 장치(100)는 표시 패널(110), 스캔 구동 유닛(120), 데이터 구동 유닛(130), 파워 유닛(140) 및 타이밍 제어 유닛(150)을 포함할 수 있다.
- [0046] 표시 패널(110)은 복수의 화소 회로들(미도시)을 포함할 수 있다. 스캔 구동 유닛(120)은 복수의 스캔 라인들(SL1, ..., SLn)을 통해 상기 화소 회로들에 스캔 신호를 제공할 수 있다. 데이터 구동 유닛(130)은 복수의 데이터 라인들(DL1, ..., DLm)을 통해 상기 화소 회로들에 데이터 신호를 제공할 수 있다. 파워 유닛(140)은 고전원 전압(ELVDD) 및 저전원 전압(ELVSS)을 생성하고, 고전원 전압(ELVDD) 및 저전원 전압(ELVSS)을 복수의 전원 라인들(미도시)을 통해 상기 화소 회로들에 제공할 수 있다. 타이밍 제어 유닛(150)은 복수의 제어 신호들(CTL1, CTL2, CTL3)을 생성하고, 상기 제어 신호들(CTL1, CTL2, CTL3)을 스캔 구동 유닛(120), 데이터 구동 유닛(130) 및 파워 유닛(140)에 제공함으로써, 스캔 구동 유닛(120), 데이터 구동 유닛(130) 및 파워 유닛(140)을 제어할 수 있다. 도 1에서는 스캔 구동 유닛(120), 데이터 구동 유닛(130), 파워 유닛(140) 및 타이밍 제어 유닛(150)이 구분되어 도시되어 있지만, 유기 발광 표시 장치(100)를 실제 구현함에 있어 스캔 구동 유닛(120), 데이터 구동 유닛(130), 파워 유닛(140) 및 타이밍 제어 유닛(150)이 명확하게 구분되어 구현되지는 않는다. 그러므로, 스캔 구동 유닛(120), 데이터 구동 유닛(130), 파워 유닛(140) 및 타이밍 제어 유닛(150)은 표시 패널과 연결되는 주변 회로의 기능(function)들로서 해석되어야 한다. 예를 들어, 타이밍 제어 유닛(150)은 스캔 구동 유닛(120), 데이터 구동 유닛(130), 파워 유닛(140) 등의 동작을 수행하거나 또는 그러한 동작을 수행하는 구성요소들을 일부 포함할 수 있다.
- [0047] 유기 발광 표시 장치(100)는 하나의 프레임을 복수의 서브 프레임들로 나누고, 상기 서브 프레임들의 발광 시간들을 각각 상이하게 설정하며, 상기 발광 시간들의 합에 기초하여 계조를 표현하는 디지털 구동 방식으로 동작할 수 있다. 구체적으로, 상기 발광 시간들 각각은 비트(bit)를 표현할 수 있다. 즉, 제 1 내지 제 4 서브 프레임들이 있다고 가정하면, 제 1 내지 제 4 서브 프레임들의 발광 시간들은 2^n 의 비율로 증가할 수 있다. 예를 들어, 제 2 서브 프레임의 발광 시간은 제 1 서브 프레임의 발광 시간의 두 배이고, 제 3 서브 프레임의 발광 시간은 제 2 서브 프레임의 발광 시간의 두 배이며, 제 4 서브 프레임의 발광 시간은 제 3 서브 프레임의 발광 시간의 두 배일 수 있다. 이 때, 가장 긴 발광 시간을 갖는 제 4 서브 프레임이 데이터 신호의 최상위 비트(most significant bits; MSB)에 상응할 수 있고, 가장 짧은 발광 시간(EM)을 갖는 제 1 서브 프레임이 데이터 신호의 최하위 비트(least significant bits; LSB)에 상응할 수 있다. 그 결과, 하나의 프레임을 구성하는 서브 프레임들의 발광 시간의 합에 기초하여 소정의 계조가 표현될 수 있는 것이다. 그러나, 유기 발광 표시 장치(100)는 하나의 프레임을 복수의 서브 프레임들로 나누어 표시하므로, 스캔 시간이 상대적으로 짧아 스캔 구동 유닛은 고속으로 동작할 필요가 있다.
- [0048] 나아가, 유기 발광 표시 장치(100)가 랜덤(random) 스캔 디지털 구동 방식을 채용하는 경우, 스캔 구동을 랜덤하게 하기 위하여 스캔 구동 유닛(120)은 프리 디코더부와 최종 디코더부로 구성되는 디코더 타입의 내부 회로로 구현될 수 있다. 즉, 서브 프레임들 별로 스캔 라인들을 순차적으로 스캔하고, 스캔된 스캔 라인들의 서브 프레임들을 동시에 발광시키는 프로그레시브(progressive) 스캔 디지털 구동 방식과는 달리, 랜덤 스캔 디지털 구동 방식은 도 2에 도시된 바와 같이 서브 프레임 발광 순서가 일정(예를 들어, 1-2-3-4-5 순으로)하게 배열된 스캔 라인들의 서브 프레임 스캔 타이밍을 소정의 시간만큼 쉬프트시킴으로써, 스캔 라인들을 랜덤하게 스캔하고, 스캔된 스캔 라인의 서브 프레임(1, 2, 3, 4, 5)을 각각 발광시킨다. 이에, 스캔 구동 유닛(120)은 표시 패널(110)의 상부 표시부와 하부 표시부에 각각 연결되는 2단의 상부 디코딩(decoding) 구조와 2단의 하부 디코딩 구조에 기초하여 스캔 구동을 랜덤하게 할 수 있다. 상기에서, 유기 발광 표시 장치(100)와 관련하여 디지털 구동 방식과 랜덤 스캔 디지털 구동 방식을 언급하였지만, 본 발명은 디지털 구동 방식 또는 랜덤 스캔 디지털 구동 방식의 유기 발광 표시 장치로 한정되는 것은 아니다. 이하, 스캔 구동 유닛(120)에 대하여 설명하기로 한다.
- [0049] 도 1에는 도시되지 않았지만, 스캔 구동 유닛(120)은 표시 패널(110)의 상부 표시부와 하부 표시부에 각각 연결

되는 2단의 상부 디코딩 구조와 2단의 하부 디코딩 구조를 가질 수 있다. 일 실시예에서, 스캔 구동 유닛(120)의 2단의 상부 디코딩 구조는 표시 패널(110)의 상부 표시부에 위치하는 상부 스캔 라인을 선택하기 위한 상부 스캔 라인 선택 신호를 입력받고, 상부 스캔 라인 선택 신호에 기초하여 제 1 논리 신호 및 제 1 논리 신호를 반전시킨 제 1 반전 논리 신호를 출력하는 제 1 프리 디코더부, 및 표시 패널(110)의 상부 표시부와 제 1 프리 디코더부 사이에 연결되고, 제 1 논리 신호 및 제 1 반전 논리 신호에 기초하여 표시 패널(110)의 상부 표시부에 위치하는 상부 스캔 라인을 선택하는 제 1 최종 디코더부를 포함할 수 있다. 또한, 스캔 구동 유닛(120)의 2단의 하부 디코딩 구조는 표시 패널(110)의 하부 표시부에 위치하는 하부 스캔 라인을 선택하기 위한 하부 스캔 라인 선택 신호를 입력받고, 하부 스캔 라인 선택 신호에 기초하여 제 2 논리 신호 및 제 2 논리 신호를 반전시킨 제 2 반전 논리 신호를 출력하는 제 2 프리 디코더부, 및 표시 패널(110)의 하부 표시부와 제 2 프리 디코더부 사이에 연결되고, 제 2 논리 신호 및 제 2 반전 논리 신호에 기초하여 표시 패널(110)의 하부 표시부에 위치하는 하부 스캔 라인을 선택하는 제 2 최종 디코더부를 포함할 수 있다. 상기 구조에 대해서는 도 3 내지 도 5를 참조하여 자세하게 후술하기로 한다.

[0050] 다른 실시예에서, 스캔 구동 유닛(120)의 2단의 상부 디코딩 구조는 표시 패널(110)의 상부 표시부에 위치하는 상부 스캔 라인을 선택하기 위한 상부 스캔 라인 선택 신호를 입력받고, 상부 스캔 라인 선택 신호에 기초하여 제 1 논리 신호를 출력하는 제 1 프리 디코더부 및 표시 패널(110)의 상부 표시부와 제 1 프리 디코더부 사이에 연결되고, 제 1 논리 신호에 기초하여 표시 패널(110)의 상부 표시부에 위치하는 상부 스캔 라인을 선택하는 제 1 최종 디코더부를 포함할 수 있다. 또한, 스캔 구동 유닛(120)의 2단의 하부 디코딩 구조는 표시 패널(110)의 하부 표시부에 위치하는 하부 스캔 라인을 선택하기 위한 하부 스캔 라인 선택 신호를 입력받고, 하부 스캔 라인 선택 신호에 기초하여 제 2 논리 신호를 출력하는 제 2 프리 디코더부, 및 표시 패널(110)의 하부 표시부와 제 2 프리 디코더부 사이에 연결되고, 제 2 논리 신호에 기초하여 표시 패널(110)의 하부 표시부에 위치하는 하부 스캔 라인을 선택하는 제 2 최종 디코더부를 포함할 수 있다. 상기 구조에 대해서는 도 6 내지 도 8을 참조하여 자세하게 후술하기로 한다. 이하, 유기 발광 표시 장치(100)에 구비되는 스캔 구동 유닛(120)에 대해서 구체적으로 설명하기로 한다.

[0051] 도 3은 도 1의 유기 발광 표시 장치에 구비되는 스캔 구동 유닛의 일 예를 나타내는 블록도이다.

[0052] 도 3을 참조하면, 스캔 구동 유닛(120)은 제 1 프리 디코더부(122_1), 제 2 프리 디코더부(122_2), 제 1 최종 디코더부(124) 및 제 2 최종 디코더부(126)를 포함할 수 있다. 표시 패널(110)은 스캔 라인들(SL1, ..., SLn)과 데이터 라인들(DL1, ..., DLm)의 교차점에 위치하는 복수의 화소 회로(111)들을 포함할 수 있다. 상술한 바와 같이, 제 1 프리 디코더부(122_1)와 제 1 최종 디코더부(124)가 스캔 구동 유닛(120)의 2단의 상부 디코딩 구조에 상응하고, 제 2 프리 디코더부(122_2)와 제 2 최종 디코더부(126)가 스캔 구동 유닛(120)의 2단의 하부 디코딩 구조에 상응할 수 있다.

[0053] 제 1 프리 디코더부(122_1)는 표시 패널(110)의 상부 표시부에 위치하는 상부 스캔 라인(SL1, ..., SLk)을 선택하기 위한 상부 스캔 라인 선택 신호(S1, ..., S11)를 입력받고, 상부 스캔 라인 선택 신호(S1, ..., S11)에 기초하여 제 1 논리 신호(A, B, C)를 출력할 수 있다. 제 2 프리 디코더부(122_2)는 표시 패널(110)의 하부 표시부에 위치하는 하부 스캔 라인(SLk+1, ..., SLn)을 선택하기 위한 하부 스캔 라인 선택 신호(L1, ..., L11)를 입력받고, 하부 스캔 라인 선택 신호(L1, ..., L11)에 기초하여 제 2 논리 신호(D, E, F)를 출력할 수 있다. 도 3에서는 설명의 편의를 위하여 제 1 및 제 2 프리 디코더부들(122_1, 122_2)과 제 1 및 제 2 최종 디코더부들(124, 126)이 표시 패널(110)의 외부에 위치하는 것으로 도시되어 있으나, 제 1 및 제 2 프리 디코더부들(122_1, 122_2)은 표시 패널(110)의 외부에 위치하고, 제 1 및 제 2 최종 디코더부들(124, 126)이 표시 패널(110)의 내부에 위치하는 것으로 해석하여야 한다. 실시예에 따라, 제 1 및 제 2 프리 디코더부들(122_1, 122_2)은 유기 발광 표시 장치(100)의 타이밍 제어 유닛(150)에 실장될 수 있고, 제 1 및 제 2 최종 디코더부들(124, 126)은 유기 발광 표시 장치(100)의 표시 패널(110)에 실장될 수 있다.

[0054] 제 1 최종 디코더부(124)는 표시 패널(110)의 상부 표시부와 제 1 프리 디코더부(122_1) 사이에 연결되고, 제 1 논리 신호(A, B, C)에 기초하여 표시 패널(110)의 상부 표시부에 위치하는 상부 스캔 라인(SL1, ..., SLk)을 선택할 수 있다. 제 2 최종 디코더부(126)는 표시 패널(110)의 하부 표시부와 제 2 프리 디코더부(122_2) 사이에 연결되고, 제 2 논리 신호(D, E, F)에 기초하여 표시 패널(110)의 하부 표시부에 위치하는 하부 스캔 라인(SLk+1, ..., SLn)을 선택할 수 있다. 이와 같이, 제 1 프리 디코더부(122_1)는 표시 패널(110)의 상부 표시부에 위치하는 상부 스캔 라인(SL1, ..., SLk)을 선택하기 위하여 제 1 최종 디코더부(124)에 연결될 수 있고, 제 2 프리 디코더부(122_2)는 표시 패널(110)의 하부 표시부에 위치하는 하부 스캔 라인(SLk+1, ..., SLn)을 선택하기 위하여 제 2 최종 디코더부(126)에 연결될 수 있으며, 제 1 및 제 2 최종 디코더부들(124, 126)은 표시 패

널(110) 내부에 위치하면서 서로 분리될 수 있다. 다만, 제 1 최종 디코더부(124)와 제 2 최종 디코더부(126)가 서로 분리되어 있다고 하더라도, 표시 패널(110)은 상부 표시부와 하부 표시부가 서로 독립적으로 구동되는 상하 분할 구동 방식으로 구동되는 것이 아님을 알아야 한다. 그러므로, 스캔 라인(SL1, ..., SLn)을 카운트하는 라인 카운터(line counter) 값이 표시 패널(110)의 상부 표시부를 나타낼 때에는, 라인 카운터 값이 상부 스캔 라인 선택 신호(S1, ..., S11)로 매칭(matching)될 수 있고, 라인 카운터 값이 표시 패널(110)의 하부 표시부에 나타낼 때에는, 라인 카운터 값에서 상부 표시부의 스캔 라인들(SL1, ..., SLk)의 개수를 뺀 값이 하부 스캔 라인 선택 신호(L1, ..., L11)로 매칭될 수 있다.

[0055] 예를 들어, FHD(full high definition) 해상도에서 표시 패널(110)의 전체 스캔 라인들(SL1, ..., SLn)의 개수는 1080개이므로, 표시 패널(110)의 상부 표시부의 전체 스캔 라인들(SL1, ..., SLk)의 개수가 540개이고, 표시 패널(110)의 하부 표시부의 전체 스캔 라인들(SLk+1, ..., SLn)의 개수가 540개라고 가정하기로 한다. 이러한 경우, 라인 카운터 값이 0~539일 때에는 표시 패널(110)의 상부 표시부가 선택되고, 라인 카운터 값은 상부 스캔 라인 선택 신호(S1, ..., S11)에 매칭될 수 있다. 반면에, 라인 카운터 값이 540~1079일 때에는 표시 패널(110)의 하부 표시부가 선택되고, 라인 카운터 값에서 540을 뺀 값이 하부 스캔 라인 선택 신호(L1, ..., L11)에 매칭될 수 있다. 한편, 도 3에서는 제 1 프리 디코더부(122_1)가 11개의 상부 스캔 라인 선택 신호(S1, ..., S11)를 입력받고, 제 2 프리 디코더부(122_2)가 11개의 하부 스캔 라인 선택 신호(L1, ..., L11)를 입력받으며, 제 1 최종 디코더부(124)가 3개의 제 1 논리 신호(A, B, C)를 입력받고, 제 2 최종 디코더부(126)가 3개의 제 2 논리 신호(D, E, F)를 입력받는 것으로 도시되어 있으나, 본 발명은 도 3에 도시된 신호 개수들에 한정되는 것이 아니며, 상기 신호 개수들은 요구되는 조건에 따라 다양하게 설계 변경될 수 있다. 상술한 바와 같이, 스캔 구동 유닛(120)은 표시 패널(110)의 상부 표시부와 하부 표시부에 각각 연결되는 2단의 상부 디코딩 구조와 2단의 하부 디코딩 구조를 가짐(즉, 표시 패널(110)을 상부 표시부와 하부 표시부로 나누고, 상부 표시부와 하부 표시부를 제 1 최종 디코더부(124)와 제 2 최종 디코더부(126)에 각각 연결시키며, 제 1 최종 디코더부(124)와 제 2 최종 디코더부(126)를 제 1 프리 디코더부(122_1)와 제 2 프리 디코더부(122_2)에 각각 연결시킨 구조를 가짐)으로써 표시 패널(110)의 외곽 신호 배선들의 개수를 감소시켜 데드 스페이스(dead space)를 줄일 수 있다. 이에 대해서는 도 4a 및 도 4b를 참조하여 자세하게 후술하기로 한다.

[0056] 도 4a 및 도 4b는 도 3의 스캔 구동 유닛에 의하여 표시 패널에 외곽 신호 배선들이 형성되는 일 예를 나타내는 도면이다.

[0057] 도 4a 및 도 4b를 참조하면, 도 4a는 제 1 프리 디코더부(122_1)의 내부 구조를 보여주고 있고, 도 4b는 제 2 프리 디코더부(122_2)의 내부 구조를 보여주고 있다.

[0058] 제 1 프리 디코더부(122_1)는 상부 스캔 라인 선택 신호(S1, ..., S11)에 기초하여 제 1 논리 신호(A, B, C)를 생성하기 위한 복수의 제 1 디코더들(123_1, 123_2, 123_3)을 포함할 수 있다. 한편, 제 1 디코더들(123_1, 123_2, 123_3) 각각은 복수의 논리 소자들로 구성될 수 있다. 일 실시예에서, 제 1 프리 디코더부(122_1)는 4-by-10 디코더(123_1), 4-by-9 디코더(123_2) 및 3-by-6 디코더(123_3)를 포함할 수 있다. 예를 들어, 4-by-10 디코더(123_1)는 하위 비트와 관련될 수 있고, 4-by-9 디코더(123_2)는 중간 비트와 관련될 수 있으며, 3-by-6 디코더(123_3)는 상위 비트와 관련될 수 있다. 구체적으로, 4-by-10 디코더(123_1)는 하위 비트와 관련된 상부 스캔 라인 선택 신호(S1, S2, S3, S4)를 입력받아 10개의 하위 비트 출력 신호들(A1, ..., A10)을 출력할 수 있다. 이를 위하여, 4-by-10 디코더(123_1)는 10개의 4-입력 OR 논리 소자를 포함할 수 있으나, 그에 한정되지는 않는다. 4-by-9 디코더(123_2)는 중간 비트와 관련된 상부 스캔 라인 선택 신호(S5, S6, S7, S8)를 입력받아 9개의 중간 비트 출력 신호들(B1, ..., B9)을 출력할 수 있다. 이를 위하여, 4-by-9 디코더(123_2)는 9개의 4-입력 OR 논리 소자를 포함할 수 있으나, 그에 한정되지는 않는다. 3-by-6 디코더(123_3)는 상위 비트와 관련된 상부 스캔 라인 선택 신호(S9, S10, S11)를 입력받아 6개의 상위 비트 출력 신호들(C1, ..., C6)을 출력할 수 있다. 이를 위하여, 3-by-6 디코더(123_3)는 6개의 3-입력 OR 논리 소자를 포함할 수 있으나, 그에 한정되지는 않는다.

[0059] 한편, 제 1 프리 디코더부(122_1)는 4-by-10 디코더(123_1), 4-by-9 디코더(123_2) 및 3-by-6 디코더(123_3)에서 출력되는 10개의 하위 비트 출력 신호들(A1, ..., A10), 9개의 중간 비트 출력 신호들(B1, ..., B9) 및 6개의 상위 비트 출력 신호들(C1, ..., C6)에 기초하여 제 1 논리 신호(A, B, C)를 생성할 수 있다. 도 4a에 도시된 바와 같이, 제 1 논리 신호(A, B, C)가 생성되기 위하여, 10개의 하위 비트 출력 신호들(A1, ..., A10) 중에서 하나가 선택되고, 9개의 중간 비트 출력 신호들(B1, ..., B9) 중에서 하나가 선택되며, 6개의 상위 비트 출력 신호들(C1, ..., C6) 중에서 하나가 선택될 수 있다. 그 결과, 제 1 논리 신호(A, B, C)는 (A1, B1, C1), (A2, B1, C1), (A3, B1, C1) 등의 이진 형태를 가질 수 있고, 제 1 논리 신호(A, B, C)는 제 1 최종 디코더부

(124)에 출력될 수 있다. 이 때, 유기 발광 표시 장치(100)의 표시 패널(110)의 상부 표시부 외곽에 실장되는 신호 배선들의 개수는 제 1 디코더들(123_1, 123_2, 123_3) 각각의 출력 라인 개수의 합(sum)에 상응할 수 있다. 즉, 제 1 프리 디코더부(122_1)와 제 1 최종 디코더부(124)가 서로 연결되어야 하므로, 하위 비트 출력 신호들(A1, ..., A10)이 출력되기 위한 출력 라인들, 중간 비트 출력 신호들(B1, ..., B9)이 출력되기 위한 출력 라인들 및 상위 비트 출력 신호들(C1, ..., C6)이 출력되기 위한 출력 라인들이 표시 패널(110)의 상부 표시부 외곽에 실장되는 것이다. 도 4a에서는 하위 비트 출력 신호들(A1, ..., A10)이 출력되기 위한 출력 라인들이 10개이고, 중간 비트 출력 신호들(B1, ..., B9)이 출력되기 위한 출력 라인들이 9개이며, 상위 비트 출력 신호들(C1, ..., C6)이 출력되기 위한 출력 라인들이 6개이므로, 유기 발광 표시 장치(100)의 표시 패널(110)의 상부 표시부 외곽에 실장되는 신호 배선들의 개수는 10+9+6 즉, 25개이다. 나아가, 제 1 디코더들(123_1, 123_2, 123_3) 각각의 출력 라인 개수의 곱은 표시 패널(110)의 상부 표시부의 전체 스캔 라인들(SL1, ..., SLk)의 개수에 상응한다. 따라서, 도 4a에서는 표시 패널(110)의 상부 표시부의 전체 스캔 라인들(SL1, ..., SLk)의 개수는 10*9*6 즉, 540개이다. 그 결과, 제 2 프리 디코더부(122_2)가 제 1 프리 디코더부(122_1)와 동일한 구조를 갖는 경우, 표시 패널(110)의 하부 표시부의 전체 스캔 라인들(SLk+1, ..., SLn)의 개수도 540개가 되므로, 표시 패널(110)의 전체 스캔 라인들(SL1, ..., SLn)의 개수는 1080개로서 FHD 해상도를 구현할 수 있다.

[0060]

제 2 프리 디코더부(122_2)는 하부 스캔 라인 선택 신호(L1, ..., L11)에 기초하여 제 2 논리 신호(D, E, F)를 생성하기 위한 복수의 제 2 디코더들(127_1, 127_2, 127_3)을 포함할 수 있다. 한편, 제 2 디코더들(127_1, 127_2, 127_3) 각각은 복수의 논리 소자들로 구성될 수 있다. 일 실시예에서, 제 2 프리 디코더부(122_2)는 4-by-10 디코더(127_1), 4-by-9 디코더(127_2) 및 3-by-6 디코더(127_3)를 포함할 수 있다. 예를 들어, 4-by-10 디코더(127_1)는 하위 비트와 관련될 수 있고, 4-by-9 디코더(127_2)는 중간 비트와 관련될 수 있으며, 3-by-6 디코더(127_3)는 상위 비트와 관련될 수 있다. 구체적으로, 4-by-10 디코더(127_1)는 하위 비트와 관련된 상부 스캔 라인 선택 신호(L1, L2, L3, L4)를 입력받아 10개의 하위 비트 출력 신호들(D1, ..., D10)을 출력할 수 있다. 이를 위하여, 4-by-10 디코더(127_1)는 10개의 4-입력 OR 논리 소자를 포함할 수 있으나, 그에 한정되지는 않는다. 4-by-9 디코더(127_2)는 중간 비트와 관련된 상부 스캔 라인 선택 신호(L5, L6, L7, L8)를 입력받아 9개의 중간 비트 출력 신호들(E1, ..., E9)을 출력할 수 있다. 이를 위하여, 4-by-9 디코더(127_2)는 9개의 4-입력 OR 논리 소자를 포함할 수 있으나, 그에 한정되지는 않는다. 3-by-6 디코더(127_3)는 상위 비트와 관련된 상부 스캔 라인 선택 신호(L9, L10, L11)를 입력받아 6개의 상위 비트 출력 신호들(F1, ..., F6)을 출력할 수 있다. 이를 위하여, 3-by-6 디코더(127_3)는 6개의 3-입력 OR 논리 소자를 포함할 수 있으나, 그에 한정되지는 않는다.

[0061]

한편, 제 2 프리 디코더부(122_2)는 4-by-10 디코더(127_1), 4-by-9 디코더(127_2) 및 3-by-6 디코더(127_3)에서 출력되는 10개의 하위 비트 출력 신호들(D1, ..., D10), 9개의 중간 비트 출력 신호들(E1, ..., E9) 및 6개의 상위 비트 출력 신호들(F1, ..., F6)에 기초하여 제 2 논리 신호(D, E, F)를 생성할 수 있다. 도 4b에 도시된 바와 같이, 제 2 논리 신호(D, E, F)가 생성되기 위하여, 10개의 하위 비트 출력 신호들(D1, ..., D10) 중에서 하나가 선택되고, 9개의 중간 비트 출력 신호들(E1, ..., E9) 중에서 하나가 선택되며, 6개의 상위 비트 출력 신호들(F1, ..., F6) 중에서 하나가 선택될 수 있다. 그 결과, 제 2 논리 신호(D, E, F)는 (D1, E1, F1), (D2, E1, F1), (D3, E1, F1) 등의 이진 형태를 가질 수 있고, 제 2 논리 신호(D, E, F)는 제 2 최종 디코더부(126)에 출력될 수 있다. 이 때, 유기 발광 표시 장치(100)의 표시 패널(110)의 하부 표시부 외곽에 실장되는 신호 배선들의 개수는 제 2 디코더들(127_1, 127_2, 127_3) 각각의 출력 라인 개수의 합에 상응할 수 있다. 즉, 제 2 프리 디코더부(122_2)와 제 2 최종 디코더부(126)가 서로 연결되어야 하므로, 하위 비트 출력 신호들(D1, ..., D10)이 출력되기 위한 출력 라인들, 중간 비트 출력 신호들(E1, ..., E9)이 출력되기 위한 출력 라인들 및 상위 비트 출력 신호들(F1, ..., F6)이 출력되기 위한 출력 라인들이 표시 패널(110)의 하부 표시부 외곽에 실장되는 것이다. 도 4b에서는 하위 비트 출력 신호들(D1, ..., D10)이 출력되기 위한 출력 라인들이 10개이고, 중간 비트 출력 신호들(E1, ..., E9)이 출력되기 위한 출력 라인들이 9개이며, 상위 비트 출력 신호들(F1, ..., F6)이 출력되기 위한 출력 라인들이 6개이므로, 유기 발광 표시 장치(100)의 표시 패널(110)의 하부 표시부 외곽에 실장되는 신호 배선들의 개수는 10+9+6 즉, 25개이다. 나아가, 제 2 디코더들(127_1, 127_2, 127_3) 각각의 출력 라인 개수의 곱은 표시 패널(110)의 하부 표시부의 전체 스캔 라인들(SLk+1, ..., SLn)의 개수에 상응한다. 따라서, 도 4b에서는 표시 패널(110)의 하부 표시부의 전체 스캔 라인들(SLk+1, ..., SLn)의 개수는 10*9*6 즉, 540개이다. 그 결과, 제 1 프리 디코더부(122_1)가 제 2 프리 디코더부(122_2)와 동일한 구조를 갖는 경우, 표시 패널(110)의 상부 표시부의 전체 스캔 라인들(SL1, ..., SLk)의 개수도 540개가 되므로, 표시 패널(110)의 전체 스캔 라인들(SL1, ..., SLn)의 개수는 1080개로서 FHD 해상도를 구현할 수 있다.

[0062]

일 실시예에서, 제 1 디코더들(123_1, 123_2, 123_3) 각각의 출력 라인 개수의 합과 제 2 디코더들(127_1,

127_2, 127_3) 각각의 출력 라인 개수의 합은 서로 동일할 수 있다. 이 경우, 표시 패널(110)의 상부 표시부의 전체 스캔 라인들(SL1, ..., SLk)의 개수와 표시 패널(110)의 하부 표시부의 전체 스캔 라인들(SLk+1, ..., SLn)의 개수는 서로 동일할 수 있다. 다른 실시예에서, 제 1 디코더들(123_1, 123_2, 123_3) 각각의 출력 라인 개수의 합과 제 2 디코더들(127_1, 127_2, 127_3) 각각의 출력 라인 개수의 합은 서로 상이할 수 있다. 이 경우, 표시 패널(110)의 상부 표시부의 전체 스캔 라인들(SL1, ..., SLk)의 개수와 표시 패널(110)의 하부 표시부의 전체 스캔 라인들(SLk+1, ..., SLn)의 개수는 서로 상이할 수 있다. 상술한 바와 같이, 표시 패널(110)의 상부 표시부 외곽에 실장되는 신호 배선들의 개수는 제 1 디코더들(123_1, 123_2, 123_3) 각각의 출력 라인 개수의 합에 상응할 수 있고, 표시 패널(110)의 하부 표시부 외곽에 실장되는 신호 배선들의 개수는 제 2 디코더들(127_1, 127_2, 127_3) 각각의 출력 라인 개수의 합에 상응할 수 있다. 또한, 제 1 디코더들(123_1, 123_2, 123_3) 각각의 출력 라인 개수의 곱과 제 2 디코더들(127_1, 127_2, 127_3) 각각의 출력 라인 개수의 곱의 합은 표시 패널(110)의 전체 스캔 라인들(SL1, ..., SLn)의 개수에 상응할 수 있다. 즉, FHD 해상도에서 표시 패널(110)의 전체 스캔 라인들(SL1, ..., SLn)의 개수는 1080개이므로, 표시 패널(110)의 외곽에 실장되는 신호 배선들의 개수는 $10+9+6$ 즉, 25개일 수 있다. 반면에, 상부 표시부와 하부 표시부로 분리되지 않는 표시 패널에서는, $12*10*9=1080$ 개의 전체 스캔 라인들(SL1, ..., SLn)을 구동하기 위하여, 표시 패널의 외곽에 실장되는 신호 배선들의 개수는 $12+10+9$ 즉, 31개일 수 있다. 즉, 스캔 구동 유닛(120)은 표시 패널(100)의 상부 표시부와 하부 표시부에 각각 연결되는 2단의 상부 디코딩 구조와 2단의 하부 디코딩 구조를 가짐으로써 표시 패널(100)의 외곽에 실장되는 신호 배선들의 개수를 감소시킬 수 있다.

[0063] 도 5는 도 3의 스캔 구동 유닛에 구비되는 제 1 및 제 2 최종 디코더부가 표시 패널에 위치하는 일 예를 나타내는 도면이다.

[0064] 도 5를 참조하면, 도 5는 스캔 구동 유닛(120)에 구비되는 제 1 최종 디코더부(124) 및 제 2 최종 디코더부(126)가 표시 패널(110)에 실장된 것을 보여주고 있다. 도 8에 도시된 바와 같이, 제 1 및 제 2 최종 디코더부(124, 126)와 그와 연결되는 신호 배선들은 표시 패널(110)의 일측에만 실장될 수 있다. 표시 패널(110)의 상부에 위치하는 제 1 프리 디코더부(122_1)의 출력 단자부(PDQ_1)로부터 연장되는 신호 배선들이 표시 패널(110)의 일측 외곽에 실장될 수 있다. 마찬가지로, 표시 패널(110)의 하부에 위치하는 제 2 프리 디코더부(122_2)의 출력 단자부(PDQ_2)로부터 연장되는 신호 배선들이 표시 패널(110)의 일측 외곽에 실장될 수 있다. 한편, 표시 패널(110)은 데이터 구동 유닛(130)(예를 들어, 데이터 구동 IC)으로부터 데이터 신호를 제공받을 수 있고, 파워 유닛(150)(예를 들어, 파워 공급 FPC)으로부터 전원 전압을 제공받을 수 있다. 도 5는 FHD 해상도의 표시 패널(110)을 나타내고 있다. 이 때, 표시 패널(110)의 상부 표시부의 전체 스캔 라인들(SL1, ..., SLk)의 개수는 540개이고, 표시 패널(110)의 하부 표시부의 전체 스캔 라인들(SLk+1, ..., SLn)의 개수도 540개이며, 표시 패널(110)의 전체 스캔 라인들(SL1, ..., SLn)의 개수는 1080개일 수 있다. 본 발명의 실시예들에 따르면, 표시 패널(110)의 외곽에 실장되는 신호 배선들의 개수는 $10+9+6$ 즉, 25개일 수 있다. 반면에, 상부 표시부와 하부 표시부로 분리되지 않는 표시 패널에서는 표시 패널의 외곽에 실장되는 신호 배선들의 개수는 $12+10+9$ 즉, 31개일 수 있다. 예를 들어, 신호 배선의 폭이 90um이고, 신호 배선 간의 폭이 30um이라고 가정하면, 표시 패널(110)에서 신호 배선들에 요구되는 데드 스페이스가 $(90um+30um)*25개=3000um$ 인 반면에, 상부 표시부와 하부 표시부로 분리되지 않는 표시 패널에서 신호 배선들에 요구되는 데드 스페이스는 $(90um+30um)*31개=3720um$ 일 수 있다. 그 결과, 본 발명의 실시예들에 따른 표시 패널(100)은 종래에 비하여 일측에서 $(90+30)*6=720um$ 의 데드 스페이스를 감소시킬 수 있다.

[0065] 도 6은 도 1의 유기 발광 표시 장치에 구비되는 스캔 구동 유닛의 다른 예를 나타내는 블록도이다.

[0066] 도 6을 참조하면, 스캔 구동 유닛(120)은 제 1 프리 디코더부(122_1), 제 2 프리 디코더부(122_2), 제 1 최종 디코더부(124) 및 제 2 최종 디코더부(126)를 포함할 수 있다. 표시 패널(110)은 스캔 라인들(SL1, ..., SLn)과 데이터 라인들(DL1, ..., DLm)의 교차점에 위치하는 복수의 화소 회로(111)들을 포함할 수 있다. 상술한 바와 같이, 제 1 프리 디코더부(122_1)와 제 1 최종 디코더부(124)가 스캔 구동 유닛(120)의 2단의 상부 디코딩 구조에 상응하고, 제 2 프리 디코더부(122_2)와 제 2 최종 디코더부(126)가 스캔 구동 유닛(120)의 2단의 하부 디코딩 구조에 상응할 수 있다.

[0067] 제 1 프리 디코더부(122_1)는 표시 패널(110)의 상부 표시부에 위치하는 상부 스캔 라인(SL1, ..., SLk)을 선택하기 위한 상부 스캔 라인 선택 신호(S1, ..., S11)를 입력받고, 상부 스캔 라인 선택 신호(S1, ..., S11)에 기초하여 제 1 논리 신호(A, B, C)를 출력할 수 있다. 제 2 프리 디코더부(122_2)는 표시 패널(110)의 하부 표시부에 위치하는 하부 스캔 라인(SLk+1, ..., SLn)을 선택하기 위한 하부 스캔 라인 선택 신호(L1, ..., L11)를 입력받고, 하부 스캔 라인 선택 신호(L1, ..., L11)에 기초하여 제 2 논리 신호(D, E, F)를 출력할 수 있다. 도

6에서는 설명의 편의를 위하여 제 1 및 제 2 프리 디코더부들(122_1, 122_2)과 제 1 및 제 2 최종 디코더부들(124, 126)이 표시 패널(110)의 외부에 위치하는 것으로 도시되어 있으나, 제 1 및 제 2 프리 디코더부들(122_1, 122_2)은 표시 패널(110)의 외부에 위치하고, 제 1 및 제 2 최종 디코더부들(124, 126)이 표시 패널(110)의 내부에 위치하는 것으로 해석하여야 한다. 실시예에 따라, 제 1 및 제 2 프리 디코더부들(122_1, 122_2)은 유기 발광 표시 장치(100)의 타이밍 제어 유닛(150)에 실장될 수 있고, 제 1 및 제 2 최종 디코더부들(124, 126)은 표시 패널(110)에 실장될 수 있다.

[0068] 제 1 최종 디코더부(124)는 표시 패널(110)의 상부 표시부와 제 1 프리 디코더부(122_1) 사이에 연결되고, 제 1 논리 신호(A, B, C)에 기초하여 표시 패널(110)의 상부 표시부에 위치하는 상부 스캔 라인(SL1, ..., SLk)을 선택할 수 있다. 이 때, 제 1 최종 디코더부(124)는 제 1 좌측 최종 디코더부(124_11)와 제 1 우측 최종 디코더부(124_21)를 포함할 수 있고, 제 1 좌측 최종 디코더부(124_11)와 제 1 우측 최종 디코더부(124_21)는 상부 스캔 라인(SL1, ..., SLk)을 서로 공유할 수 있다. 따라서, 제 1 좌측 최종 디코더부(124_11)와 제 1 우측 최종 디코더부(124_21)는 제 1 논리 신호(A, B, C)를 각각 입력받아, 상부 스캔 라인(SL1, ..., SLk)을 선택하기 위한 스캔 신호의 전압 펄스를 고속으로 제어(예를 들어, RC 지연을 감소)할 수 있다. 제 2 최종 디코더부(126)는 표시 패널(110)의 하부 표시부와 제 2 프리 디코더부(122_2) 사이에 연결되고, 제 2 논리 신호(D, E, F)에 기초하여 표시 패널(110)의 하부 표시부에 위치하는 하부 스캔 라인(SLk+1, ..., SLn)을 선택할 수 있다. 이 때, 제 2 최종 디코더부(126)는 제 2 좌측 최종 디코더부(126_11)와 제 2 우측 최종 디코더부(126_21)를 포함할 수 있고, 제 2 좌측 최종 디코더부(126_11)와 제 2 우측 최종 디코더부(126_21)는 하부 스캔 라인(SLk+1, ..., SLn)을 서로 공유할 수 있다. 따라서, 제 2 좌측 최종 디코더부(126_11)와 제 2 우측 최종 디코더부(126_21)는 제 2 논리 신호(D, E, F)를 각각 입력받아, 하부 스캔 라인(SLk+1, ..., SLn)을 선택하기 위한 스캔 신호의 전압 펄스를 고속으로 제어(예를 들어, RC 지연을 감소)할 수 있다.

[0069] 이와 같이, 제 1 프리 디코더부(122_1)는 표시 패널(110)의 상부 표시부에 위치하는 상부 스캔 라인(SL1, ..., SLk)을 선택하기 위하여 제 1 최종 디코더부(124)에 연결될 수 있고, 제 2 프리 디코더부(122_2)는 표시 패널(110)의 하부 표시부에 위치하는 하부 스캔 라인(SLk+1, ..., SLn)을 선택하기 위하여 제 2 최종 디코더부(126)에 연결될 수 있으며, 제 1 및 제 2 최종 디코더부들(124, 126)은 표시 패널(110) 내부에 위치하면서 서로 분리될 수 있다. 다만, 제 1 최종 디코더부(124)와 제 2 최종 디코더부(126)가 서로 분리되어 있다고 하더라도, 표시 패널(110)은 상부 표시부와 하부 표시부가 서로 독립적으로 구동되는 상하 분할 구동 방식으로 구동되는 것이 아님을 알아야 한다. 그러므로, 스캔 라인(SL1, ..., SLn)을 카운트하는 라인 카운터 값이 표시 패널(110)의 상부 표시부를 나타낼 때에는, 라인 카운터 값이 상부 스캔 라인 선택 신호(S1, ..., S11)로 매칭될 수 있고, 라인 카운터 값이 표시 패널(110)의 하부 표시부에 나타낼 때에는, 라인 카운터 값에서 상부 표시부의 스캔 라인들(SL1, ..., SLk)의 개수를 뺀 값이 하부 스캔 라인 선택 신호(L1, ..., L11)로 매칭될 수 있다.

[0070] 예를 들어, FHD 해상도에서 표시 패널(110)의 전체 스캔 라인들(SL1, ..., SLn)의 개수는 1080개이므로, 표시 패널(110)의 상부 표시부의 전체 스캔 라인들(SL1, ..., SLk)의 개수가 540개이고, 표시 패널(110)의 하부 표시부의 전체 스캔 라인들(SLk+1, ..., SLn)의 개수가 540개라고 가정하기로 한다. 이러한 경우에, 라인 카운터 값이 0~539일 때에는 표시 패널(110)의 상부 표시부가 선택되고, 라인 카운터 값은 상부 스캔 라인 선택 신호(S1, ..., S11)에 매칭될 수 있다. 반면에, 라인 카운터 값이 540~1079일 때에는 표시 패널(110)의 하부 표시부가 선택되고, 라인 카운터 값에서 540을 뺀 값이 하부 스캔 라인 선택 신호(L1, ..., L11)에 매칭될 수 있다. 한편, 도 6에서는 제 1 프리 디코더부(122_1)가 11개의 상부 스캔 라인 선택 신호(S1, ..., S11)를 입력받고, 제 2 프리 디코더부(122_2)가 11개의 하부 스캔 라인 선택 신호(L1, ..., L11)를 입력받으며, 제 1 최종 디코더부(124)가 3개의 제 1 논리 신호(A, B, C)를 입력받고, 제 2 최종 디코더부(126)가 3개의 제 2 논리 신호(D, E, F)를 입력받는 것으로 도시되어 있으나, 본 발명은 도 6에 도시된 신호 개수들에 한정되는 것이 아니며, 상기 신호 개수들은 요구되는 조건에 따라 다양하게 설계 변경될 수 있다. 상술한 바와 같이, 스캔 구동 유닛(120)은 표시 패널(110)의 상부 표시부와 하부 표시부에 각각 연결되는 2단의 상부 디코딩 구조와 2단의 하부 디코딩 구조를 가짐(즉, 표시 패널(110)을 상부 표시부와 하부 표시부로 나누고, 상부 표시부와 하부 표시부를 제 1 최종 디코더부(124)와 제 2 최종 디코더부(126)에 각각 연결시키며, 제 1 최종 디코더부(124)와 제 2 최종 디코더부(126)를 제 1 프리 디코더부(122_1)와 제 2 프리 디코더부(122_2)에 각각 연결시킨 구조를 가짐)으로써 표시 패널(110)의 외곽 신호 배선들의 개수를 감소시켜 데드 스페이스를 줄일 수 있다.

[0071] 도 7은 도 6의 스캔 구동 유닛에 구비되는 제 1 및 제 2 최종 디코더부가 표시 패널에 위치하는 일 예를 나타내는 도면이다.

[0072] 도 7을 참조하면, 도 7은 스캔 구동 유닛(120)에 구비되는 제 1 최종 디코더부(124_11, 124_21) 및 제 2 최종

디코더부(126_11, 126_21)가 표시 패널(110)에 실장된 것을 보여주고 있다. 도 7에 도시된 바와 같이, 표시 패널(110)의 상부에 위치하는 제 1 프리 디코더부(122_1)의 출력 단자부들(PDQ_11, PDQ_12)로부터 연장되는 신호 배선들이 표시 패널(110)의 양측 외곽에 실장될 수 있다. 마찬가지로, 표시 패널(110)의 하부에 위치하는 제 2 프리 디코더부(122_2)의 출력 단자부들(PDQ_21, PDQ_22)로부터 연장되는 신호 배선들이 표시 패널(110)의 양측 외곽에 실장될 수 있다. 한편, 표시 패널(110)은 데이터 구동 유닛(130)(예를 들어, 데이터 구동 IC)으로부터 데이터 신호를 제공받을 수 있고, 파워 유닛(150)(예를 들어, 파워 공급 FPC)으로부터 전원 전압을 제공받을 수 있다. 도 7은 FHD 해상도의 표시 패널(110)을 나타내고 있다. 이 때, 표시 패널(110)의 상부 표시부의 전체 스캔 라인들(SL1, ..., SLk)의 개수는 540개이고, 표시 패널(110)의 하부 표시부의 전체 스캔 라인들(SLk+1, ..., SLn)의 개수도 540개이며, 표시 패널(110)의 전체 스캔 라인들(SL1, ..., SLn)의 개수는 1080개일 수 있다. 본 발명의 실시예들에 따르면, 표시 패널(110)의 외곽에 실장되는 신호 배선들의 개수는 10+9+6 즉, 25개일 수 있다. 반면에, 상부 표시부와 하부 표시부로 분리되지 않는 표시 패널에서는 표시 패널의 외곽에 실장되는 신호 배선들의 개수는 12+10+9 즉, 31개일 수 있다. 예를 들어, 신호 배선의 폭이 90um이고, 신호 배선 간의 폭이 30um이라고 가정하면, 표시 패널(110)에서 신호 배선들에 요구되는 데드 스페이스가 (90um+30um)*25개=3000um인 반면에, 상부 표시부와 하부 표시부로 분리되지 않는 표시 패널에서 신호 배선들에 요구되는 데드 스페이스는 (90um+30um)*31개=3720um일 수 있다. 그 결과, 본 발명의 실시예들에 따른 표시 패널(100)은 종래에 비하여 양측에서 각각 (90+30)*6=720um의 데드 스페이스를 감소시킬 수 있다.

[0073] 도 8은 도 1의 유기 발광 표시 장치에 구비되는 스캔 구동 유닛의 또 다른 예를 나타내는 블록도이다.

[0074] 도 8을 참조하면, 스캔 구동 유닛(120)은 제 1 프리 디코더부(122_1), 제 2 프리 디코더부(122_2), 제 1 최종 디코더부(124) 및 제 2 최종 디코더부(126)를 포함할 수 있다. 표시 패널(110)은 스캔 라인들(SL1, ..., SLn)과 데이터 라인들(DL1, ..., DLm)의 교차점에 위치하는 복수의 화소 회로(111)들을 포함할 수 있다. 상술한 바와 같이, 제 1 프리 디코더부(122_1)와 제 1 최종 디코더부(124)가 스캔 구동 유닛(120)의 2단의 상부 디코딩 구조에 상응하고, 제 2 프리 디코더부(122_2)와 제 2 최종 디코더부(126)가 스캔 구동 유닛(120)의 2단의 하부 디코딩 구조에 상응할 수 있다.

[0075] 제 1 프리 디코더부(122_1)는 표시 패널(110)의 상부 표시부에 위치하는 상부 스캔 라인(SL1, ..., SLk)을 선택하기 위한 상부 스캔 라인 선택 신호(S1, ..., S11)를 입력받고, 상부 스캔 라인 선택 신호(S1, ..., S11)에 기초하여 제 1 논리 신호(A, B, C) 및 제 1 반전 논리 신호(A, B, C)를 반전시킨 제 1 반전 논리 신호(/A, /B, /C)를 출력할 수 있다. 제 2 프리 디코더부(122_2)는 표시 패널(110)의 하부 표시부에 위치하는 하부 스캔 라인(SLk+1, ..., SLn)을 선택하기 위한 하부 스캔 라인 선택 신호(L1, ..., L11)를 입력받고, 하부 스캔 라인 선택 신호(L1, ..., L11)에 기초하여 제 2 논리 신호(D, E, F) 및 제 2 반전 논리 신호(D, E, F)를 반전시킨 제 2 반전 논리 신호(/D, /E, /F)를 출력할 수 있다. 도 8에서는 설명의 편의를 위하여 제 1 및 제 2 프리 디코더부들(122_1, 122_2)과 제 1 및 제 2 최종 디코더부들(124, 126)이 표시 패널(110)의 외부에 위치하는 것으로 도시되어 있으나, 제 1 및 제 2 프리 디코더부들(122_1, 122_2)은 표시 패널(110)의 외부에 위치하고, 제 1 및 제 2 최종 디코더부들(124, 126)이 표시 패널(110)의 내부에 위치하는 것으로 해석하여야 한다. 실시예에 따라, 제 1 및 제 2 프리 디코더부들(122_1, 122_2)은 유기 발광 표시 장치(100)의 타이밍 제어 유닛(150)에 실장될 수 있고, 제 1 및 제 2 최종 디코더부들(124, 126)은 표시 패널(110)에 실장될 수 있다.

[0076] 제 1 최종 디코더부(124)는 표시 패널(110)의 상부 표시부와 제 1 프리 디코더부(122_1) 사이에 연결되고, 제 1 논리 신호(A, B, C) 및 제 1 반전 논리 신호(/A, /B, /C)에 기초하여 표시 패널(110)의 상부 표시부에 위치하는 상부 스캔 라인(SL1, ..., SLk)을 선택할 수 있다. 이 때, 제 1 최종 디코더부(124)는 제 1 좌측 최종 디코더부(124_12)와 제 1 우측 최종 디코더부(124_22)를 포함할 수 있고, 제 1 좌측 최종 디코더부(124_12)와 제 1 우측 최종 디코더부(124_22)는 상부 스캔 라인(SL1, ..., SLk)을 서로 공유할 수 있다. 따라서, 제 1 좌측 최종 디코더부(124_12)와 제 1 우측 최종 디코더부(124_22)는 제 1 논리 신호(A, B, C)와 제 1 반전 논리 신호(/A, /B, /C)를 각각 입력받아, 서로 간에 전류를 싱크(sink)하거나 전류를 공급(supply)하는 푸시앤풀(push and pull) 동작을 수행함으로써, 상부 스캔 라인(SL1, ..., SLk)을 선택하기 위한 스캔 신호의 전압 펄스를 고속으로 제어할 수 있다.

[0077] 제 2 최종 디코더부(126)는 표시 패널(110)의 하부 표시부와 제 2 프리 디코더부(122_2) 사이에 연결되고, 제 2 논리 신호(D, E, F) 및 제 2 반전 논리 신호(/D, /E, /F)에 기초하여 표시 패널(110)의 하부 표시부에 위치하는 하부 스캔 라인(SLk+1, ..., SLn)을 선택할 수 있다. 이 때, 제 2 최종 디코더부(126)는 제 2 좌측 최종 디코더부(126_12)와 제 2 우측 최종 디코더부(126_22)를 포함할 수 있고, 제 2 좌측 최종 디코더부(126_12)와 제 2 우측 최종 디코더부(126_22)는 하부 스캔 라인(SLk+1, ..., SLn)을 서로 공유할 수 있다. 따라서, 제 2 좌측 최종

디코더부(126_12)와 제 2 우측 최종 디코더부(126_22)는 제 2 논리 신호(D, E, F)와 제 2 반전 논리 신호(/D, /E, /F)를 각각 입력받아, 서로 간에 전류를 싱크하거나 전류를 공급하는 푸시오프셋 동작을 수행함으로써, 하부 스캔 라인(SLk+1, ..., SLn)을 선택하기 위한 스캔 신호의 전압 펄스를 고속으로 제어할 수 있다.

[0078] 이와 같이, 제 1 프리 디코더부(122_1)는 표시 패널(110)의 상부 표시부에 위치하는 상부 스캔 라인(SL1, ..., SLk)을 선택하기 위하여 제 1 최종 디코더부(124)에 연결될 수 있고, 제 2 프리 디코더부(122_2)는 표시 패널(110)의 하부 표시부에 위치하는 하부 스캔 라인(SLk+1, ..., SLn)을 선택하기 위하여 제 2 최종 디코더부(126)에 연결될 수 있으며, 제 1 및 제 2 최종 디코더부들(124, 126)은 표시 패널(110) 내부에 위치하면서 서로 분리될 수 있다. 다만, 제 1 최종 디코더부(124)와 제 2 최종 디코더부(126)가 서로 분리되어 있다고 하더라도, 표시 패널(110)은 상부 표시부와 하부 표시부가 서로 독립적으로 구동되는 상하 분할 구동 방식으로 구동되는 것이 아님을 알아야 한다. 그러므로, 스캔 라인(SL1, ..., SLn)을 카운트하는 라인 카운터 값이 표시 패널(110)의 상부 표시부를 나타낼 때에는, 라인 카운터 값이 상부 스캔 라인 선택 신호(S1, ..., S11)로 매칭될 수 있고, 라인 카운터 값이 표시 패널(110)의 하부 표시부에 나타낼 때에는, 라인 카운터 값에서 상부 표시부의 스캔 라인들의 개수를 뺀 값이 하부 스캔 라인 선택 신호(L1, ..., L11)로 매칭될 수 있다.

[0079] 예를 들어, FHD 해상도에서 표시 패널(110)의 전체 스캔 라인들(SL1, ..., SLn)의 개수는 1080개이므로, 표시 패널(110)의 상부 표시부의 전체 스캔 라인들(SL1, ..., SLk)의 개수가 540개이고, 표시 패널(110)의 하부 표시부의 전체 스캔 라인들(SLk+1, ..., SLn)의 개수가 540개라고 가정하기로 한다. 이러한 경우에, 라인 카운터 값이 0~539일 때에는 표시 패널(110)의 상부 표시부가 선택되고, 라인 카운터 값은 상부 스캔 라인 선택 신호(S1, ..., S11)에 매칭될 수 있다. 반면에, 라인 카운터 값이 540~1079일 때에는 표시 패널(110)의 하부 표시부가 선택되고, 라인 카운터 값에서 540을 뺀 값이 하부 스캔 라인 선택 신호(L1, ..., L11)에 매칭될 수 있다. 한편, 도 8에서는 제 1 프리 디코더부(122_1)가 11개의 상부 스캔 라인 선택 신호(S1, ..., S11)를 입력받고, 제 2 프리 디코더부(122_2)가 11개의 하부 스캔 라인 선택 신호(L1, ..., L11)를 입력받으며, 제 1 최종 디코더부(124)가 3개의 제 1 논리 신호(A, B, C) 및 3개의 제 1 반전 논리 신호(/A, /B, /C)를 입력받고, 제 2 최종 디코더부(126)가 3개의 제 2 논리 신호(D, E, F) 및 3개의 제 2 반전 논리 신호(/D, /E, /F)를 입력받는 것으로 도시되어 있으나, 본 발명은 도 8에 도시된 신호 개수들에 한정되는 것이 아니며, 상기 신호 개수들은 요구되는 조건에 따라 다양하게 설계 변경될 수 있다. 상술한 바와 같이, 스캔 구동 유닛(120)은 표시 패널(110)의 상부 표시부와 하부 표시부에 각각 연결되는 2단의 상부 디코딩 구조와 2단의 하부 디코딩 구조를 가짐(즉, 표시 패널(110)을 상부 표시부와 하부 표시부로 나누고, 상부 표시부와 하부 표시부를 제 1 최종 디코더부(124)와 제 2 최종 디코더부(126)에 각각 연결시키며, 제 1 최종 디코더부(124)와 제 2 최종 디코더부(126)를 제 1 프리 디코더부(122_1)와 제 2 프리 디코더부(122_2)에 각각 연결시킨 구조를 가짐)으로써 표시 패널의 외곽 신호 배선들의 개수를 감소시켜 데드 스페이스를 줄일 수 있다. 이에 대해서는 도 9a 및 도 9b를 참조하여 자세하게 후술하기로 한다.

[0080] 도 9a 및 도 9b는 도 8의 스캔 구동 유닛에 의하여 표시 패널에 외곽 신호 배선들이 형성되는 일 예를 나타내는 도면이다.

[0081] 도 9a 및 도 9b를 참조하면, 도 9a는 제 1 프리 디코더부(122_1)의 내부 구조를 보여주고 있고, 도 9b는 제 2 프리 디코더부(122_2)의 내부 구조를 보여주고 있다.

[0082] 제 1 프리 디코더부(122_1)는 상부 스캔 라인 선택 신호(S1, ..., S11)에 기초하여 제 1 논리 신호(A, B, C)를 생성하기 위한 복수의 제 1 디코더들(123_1, 123_2, 123_3) 및 제 1 논리 신호(A, B, C)에 기초하여 제 1 반전 논리 신호(/A, /B, /C)를 생성하기 위한 복수의 제 1 인버터들(FINV)을 포함할 수 있다. 한편, 제 1 디코더들(123_1, 123_2, 123_3) 각각은 복수의 논리 소자들로 구성될 수 있다. 일 실시예에서, 제 1 프리 디코더부(122_1)는 4-by-10 디코더(123_1), 4-by-9 디코더(123_2) 및 3-by-6 디코더(123_3)를 포함할 수 있다. 예를 들어, 4-by-10 디코더(123_1)는 하위 비트와 관련될 수 있고, 4-by-9 디코더(123_2)는 중간 비트와 관련될 수 있으며, 3-by-6 디코더(123_3)는 상위 비트와 관련될 수 있다. 구체적으로, 4-by-10 디코더(123_1)는 하위 비트와 관련된 상부 스캔 라인 선택 신호(S1, S2, S3, S4)를 입력받아 10개의 하위 비트 출력 신호들(A1, ..., A10)을 출력할 수 있다. 이를 위하여, 4-by-10 디코더(123_1)는 10개의 4-입력 OR 논리 소자를 포함할 수 있으나, 그에 한정되지는 않는다. 4-by-9 디코더(123_2)는 중간 비트와 관련된 상부 스캔 라인 선택 신호(S5, S6, S7, S8)를 입력받아 9개의 중간 비트 출력 신호들(B1, ..., B9)을 출력할 수 있다. 이를 위하여, 4-by-9 디코더(123_2)는 9개의 4-입력 OR 논리 소자를 포함할 수 있으나, 그에 한정되지는 않는다. 3-by-6 디코더(123_3)는 상위 비트와 관련된 상부 스캔 라인 선택 신호(S9, S10, S11)를 입력받아 6개의 상위 비트 출력 신호들(C1, ..., C6)을 출력할 수 있다. 이를 위하여, 3-by-6 디코더(123_3)는 6개의 3-입력 OR 논리 소자를 포함할 수 있으나, 그에 한정

되지는 않는다.

[0083] 한편, 제 1 프리 디코더부(122_1)는 4-by-10 디코더(123_1), 4-by-9 디코더(123_2) 및 3-by-6 디코더(123_3)에서 출력되는 10개의 하위 비트 출력 신호들(A1, ..., A10), 9개의 중간 비트 출력 신호들(B1, ..., B9) 및 6개의 상위 비트 출력 신호들(C1, ..., C6)에 기초하여 제 1 논리 신호(A, B, C)를 생성할 수 있다. 도 9a에 도시된 바와 같이, 제 1 논리 신호(A, B, C)가 생성되기 위하여, 10개의 하위 비트 출력 신호들(A1, ..., A10) 중에서 하나가 선택되고, 9개의 중간 비트 출력 신호들(B1, ..., B9) 중에서 하나가 선택되며, 6개의 상위 비트 출력 신호들(C1, ..., C6) 중에서 하나가 선택될 수 있다. 그 결과, 제 1 논리 신호(A, B, C)는 (A1, B1, C1), (A2, B1, C1), (A3, B1, C1) 등의 이진 형태를 가질 수 있고, 제 1 논리 신호(A, B, C)는 제 1 최종 디코더부(124)에 출력될 수 있다. 동시에, 제 1 프리 디코더부(122_1)는 4-by-10 디코더(123_1), 4-by-9 디코더(123_2) 및 3-by-6 디코더(123_3)에서 출력되는 10개의 하위 비트 출력 신호들(A1, ..., A10), 9개의 중간 비트 출력 신호들(B1, ..., B9) 및 6개의 상위 비트 출력 신호들(C1, ..., C6)을 복수의 제 1 인버터들(FINV)로 반전시켜 제 1 반전 논리 신호(/A, /B, /C)를 생성할 수 있다. 그 결과, 도 9a에 도시된 바와 같이, 제 1 반전 논리 신호(/A, /B, /C)는 (/A1, /B1, /C1), (/A2, /B1, /C1), (/A3, /B1, /C1) 등의 이진 형태를 가질 수 있고, 제 1 반전 논리 신호(/A, /B, /C)도 제 1 최종 디코더부(124)에 출력될 수 있다.

[0084] 이 때, 유기 발광 표시 장치(100)의 표시 패널(110)의 상부 표시부 외곽에 실장되는 신호 배선들의 개수는 제 1 디코더들(123_1, 123_2, 123_3) 각각의 출력 라인 개수의 합에 상응할 수 있다. 즉, 제 1 프리 디코더부(122_1)와 제 1 최종 디코더부(124)가 서로 연결되어야 하므로, 하위 비트 출력 신호들(A1, ..., A10)이 출력되기 위한 출력 라인들, 중간 비트 출력 신호들(B1, ..., B9)이 출력되기 위한 출력 라인들 및 상위 비트 출력 신호들(C1, ..., C6)이 출력되기 위한 출력 라인들이 표시 패널(110)의 상부 표시부 외곽에 실장되는 것이다. 도 9a에서는 하위 비트 출력 신호들(A1, ..., A10)이 출력되기 위한 출력 라인들이 10개이고, 중간 비트 출력 신호들(B1, ..., B9)이 출력되기 위한 출력 라인들이 9개이며, 상위 비트 출력 신호들(C1, ..., C6)이 출력되기 위한 출력 라인들이 6개이므로, 유기 발광 표시 장치(100)의 표시 패널(110)의 상부 표시부 외곽에 실장되는 신호 배선들의 개수는 10+9+6 즉, 25개이다. 나아가, 제 1 디코더들(123_1, 123_2, 123_3) 각각의 출력 라인 개수의 곱은 표시 패널(110)의 상부 표시부의 전체 스캔 라인들(SL1, ..., SLk)의 개수에 상응한다. 따라서, 도 9a에서는 표시 패널(110)의 상부 표시부의 전체 스캔 라인들(SL1, ..., SLk)의 개수는 10*9*6 즉, 540개이다. 그 결과, 제 2 프리 디코더부(122_2)가 제 1 프리 디코더부(122_1)와 동일한 구조를 갖는 경우, 표시 패널(110)의 하부 표시부의 전체 스캔 라인들(SLk+1, ..., SLn)의 개수도 540개가 되므로, 표시 패널(110)의 전체 스캔 라인들(SL1, ..., SLn)의 개수는 1080개로서 FHD 해상도를 구현할 수 있다.

[0085] 제 2 프리 디코더부(122_2)는 하부 스캔 라인 선택 신호(L1, ..., L11)에 기초하여 제 2 논리 신호(D, E, F)를 생성하기 위한 복수의 제 2 디코더들(127_1, 127_2, 127_3) 및 제 2 논리 신호(D, E, F)에 기초하여 제 2 반전 논리 신호(/D, /E, /F)를 생성하기 위한 복수의 제 2 인버터들(SINV)을 포함할 수 있다. 한편, 제 2 디코더들(127_1, 127_2, 127_3) 각각은 복수의 논리 소자들로 구성될 수 있다. 일 실시예에서, 제 2 프리 디코더부(122_2)는 4-by-10 디코더(127_1), 4-by-9 디코더(127_2) 및 3-by-6 디코더(127_3)를 포함할 수 있다. 예를 들어, 4-by-10 디코더(127_1)는 하위 비트와 관련될 수 있고, 4-by-9 디코더(127_2)는 중간 비트와 관련될 수 있으며, 3-by-6 디코더(127_3)는 상위 비트와 관련될 수 있다. 구체적으로, 4-by-10 디코더(127_1)는 하위 비트와 관련된 상부 스캔 라인 선택 신호(L1, L2, L3, L4)를 입력받아 10개의 하위 비트 출력 신호들(D1, ..., D10)을 출력할 수 있다. 이를 위하여, 4-by-10 디코더(127_1)는 10개의 4-입력 OR 논리 소자를 포함할 수 있으나, 그에 한정되지는 않는다. 4-by-9 디코더(127_2)는 중간 비트와 관련된 상부 스캔 라인 선택 신호(L5, L6, L7, L8)를 입력받아 9개의 중간 비트 출력 신호들(E1, ..., E9)을 출력할 수 있다. 이를 위하여, 4-by-9 디코더(127_2)는 9개의 4-입력 OR 논리 소자를 포함할 수 있으나, 그에 한정되지는 않는다. 3-by-6 디코더(127_3)는 상위 비트와 관련된 상부 스캔 라인 선택 신호(L9, L10, L11)를 입력받아 6개의 상위 비트 출력 신호들(F1, ..., F6)을 출력할 수 있다. 이를 위하여, 3-by-6 디코더(127_3)는 6개의 3-입력 OR 논리 소자를 포함할 수 있으나, 그에 한정되지는 않는다.

[0086] 한편, 제 2 프리 디코더부(122_2)는 4-by-10 디코더(127_1), 4-by-9 디코더(127_2) 및 3-by-6 디코더(127_3)에서 출력되는 10개의 하위 비트 출력 신호들(D1, ..., D10), 9개의 중간 비트 출력 신호들(E1, ..., E9) 및 6개의 상위 비트 출력 신호들(F1, ..., F6)에 기초하여 제 2 논리 신호(D, E, F)를 생성할 수 있다. 도 9b에 도시된 바와 같이, 제 2 논리 신호(D, E, F)가 생성되기 위하여, 10개의 하위 비트 출력 신호들(D1, ..., D10) 중에서 하나가 선택되고, 9개의 중간 비트 출력 신호들(E1, ..., E9) 중에서 하나가 선택되며, 6개의 상위 비트 출력 신호들(F1, ..., F6) 중에서 하나가 선택될 수 있다. 그 결과, 제 2 논리 신호(D, E, F)는 (D1, E1, F1),

(D2, E1, F1), (D3, E1, F1) 등의 이진 형태를 가질 수 있고, 제 2 논리 신호(D, E, F)는 제 2 최종 디코더부(126)에 출력될 수 있다. 동시에, 제 2 프리 디코더부(122_2)는 4-by-10 디코더(127_1), 4-by-9 디코더(127_2) 및 3-by-6 디코더(127_3)에서 출력되는 10개의 하위 비트 출력 신호들(D1, ..., D10), 9개의 중간 비트 출력 신호들(E1, ..., E9) 및 6개의 상위 비트 출력 신호들(F1, ..., F6)을 복수의 제 2 인버터들(SINV)로 반전시켜 제 2 반전 논리 신호(/D, /E, /F)를 생성할 수 있다. 그 결과, 도 9b에 도시된 바와 같이, 제 2 반전 논리 신호(/D, /E, /F)는 (/D1, /E1, /F1), (/D2, /E1, /F1), (/D3, /E1, /F1) 등의 이진 형태를 가질 수 있고, 제 2 반전 논리 신호(/D, /E, /F)도 제 2 최종 디코더부(126)에 출력될 수 있다.

[0087]

이 때, 유기 발광 표시 장치(100)의 표시 패널(110)의 하부 표시부 외곽에 실장되는 신호 배선들의 개수는 제 2 디코더들(127_1, 127_2, 127_3) 각각의 출력 라인 개수의 합에 상응할 수 있다. 즉, 제 2 프리 디코더부(122_2)와 제 2 최종 디코더부(126)가 서로 연결되어야 하므로, 하위 비트 출력 신호들(D1, ..., D10)이 출력되기 위한 출력 라인들, 중간 비트 출력 신호들(E1, ..., E9)이 출력되기 위한 출력 라인들 및 상위 비트 출력 신호들(F1, ..., F6)이 출력되기 위한 출력 라인들이 표시 패널(110)의 하부 표시부 외곽에 실장되는 것이다. 도 9b에 서는 하위 비트 출력 신호들(D1, ..., D10)이 출력되기 위한 출력 라인들이 10개이고, 중간 비트 출력 신호들(E1, ..., E9)이 출력되기 위한 출력 라인들이 9개이며, 상위 비트 출력 신호들(F1, ..., F6)이 출력되기 위한 출력 라인들이 6개이므로, 유기 발광 표시 장치(100)의 표시 패널(110)의 하부 표시부 외곽에 실장되는 신호 배선들의 개수는 10+9+6 즉, 25개이다. 나아가, 제 2 디코더들(127_1, 127_2, 127_3) 각각의 출력 라인 개수의 곱은 표시 패널(110)의 하부 표시부의 전체 스캔 라인들(SLk+1, ..., SLn)의 개수에 상응한다. 따라서, 도 9b에 서는 표시 패널(110)의 하부 표시부의 전체 스캔 라인들(SLk+1, ...SLn)의 개수는 10*9*6 즉, 540개이다. 그 결과, 제 1 프리 디코더부(122_1)가 제 2 프리 디코더부(122_2)와 동일한 구조를 갖는 경우, 표시 패널(110)의 상부 표시부의 전체 스캔 라인들(SL1, ..., SLk)의 개수도 540개가 되므로, 표시 패널(110)의 전체 스캔 라인들(SL1, ..., SLn)의 개수는 1080개로서 FHD 해상도를 구현할 수 있다.

[0088]

일 실시예에서, 제 1 디코더들(123_1, 123_2, 123_3) 각각의 출력 라인 개수의 합과 제 2 디코더들(127_1, 127_2, 127_3) 각각의 출력 라인 개수의 합은 서로 동일할 수 있다. 이 경우, 표시 패널(110)의 상부 표시부의 전체 스캔 라인들(SL1, ..., SLk)의 개수와 표시 패널(110)의 하부 표시부의 전체 스캔 라인들(SLk+1, ..., SLn)의 개수는 서로 동일할 수 있다. 다른 실시예에서, 제 1 디코더들(123_1, 123_2, 123_3) 각각의 출력 라인 개수의 합과 제 2 디코더들(127_1, 127_2, 127_3) 각각의 출력 라인 개수의 합은 서로 상이할 수 있다. 이 경우, 표시 패널(110)의 상부 표시부의 전체 스캔 라인들(SL1, ..., SLk)의 개수와 표시 패널(110)의 하부 표시부의 전체 스캔 라인들(SLk+1, ..., SLn)의 개수는 서로 상이할 수 있다. 상술한 바와 같이, 표시 패널(110)의 상부 표시부 외곽에 실장되는 신호 배선들의 개수는 제 1 디코더들(123_1, 123_2, 123_3) 각각의 출력 라인 개수의 합에 상응할 수 있고, 표시 패널(110)의 하부 표시부 외곽에 실장되는 신호 배선들의 개수는 제 2 디코더들(127_1, 127_2, 127_3) 각각의 출력 라인 개수의 합에 상응할 수 있다. 또한, 제 1 디코더들(123_1, 123_2, 123_3) 각각의 출력 라인 개수의 곱과 제 2 디코더들(127_1, 127_2, 127_3) 각각의 출력 라인 개수의 곱의 합은 표시 패널(110)의 전체 스캔 라인들(SL1, ..., SLn)의 개수에 상응할 수 있다. 즉, FHD 해상도에서 표시 패널(110)의 전체 스캔 라인들(SL1, ..., SLn)의 개수는 1080개이므로, 표시 패널(110)의 외곽에 실장되는 신호 배선들의 개수는 10+9+6 즉, 25개일 수 있다. 반면에, 상부 표시부와 하부 표시부로 분리되지 않는 표시 패널에서는, 12*10*9=1080개의 전체 스캔 라인들을 구동하기 위하여, 표시 패널의 외곽에 실장되는 신호 배선들의 개수는 12+10+9 즉, 31개일 수 있다. 즉, 스캔 구동 유닛(120)은 표시 패널(100)의 상부 표시부와 하부 표시부에 각각 연결되는 2단의 상부 디코딩 구조와 2단의 하부 디코딩 구조를 가짐으로써 표시 패널(100)의 외곽에 실장되는 신호 배선들의 개수를 감소시킬 수 있다.

[0089]

도 10은 도 8의 스캔 구동 유닛에 구비되는 제 1 및 제 2 최종 디코더부가 표시 패널에 위치하는 일 예를 나타내는 도면이다.

[0090]

도 10을 참조하면, 도 10은 스캔 구동 유닛(120)에 구비되는 제 1 최종 디코더부(124_12, 124_22) 및 제 2 최종 디코더부(126_12, 126_22)가 표시 패널(110)에 실장된 것을 보여주고 있다. 도 10에 도시된 바와 같이, 표시 패널(110)의 상부에 위치하는 제 1 프리 디코더부(122_1)의 출력 단자부들(PDQ_11, PDQ_12)로부터 연장되는 신호 배선들이 표시 패널(110)의 양측 외곽에 실장될 수 있다. 마찬가지로, 표시 패널(110)의 하부에 위치하는 제 2 프리 디코더부(122_2)의 출력 단자부들(PDQ_21, PDQ_22)로부터 연장되는 신호 배선들이 표시 패널(110)의 양측 외곽에 실장될 수 있다. 한편, 표시 패널(110)은 데이터 구동 유닛(130)(예를 들어, 데이터 구동 IC)으로부터 데이터 신호를 제공받을 수 있고, 파워 유닛(150)(예를 들어, 파워 공급 FPC)으로부터 전원 전압을 제공받을 수 있다. 도 10은 FHD 해상도의 표시 패널(110)을 나타내고 있다. 이 때, 표시 패널(110)의 상부 표시부의 전체 스

캔 라인들(SL1, ...SLk)의 개수는 540개이고, 표시 패널(110)의 하부 표시부의 전체 스캔 라인들(SLk+1, ..., SLn)의 개수도 540개이며, 표시 패널(110)의 전체 스캔 라인들(SL1, ..., SLn)의 개수는 1080개일 수 있다. 본 발명의 실시예들에 따르면, 표시 패널(110)의 외곽에 실장되는 신호 배선들의 개수는 10+9+6 즉, 25개일 수 있다. 반면에, 상부 표시부와 하부 표시부로 분리되지 않는 표시 패널에서는 표시 패널의 외곽에 실장되는 신호 배선들의 개수는 12+10+9 즉, 31개일 수 있다. 예를 들어, 신호 배선의 폭이 90um이고, 신호 배선 간의 폭이 30um이라고 가정하면, 표시 패널(110)에서 신호 배선들에 요구되는 데드 스페이스가 (90um+30um)*25개=3000um인 반면에, 상부 표시부와 하부 표시부로 분리되지 않는 표시 패널에서 신호 배선들에 요구되는 데드 스페이스는 (90um+30um)*31개=3720um일 수 있다. 그 결과, 본 발명의 실시예들에 따른 표시 패널(100)은 종래에 비하여 양 측에서 각각 (90+30)*6=720um의 데드 스페이스를 감소시킬 수 있다.

[0091] 도 11은 도 1의 유기 발광 표시 장치에 구비되는 스캔 구동 유닛을 제어하는 방법을 나타내는 순서도이다.

[0092] 도 11을 참조하면, 도 11은 스캔 구동 유닛(120)을 제어하는 방법을 보여주고 있다. 도 11에서는 설명의 편의를 위하여 전체 스캔 라인들(SL1, ..., SLn)의 개수가 1080개(즉, 0~1079)인 FHD 해상도의 표시 패널(110)에서, 표시 패널(110)의 상부 표시부의 전체 스캔 라인들(SL1, ..., SLk)의 개수가 540개(즉, 0~539)이고, 표시 패널(110)의 하부 표시부의 전체 스캔 라인들(SLk+1, ..., SLn)의 개수가 540개(즉, 540~1079)라고 가정한다. 이 때, 도 11의 제어 방법은 라인 카운터 값을 수신(Step S120)하고, 상기 라인 카운터 값이 0~539인지 여부를 판단(Step S140)할 수 있다. 이 때, 도 11의 제어 방법은 상기 라인 카운터 값이 0~539인 경우 표시 패널(110)의 상부 표시부를 선택(Step S160)하고, 상기 라인 카운터 값이 540~1079인 경우 표시 패널(110)의 하부 표시부를 선택(Step S180)할 수 있다. 이와 같이, 스캔 구동 유닛(120)은 표시 패널(110)의 상부 표시부와 하부 표시부를 구분하고, 이들에 각각 연결되는 2단의 상부 디코딩 구조와 2단의 하부 디코딩 구조를 가짐으로써, 표시 패널(110)의 외곽 신호 배선들의 개수를 감소시키지만, 표시 패널(110)을 상부 표시부와 하부 표시부를 상하 분할 구동 방식으로 구동시키는 것은 아니다. 그러므로, 라인 카운터 값이 표시 패널(110)의 상부 표시부를 나타낼 때에는, 라인 카운터 값이 상부 스캔 라인 선택 신호(S1, ..., S11)에 매칭될 수 있고, 라인 카운터 값이 표시 패널(110)의 하부 표시부에 나타낼 때에는, 라인 카운터 값에서 상부 표시부의 스캔 라인들(SL1, ..., SLk)의 개수를 뺀 값이 하부 스캔 라인 선택 신호(L1, ..., L11)에 매칭될 수 있다. 다만, 이에 대해서는 상술한 바 있으므로, 그에 대한 중복되는 설명은 생략하기로 한다.

[0093] 도 12는 도 1의 유기 발광 표시 장치를 구비하는 전자 기기를 나타내는 블록도이다.

[0094] 도 12를 참조하면, 전자 기기(200)는 프로세서(210), 메모리 장치(220), 저장 장치(230), 입출력 장치(240), 파워 서플라이(250) 및 유기 발광 표시 장치(260)를 포함할 수 있다. 이 때, 유기 발광 표시 장치(260)는 도 1의 유기 발광 표시 장치(100)에 상응할 수 있다. 나아가, 전자 기기(200)는 비디오 카드, 사운드 카드, 메모리 카드, USB 장치 등과 통신하거나, 또는 다른 시스템들과 통신할 수 있는 여러 포트(port)들을 더 포함할 수 있다.

[0095] 프로세서(210)는 특정 계산들 또는 태스크(task)들을 수행할 수 있다. 실시예에 따라, 프로세서(210)는 마이크로프로세서(micro processor), 중앙 처리 장치(CPU) 등일 수 있다. 프로세서(210)는 어드레스 버스(address bus), 제어 버스(control bus) 및 데이터 버스(data bus) 등을 통하여 다른 구성 요소들에 연결될 수 있다. 실시예에 따라, 프로세서(210)는 주변 구성요소 상호연결(Peripheral Component Interconnect; PCI) 버스와 같은 확장 버스에도 연결될 수 있다. 메모리 장치(220)는 전자 기기(200)의 동작에 필요한 데이터들을 저장할 수 있다. 예를 들어, 메모리 장치(220)는 EPROM(Erasable Programmable Read-Only Memory), EEPROM(Electrically Erasable Programmable Read-Only Memory), 플래시 메모리(Flash Memory), PRAM(Phase Change Random Access Memory), RRAM(Resistance Random Access Memory), NFGM(Nano Floating Gate Memory), PoRAM(Polymer Random Access Memory), MRAM(Magnetic Random Access Memory), FRAM(Ferroelectric Random Access Memory) 등과 같은 비휘발성 메모리 장치 및/또는 DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory), 모바일 DRAM 등과 같은 휘발성 메모리 장치를 포함할 수 있다. 저장 장치(230)는 솔리드 스테이트 드라이브(Solid State Drive; SSD), 하드 디스크 드라이브(Hard Disk Drive; HDD), 씨디롬(CD-ROM) 등을 포함할 수 있다.

[0096] 입출력 장치(240)는 키보드, 키패드, 터치패드, 터치스크린, 마우스 등과 같은 입력 수단, 및 스피커, 프린터 등과 같은 출력 수단을 포함할 수 있다. 실시예에 따라, 유기 발광 표시 장치(260)는 입출력 장치(240) 내에 구비될 수도 있다. 파워 서플라이(250)는 전자 기기(200)의 동작에 필요한 파워를 공급할 수 있다. 유기 발광 표시 장치(260)는 상기 버스들 또는 다른 통신 링크를 통해서 다른 구성 요소들에 연결될 수 있다. 상술한 바와 같이, 유기 발광 표시 장치(260)는 표시 패널, 스캔 구동 유닛, 데이터 구동 유닛, 파워 유닛 및 타이밍 제어

유닛을 포함할 수 있다. 또한, 유기 발광 표시 장치(260)는 디지털 구동 방식으로 동작할 수 있으나, 유기 발광 표시 장치(260)의 구동 방식이 그에 한정되는 것은 아니다. 한편, 유기 발광 표시 장치(260)에서 스캔 구동 유닛은 표시 패널의 상부 표시부와 하부 표시부에 각각 연결되는 2단의 상부 디코딩 구조와 2단의 하부 디코딩 구조를 가짐(즉, 표시 패널을 상부 표시부와 하부 표시부로 나누고, 상부 표시부와 하부 표시부를 제 1 최종 디코더부와 제 2 최종 디코더부에 각각 연결시키며, 제 1 최종 디코더부와 제 2 최종 디코더부를 제 1 프리 디코더부와 제 2 프리 디코더부에 각각 연결시킨 구조를 가짐)으로써 표시 패널의 외곽 신호 배선들의 개수를 감소시킬 수 있다. 그 결과, 표시 패널의 데드 스페이스가 최소화될 수 있다. 다만, 이에 대해서는 상술한 바 있으므로, 그에 대한 중복되는 설명은 생략하기로 한다.

산업상 이용가능성

- [0097] 본 발명은 유기 발광 표시 장치를 구비하는 모든 시스템에 적용될 수 있다. 예를 들어, 본 발명은 텔레비전, 컴퓨터 모니터, 노트북, 디지털 카메라, 휴대폰, 스마트폰, 피디에이(PDA), 피엠펜(PMP), MP3 플레이어, 네비게이션, 비디오폰 등에 적용될 수 있다.
- [0098] 이상에서는 본 발명의 예시적인 실시예들을 참조하여 설명하였지만, 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

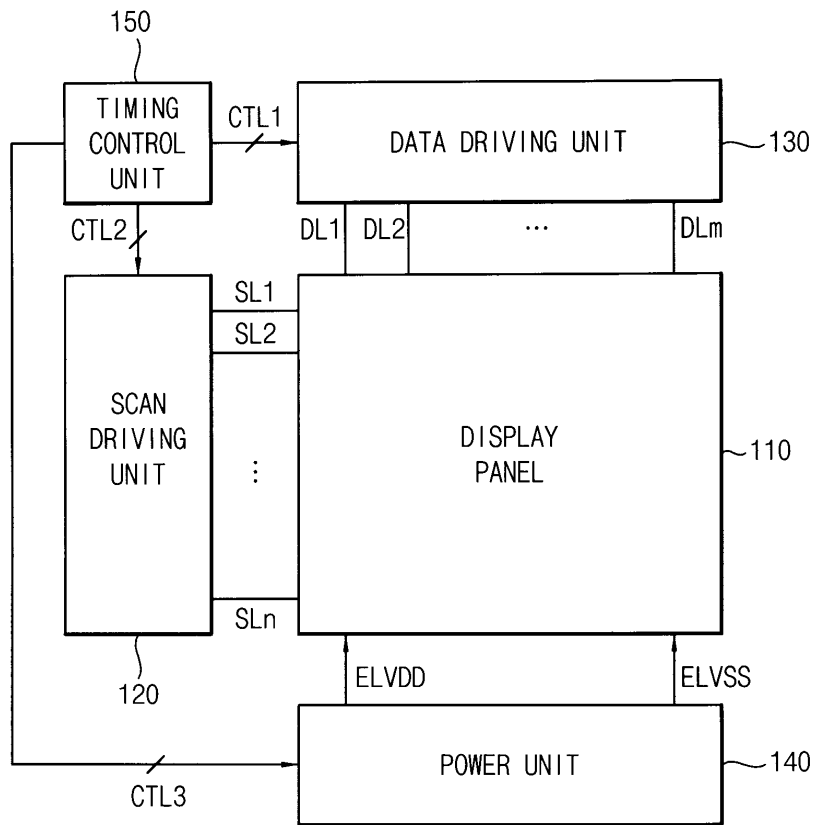
부호의 설명

- [0099]
- | | |
|--------------------|--------------------|
| 100: 유기 발광 표시 장치 | 110: 표시 패널 |
| 120: 스캔 구동 유닛 | 122_1: 제 1 프리 디코더부 |
| 122_2: 제 2 프리 디코더부 | 124: 제 1 최종 디코더부 |
| 126: 제 2 최종 디코더부 | 130: 데이터 구동 유닛 |
| 140: 파워 유닛 | 150: 타이밍 제어 유닛 |

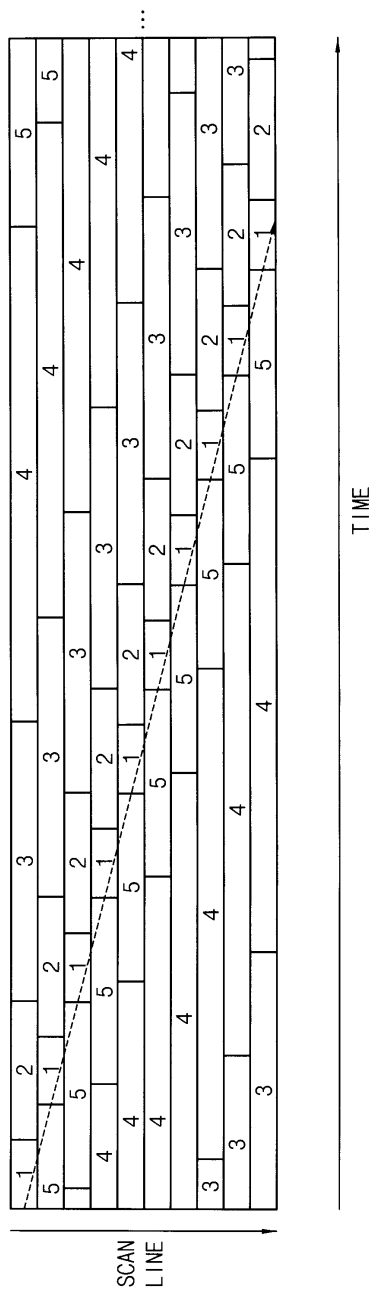
도면

도면1

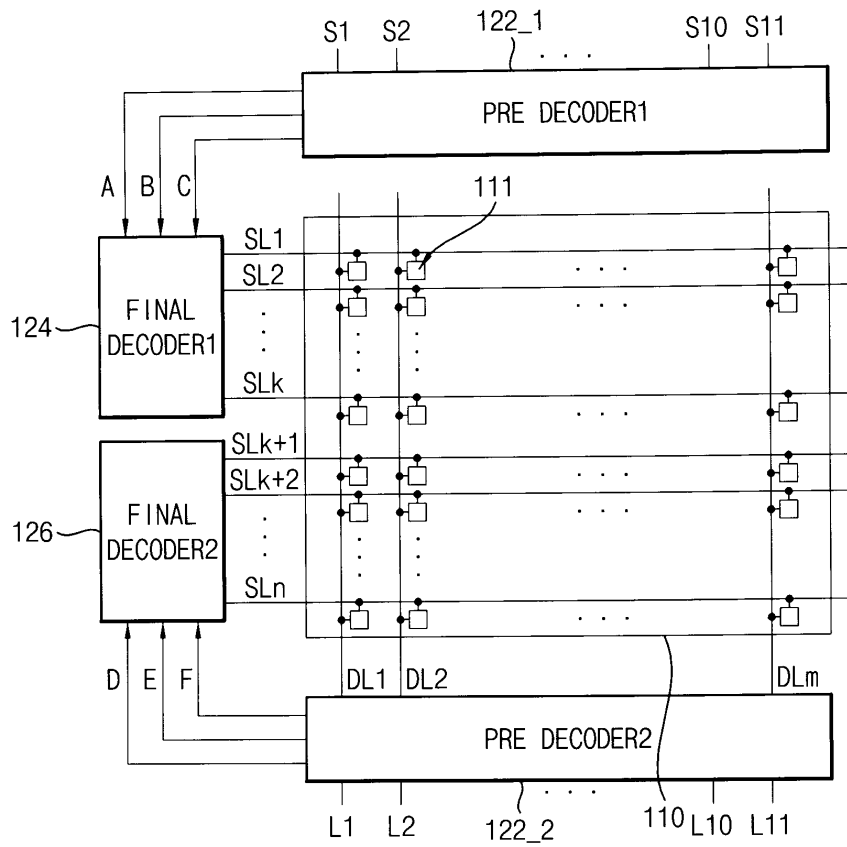
100



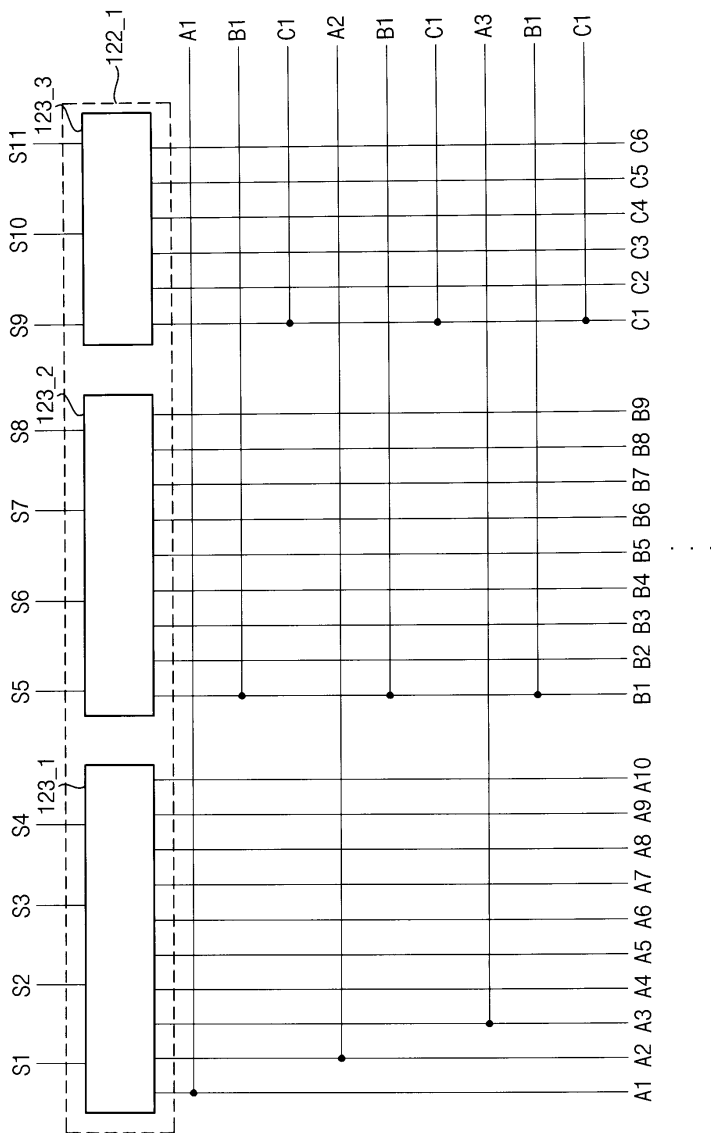
도면2



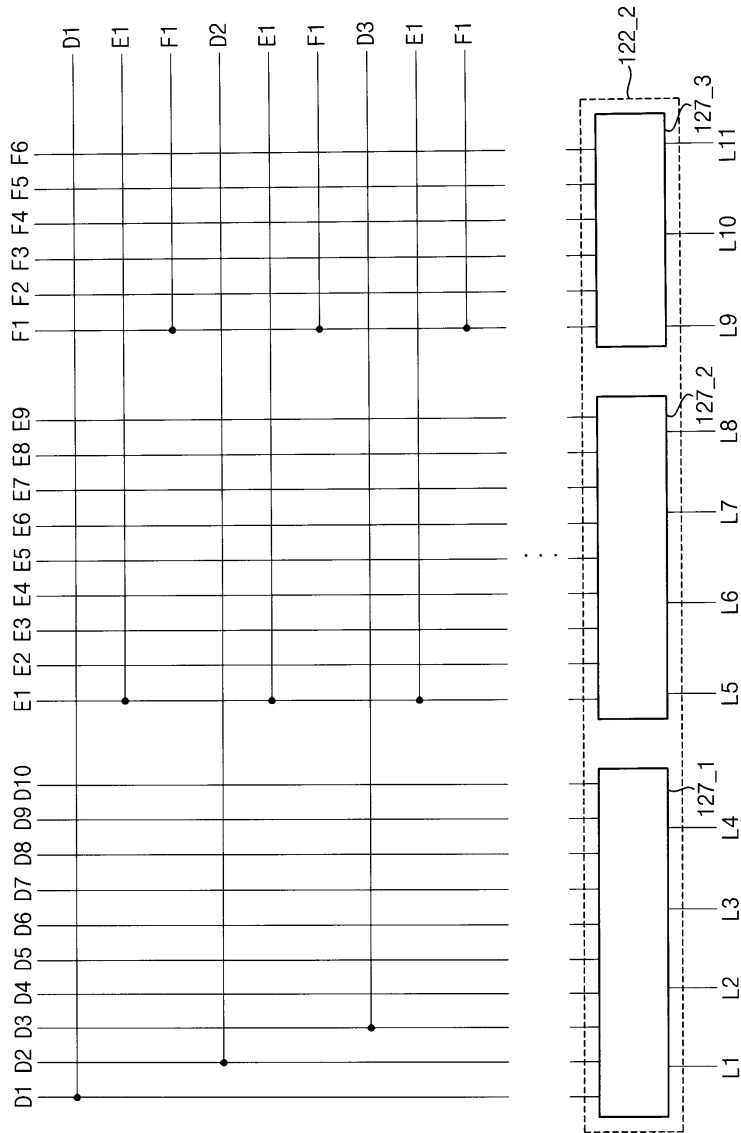
도면3



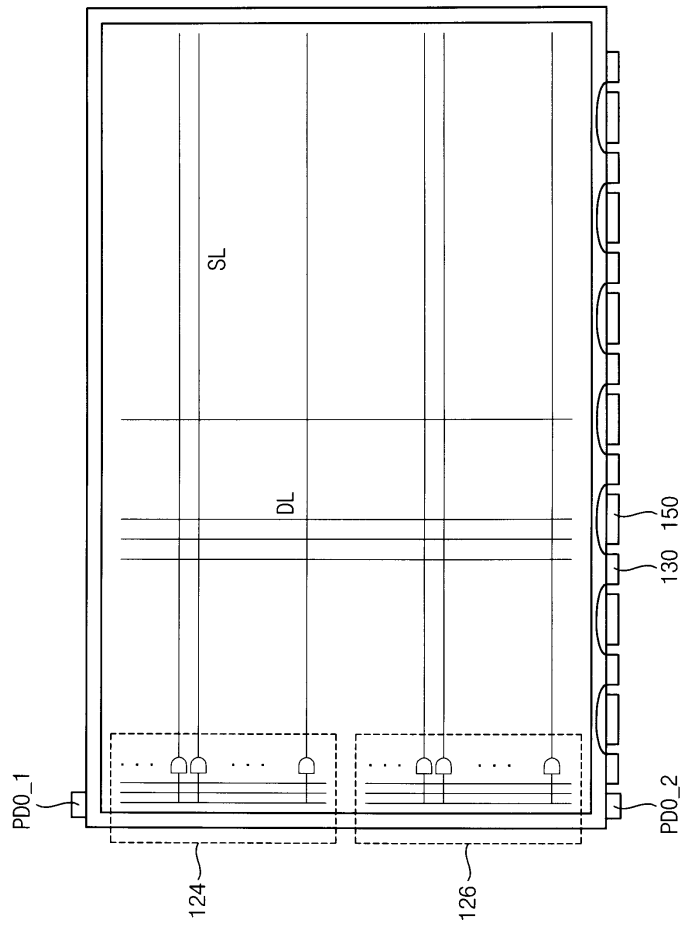
도면4a



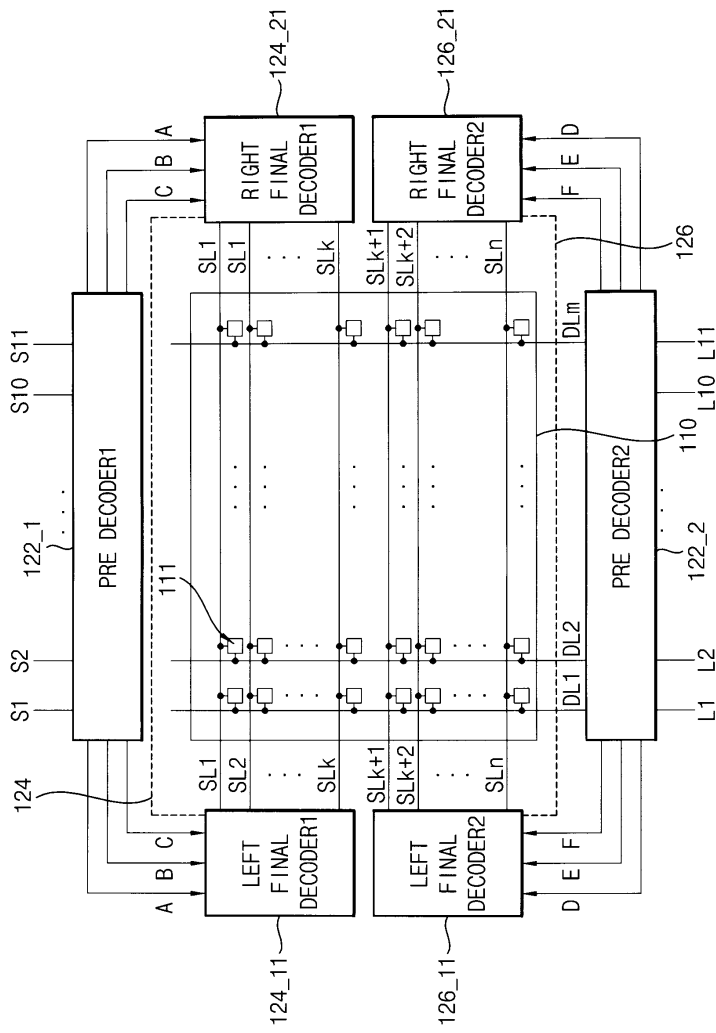
도면4b



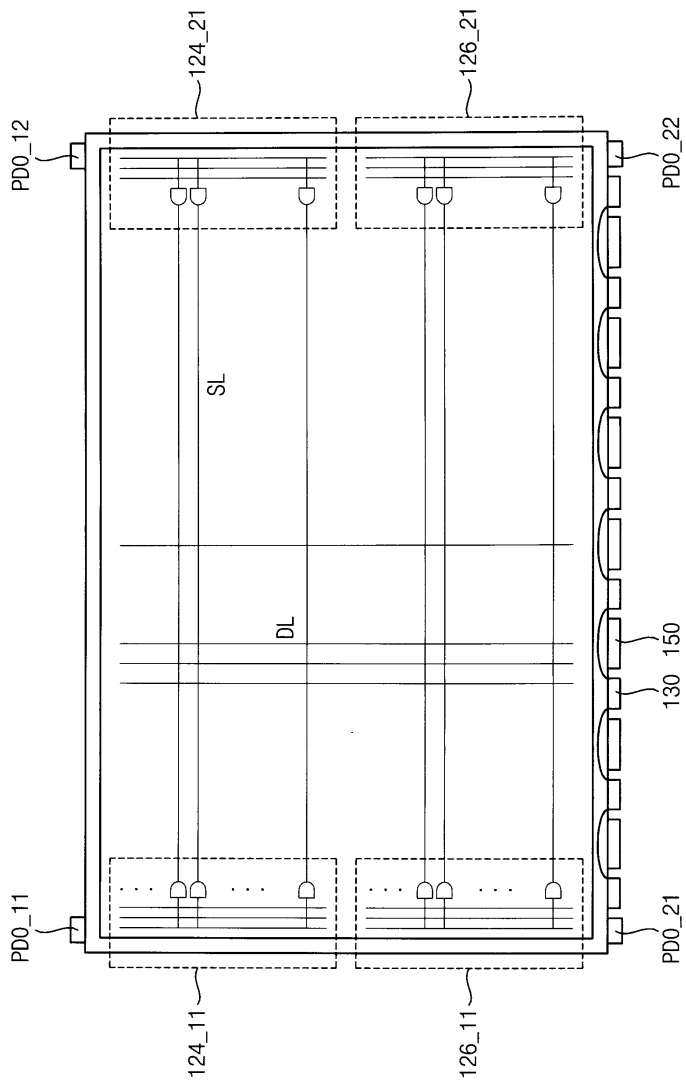
도면5



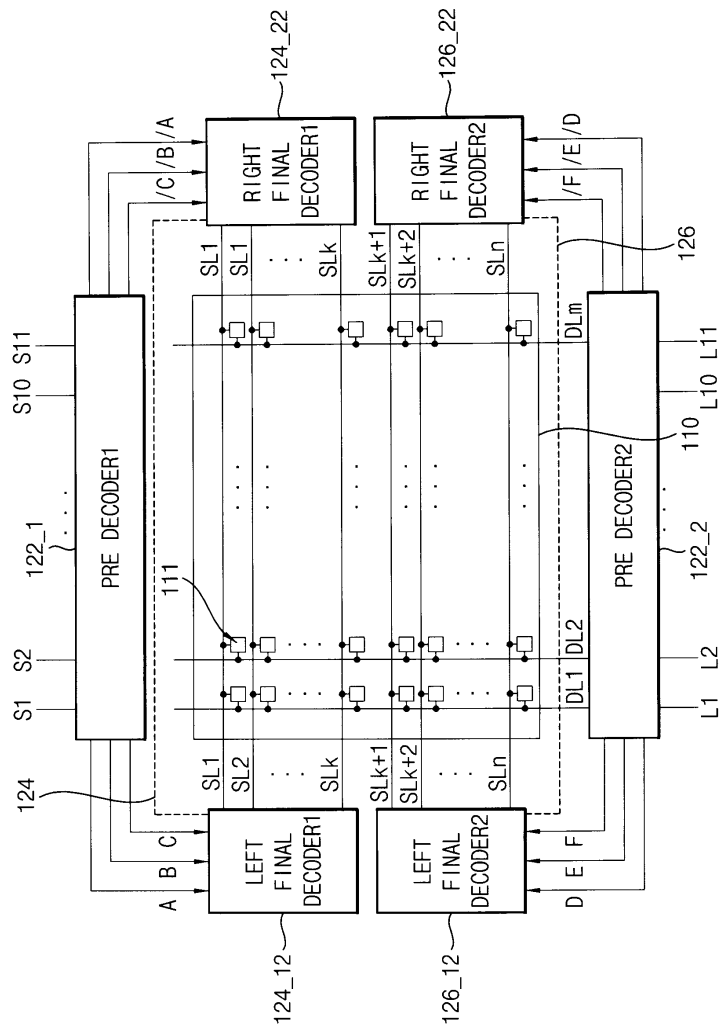
도면6



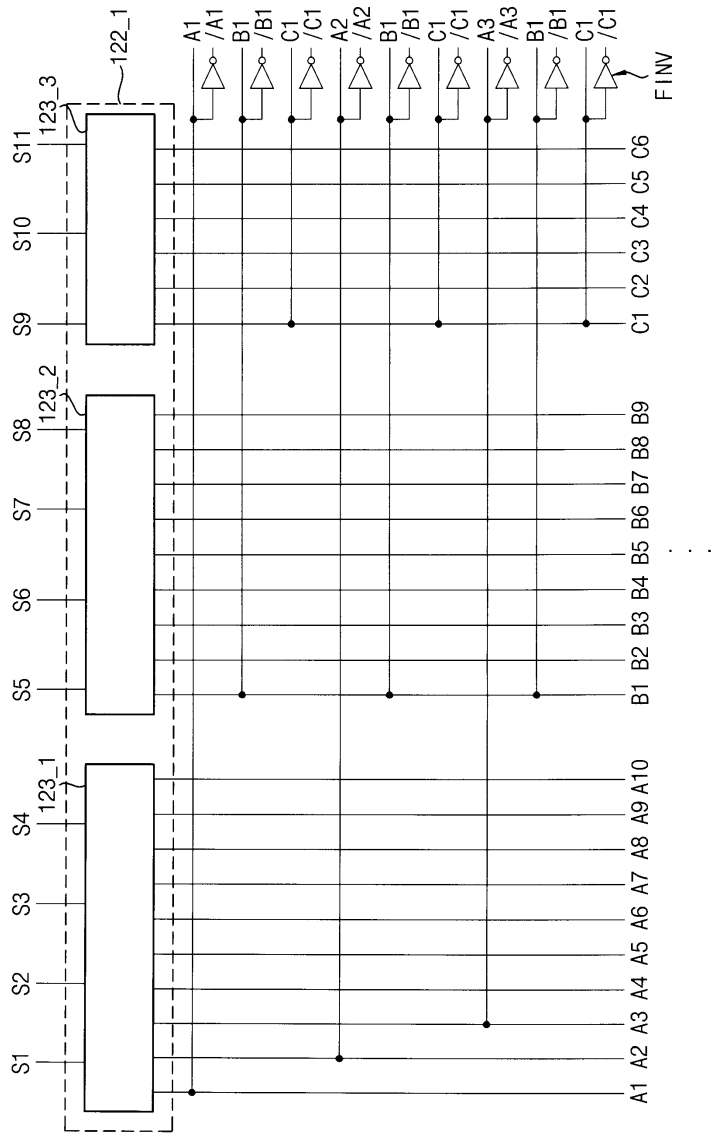
도면7



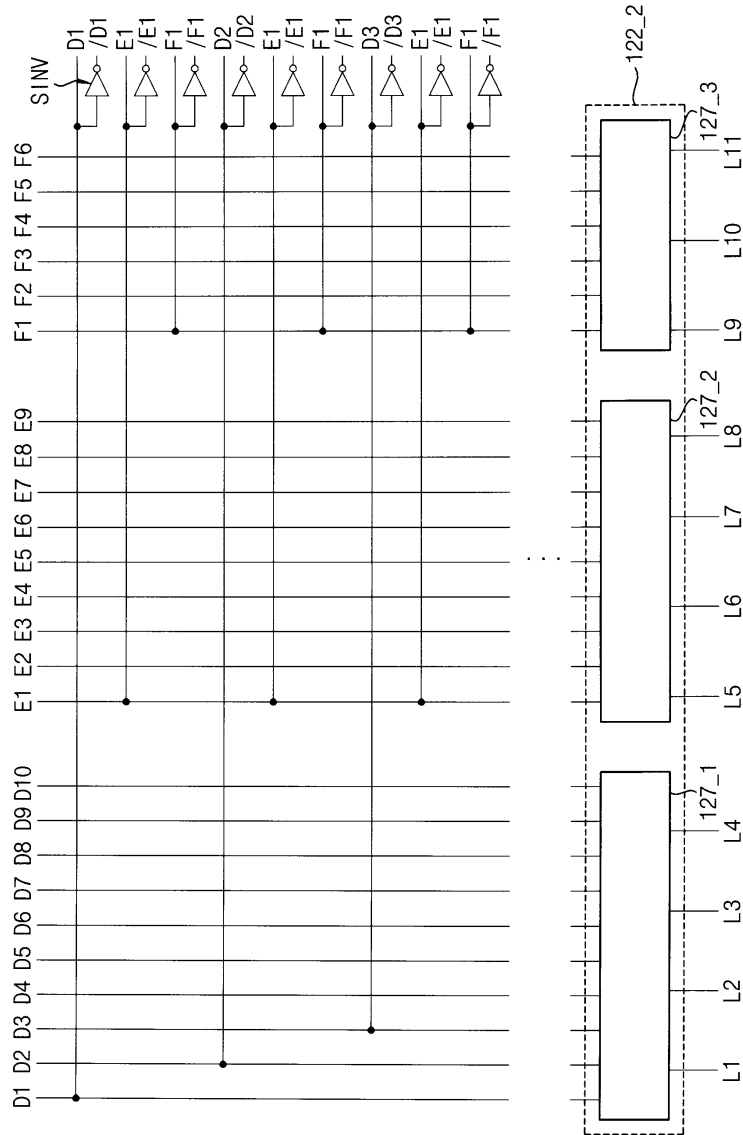
도면8



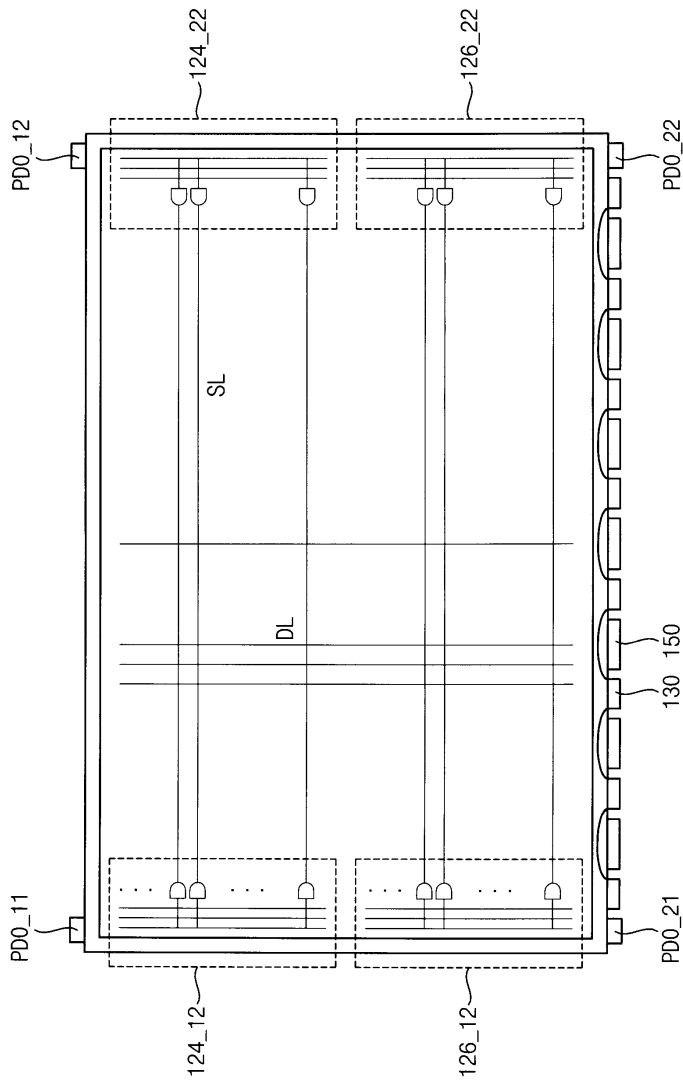
도면9a



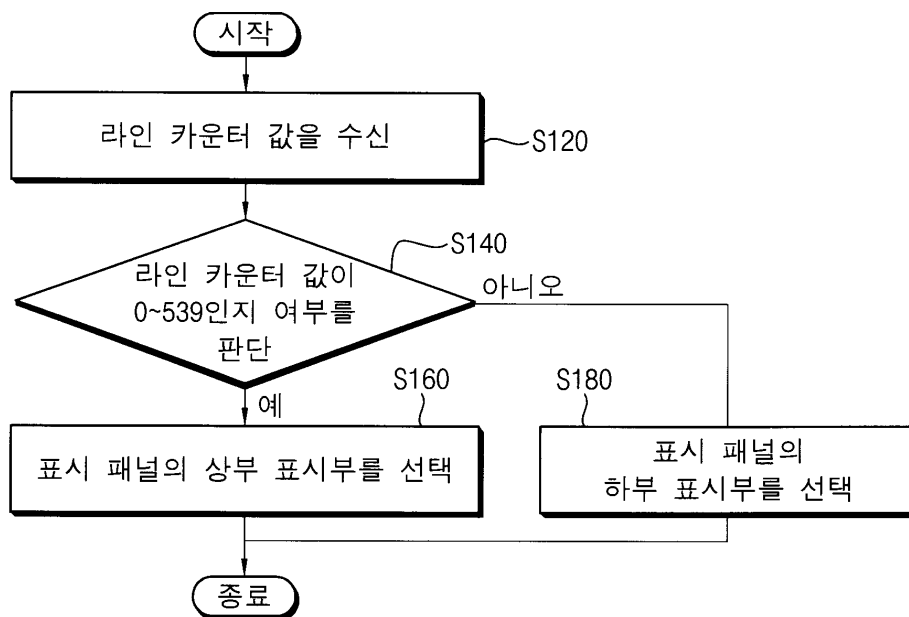
도면9b



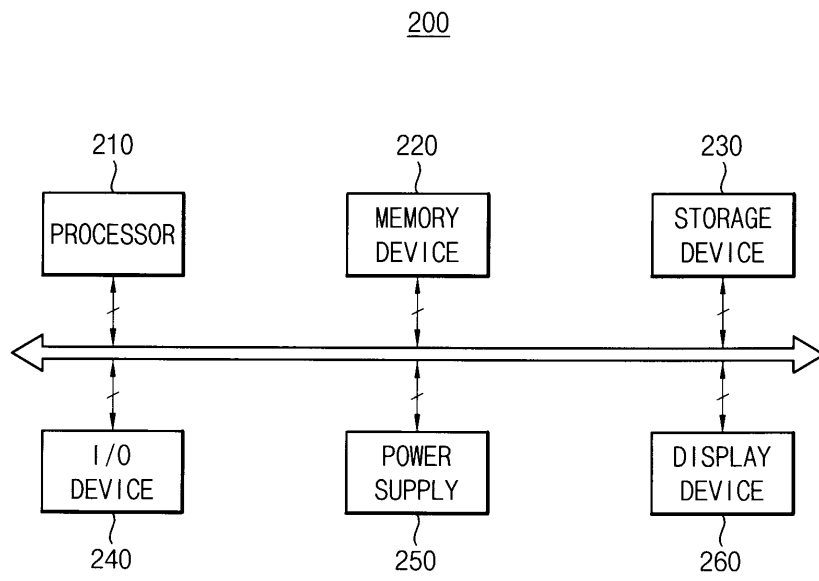
도면10



도면11



도면12



专利名称(译)	扫描驱动单元和具有它的有机发光显示器		
公开(公告)号	KR1020140001607A	公开(公告)日	2014-01-07
申请号	KR1020120069633	申请日	2012-06-28
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE HAE YEON 이해연 AHN JEONG KEUN 안정근		
发明人	이해연 안정근		
IPC分类号	G09G3/30		
CPC分类号	G09G3/3266 G09G2300/0426 G09G2310/0221 G09G2310/0281		
代理人(译)	英西湖公园		
其他公开文献	KR101876940B1		
外部链接	Espacenet		

摘要(译)

扫描驱动单元包括：第一预解码器单元，其基于上扫描线选择信号输出第一逻辑信号，用于选择位于显示面板的上显示单元中的上扫描线；第二预解码器单元，基于下扫描线选择信号输出第二逻辑信号，用于选择位于显示面板的下显示单元中的下扫描线；第一最终解码器单元，连接在上显示单元和第一预解码器单元之间，并选择位于上显示单元中的上扫描线；第二最终解码器单元连接在下显示单元和第二预解码器单元之间，并选择位于下显示单元中的下扫描线。

