



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0080890  
(43) 공개일자 2020년07월07일

(51) 국제특허분류(Int. Cl.)  
H01L 27/12 (2006.01) H01L 27/15 (2006.01)  
(52) CPC특허분류  
H01L 27/124 (2013.01)  
H01L 27/156 (2013.01)  
(21) 출원번호 10-2018-0170845  
(22) 출원일자 2018년12월27일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
임현수  
경기도 파주시 월롱면 엘지로 245  
김기우  
경기도 파주시 월롱면 엘지로 245  
황예진  
경기도 파주시 월롱면 엘지로 245  
(74) 대리인  
네이트특허법인

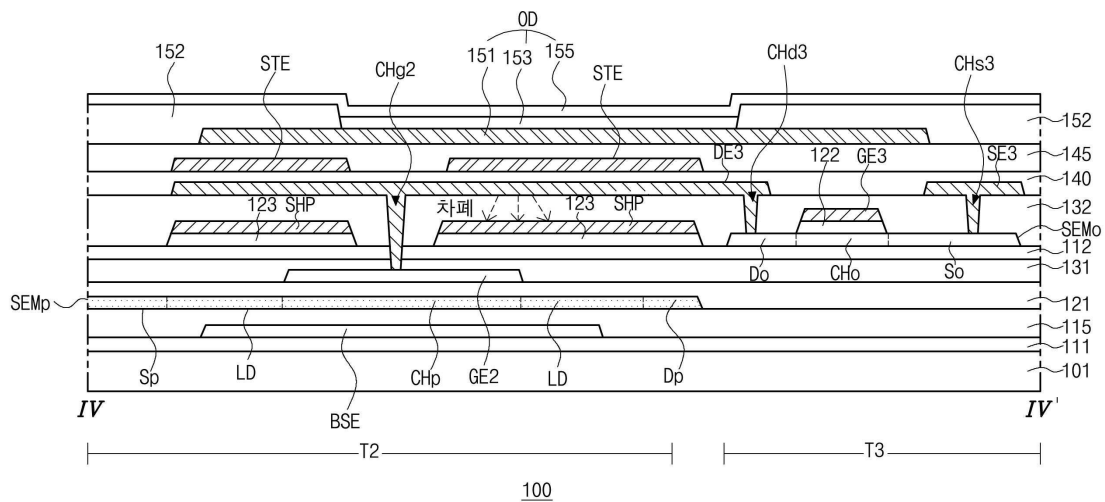
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 전계발광 표시장치

(57) 요약

본 발명은 기판 상에 N타입 폴리실리콘으로 형성되고, 제1채널부와, 제1소스부 및 제1드레인부와, 상기 제1소스부 및 제1드레인부 각각과 상기 제1채널부 사이의 LDD부를 포함하는 제1반도체층과, 상기 제1반도체층 상에 상기 제1채널부에 대응하여 위치하는 제1게이트전극을 구비한 구동박막트랜지스터와; 상기 구동박막트랜지스터의 게이트전극 상에 위치하며, 산화물 반도체로 형성되고, 제2채널부와 제2소스부 및 제2드레인부를 포함하는 제2반도체층과, 상기 제2반도체층 상에 상기 제2채널부에 대응하여 위치하는 제2게이트전극과, 상기 제1게이트전극과 상기 제2드레인부를 연결하는 드레인전극을 포함하는 스위칭트랜지스터와; 상기 스위칭트랜지스터의 드레인전극과 상기 제1반도체층 사이에 배치되고 상기 LDD부를 가리며, 상기 제2게이트전극과 동일물질로 형성되거나 상기 제2소스부와 동일물질로 형성된 차폐패턴을 포함하는 전계발광표시장치를 제공한다.

대표도 - 도4



## 명세서

### 청구범위

#### 청구항 1

기관 상에 N타입 폴리실리콘으로 형성되고, 제1채널부와, 제1소스부 및 제1드레인부와, 상기 제1소스부 및 제1드레인부 각각과 상기 제1채널부 사이의 LDD부를 포함하는 제1반도체층과,  
상기 제1반도체층 상에 상기 제1채널부에 대응하여 위치하는 제1게이트전극을 구비한 구동박막트랜지스터와;  
상기 구동박막트랜지스터의 게이트전극 상에 위치하며, 산화물 반도체로 형성되고, 제2채널부와 제2소스부 및 제2드레인부를 포함하는 제2반도체층과,  
상기 제2반도체층 상에 상기 제2채널부에 대응하여 위치하는 제2게이트전극과,  
상기 제1게이트전극과 상기 제2드레인부를 연결하는 드레인전극을 포함하는 스위칭트랜지스터와;  
상기 스위칭트랜지스터의 드레인전극과 상기 제1반도체층 사이에 배치되고 상기 LDD부를 가리며, 상기 제2게이트전극과 동일물질로 형성되거나 상기 제2소스부와 동일물질로 형성된 차폐패턴을 포함하는 전계발광표시장치.

#### 청구항 2

제 1 항에 있어서,  
상기 차폐패턴은, 상기 스위칭트랜지스터의 드레인전극과 중첩되는 상기 제1드레인부의 부분을 가리는 전계발광표시장치.

#### 청구항 3

제 1 항 또는 제 2 항에 있어서,  
상기 제1반도체층과 제1게이트전극 사이의 제1게이트절연막과;  
상기 제1게이트전극 상의 제1층간절연막과;  
상기 제1층간절연막과 상기 제2게이트전극 사이에, 상기 제2채널부에 대응하여 형성된 제2게이트절연막과;  
상기 제2게이트전극과 상기 스위칭트랜지스터의 드레인전극 사이의 제2층간절연막을 더 포함하고,  
상기 제1층간절연막과 제2게이트절연막과 상기 제2층간절연막에는, 상기 드레인전극이 상기 제1게이트전극과 접촉하는 콘택홀이 형성되고,  
상기 제2층간절연막에는, 상기 드레인전극이 상기 제2드레인부와 접촉하는 콘택홀이 형성된 전계발광표시장치.

#### 청구항 4

제 3 항에 있어서,

상기 차폐전극이 상기 제2게이트전극과 동일물질로 형성된 경우에, 상기 차폐전극 하부에는 상기 제2게이트절연막과 동일물질로 형성된 절연패턴이 위치하는

전계발광표시장치.

#### 청구항 5

제 3 항에 있어서,

상기 차폐전극이 상기 제2소스부 및 제2드레인부와 동일물질로 형성된 경우에, 상기 차폐전극은 상기 제2층간절연막에 직접 접촉하는

전계발광표시장치.

#### 청구항 6

제 3 항에 있어서,

상기 드레인전극 상의 보호층 상에 위치하고, 상기 드레인전극과 스토리지 커패시터를 형성하는 스토리지전극을 더 포함하고,

상기 차폐전극은 상기 스토리지전극과 전기적으로 연결된

전계발광표시장치.

#### 청구항 7

제 6 항에 있어서,

상기 드레인전극과 동일물질로 형성되고, 상기 보호층에 형성된 콘택홀을 통해 상기 스토리지전극과 접촉하는 연결패턴을 더 포함하고,

상기 연결패턴은, 상기 차폐패턴을 노출하는 상기 제2층간절연막의 콘택홀을 통해 상기 차폐패턴과 접촉하는

전계발광표시장치.

#### 청구항 8

제 6 항에 있어서,

상기 구동트랜지스터의 제1드레인부가 접속된 제1노드에 소스가 접속되고, 제1발광제어배선과 연결된 제1발광제어트랜지스터와;

상기 제1게이트전극이 접속된 제2노드에 상기 드레인전극이 접속되며 상기 제2반도체층을 포함하는 상기 스위칭트랜지스터인 제2스위칭트랜지스터와;

데이터배선 및 제1게이트배선과 연결되고, 상기 구동트랜지스터의 제1소스부가 접속된 제3노드에 드레인이 접속된 제1스위칭트랜지스터와;

발광다이오드 및 상기 스토리지전극이 접속된 제4노드와 상기 제3노드 사이에 접속되고, 제2발광제어배선과 연결된 제2발광제어트랜지스터와;

상기 제4노드에 드레인이 접속되고, 상기 제2스위칭트랜지스터와 함께 제2게이트배선에 연결되며, 초기화배선에 소스가 접속된 초기화트랜지스터

를 더 포함하는 전계발광표시장치.

## 청구항 9

제 8 항에 있어서,

상기 제1스위칭트랜지스터와, 상기 제1,2발광제어트랜지스터와, 상기 초기화트랜지스터는 각각, 상기 폴리실리콘으로 형성된 제1반도체층을 구비하는

전계발광표시장치.

## 청구항 10

제 1 항에 있어서,

상기 제1반도체층 하부에, 상기 제1채널부와 상기 LDD부의 적어도 일부에 대응하여 위치하는 백셀드전극을 더 포함하는 전계발광표시장치.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 전계발광 표시장치에 관한 것이다.

### 배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있으며, 근래에는 액정표시장치(LCD : liquid crystal display device), , 유기발광소자(OLED : organic light emitting diode)표시장치, 퀀텀닷발광소자(QLED: Quantum Dot Light Emitting-Diode)표시장치, 및 마이크로엘이디(Micro-LED: Micro-Light Emitting Diode)표시장치를 포함하는 전계발광 표시장치(Electroluminescence display device)와 같은 여러가지 평판표시장치(flat display device)가 활용되고 있다.

[0003] 이들 평판표시장치 중에서, 전계발광소자표시장치는 소형화, 경량화, 박형화, 저전력 구동의 장점을 가지고 있어 널리 사용되고 있다.

[0004] 전계발광소자표시장치의 각 화소에는 스위칭트랜지스터와 구동트랜지스터 등을 포함한 다수의 트랜지스터들이 구비된다.

[0005] 구동트랜지스터는 LTPS(low temperature polycrystalline silicon) 공정을 통해 형성된 이동도 특성이 우수한 폴리실리콘을 반도체층으로 이용할 수 있다. 한편, N타입 폴리실리콘이 반도체층으로 이용되는 경우에, 채널부와 고농도 도핑된 소스부 및 드레인부 사이에 저농도 도핑된 LDD(lightly doped drain)부가 형성될 수 있다.

[0006] 이와 같은 LDD부에 의해 구동트랜지스터의 출력전류가 영향을 받아 킥 효과(kink effect)가 발생하게 된다.

[0007] 그런데, 구동트랜지스터의 게이트가 접속된 노드에서 게이트전압에 의해 발생된 전계가 LDD부에 작용하여 구동트랜지스터의 킥 효과가 악화될 수 있다. 이로 인해, 스테인 무라(stain mura) 등이 발생되어 화질이 저하된다.

## 발명의 내용

### 해결하려는 과제

[0008] 본 발명은 전계발광소자 표시장치에서 구동트랜지스터의 킥 효과의 악화를 개선하여 화질을 향상시킬 수 있는 방안을 제공하는 것에 과제가 있다.

### 과제의 해결 수단

- [0009] 전술한 바와 같은 과제를 달성하기 위해, 본 발명은 기판 상에 N타입 폴리실리콘으로 형성되고, 제1채널부와, 제1소스부 및 제1드레인부와, 상기 제1소스부 및 제1드레인부 각각과 상기 제1채널부 사이의 LDD부를 포함하는 제1반도체층과, 상기 제1반도체층 상에 상기 제1채널부에 대응하여 위치하는 제1게이트전극을 구비한 구동박막 트랜지스터와; 상기 구동박막트랜지스터의 게이트전극 상에 위치하며, 산화물 반도체로 형성되고, 제2채널부와 제2소스부 및 제2드레인부를 포함하는 제2반도체층과, 상기 제2반도체층 상에 상기 제2채널부에 대응하여 위치하는 제2게이트전극과, 상기 제1게이트전극과 상기 제2드레인부를 연결하는 드레인전극을 포함하는 스위칭트랜지스터와; 상기 스위칭트랜지스터의 드레인전극과 상기 제1반도체층 사이에 배치되고 상기 LDD부를 가리며, 상기 제2게이트전극과 동일물질로 형성되거나 상기 제2소스부와 동일물질로 형성된 차폐패턴을 포함하는 전계발광 소자표시장치를 제공한다.
- [0010] 여기서, 상기 차폐패턴은, 상기 스위칭트랜지스터의 드레인전극과 중첩되는 상기 제1드레인부의 부분을 가릴 수 있다.
- [0011] 상기 제1반도체층과 제1게이트전극 사이의 제1게이트절연막과; 상기 제1게이트전극 상의 제1층간절연막과; 상기 제1층간절연막과 상기 제2게이트전극 사이에, 상기 제2채널부에 대응하여 형성된 제2게이트절연막과; 상기 제2게이트전극과 상기 스위칭트랜지스터의 드레인전극 사이의 제2층간절연막을 더 포함하고, 상기 제1층간절연막과 제2게이트절연막과 상기 제2층간절연막에는, 상기 드레인전극이 상기 제1게이트전극과 접촉하는 콘택홀이 형성되고, 상기 제2층간절연막에는, 상기 드레인전극이 상기 제2드레인부와 접촉하는 콘택홀이 형성될 수 있다.
- [0012] 상기 차폐전극이 상기 제2게이트전극과 동일물질로 형성된 경우에, 상기 차폐전극 하부에는 상기 제2게이트절연막과 동일물질로 형성된 절연패턴이 위치할 수 있다.
- [0013] 상기 차폐전극이 상기 제2소스부 및 제2드레인부와 동일물질로 형성된 경우에, 상기 차폐전극은 상기 제2층간절연막에 직접 접촉할 수 있다.
- [0014] 상기 드레인전극 상의 보호층 상에 위치하고, 상기 드레인전극과 스토리지 커패시터를 형성하는 스토리지전극을 더 포함하고, 상기 차폐전극은 상기 스토리지전극과 전기적으로 연결될 수 있다.
- [0015] 상기 드레인전극과 동일물질로 형성되고, 상기 보호층에 형성된 콘택홀을 통해 상기 스토리지전극과 접촉하는 연결패턴을 더 포함하고, 상기 연결패턴은, 상기 차폐패턴을 노출하는 상기 제2층간절연막의 콘택홀을 통해 상기 차폐패턴과 접촉할 수 있다.
- [0016] 상기 구동트랜지스터의 제1드레인부가 접속된 제1노드에 소스가 접속되고, 제1발광제어배선과 연결된 제1발광제어트랜지스터와; 상기 제1게이트전극이 접속된 제2노드에 상기 드레인전극이 접속되며 상기 제2반도체층을 포함하는 상기 스위칭트랜지스터인 제2스위칭트랜지스터와; 데이터배선 및 제1게이트배선과 연결되고, 상기 구동트랜지스터의 제1소스부가 접속된 제3노드에 드레인이 접속된 제1스위칭트랜지스터와; 발광다이오드 및 상기 스토리지전극이 접속된 제4노드와 상기 제3노드 사이에 접속되고, 제2발광제어배선과 연결된 제2발광제어트랜지스터와; 상기 제4노드에 드레인이 접속되고, 상기 제2스위칭트랜지스터와 함께 제2게이트배선에 연결되며, 초기화배선에 소스가 접속된 초기화트랜지스터를 더 포함할 수 있다.
- [0017] 상기 제1스위칭트랜지스터와, 상기 제1,2발광제어트랜지스터와, 상기 초기화트랜지스터는 각각, 상기 폴리실리콘으로 형성된 제1반도체층을 구비할 수 있다.
- [0018] 상기 제1반도체층 하부에, 상기 제1채널부와 상기 LDD부의 적어도 일부에 대응하여 위치하는 백셀드전극을 더 포함할 수 있다.

### 발명의 효과

- [0019] 본 발명에서는, 산화물 반도체층을 구비한 스위칭트랜지스터의 드레인전극과 이 하부에 위치하는 구동트랜지스터의 폴리실리콘 반도체층의 LDD부 사이에, LDD부를 가리며 스위칭트랜지스터의 게이트전극이나 산화물 반도체층으로 이루어진 차폐패턴을 형성하게 된다.
- [0020] 이에 따라, 구동트랜지스터의 게이트전압에 의한 전계가 LDD부에 작용함에 의해 구동트랜지스터의 킹크 효과가 악화되는 현상을 개선할 수 있게 되므로, 킹크 효과 악화에 따른 열룩이 개선되어 화질이 개선될 수 있게 된다.
- [0021] 더욱이, 차폐패턴은 구동트랜지스터 반도체층의 드레인부를 가리도록 연장되어 형성될 수 있다.
- [0022] 이에 따라, 구동트랜지스터의 게이트-드레인 기생용량이 감소될 수 있게 되어, 게이트-드레인 기생용량에 따른

얼룩이 개선되어 화질이 개선될 수 있다.

### 도면의 간단한 설명

- [0023] 도 1은 본 발명의 제1실시예에 따른 전계발광소자표시장치를 개략적으로 도시한 블록도.  
 도 2는 본 발명의 제1실시예에 따른 전계발광소자표시장치의 화소의 등가회로도.  
 도 3은 본 발명의 제1실시예에 따른 화소 구조를 도시한 평면도.  
 도 4는 도 3의 절단선 IV-IV'를 따라 도시한 단면도.  
 도 5는 종래 및 본 발명의 제1실시예에서 구동트랜지스터의 소스-드레인 전압에 대한 소스-드레인 전류의 실험 결과 그래프를 도시한 도면.  
 도 6은 본 발명의 제2실시예에 따른 전계발광소자표시장치의 일부를 도시한 단면도.

### 발명을 실시하기 위한 구체적인 내용

- [0024] 이하, 도면을 참조하여 본 발명의 실시예들을 설명한다.
- [0025] 한편, 이하의 실시예에서는, 동일 유사한 구성에 대해서는 동일 유사한 도면부호를 사용한다.
- [0026] <제1실시예>
- [0027] 도 1은 본 발명의 제1실시예에 따른 전계발광소자표시장치를 개략적으로 도시한 블록도이고, 도 2는 본 발명의 제1실시예에 따른 전계발광소자표시장치의 화소의 등가회로도이다.
- [0028] 도 1 및 2를 참조하면, 본 실시예에 따른 전계발광소자표시장치(10)는 다수의 화소들(P)이 매트릭스 형태로 배치된 표시패널(100)과, 표시패널(100)을 구동하는 구동회로를 포함할 수 있다.
- [0029] 여기서, 표시패널(110)을 구동하는 구동회로는, 데이터 구동회로(220)와, 스캔 구동회로(230)와, 타이밍 제어회로(240)를 포함할 수 있다.
- [0030] 한편, 본 실시예의 전계발광표시장치(10)는 배리어블 리프레쉬 레이트 (Variable Refresh rate: VRR) 방식으로 동작하는 전계발광표시장치일 수 있다.
- [0031] 이와 관련하여, 동영상과 같이 영상의 변화가 큰 영상을 표시하는 경우에는, 외부시스템으로부터 입력된 구동주파수로서 예를 들어 60Hz의 구동주파수에 따라 정상 구동모드로 전계발광표시장치(10)를 구동할 수 있으며, 이 경우에 모든 프레임은 리프레쉬 프레임에 해당되어 각 프레임 동안 데이터신호가 해당 화소(P)에 기입된다.
- [0032] 한편, 정지 영상과 같이 영상의 변화가 크지 않은 영상을 표시하는 경우에는, 정상 구동주파수 보다 낮은 저주파수(일예로 1Hz 등)에 따라 저주파 구동모드로 표시장치(100)를 구동할 수 있으며, 이에 따라 소비전력을 절감할 수 있게 된다. 이와 같은 저주파 구동모드에서는, 해당 저주파수에 따라 특정 프레임이 리프레쉬 프레임이 되고, 이웃하는 리프레쉬 프레임 사이에는 적어도 하나의 홀딩 프레임으로 구성된 홀딩 구간이 정의된다. 이때, 리프레쉬 프레임 동안에 해당 화소(P)에 데이터신호가 기입되고, 이후의 홀딩 구간에서는 데이터 리프레쉬 동작이 정지된다.
- [0033] 표시패널(100)에 대해 살펴보면, 표시패널(100)에는 화소들(P)을 구동하기 위한 구동신호를 전달하는 각종 신호배선들이 형성된다.
- [0034] 이와 관련하여 예를 들면, 영상신호인 데이터신호를 전달하는 다수의 데이터배선(DL)이 각 열라인 방향을 따라 연장되어 해당 열라인의 화소(P)에 연결될 수 있다.
- [0035] 한편, 제1,2게이트신호 각각을 해당 화소(P)에 전달하는 제1,2게이트배선(GL1, GL2)이 각 행라인 방향(또는 제1 방향)을 따라 연장되어 해당 행라인의 화소(P)에 연결될 수 있다.
- [0036] 그리고, 게이트배선(GL1, GL2)과 평행하게 연장되어 제1,2발광제어신호 각각을 해당 화소(P)에 전달하는 제1,2발광제어배선(EL1, EL2)이 형성될 수 있다.
- [0037] 타이밍 제어회로(240)는 데이터 구동회로(220) 및 스캔 구동회로(230)의 구동 타이밍을 제어하게 된다.
- [0038] 이와 관련하여, 타이밍 제어회로(240)는 외부시스템으로부터 입력되는 디지털 데이터신호(RGB)를 표시패널(10

0)의 해상도에 맞게 재정렬하여 데이터 구동회로(220)에 공급할 수 있다. 그리고, 타이밍 제어회로(240)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 클럭신호(CLK) 및 데이터 인에이블신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동회로(220)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DCS)와, 스캔 구동회로(230)의 동작 타이밍을 제어하기 위한 스캔 제어신호(SCS)를 발생시킬 수 있다.

- [0039] 데이터 구동회로(220)는 데이터배선(DL)을 구동할 수 있다. 이와 관련하여, 데이터 구동회로(220)는 데이터 제어신호(DCS)를 기반으로 입력된 디지털 데이터신호(RGB)를 아날로그 데이터신호로 변환하여 해당 데이터배선(DL)에 공급할 수 있다.
- [0040] 스캔 구동회로(230)는, 이에 연결된 게이트배선(GL1, GL2)과 발광제어배선(EL1, EL2)을 구동할 수 있다. 이와 관련하여, 스캔 구동회로(230)는 스캔 제어신호(SCS)를 기반으로 제1,2게이트신호와 발광제어신호를 발생시킬 수 있다. 이와 같은 스캔 구동회로(230)는 제1게이트신호를 라인 순차 방식으로 제1게이트배선(GL1)에 공급하고, 또한 제2게이트신호를 라인 순차 방식으로 제2게이트배선(GL2)에 공급할 수 있다. 그리고, 제1,2발광제어신호 각각에 대해, 라인 순차 방식으로 해당 제1,2발광제어배선(EL1, EL2)에 공급할 수 있다.
- [0041] 도 2를 함께 참조하여 표시패널(100)의 화소(P) 내에 구성된 구동소자들의 구조를 설명한다.
- [0042] 도 2를 참조하면, 본 실시예의 화소(P)는 구동트랜지스터(T2)의 문턱전압을 보상하기 위해 다이오드 연결(diode connection) 보상회로 구조가 적용된 것으로서, 예를 들면 도시한 바와 같이 6T1C 구조로 구성될 수 있다.
- [0043] 이에 대해, 각 화소(P)에는, 구동소자들로서 제1스위칭트랜지스터(T1)와 구동트랜지스터(T2)와 제2스위칭트랜지스터(T3)와 제1,2발광제어트랜지스터(T4, T5)와 초기화트랜지스터(T6)와 스토리지 커패시터(Cst)가 구비될 수 있고, 발광소자인 발광다이오드(OD)가 구비될 수 있다.
- [0044] 제1스위칭트랜지스터(T1)는 해당 행라인의 제1게이트배선(GL1)을 통해 인가된 제1게이트신호에 응답하여 턴온되고, 이에 따라 데이터배선(DL)을 통해 제공된 데이터신호가 구동트랜지스터(T2)에 인가될 수 있게 된다.
- [0045] 이와 같은 제1스위칭트랜지스터(T1)의 소스는 데이터배선(DL)에 연결되고, 게이트는 제1게이트배선(GL1)에 연결되고, 드레인은 구동트랜지스터(T2)의 소스 즉 제3노드(N3)에 연결될 수 있다.
- [0046] 구동트랜지스터(T2)는 게이트-소스 간 전압에 의해 발광다이오드(OD)에 인가되는 발광전류를 제어한다. 이와 같은 구동트랜지스터(T2)의 게이트는 제2노드(N2)에 연결되고, 드레인은 제1노드(N1)에 연결될 수 있다.
- [0047] 초기화트랜지스터(T6)는 해당 행라인의 제2게이트배선(GL2)을 통해 인가된 제2게이트신호에 응답하여 턴온되고, 이에 따라 초기화배선(IL)을 통해 전달된 초기화전압이 제4노드(N4)에 인가될 수 있게 된다. 이와 같은 초기화트랜지스터(T6)의 게이트는 제2게이트배선(GL2)에 연결되고, 소스는 초기화배선(IL)에 연결되고, 드레인은 제4노드(N4)에 연결될 수 있다.
- [0048] 제1발광제어트랜지스터(T4)는 해당 행라인의 제1발광제어배선(EL1)을 통해 인가된 제1발광제어신호에 응답하여, 제1구동전압(VDD)(또는 고전위 구동전압) 입력단과 구동트랜지스터(T2) 간의 전류 경로를 제어한다. 이와 같은 제1발광제어트랜지스터(T4)의 게이트는 제1발광제어배선(EL1)에 연결되고, 드레인은 전원배선(VDL)에 연결되고, 소스는 구동트랜지스터(T2)의 드레인 즉 제1노드(N1)에 연결될 수 있다.
- [0049] 제2발광제어트랜지스터(T5)는 해당 행라인의 제2발광제어배선(EL2)을 통해 인가된 제2발광제어신호에 응답하여, 발광다이오드(OD)와 구동트랜지스터(T2) 간의 전류 경로를 제어한다. 이와 같은 제2발광제어트랜지스터(T5)의 게이트는 제2발광제어배선(EL2)에 연결되고, 소스는 발광다이오드(OD)의 제1전극 즉 제4노드(N4)에 연결되고, 드레인은 구동트랜지스터(T2)의 소스 즉 제3노드(N3)에 연결될 수 있다.
- [0050] 발광다이오드(OD)는 유기물질로 형성된 발광다이오드로서 구동트랜지스터(T2)로부터 공급되는 발광전류에 의해 발광한다. 이와 같은 발광다이오드(OD)의 제1전극(또는 애노드)은 제4노드(N4)에 연결되고, 제2전극(또는 캐소드)은 제2구동전압(VSS)(또는 저전위 구동전압) 입력단에 연결될 수 있다.
- [0051] 제2스위칭트랜지스터(T3)는 구동트랜지스터(T2)의 게이트 및 드레인 사이(즉, 제2노드(N2)와 제1노드(N1) 사이)에 다이오드 연결 방식으로 연결되고, 이에 따라 구동트랜지스터(T2)의 문턱전압은 구동트랜지스터(T2)의 게이트에 샘플링될 수 있다. 이와 같은 제2스위칭트랜지스터(T3)의 게이트는 제2게이트배선(GL2)에 연결된다.
- [0052] 스토리지 커패시터(Cst)는 제2노드(N2)와 제4노드(N4) 사이에 접속된다. 이와 같은 스토리지 커패시터(Cst)는 구동트랜지스터(T2)의 게이트에 인가된 전압과 문턱전압을 다음번 리프레쉬 프레임까지 저장하여 유지할 수 있다.

- [0053] 위와 같이 각 화소(P)에 구비된 다수의 트랜지스터(T1 내지 T6)에 있어, 이 트랜지스터들 중 일부는 오프 전류 특성이 우수한 산화물 반도체를 반도체층으로 이용할 수 있으며, 나머지 트랜지스터들은 이동도 특성이 우수한 폴리실리콘을 반도체층으로 이용할 수 있다.
- [0054] 이에 대해 예를 들면, 구동트랜지스터(T2)의 게이트 및 드레인 사이에 연결된(또는 제2노드(N2) 및 제1노드(N) 사이에 연결된) 제2스위칭트랜지스터(T3)는 산화물 반도체층을 이용하여 구성될 수 있다.
- [0055] 이와 같은 경우에, 구동트랜지스터(T2)의 게이트전압의 누설을 효과적으로 방지할 수 있게 된다. 이에 따라, 저주파 구동모드에서 상대적으로 장시간의 홀딩 구간 동안 구동트랜지스터(T2)의 게이트전압이 안정적으로 유지될 수 있게 되어, 저주파 구동모드에서의 화질 특성을 효과적으로 확보할 수 있게 된다.
- [0056] 한편, 제2스위칭트랜지스터(T3)와는 다른 트랜지스터들 중, 구동트랜지스터(T2)를 포함한 적어도 일부의 트랜지스터들은 폴리실리콘의 반도체층을 이용할 수 있다.
- [0057] 이에 대해, 본 실시예에서는, 제2스위칭트랜지스터(T3)와는 다른 5개의 트랜지스터들로서, 제1스위칭트랜지스터(T1)와 구동트랜지스터(T2)와 제1,2발광제어트랜지스터(T4,T5)와 초기화트랜지스터(T6)가 모두 폴리실리콘 반도체층을 이용한 경우를 예로 든다.
- [0058] 다른 예로서, 제1스위칭트랜지스터(T1)가 제2스위칭트랜지스터(T2)와 동일하게 산화물 반도체층을 이용하고, 제1,2스위칭트랜지스터(T1,T3) 이외의 다른 트랜지스터들(T2,T4,T5,T6)은 폴리실리콘 반도체층을 이용하도록 구성될 수도 있다.
- [0059] 이하, 도 3 및 4를 더욱 참조하여 본 실시예의 화소(P)의 구조를 보다 상세하게 설명한다.
- [0060] 도 3은 본 발명의 제1실시예에 따른 화소 구조를 도시한 평면도이다. 도 4는 도 3의 절단선 IV-IV'를 따라 도시한 단면도로서, 구동트랜지스터 및 제2스위칭트랜지스터의 단면 구조를 도시하고 있다.
- [0061] 도 3 및 4를 더욱 참조하여 살펴보면, 표시패널(100)의 기판(101) 상에는, 화소(P)에 배치된 제1,2스위칭트랜지스터(T1,T3)와, 구동트랜지스터(T2)와, 제1,2발광제어트랜지스터(T4,T5)와, 초기화트랜지스터(T6)와, 스토리지 커패시터(Cst)와, 발광다이오드(OD)가 형성될 수 있다.
- [0062] 그리고, 기판(101) 상에는, 화소(P)의 트랜지스터들(T1 내지 T6)을 구동하기 위한 신호배선들이 형성될 수 있는데, 행방향인 제1방향을 따라 연장된 제1,2게이트배선(GL1,GL2)과 제1,2발광제어배선(EL1,EL2)과 초기화배선(IL)이 형성될 수 있고, 제1방향과 교차하는 열방향인 제2방향을 따라 연장된 데이터배선(DL)과 전원배선(VDL)이 형성될 수 있다.
- [0063] 이에 대해 보다 상세하게 살펴보면, 표시패널(100)의 기판(101)으로서는 폴리이미드(polyimide)와 같은 고분자로 이루어진 플렉서블 특성의 플라스틱 기판이 사용될 수 있는데, 이에 한정되지는 않는다.
- [0064] 기판(101) 상에는, 실질적으로 전면에 걸쳐 하부 버퍼층으로서 제1버퍼층(111)이 형성될 수 있다. 그리고, 제1버퍼층(111) 상에는, 실질적으로 전면에 걸쳐 절연막(115)이 형성될 수 있다. 여기서, 제1버퍼층(111)은 산화실리콘(SiO<sub>2</sub>) 또는 질화실리콘(SiNx)과 같은 무기 절연물질로 이루어질 수 있으며, 절연막(115)은 산화실리콘(SiO<sub>2</sub>) 또는 질화실리콘(SiNx)과 같은 무기 절연물질로 이루어질 수 있다.
- [0065] 여기서, 제1버퍼층(111)과 절연막(115) 사이에는 백셀드전극(BSE)이 형성될 수 있다. 백셀드전극(BSE)은 예를 들면 구동트랜지스터(T2)에 대응하여 배치될 수 있다. 백셀드전극(BSE)은, 기판(101)이 플라스틱 기판인 경우에 플라스틱 기판에서 발생한 전하에 기인한 전계가 구동트랜지스터(T2)의 반도체층(SEMp)에 영향을 주는 것을 차단하기 위한 차폐수단으로 작용할 수 있다. 이와 같은 백셀드전극(BSE)은 제3노드(N3)에 접속될 수 있는데, 즉 제1스위칭트랜지스터(T1)의 드레인(또는 구동트랜지스터(T2)의 소스)에 접속되도록 구성될 수 있다.
- [0066] 한편, 구체적으로 도시하지는 않았으나, 백셀드전극(BSE)은 제2스위칭트랜지스터(T3)에 대응하여 배치될 수 있고 초기화트랜지스터(T6)에 대응하여 배치될 수 있다.
- [0067] 절연막(115) 상에는 폴리실리콘으로 이루어진 폴리실리콘 반도체층인 제1반도체층(SEMp)이 형성될 수 있다. 이와 같이 폴리실리콘으로 이루어진 제1반도체층(SEMp)은 N타입의 반도체층으로 이루어질 수 있다.
- [0068] N타입의 제1반도체층(SEMp)은, 화소(P)에 구비된 다수의 트랜지스터들(T1 내지 T6) 중 일부의 트랜지스터들 각각에 대응하여 배치될 수 있다. 예를 들면, 제2스위칭트랜지스터(T3) 이외의 다른 트랜지스터들인 제1스위칭트랜지스터(T1)와 구동트랜지스터(T2)와 제1,2발광제어트랜지스터(T4,T5)와 초기화트랜지스터(T6) 각각에는, 액티

브층으로서 N타입 폴리실리콘의 제1반도체층(SEMp)이 배치될 수 있다.

- [0069] 한편, 도 3에 도시된 바와 같이, 이 트랜지스터들(T1,T2,T4,T5,T6)에 구비된 제1반도체층들(SEMp)은 해당 화소(P) 내에서 연속적으로 연결되어 일체로 형성될 수 있는데, 이에 한정되지는 않는다.
- [0070] 제1반도체층(SEMp)은, LTPS 공정을 통해 저농도 도핑영역인 LDD부(LD)을 갖는 LDD 구조로 형성될 수 있다.
- [0071] 이와 관련하여, 도 4에 도시된 구동트랜지스터(T2)의 제1반도체층(SEMp)을 참조하여 보면, 제1반도체층(SEMp)은 해당 트랜지스터(T2)의 게이트전극(GE2)에 대응하여 위치하는 채널부(Chp), 채널부(Chp) 양측에 각각 배치된 저농도 도핑영역인 2개의 LDD부(LD)와, 2개의 LDD부(LD) 양측에 배치된 고농도 도핑영역인 소스부(Sp) 및 드레인부(Dp)를 포함할 수 있다. 여기서, 설명의 편의를 위해, 제1반도체층(SEMp)의 채널부(Chp)와 소스부(Sp) 및 드레인부(Dp)는 각각, 제1채널부(Chp)와 제1소스부(Sp) 및 제1드레인부(Dp)라고 칭할 수 있다.
- [0072] 이와 마찬가지로, 제1스위칭트랜지스터(T1)와 제1,2발광제어트랜지스터(T4,T5)와 초기화트랜지스터(T6) 각각의 제1반도체층(SEMp)은, 해당 게이트전극에 대응하여 위치하는 제1채널부(Chp), 제1채널부(Chp) 양측에 각각 배치된 LDD부(LD)와, LDD부(LD) 외측에 배치된 제1소스부(Sp) 및 제1드레인부(Dp)를 포함할 수 있다.
- [0073] 제1반도체층(SEMp) 상에는, 하부 게이트절연막인 제1게이트절연막(121)이 형성될 수 있다. 제1게이트절연막(121)은 산화실리콘( $\text{SiO}_2$ ) 또는 질화실리콘( $\text{SiNx}$ )과 같은 무기 절연물질로 이루어질 수 있다.
- [0074] 제1게이트절연막(121) 상에는, 제1금속물질(또는 제1게이트 금속물질)로 이루어진 제1게이트배선(GL1)과 제1,2발광제어배선(EL1,EL2)이 형성될 수 있다. 여기서, 제1금속물질은 알루미늄(Al), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 니켈(Ni), 텅스텐(W) 또는 이들의 합금을 포함할 수 있다.
- [0075] 그리고, 제1게이트절연막(121) 상에는, 제1스위칭트랜지스터(T1)와 구동트랜지스터(T2)와 제1,2발광제어트랜지스터(T4,T5)와 초기화트랜지스터(T6) 각각의 게이트전극이 형성될 수 있으며, 이와 같은 게이트전극들은 해당 제1반도체층(SEMp)의 제1채널부(Chp)에 대응하여 위치할 수 있다.
- [0076] 여기서, 제1스위칭트랜지스터(T1)의 게이트전극은 해당 제1게이트배선(GL1)의 일부로 구성될 수 있고, 제1,2발광제어트랜지스터(T4,T5) 각각의 게이트전극은 해당 제1,2발광제어배선(EL1,EL2)의 일부로 구성될 수 있다. 그리고, 초기화트랜지스터(T6)는 제2게이트배선(GL2)와 연결되는 게이트전극(GE6)을 구비할 수 있다.
- [0077] 한편, 제1게이트절연막(121) 상에는, 제1금속물질로 이루어지며 백셀드전극(BSE)과 접촉하는 제1백셀드접속패턴(BSP1)이 형성될 수 있다. 이에 대해, 백셀드전극(BSE)의 일부를 노출하는 제1백셀드콘택홀(CHb1)은 백셀드전극(BSE)의 상부에 위치하는 절연막인 제1버퍼층(111)과 절연막(115)과 제1게이트절연막(121)에 형성될 수 있고, 제1백셀드접속패턴(BSP1)은 제1백셀드콘택홀(CHb1)을 통해 백셀드전극(BSE)에 접촉할 수 있다.
- [0078] 한편, 백셀드전극(BSE)은, 해당 제1반도체층(SEMp)의 제1채널부(Chb)를 가리도록 위치할 수 있으며, 이에 더하여 양측의 LDD부(LD)의 적어도 일부를 가리도록 연장될 수 있다.
- [0079] 제1게이트배선(GL1)과 제1,2발광제어배선(EL1,EL2) 상에는, 실질적으로 전면에 걸쳐 하부 층간절연막인 제1층간절연막(131)이 형성될 수 있다. 제1층간절연막(131)은 산화실리콘( $\text{SiO}_2$ ) 또는 질화실리콘( $\text{SiNx}$ )과 같은 무기 절연물질로 이루어질 수 있다.
- [0080] 제1층간절연막(131) 상에는, 실질적으로 전면에 걸쳐 상부 버퍼층으로서 제2버퍼층(112)이 형성될 수 있다.
- [0081] 제2버퍼층(112) 상에는, 산화물 반도체로 이루어진 반도체층인 제2반도체층(SEMo)이 형성될 수 있다. 산화물 반도체는, 예를 들면, IGZO, ITZO, IZO, ZnO, IGO, IAZO 등이 사용될 수 있는데, 이에 한정되지는 않는다.
- [0082] 이와 같은 산화물의 제2반도체층(SEMo)은, 화소(P)에 구비된 제2스위칭트랜지스터(T3)에 대응하여 배치될 수 있다.
- [0083] 제2반도체층(SEMo)에 대해 도 4를 참조하여 보면, 이는 제2스위칭트랜지스터(T3)의 게이트전극(GE3)에 대응하여 위치하는 채널부(Cho), 채널부(Cho) 양측에 각각 배치된 도전성의 소스부(So) 및 드레인부(Do)를 포함할 수 있다. 여기서, 설명의 편의를 위해, 제2반도체층(SEMo)의 채널부(Cho)와 소스부(So) 및 드레인부(Do)는 각각, 제2채널부(Cho)와 제2소스부(So) 및 제2드레인부(Do)라고 칭할 수 있다.
- [0084] 제2반도체층(SEMo) 상에는, 상부 게이트절연막인 제2게이트절연막(122)이 형성될 수 있다. 제2게이트절연막(122)은 산화실리콘( $\text{SiO}_2$ ) 또는 질화실리콘( $\text{SiNx}$ )과 같은 무기 절연물질로 이루어질 수 있다.

- [0085] 제2게이트절연막(122) 상에는, 제2금속물질(또는 제2게이트 금속물질)로 이루어진 제2게이트배선(GL2)이 형성될 수 있다. 여기서, 제2금속물질은 알루미늄(Al), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 니켈(Ni), 텅스텐(W) 또는 이들의 합금을 포함할 수 있다.
- [0086] 그리고, 제2게이트절연막(122) 상에는, 제2스위칭트랜지스터(T2)의 게이트전극(GE3)이 형성될 수 있다. 여기서, 제2스위칭트랜지스터(T2)의 게이트전극(GE3)은 제2반도체층(SEMo)의 제2채널부(ChO)에 대응하여 위치할 수 있으며, 이 게이트전극(GE3)은 제2게이트배선(GL2)의 일부로 구성될 수 있다.
- [0087] 여기서, 게이트전극(GE3) 하부에 위치하는 제2게이트절연막(122)은, 평면적으로 게이트전극(GE3)과 동일한 형상을 갖도록 형성될 수 있다. 이에 따라, 제2게이트절연막(122)은, 제2반도체층(SEMo)의 제2채널(ChO)을 덮고 제2소스부(So) 및 제2드레인부(Do)는 노출되도록 형성될 수 있다.
- [0088] 한편, 제2게이트배선(GL2)은, 예를 들면, 초기화트랜지스터(T6)의 게이트전극(GE6)의 일부를 노출하는 게이트콘택홀(CHg6)을 통해 게이트전극(GE6)에 접촉할 수 있다. 이 게이트콘택홀(CHg6)은, 게이트전극(GE6) 상에 위치하는 절연막인 제1층간절연막(131)과 제2버퍼층(112)과 제2게이트절연막(122)에 형성될 수 있다.
- [0089] 제2게이트배선(GL2) 상에는, 실질적으로 전면에 걸쳐 상부 층간절연막인 제2층간절연막(132)이 형성될 수 있다. 제2층간절연막(132)은 산화실리콘( $\text{SiO}_2$ ) 또는 질화실리콘( $\text{SiNx}$ )과 같은 무기 절연물질로 이루어질 수 있다.
- [0090] 제2층간절연막(132) 상에는, 제3금속물질(또는 데이터 금속물질)로 이루어진 데이터배선(DL)과 전원배선(VDL)이 형성될 수 있다. 제3금속물질은 알루미늄(Al), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 니켈(Ni), 텅스텐(W) 또는 이들의 합금을 포함할 수 있다.
- [0091] 그리고, 제2층간절연막(132) 상에는, 제3금속물질로 이루어지며 화소(P)에 구비된 트랜지스터들(T1 내지 T6) 중 적어도 일부의 소스전극과 드레인전극이 형성될 수 있다.
- [0092] 이와 관련하여 예를 들면, 데이터배선(DL)에서 연장되며 제1스위칭트랜지스터(T1)의 제1소스부(Sp)에 접촉하는 소스전극(SE1)이 형성될 수 있다. 여기서, 소스전극(SE1)은 제1스위칭트랜지스터(T1)의 제1소스부(Sp)를 노출하는 소스콘택홀(Chs1)을 통해 제1소스부(Sp)에 접촉할 수 있으며, 이 소스콘택홀(Chs1)은 제1게이트절연막(121)과 제1층간절연막(131)과 제2버퍼층(112)과 제2층간절연막(132)에 형성될 수 있다.
- [0093] 그리고, 전원배선(VDL)에서 연장되며 제1발광제어트랜지스터(T4)의 제1드레인부(Dp)에 접촉하는 드레인전극(DE4)이 형성될 수 있다. 여기서, 드레인전극(DE4)은 제1발광제어트랜지스터(T4)의 제1드레인부(Dp)를 노출하는 드레인콘택홀(Chd4)을 통해 제1드레인부(Dp)에 접촉할 수 있으며, 이 드레인콘택홀(Chd4)은 제1게이트절연막(121)과 제1층간절연막(131)과 제2버퍼층(112)과 제2층간절연막(132)에 형성될 수 있다.
- [0094] 또한, 제2스위칭트랜지스터(T3)의 제2소스부(So)에 이를 노출하는 소스콘택홀(Chs3)을 통해 접촉하는 소스전극(SE3)과, 제2드레인부(Do)에 이를 노출하는 드레인콘택홀(Chd3)을 통해 접촉하는 드레인전극(DE3)이 형성될 수 있다. 이와 같은 소스콘택홀(Chs3) 및 드레인콘택홀(Chd3)은, 제2층간절연막(132)에 형성될 수 있다.
- [0095] 여기서, 제2스위칭트랜지스터(T3)의 소스전극(SE3)은 제1노드(N1)에 접속되는 것으로서 구동트랜지스터(T2)의 제1드레인부(Dp)에 이를 노출하는 드레인콘택홀(Chd2)을 통해 접촉하도록 연장되어 형성될 수 있다. 이와 같은 드레인콘택홀(Chd2)은 제1게이트절연막(121)과 제1층간절연막(131)과 제2버퍼층(112)과 제2층간절연막(132)에 형성될 수 있다.
- [0096] 그리고, 제2스위칭트랜지스터(T3)의 드레인전극(DE3)은 제2노드(N2)에 접속되는 것으로서 구동트랜지스터(T2)의 게이트전극(GE2)에 이를 노출하는 게이트콘택홀(CHg2)을 통해 접촉하도록 연장되어 형성될 수 있다. 이와 같은 게이트콘택홀(CHg2)은 제1층간절연막(131)과 제2버퍼층(112)과 제2층간절연막(132)에 형성될 수 있다.
- [0097] 한편, 제2스위칭트랜지스터(T3)의 드레인전극(DE3)은 제2노드(N2)에 접속된 스토리지 커패시터(Cst)의 일전극 일례로 제1전극으로 기능할 수 있다.
- [0098] 또한, 제2층간절연막(132) 상에는, 제3금속물질로 이루어진 제2백셀드접속패턴(BSP2)이 형성될 수 있다. 제2백셀드접속패턴(BSP2)은, 일단에서 제1백셀드접속패턴(BSP1)에 이를 노출하는 제1백셀드접속콘택홀(CHb2)을 통해 접촉하고 타단에서 제1스위칭트랜지스터(T1)의 제1드레인부(Dp)에 이를 노출하는 제2백셀드접속콘택홀(CHb3)을 통해 접촉하도록 형성될 수 있다. 제1백셀드접속콘택홀(CHb2)은 제1층간절연막(131)과 제2버퍼층(112)과 제2층간절연막(132)에 형성될 수 있다. 제2백셀드접속콘택홀(CHb3)은 제1게이트절연막(121)과 제1층간절연막(131)과 제2버퍼층(112)과 제2층간절연막(132)에 형성될 수 있다.

- [0099] 또한, 제2층간절연막(132) 상에는, 제3금속물질로 이루어진 연결패턴(CP)과 패드패턴(PP)이 형성될 수 있다.
- [0100] 연결패턴(CP)은 제4노드(N4)에 접속되는 것으로서 초기화트랜지스터(T6)의 제1드레인부(Dp)에 이를 노출하는 드레인콘택홀(CHd6)을 통해 접촉하도록 형성될 수 있다. 이와 같은 드레인콘택홀(CHd6)은 제1게이트절연막(121)과 제1층간절연막(131)과 제2버퍼층(112)과 제2층간절연막(132)에 형성될 수 있다.
- [0101] 패드패턴(PP)은 초기화트랜지스터(T6)의 제1소스부(Sp)에 이를 노출하는 소스콘택홀(CHs6)을 통해 접촉하도록 형성될 수 있다. 이와 같은 소스콘택홀(CHs6)은 제1게이트절연막(121)과 제1층간절연막(131)과 제2버퍼층(112)과 제2층간절연막(132)에 형성될 수 있다.
- [0102] 데이터배선(DL) 및 전원배선(VDL) 상에는, 실질적으로 전면에 걸쳐 보호층(140)이 형성될 수 있다. 보호층(140)은 산화실리콘( $\text{SiO}_2$ ) 또는 질화실리콘( $\text{SiN}_x$ )과 같은 무기 절연물질로 이루어질 수 있다.
- [0103] 보호층(140) 상에는 제4금속물질로 이루어진 초기화배선(IL)이 형성될 수 있다. 제3금속물질은 알루미늄(Al), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 니켈(Ni), 텅스텐(W) 또는 이들의 합금을 포함할 수 있다.
- [0104] 초기화배선(IL)은 패드패턴(PP)에 이를 노출하는 패드콘택홀(CHpp)을 통해 연결될 수 있으며, 패드콘택홀(CHpp)은 보호층(140)에 형성될 수 있다.
- [0105] 그리고, 보호층(140) 상에는 제4금속물질로 이루어진 스토리지전극(STE)이 형성될 수 있다. 스토리지전극(STE)은 제4노드(N4)에 접속되어 스토리지 커패시터(Cst)의 타전극인 제2전극으로 기능할 수 있다.
- [0106] 이와 같은 스토리지전극(STE)은 보호층(140)을 사이에 두고 스토리지 커패시터(Cst)의 제1전극으로 기능하는 제2스위칭트랜지스터(T3)의 드레인전극(DE3)과 대향하도록 배치될 수 있다. 한편, 스토리지전극(STE)은, 구동트랜지스터(T2)의 게이트콘택홀(CHg2)을 덮지 않도록 즉 게이트콘택홀(CHg2)과는 비중첩되는 형태로 형성될 수 있는데, 이에 한정되지는 않는다.
- [0107] 스토리지전극(STE)은, 제4노드(N4)의 연결패턴(CP)에 이를 노출하는 연결패턴콘택홀(CHcp)을 통해 연결될 수 있으며, 이 연결패턴콘택홀(CHcp)은 보호층(140)에 형성될 수 있다.
- [0108] 스토리지전극(STE) 상에는, 실질적으로 전면에 걸쳐 평탄화층(145)이 형성될 수 있다. 평탄화층(145)은 기판(101) 면을 실질적으로 평탄화하는 기능을 하는 것으로서, 포토 아크릴이나 벤조사이클로부텐과 같은 유기 절연물질로 이루어질 수 있다.
- [0109] 한편, 도 4에 도시한 바와 같이, 평탄화층(145) 상에는, 각 화소(P)에 발광다이오드(OD)가 형성될 수 있다.
- [0110] 발광다이오드(OD)는 하부의 제1전극(151)과, 제1전극(153) 상의 발광층(153)과, 발광층(153) 상에 실질적으로 기판(101) 전면에 걸쳐 형성된 제2전극(155)을 포함할 수 있다. 여기서, 제1전극(151)은 애노드로 기능하고, 제2전극(155)은 캐소드로 기능할 수 있다.
- [0111] 한편, 제1전극(151) 상에는 이의 가장자리를 덮는 बैं크(152)가 형성될 수 있다. बैं크(152)는 각 화소(P)의 경계를 따라 형성될 수 있다.
- [0112] 한편, 본 실시예에서는, 제2스위칭트랜지스터(T3)의 드레인전극(DE3)과, 이 하부에 위치하는 구동트랜지스터(T2)의 제1반도체층(SEMp)의 LDD부(LD) 사이에 위치하며 적어도 LDD부(LD)를 가리는(또는 덮는) 차폐패턴(SHP)을 형성할 수 있다.
- [0113] 이와 관련하여 예를 들면, 차폐패턴(SHP)은, 제2게이트배선(GL2) 및 제2스위칭트랜지스터(T3)의 게이트전극(GE2)과 동일한 제2금속물질로 이들과 동일층에 형성될 수 있다.
- [0114] 한편, 차폐패턴(SHP) 하부에는 제2게이트절연막(122)과 동일물질로 이루어진 절연패턴(123)이 형성될 수 있으며, 이 절연패턴(123)은 차폐패턴(SHP)과 평면적으로 동일한 형상으로 형성될 수 있다.
- [0115] 이와 같은 차폐패턴(SHP)은, 실질적으로 구동트랜지스터(T2)의 LDD부(LD) 전체를 가리도록 배치될 수 있다.
- [0116] 그리고, 차폐패턴(SHP)은 제4노드(N4)에 접속되어 제4노드(N4)의 전압을 차폐전압으로 인가받을 수 있다.
- [0117] 이와 관련하여, 제3금속물질로 이루어지며 제4노드(N4)에 해당 드레인콘택홀(CHd6)을 통해 접속되는 연결패턴(CP)은 차폐패턴(SHP)에 전기적으로 연결될 수 있으며, 이와 같은 연결패턴(CP)을 통해 차폐패턴(SHP)은 제4노드(N4)에 접속될 수 있다.

- [0118] 이에 대해, 제4노드(N4)에 접속되는 초기화트랜지스터(T6)의 제1드레인부(Dp)에 드레인콘택홀(CHd6)을 통해 접속된 연결패턴(CP)은, 차폐패턴(SHP)의 상부로 연장된다.
- [0119] 이때, 연결패턴(CP) 하부에 위치하는 차폐패턴(SHP)의 일부는 차폐패턴콘택홀(CHsh)을 통해 노출될 수 있는데, 차폐패턴(SHP)과 연결패턴(CP) 사이에 위치하는 절연막인 제2층간절연막(132)에 차폐패턴콘택홀(CHsh)이 형성될 수 있다.
- [0120] 이에 따라, 연결패턴(CP)은 차폐패턴콘택홀(CHsh)을 통해 차폐패턴(SHP)과 접촉할 수 있게 된다.
- [0121] 위와 같이, 본 실시예에서는 제1반도체층(SEMp)의 LDD부(LD) 상에서 이를 가리도록 차폐패턴(SHP)이 형성될 수 있다.
- [0122] 이와 같은 차폐패턴(SHP)은, 제2노드(N2)에서 구동트랜지스터(T2)의 게이트전극(GE2)에 접속되어 이의 게이트전압을 인가받는 제2스위칭트랜지스터(T3)의 드레인전극(DE3)으로부터 이 하부 방향으로 LDD부(LDp)를 향해 발생되는 전계를 차단할 수 있게 된다.
- [0123] 이에 따라, 구동트랜지스터(T2)의 게이트전압에 의한 전계가 LDD부(LD)에 작용함에 따라 구동트랜지스터의 킹크 효과가 악화되는 현상을 개선할 수 있게 된다.
- [0124] 따라서, 킹크 효과 악화에 의해 스테인 무라 등과 같이 화질이 저하되는 것을 개선할 수 있게 된다.
- [0125] 이와 관련하여 구동트랜지스터의 소스-드레인 전압(VDS)에 대한 소스-드레인 전류(IDS)의 실험 결과 그래프를 도시한 도 5를 참조할 수 있다. 도 5에 도시된 바와 같이, 게이트전압에 의한 전계가 LDD부에 인가되는 종래 구조에 비해, 본 실시예의 전계 차폐 구조에서 킹크 효과가 개선됨을 확인할 수 있다.
- [0126] 더욱이, 본 실시예의 차폐패턴(SHP)은, 구동트랜지스터(T2)의 폴리실리콘으로 이루어진 제1반도체층(SEMp)의 제1드레인부(Dp)를 가리도록 연장되어 형성될 수 있다.
- [0127] 이와 관련하여, 도 3 및 4를 참조하여 보면, 제2노드(N2)에 접속되는 제2스위칭트랜지스터(T3)의 드레인전극(DE3)은, 이 하부에 위치하는 구동트랜지스터(T2)의 제1반도체층(SEMp)의 제1드레인부(Dp)와 일부 중첩될 수 있다.
- [0128] 이와 같이 중첩된 경우에, 제1드레인부(Dp)가 접속된 제1노드(N1)와, 제2스위칭트랜지스터(T3)의 드레인전극(DE3)이 접속된 제2노드(N2) 간에 기생용량이 발생하게 된다. 즉, 구동트랜지스터(T2)의 제1드레인부(Dp)와 게이트전극(GE2) 간에 기생용량이 발생하게 된다.
- [0129] 이와 같은 구동트랜지스터(T2)의 게이트-드레인 기생용량으로 인해 부정형 얼룩 등이 발생하여 화질이 저하될 수 있다.
- [0130] 이에 대해, 본 실시예에서는, 차폐패턴(SHP)이 제2스위칭트랜지스터(T3)의 드레인전극(DE3)과 중첩되는 구동트랜지스터(T2)의 제1드레인부(Dp)의 중첩 부분을 가릴 수 있도록 형성될 수 있다.
- [0131] 이에 따라, 드레인전극(DE3)과 이 하부에 위치하는 제1드레인부(Dp)의 중첩 부분 사이의 전계가 차폐되어, 제1노드(N1)와 제2노드(N2) 간의 게이트-드레인 기생용량이 감소될 수 있게 된다. 따라서, 게이트-드레인 기생용량으로 인한 부정형 얼룩 등이 개선되어 화질이 개선될 수 있다.
- [0132] 한편, 차폐패턴(SHP)은 구동트랜지스터(T2)의 게이트전극(GE2)과 일부 중첩되도록 연장되어 형성될 수도 있다.
- [0133] 아래 [표 1] 및 [표 2]는 본 실시예의 차폐패턴 적용 구조에 따른 얼룩 개선 효과에 대한 실험 결과를 나타내고 있다.

표 1

[0134]		제1노드 및 제2노드 간의 기생용량에 따른 얼룩 민감도(%)
	종래	5.43%
	실시예	2.29%

표 2

[0135]		종래	실시예
	수율	44.0%	49.33%

세로줄얼룩	4.33%	2.67%
전면세로줄얼룩	0.33%	0.33%
백점얼룩	4.00%	0.67%
몽글이얼룩	9.00%	8.33%
흑백부정형 얼룩	3.67%	0.00%
스테인 무라	9.33%	0.00%

- [0136] [표 1]을 참조하여 보면, 종래에 비해 본 실시예의 경우 제1노드(N1) 및 제2노드(N2) 간의 기생용량이 감소되므로, 기생용량에 따른 얼룩 민감도가 개선됨을 확인할 수 있다. 즉, 얼룩 민감도는 그 값이 높을 수록 얼룩에 민감해져 그 발생이 높아지는 것으로서, 본 실시예는 낮은 얼룩 민감도를 갖게 됨을 확인할 수 있다.
- [0137] 그리고, [표 2]는 300개의 종래 구조의 표시장치 및 본 실시예 구조의 표시장치에 대한 실험 결과로서, 종래에 비해 본 실시예에서는 다양한 얼룩에 대한 발생 비율이 감소되며, 이에 따라 수율이 향상됨을 확인할 수 있다. 특히, 흑백부정형 얼룩과 스테인 무라는 발생률이 0%로 얼룩 개선 효과가 극대화됨을 확인할 수 있다.
- [0138] <제2실시예>
- [0139] 전술한 제1실시예에서는, 제2스위칭트랜지스터의 게이트전극과 동일물질인 제2금속물질로 차폐패턴을 형성하는 경우를 예로 들어 설명하였다.
- [0140] 이와 달리, 제2실시예에서는 상부 반도체층인 산화물 반도체로 이루어진 제2반도체층으로 차폐패턴을 형성할 수 있다.
- [0141] 이와 관련하여 도 6을 참조하여 아래에서 설명한다. 도 6은 본 발명의 제2실시예에 따른 전계발광표시장치의 일부를 도시한 단면도로서, 제1실시예의 도 4와 동일한 부분에 대한 단면도이다.
- [0142] 한편, 설명의 편의를 위해, 본 실시예에서는 제1실시예와 동일 유사한 구성에 대해 구체적인 설명을 생략할 수 있다.
- [0143] 도 6을 참조하면, 본 실시예에서는, 제2스위칭트랜지스터(T3)의 드레인전극(DE3)과, 이 하부에 위치하는 구동트랜지스터(T2)의 제1반도체층(SEMp)의 LDD부(LD) 사이에 적어도 LDD부(LD)를 가리는 차폐패턴(SHPo)을 형성할 수 있다.
- [0144] 여기서, 차폐패턴(SHPo)은, 제2스위칭트랜지스터(T3)의 제2반도체층(SEMo)과 동일한 물질인 산화물 반도체로 형성될 수 있다.
- [0145] 이때, 차폐패턴(SHPo)은 전계 차폐 기능을 수행할 수 있도록 도전성의 산화물 반도체로 형성될 수 있다. 즉, 제2반도체층(SEMo)의 소스부(So) 및 드레인부(Do)와 동일하게 도전 특성을 갖도록 형성될 수 있다.
- [0146] 이와 같은 차폐패턴(SHPo) 상에는 제2게이트절연막(122)과 동일물질로 이루어진 절연패턴은 형성되지 않을 수 있으며, 이에 따라 산화물 반도체의 차폐패턴(SHPo)은 제2스위칭트랜지스터(T3)의 게이트전극(GE3) 상의 절연막인 제2층간절연막과 직접 접촉하도록 형성될 수 있다.
- [0147] 본 실시예의 차폐패턴(SHPo)은, 제1실시예의 차폐패턴(SHP)과 평면적으로 동일한 형상과 크기로 형성될 수 있다.
- [0148] 이와 같은 차폐패턴(SHPo)은, 실질적으로 구동트랜지스터(T2)의 LDD부(LD) 전체를 가리도록 배치될 수 있다.
- [0149] 그리고, 차폐패턴(SHPo)은 제4노드(N4)에 접속되어 제4노드(N4)의 전압을 차폐전압으로 사용할 수 있다.
- [0150] 이와 관련하여, 제1실시예의 도 3 및 4를 함께 참조하여 살펴보면, 제3금속물질로 이루어지며 제4노드(N4)에 해당 드레인콘택홀(CHd6)을 통해 접속되는 연결패턴(CP)은 차폐패턴(SHPo)에 전기적으로 연결될 수 있으며, 이와 같은 연결패턴(CP)을 통해 차폐패턴(SHPo)은 제4노드(N4)에 접속될 수 있다.
- [0151] 이에 대해, 제4노드(N4)에 접속되는 초기화트랜지스터(T6)의 제1드레인부(Dp)에 드레인콘택홀(CHd6)을 통해 접속된 연결패턴(CP)은, 차폐패턴(SHPo)의 상부로 연장된다.
- [0152] 이때, 연결패턴(CP) 하부에 위치하는 차폐패턴(SHPo)의 일부는 차폐패턴콘택홀(CHsh)을 통해 노출될 수 있는데, 차폐패턴(SHPo)과 연결패턴(CP) 사이에 위치하는 절연막인 제2층간절연막(132)에 차폐패턴콘택홀(CHsh)이 형성될 수 있다.

- [0153] 이에 따라, 연결패턴(CP)은 차폐패턴콘택홀(CHsh)을 통해 차폐패턴(SHPo)과 접촉할 수 있게 된다.
- [0154] 위와 같이, 본 실시예에서는 LDD부(LD) 상에서 이를 가리도록 차폐패턴(SHPo)이 형성될 수 있다.
- [0155] 이와 같은 차폐패턴(SHPo)은, 제2노드(N2)에서 구동트랜지스터(T2)의 게이트전극(GE2)에 접속되어 이의 게이트 전압을 인가받는 제2스위칭트랜지스터(T3)의 드레인전극(DE3)으로부터 이 하부 방향으로 LDD부(LD)를 향해 발생되는 전계를 차단할 수 있게 된다.
- [0156] 이에 따라, 구동트랜지스터(T2)의 게이트전압에 의한 전계가 LDD(LD)에 작용함에 따라 구동트랜지스터의 킹크 효과가 악화되는 현상을 개선할 수 있게 된다.
- [0157] 따라서, 킹크 효과 악화에 의해 스테인 무라 등과 같이 화질이 저하되는 것을 개선할 수 있게 된다.
- [0158] 더욱이, 본 실시예의 차폐패턴(SHPo)은, 구동트랜지스터(T2)의 폴리실리콘으로 이루어진 제1반도체층(SEMp)의 제1드레인부(Dp)를 가리도록 연장되어 형성될 수 있다.
- [0159] 이와 관련하여, 제2노드(N2)에 접속되는 제2스위칭트랜지스터(T3)의 드레인전극(DE3)은, 이 하부에 위치하는 구동트랜지스터(T2)의 제1반도체층(SEMp)의 제1드레인부(Dp)와 일부 중첩될 수 있다.
- [0160] 이와 같이 중첩된 경우에, 제1드레인부(Dp)가 접속된 제1노드(N1)와, 제2스위칭트랜지스터(T3)의 드레인전극(DE3)이 접속된 제2노드(N2) 간에 기생용량이 발생하게 된다. 즉, 구동트랜지스터(T2)의 제1드레인부(Dp)와 게이트전극(GE2) 간에 기생용량이 발생하게 된다.
- [0161] 이와 같은 구동트랜지스터(T2)의 게이트-드레인 기생용량으로 인해 부정형 얼룩 등이 발생하여 화질이 저하될 수 있다.
- [0162] 이에 대해, 본 실시예에서는, 차폐패턴(SHPo)이 제2스위칭트랜지스터(T3)의 드레인전극(DE3)과 중첩되는 구동트랜지스터(T2)의 제1드레인부(Dp)의 중첩 부분을 가릴 수 있도록 형성될 수 있다.
- [0163] 이에 따라, 드레인전극(DE3)과 이 하부에 위치하는 제1드레인부(Dp)의 중첩 부분 사이의 전계가 차폐되어, 제1노드(N1)와 제2노드(N2) 간의 게이트-드레인 기생용량이 감소될 수 있게 된다. 따라서, 게이트-드레인 기생용량으로 인한 부정형 얼룩 등이 개선되어 화질이 개선될 수 있다.
- [0164] 전술한 바와 같이, 본 발명의 실시예들에 따르면, 산화물 반도체층을 구비한 스위칭트랜지스터의 드레인전극과 이 하부에 위치하는 구동트랜지스터의 폴리실리콘 반도체층의 LDD부 사이에, LDD부를 가리며 스위칭트랜지스터의 게이트전극이나 산화물 반도체층으로 이루어진 차폐패턴을 형성하게 된다.
- [0165] 이에 따라, 구동트랜지스터의 게이트전압에 의한 전계가 LDD부에 작용함에 의해 구동트랜지스터의 킹크 효과가 악화되는 현상을 개선할 수 있게 되므로, 킹크 효과 악화에 따른 얼룩이 개선되어 화질이 개선될 수 있게 된다.
- [0166] 더욱이, 차폐패턴은 구동트랜지스터 반도체층의 드레인부를 가리도록 연장되어 형성될 수 있다.
- [0167] 이에 따라, 구동트랜지스터의 게이트-드레인 기생용량이 감소될 수 있게 되어, 게이트-드레인 기생용량에 따른 얼룩이 개선되어 화질이 개선될 수 있다.
- [0168] 전술한 본 발명의 실시예는 본 발명의 일례로서, 본 발명의 정신에 포함되는 범위 내에서 자유로운 변형이 가능하다. 따라서, 본 발명은, 첨부된 특허청구범위 및 이와 등가되는 범위 내에서의 본 발명의 변형을 포함한다.

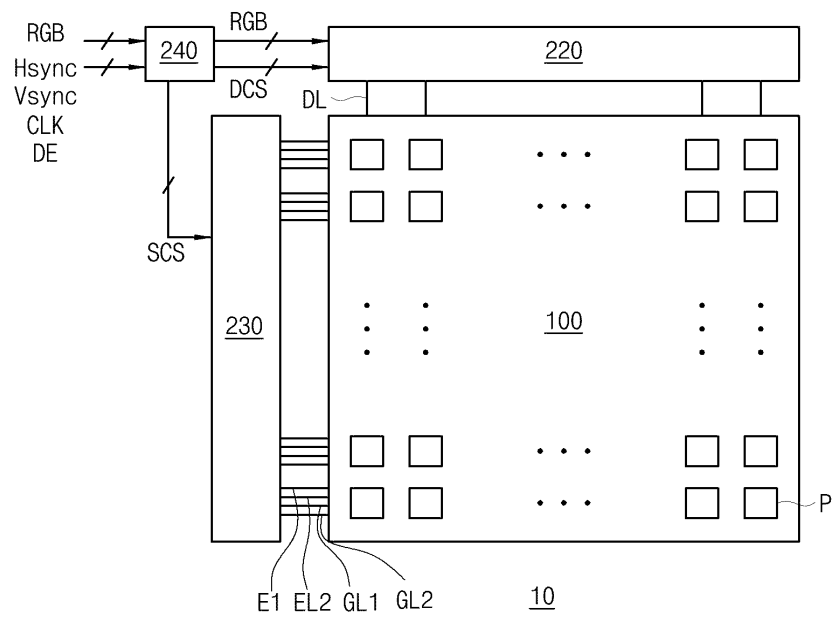
### 부호의 설명

- [0169] 10: 전계발광 표시장치 100: 표시패널
- 101: 기판 111: 제1버퍼층
- 112: 제2버퍼층 115: 절연막
- 121: 제1게이트절연막 122: 제2게이트절연막
- 123: 절연패턴 131: 제1층간절연막
- 132: 제2층간절연막 140: 보호층
- 145: 평탄화층 151: 제1전극

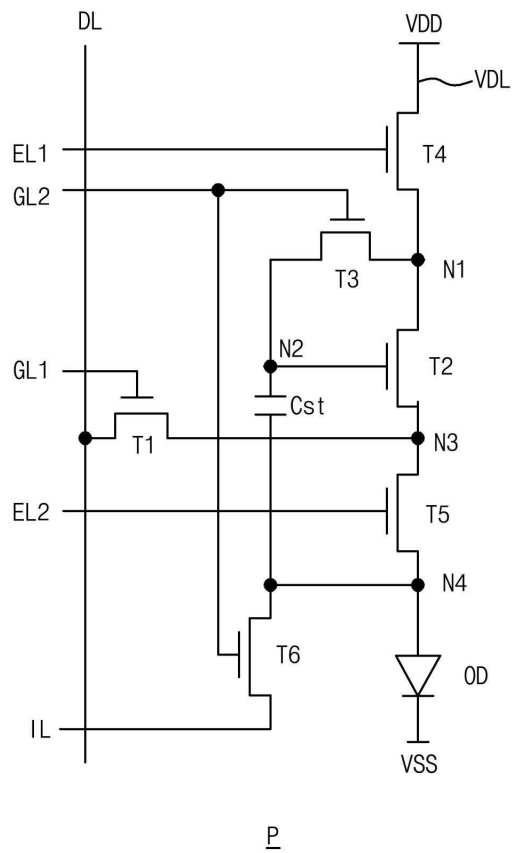
152: 뱅크      153: 발광층  
155: 제2전극    220: 데이터 구동회로  
230: 스캔 구동회로    240: 타이밍 제어회로  
P: 화소  
T1: 제1스위칭트랜지스터  
T2: 구동트랜지스터  
T3: 제2스위칭트랜지스터  
T4: 제1발광제어트랜지스터  
T5: 제2발광제어트랜지스터  
T6: 초기화트랜지스터  
Cst: 스토리지 커패시터  
OD: 발광다이오드  
SEMp: 제1반도체층  
SEMo: 제2반도체층  
CHp: 제1채널부  
CHo: 제2채널부  
Sp,Dp: 제1소스부 및 제1드레인부  
So,Do: 제2소스부 및 제2드레인부  
LD: LDD부  
GE2: 구동트랜지스터의 게이트전극  
DE3: 제2스위칭트랜지스터의 드레인전극  
SE3: 제2스위칭트랜지스터의 소스전극  
SHP: 차폐패턴  
STE: 스토리지전극

도면

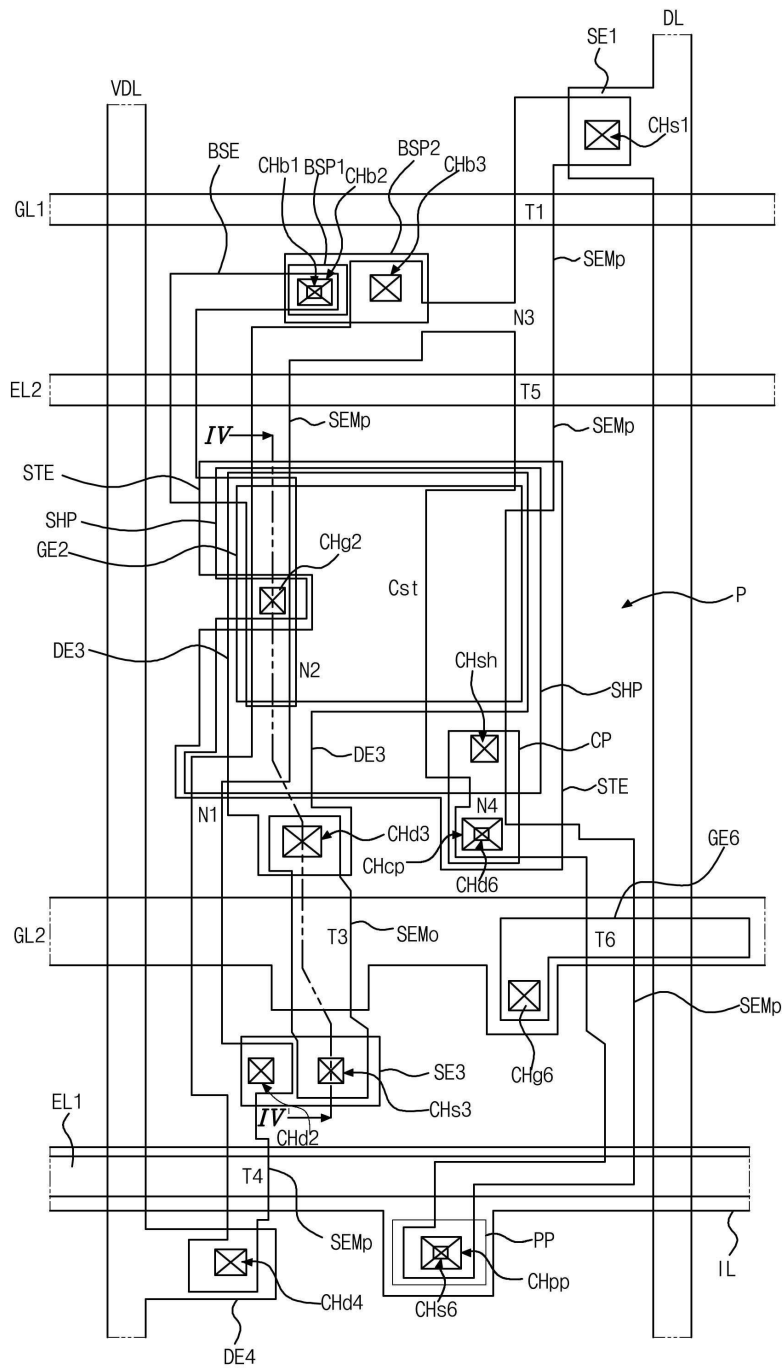
도면1



도면2

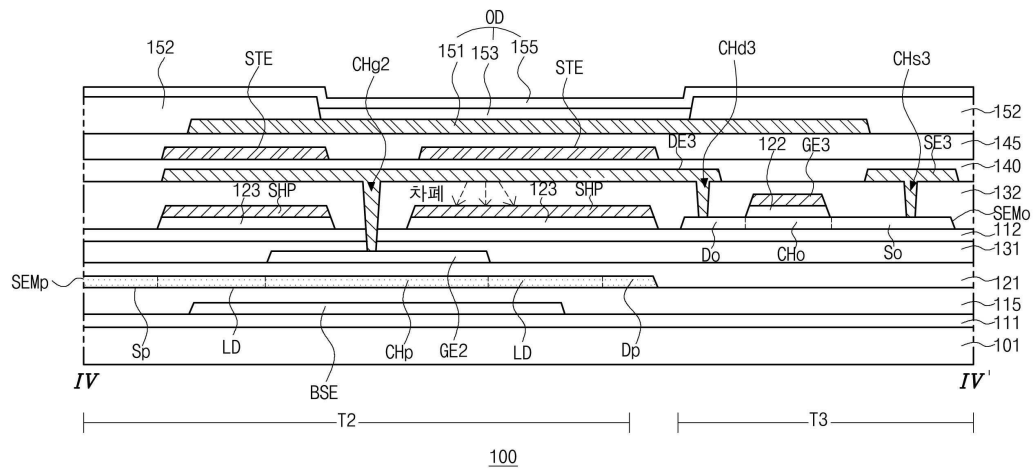


도면3

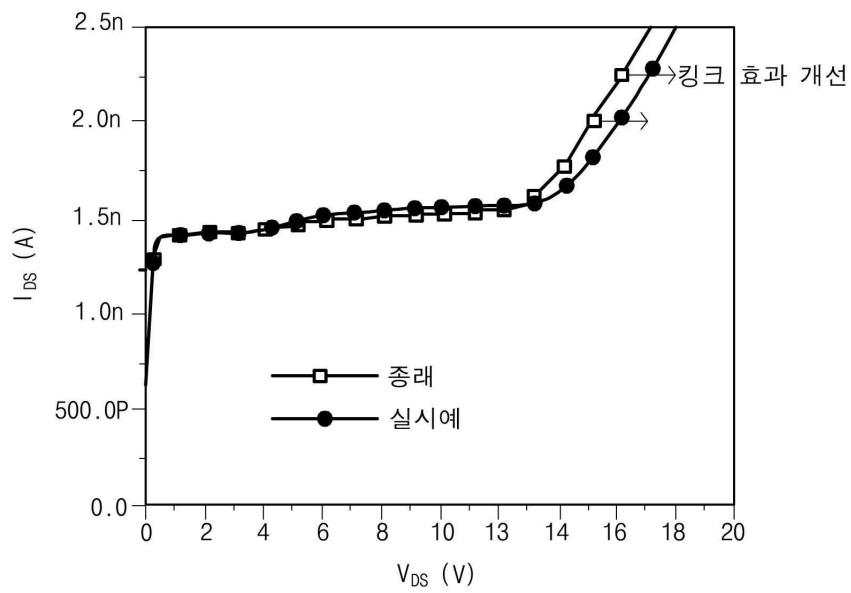


101

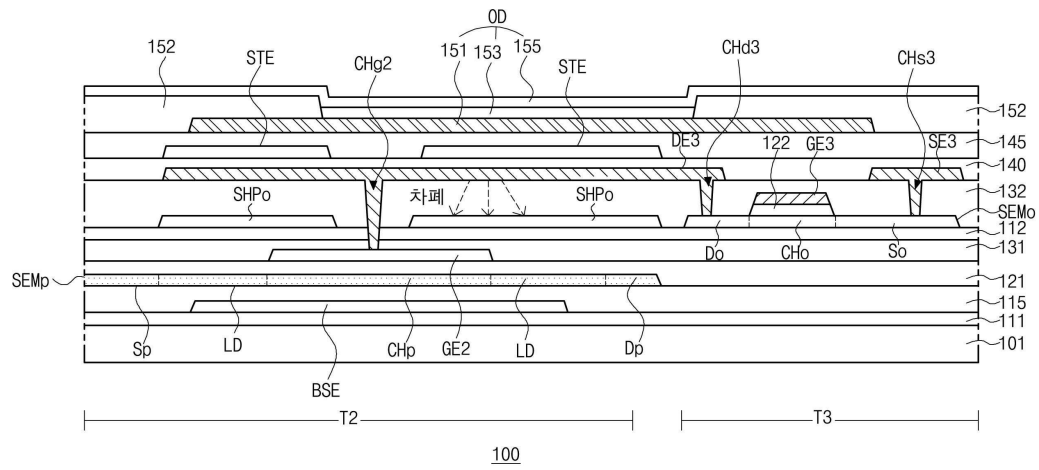
도면4



도면5



도면6



专利名称(译)	电致发光显示装置		
公开(公告)号	<a href="#">KR1020200080890A</a>	公开(公告)日	2020-07-07
申请号	KR1020180170845	申请日	2018-12-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	임현수 김기우 황예진		
发明人	임현수 김기우 황예진		
IPC分类号	H01L27/12 H01L27/15		
CPC分类号	H01L27/124 H01L27/156		

# 摘要(译)

本发明由在第一沟道部分,第一源极部分和第一漏极部分以及第一源极部分和第一漏极部分以及第一沟道部分中的每一个之间的基板上的N型多晶硅形成。一种驱动薄膜晶体管,其具有:第一半导体层,其包括LDD部分;和第一栅电极,其位于与第一沟道部分相对应的第一半导体层上;由氧化物半导体形成的第二半导体层位于驱动薄膜晶体管的栅电极上,包括第二沟道部分,第二源极部分和第二漏极部分,以及在第二半导体层上的第二半导体层 开关晶体管,其特征在于,具有:与所述沟道部相对应地配置的第二栅电极;以及连接所述第一栅电极和所述第二漏部的漏电极。电致发光包括布置在开关晶体管的漏极和第一半导体层之间,覆盖LDD部分并且由与第二栅电极相同的材料或与第二源极部分相同的材料形成的屏蔽图案。提供了一种显示装置。

