



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0064427
(43) 공개일자 2020년06월08일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01) G09G 3/3208 (2016.01)

H01L 51/50 (2006.01)

(52) CPC특허분류

H01L 27/3218 (2013.01)

G09G 3/3208 (2013.01)

(21) 출원번호 10-2018-0150545

(22) 출원일자 2018년11월29일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

백흥일

경기도 파주시 월롱면 엘지로 245

유호진

경기도 파주시 월롱면 엘지로 245

(74) 대리인

네이트특허법인

전체 청구항 수 : 총 14 항

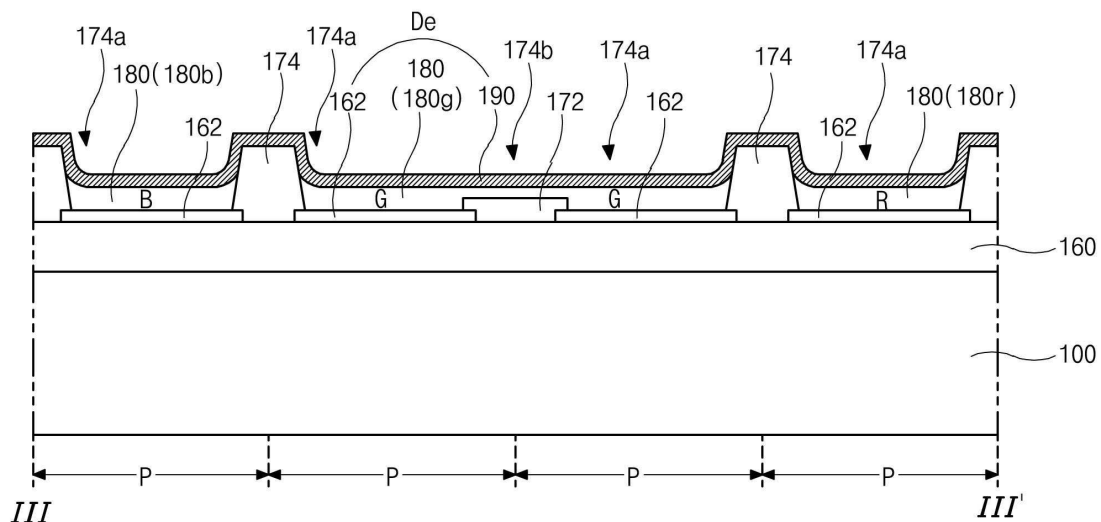
(54) 발명의 명칭 전계발광 표시장치

(57) 요약

본 발명의 전계발광 표시장치는 기관과; 상기 기관에 제1 및 제2 방향을 따라 배열된 다수의 부화소와; 상기 다수의 부화소 각각에 위치하며, 제1 전극과 발광층 및 제2 전극을 포함하는 발광 다이오드를 포함하고, n번째(n은 자연수) 행의 m번째(m은 4보다 큰 자연수) 열의 부화소는 (n+1)번째 행의 (m-1)번째 열의 부화소와 동일한 색을 가지며, 상기 n번째 행의 k번째(k는 m보다 작거나 같은 자연수) 열의 부화소는 상기 n번째 행의 (k-2)번째 열의 부화소와 동일한 색을 가진다.

이에 따라, 용액 공정으로 발광층 형성 시, 노즐 간의 편차에 의한 화질 저하를 방지할 수 있다.

대 표 도 - 도3



(52) CPC특허분류

H01L 27/3244 (2013.01)

H01L 51/50 (2013.01)

명세서

청구범위

청구항 1

기관과;

상기 기관에 제1 및 제2 방향을 따라 배열된 다수의 부화소와;

상기 다수의 부화소 각각에 위치하며, 제1 전극과 발광층 및 제2 전극을 포함하는 발광 다이오드를 포함하고,

n 번째(n 은 자연수) 행의 m 번째(m 은 4보다 큰 자연수) 열의 부화소는 $(n+1)$ 번째 행의 $(m-1)$ 번째 열의 부화소와 동일한 색을 가지며,

상기 n 번째 행의 k 번째(k 는 m 보다 작거나 같은 자연수) 열의 부화소는 상기 n 번째 행의 $(k-2)$ 번째 열의 부화소와 동일한 색을 가지는 전계발광 표시장치.

청구항 2

제1항에 있어서,

상기 n 번째 행의 k 번째 열의 부화소와 $(k-1)$ 번째 열의 부화소 및 $(k-3)$ 번째 열의 부화소는 서로 다른 색을 가지는 전계발광 표시장치.

청구항 3

제2항에 있어서,

상기 n 번째 행의 k 번째 열의 부화소와 $(k-2)$ 번째 열의 부화소는 녹색 부화소이며, 상기 $(k-1)$ 번째 열의 부화소와 상기 $(k-3)$ 번째 열의 부화소 중 하나는 적색 부화소이고, 나머지 하나는 청색 부화소인 전계발광 표시장치.

청구항 4

제1항에 있어서,

상기 n 번째 행의 m 번째 열의 부화소에 위치하는 발광층과 상기 $(n+1)$ 번째 행의 $(m-1)$ 번째 열의 부화소에 위치하는 발광층은 서로 연결되는 전계발광 표시장치.

청구항 5

제1항에 있어서,

상기 제1 전극의 가장자리를 덮으며, 동일한 색의 부화소 사이에 형성되는 제1 बैं크와;

상기 제1 전극의 가장자리를 덮으며, 서로 다른 색을 가지는 부화소 사이에 형성되는 제2 बैं크를 더 포함하는 전계발광 표시장치.

청구항 6

제1항에 있어서,

상기 제1 뱅크는 상기 제1 방향을 따라 연장되고, 상기 제2 방향을 따라 인접한 부화소 사이에 위치하며,

상기 제2 뱅크는 상기 다수의 부화소 각각에 대응하는 제1 개구부와, 상기 n 번째 행의 m 번째 열의 부화소 및 상기 $(n+1)$ 번째 행의 $(m-1)$ 번째 열의 부화소 사이에 대응하는 제2 개구부를 가지는 전계발광 표시장치.

청구항 7

제6항에 있어서,

상기 제2 개구부는 상기 n 번째 행의 m 번째 열의 부화소에 대응하는 제1 개구부와 상기 $(n+1)$ 번째 행의 $(m-1)$ 번째 열의 부화소에 대응하는 제1 개구부를 연결하는 전계발광 표시장치.

청구항 8

제6항에 있어서,

상기 제1 개구부는 상기 제1 전극을 노출하고, 상기 제2 개구부는 상기 제1 뱅크를 노출하는 전계발광 표시장치.

청구항 9

제8항에 있어서,

상기 발광층은 노출된 상기 제1 전극 및 상기 제1 뱅크 상부에 형성되는 전계발광 표시장치.

청구항 10

제5항에 있어서,

상기 제1 뱅크는 소수성 특성을 가지며, 상기 제2 뱅크는 친수성 특성을 가지는 전계발광 표시장치.

청구항 11

표시영역과 비표시영역이 정의된 기판과;

상기 기판에 제1 및 제2 방향을 따라 배열되는 다수의 부화소

를 포함하고,

n 번째(n 은 자연수) 행의 m 번째(m 은 4보다 큰 자연수) 열의 부화소는 $(n+1)$ 번째 행의 $(m-1)$ 번째 열의 부화소와 동일한 색의 발광층을 가지며,

상기 n 번째 행의 k 번째(k 는 m 보다 작거나 같은 자연수) 열의 부화소는 상기 n 번째 행의 $(k-2)$ 번째 열의 부화소와 동일한 색의 발광층을 가지는 전계발광 표시장치.

청구항 12

제11항에 있어서,

상기 표시영역의 동일한 색의 발광층을 가지는 부화소 사이에 형성되는 제1 뱅크를 더 포함하는 전계발광 표시장치.

청구항 13

제12항에 있어서,

상기 표시영역 및 상기 비표시영역의 서로 다른 색의 발광층을 가지는 부화소 사이에 형성되는 제2 뱅크를 더 포함하는 전계발광 표시장치.

청구항 14

제13항에 있어서,

상기 제2 뱅크는 상기 다수의 부화소 각각에 대응하는 제1 개구부와, 상기 n번째 행의 m번째 열의 부화소 및 상기 (n+1)번째 행의 (m-1)번째 열의 부화소 사이에 대응하는 제2 개구부를 가지는 전계발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 전계발광 표시장치에 관한 것으로, 특히, 대면적 및 고해상도를 갖는 전계발광 표시장치에 관한 것이다.

배경 기술

[0003] 평판표시장치 중 하나인 전계발광 표시장치(Electroluminescent Display Device)는 자체 발광형이기 때문에 액정표시장치(Liquid Crystal Display Device)에 비해 시야각 등이 우수하며, 백라이트가 필요하지 않기 때문에 경량 및 박형이 가능하고, 소비전력 측면에서도 유리하다.

[0004] 또한, 전계발광 표시장치는 직류 저전압 구동이 가능하고 응답속도가 빠르며, 전부 교체이기 때문에 외부충격에 강하고 사용 온도 범위도 넓으며, 특히 제조비용 측면에서도 저렴한 장점을 가지고 있다.

[0005] 전계발광 표시장치는 적, 녹, 청색 부화소로 구성된 다수의 화소를 포함하며, 적, 녹, 청색 부화소를 선택적으로 발광시켜 다양한 컬러 영상을 표시한다.

[0006] 적, 녹, 청색 부화소는 각각 적, 녹, 청색 발광층을 포함하며, 각 발광층은 미세 금속 마스크(fine metal mask)를 이용하여 발광물질을 선택적으로 증착하는 진공 열 증착(vacuum thermal evaporation) 공정을 통해 형성된다.

[0007] 그러나, 이러한 증착 공정은 마스크 구비 등에 의해 제조 비용을 증가시키며, 마스크의 제작 편차와, 처짐, 웨도우 효과(shadow effect) 등에 의해 대면적 및 고해상도 표시장치에 적용하기 어려운 문제가 있다.

발명의 내용

해결하려는 과제

[0009] 본 발명은, 상기한 문제점을 해결하기 위하여 제시된 것으로, 대면적 및 고해상도를 갖는 전계발광 표시장치를 제공하고자 한다.

과제의 해결 수단

[0011] 상기의 목적을 달성하기 위하여, 본 발명의 전계발광 표시장치는 기판과; 상기 기판에 제1 및 제2 방향을 따라 배열된 다수의 부화소와; 상기 다수의 부화소 각각에 위치하며, 제1 전극과 발광층 및 제2 전극을 포함하는 발광 다이오드를 포함하고, n번째(n은 자연수) 행의 m번째(m은 4보다 큰 자연수) 열의 부화소는 (n+1)번째 행의

($m-1$)번째 열의 부화소와 동일한 색을 가지며, 상기 n 번째 행의 k 번째(k 는 m 보다 작거나 같은 자연수) 열의 부화소는 상기 n 번째 행의 ($k-2$)번째 열의 부화소와 동일한 색을 가진다.

- [0012] 상기 n 번째 행의 k 번째 열의 부화소와 ($k-1$)번째 열의 부화소 및 ($k-3$)번째 열의 부화소는 서로 다른 색을 가진다.
- [0013] 상기 n 번째 행의 k 번째 열의 부화소와 ($k-2$)번째 열의 부화소는 녹색 부화소이며, 상기 ($k-1$)번째 열의 부화소와 상기 ($k-3$)번째 열의 부화소 중 하나는 적색 부화소이고, 나머지 하나는 청색 부화소이다.
- [0014] 상기 n 번째 행의 m 번째 열의 부화소에 위치하는 발광층과 상기 ($n+1$)번째 행의 ($m-1$)번째 열의 부화소에 위치하는 발광층은 서로 연결된다.
- [0015] 본 발명의 전계발광 표시장치는 상기 제1 전극의 가장자리를 덮으며, 동일한 색의 부화소 사이에 형성되는 제1 बैं크와; 상기 제1 전극의 가장자리를 덮으며, 서로 다른 색을 가지는 부화소 사이에 형성되는 제2 बैं크를 더 포함한다.
- [0016] 상기 제1 बैं크는 상기 제1 방향을 따라 연장되고, 상기 제2 방향을 따라 인접한 부화소 사이에 위치하며, 상기 제2 बैं크는 상기 다수의 부화소 각각에 대응하는 제1 개구부와, 상기 n 번째 행의 m 번째 열의 부화소 및 상기 ($n+1$)번째 행의 ($m-1$)번째 열의 부화소 사이에 대응하는 제2 개구부를 가진다.
- [0017] 상기 제2 개구부는 상기 n 번째 행의 m 번째 열의 부화소에 대응하는 제1 개구부와 상기 ($n+1$)번째 행의 ($m-1$)번째 열의 부화소에 대응하는 제1 개구부를 연결한다.
- [0018] 상기 제1 개구부는 상기 제1 전극을 노출하고, 상기 제2 개구부는 상기 제1 बैं크를 노출한다.
- [0019] 상기 발광층은 노출된 상기 제1 전극 및 상기 제1 बैं크 상부에 형성된다.
- [0020] 상기 제1 बैं크는 소수성 특성을 가지며, 상기 제2 बैं크는 친수성 특성을 진다.
- [0021] 본 발명의 다른 전계발광 표시장치는 표시영역과 비표시영역이 정의된 기판과; 상기 기판에 제1 및 제2 방향을 따라 배열되는 다수의 부화소를 포함하고, n 번째(n 은 자연수) 행의 m 번째(m 은 4보다 큰 자연수) 열의 부화소는 ($n+1$)번째 행의 ($m-1$)번째 열의 부화소와 동일한 색의 발광층을 가지며, 상기 n 번째 행의 k 번째(k 는 m 보다 작거나 같은 자연수) 열의 부화소는 상기 n 번째 행의 ($k-2$)번째 열의 부화소와 동일한 색의 발광층을 가진다.
- [0022] 본 발명의 다른 전계발광 표시장치는 상기 표시영역의 동일한 색의 발광층을 가지는 부화소 사이에 형성되는 제1 बैं크를 더 포함한다.
- [0023] 또한, 본 발명의 다른 전계발광 표시장치는 상기 표시영역 및 상기 비표시영역의 서로 다른 색의 발광층을 가지는 부화소 사이에 형성되는 제2 बैं크를 더 포함한다.
- [0024] 상기 제2 बैं크는 상기 다수의 부화소 각각에 대응하는 제1 개구부와, 상기 n 번째 행의 m 번째 열의 부화소 및 상기 ($n+1$)번째 행의 ($m-1$)번째 열의 부화소 사이에 대응하는 제2 개구부를 가진다.

발명의 효과

- [0026] 본 발명에서는, 각 부화소의 발광층을 용액 공정에 의해 형성함으로써, 마스크를 생략하여 제조 비용을 줄일 수 있으며, 대면적 및 고해상도를 갖는 표시장치를 구현할 수 있다.
- [0027] 또한, 적색 및 청색 부화소의 수를 녹색 부화소의 수의 1/2로 하여 전체 부화소 수를 줄여 고개구율을 확보하고 유효 해상도를 높일 수 있다.
- [0028] 또한, 동일 색의 부화소가 서로 연결되도록 배치하여 동일 색의 부화소 간의 발광층을 일체로 형성함으로써, 노즐 간의 적하량 편차를 최소화할 수 있으며, 각 부화소에 형성되는 박막 두께를 균일하게 할 수 있다. 이에 따라, 얼룩(mura)을 방지하여 표시장치의 화질 저하를 막을 수 있다.

도면의 간단한 설명

- [0030] 도 1은 본 발명의 제1 실시예에 따른 전계발광 표시장치의 화소 배치를 개략적으로 도시한 도면이다.

도 2는 본 발명의 제2 실시예에 따른 전계발광 표시장치의 화소 배치를 개략적으로 도시한 도면이다.

도 3은 본 발명의 제2 실시예에 따른 전계발광 표시장치의 개략적인 단면도이다.

도 4는 본 발명의 제2 실시예에 따른 다른 예의 전계발광 표시장치의 화소 배치를 개략적으로 도시한 도면이다.

도 5는 본 발명의 제2 실시예에 따른 전계발광 표시장치의 하나의 부화소에 대한 등가회로도이다.

도 6은 본 발명의 제2 실시예에 따른 전계발광 표시장치의 하나의 부화소에 인가되는 다수의 신호를 개략적으로 도시한 타이밍도이다.

도 7은 본 발명의 제2 실시예에 따른 전계발광 표시장치의 하나의 부화소에 대한 개략적 평면도이다.

도 8은 본 발명의 제2 실시예에 따른 전계발광 표시장치의 하나의 부화소에 대한 개략적인 단면도이다.

도 9는 본 발명의 제3 실시예에 따른 전계발광 표시장치의 화소 배치를 개략적으로 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0031] 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 따른 전계발광 표시장치에 대하여 상세히 설명한다.
- [0032] <제1 실시예>
- [0033] 도 1은 본 발명의 제1 실시예에 따른 전계발광 표시장치의 화소 배치를 개략적으로 도시한 도면이다.
- [0034] 도 1에 도시한 바와 같이, 본 발명의 제1 실시예에 따른 전계발광 표시장치는 적, 녹, 청색 부화소(R, G, B)를 포함하고, 적, 녹, 청색 부화소(R, G, B)는 펜타일(pentile) 형태로 배열된다.
- [0035] 보다 상세하게, 본 발명의 제1 실시예에 따른 전계발광 표시장치에서는, 적색 및 청색 부화소(R, B)가 동일 열에서 번갈아 배치되고, 이에 인접한 열에는 녹색 부화소(G)가 배치된다. 여기서, 하나의 열에서 적색 및 청색 부화소(R, B)의 배치 순서는 다음 열에서 적색 및 청색 부화소(R, B)의 배치 순서와 반대이다.
- [0036] 일반적으로, 전계발광 표시장치의 적, 녹, 청색 부화소는 동일 색의 부화소가 일 방향을 따라 배치되는 스트라이프(stripe) 형태로 배열된다. 그러나, 이러한 스트라이프 배열은 표시장치의 해상도가 높아질수록 개구율이 저하되는 문제가 있다.
- [0037] 그런데, 펜타일 형태의 배치에서는 적색 및 청색 부화소(R, B)의 수가 녹색 부화소(G)의 수의 1/2이 된다. 이에 따라, 전체 부화소의 수가 스트라이프 형태의 배치에 비해 2/3로 줄어들게 되므로 고개구율을 확보할 수 있으며, 렌더링(rendering) 구동을 통해 부화소의 개수 대비 유효 해상도를 높일 수 있다.
- [0038] 한편, 본 발명의 제1 실시예에 따른 전계발광 표시장치에서 적, 녹, 청색 부화소(R, G, B)의 발광층은 용액 공정(soluble process)에 의해 형성된다. 이에 따라, 미세 금속 마스크를 생략하여 제조 비용을 줄일 수 있으며, 대면적 및 고해상도를 갖는 표시장치를 구현할 수 있다.
- [0039] 이러한 용액 공정을 이용하여 각 발광층을 형성하는 경우, 한 번에 다수의 부화소 각각에 용액이 적하(drop)되며, 이를 위해 각 부화소에는 서로 다른 노즐이 사용된다. 그런데, 노즐 간의 적하량 편차에 따라 각 부화소에 형성되는 박막 두께의 편차가 발생하게 된다. 이로 인해, 노즐의 스캔 방향으로 얼룩(mura)이 발생하며, 표시장치의 화질이 저하된다.
- [0041] 이러한 얼룩을 방지하여 화질 저하를 막을 수 있는 본 발명의 제2 실시예에 따른 전계발광 표시장치에 대해 도 2를 참조하여 상세히 설명한다.
- [0042] <제2 실시예>
- [0043] 도 2는 본 발명의 제2 실시예에 따른 전계발광 표시장치의 화소 배치를 개략적으로 도시한 도면이다.
- [0044] 도 2에 도시한 바와 같이, 본 발명의 제2 실시예에 따른 전계발광 표시장치는 적, 녹, 청색 부화소(R, G, B)를 포함하며, 동일 색의 부화소(R, G, B)가 대각 방향을 따라 배치되고 서로 연결된다.
- [0045] 보다 상세하게, 녹, 청색 부화소(R, G, B)는 각각 적, 녹, 청색 발광층을 포함하는 것으로, 적, 녹, 청색 부화소(R, G, B)는 매트릭스 형태로 배치되어 있으며, n번째(n은 자연수) 행의 m번째(m은 4보다 큰 자연수) 열의 부화소(G)와, (n+1)번째 행의 (m-1)번째 열의 부화소(G), (n+2)번째 행의 (m-2)번째 열의 부화소(G), 그리고

(n+3)번째 행의 (m-3)번째 열의 부화소(G)는 동일 색, 즉, 녹색을 가진다.

- [0046] 이때, n번째 행과 (n+2)번째 행에서, m번째 열의 부화소(G)와 (m-2)번째 부화소(G)는 동일한 녹색을 가지며, (n+1)번째 행과 (n+3)번째 행에서 (m-1)번째 열의 부화소(G)와 (m-3)번째 열의 부화소(G)는 동일한 녹색을 가진다. 다시 말하면, 각 행에서 k번째(k는 m보다 작거나 같은 자연수) 열의 부화소(G)는 (k-2)번째 열의 부화소(G)와 동일한 녹색을 가진다.
- [0047] 또한, n번째 행의 (m-1)번째 열의 부화소(B)와, (n+1)번째 행의 (m-2)번째 열의 부화소(B), (n+2)번째 행의 (m-3)번째 열의 부화소(B), 그리고 (n+3)번째 행의 m번째 열의 부화소(B)는 동일 색, 즉, 청색을 가지며, n번째 행의 (m-3)번째 열의 부화소(R)와, (n+1)번째 행의 m번째 열의 부화소(R), (n+2)번째 행의 (m-1)번째 열의 부화소(R), 그리고 (n+3)번째 행의 (m-2)번째 열의 부화소(R)는 동일 색, 즉, 적색을 가진다.
- [0048] 이러한 적, 녹, 청색 부화소(R, G, B)의 배치는 도시된 구성에 한정되지 않는다. 즉, 제2 실시예에 따른 규칙을 만족하는 한, n번째 행의 m번째 열에 적색 부화소(R)가 배치되거나 청색 부화소(B)가 배치될 수도 있다.
- [0049] 또한, 본 발명의 제2 실시예에서는 적색 및 청색 부화소(R, B)의 수가 녹색 부화소(G)의 수의 1/2이나, 이에 제한되지 않는다. 즉, 필요에 따라, 녹색 및 청색 부화소(G, B)의 수가 적색 부화소(R)의 수의 1/2이거나, 적색 및 녹색 부화소(R, G)의 수가 청색 부화소(B)의 수의 1/2일 수 있다.
- [0050] 이러한 본 발명의 제2 실시예에 따른 화소 구조는 बैं크의 구성에 의해 구현될 수 있다.
- [0051] 보다 상세하게, 본 발명의 제2 실시예에 따른 बैं크는 제1 बैं크(172)와 제2 बैं크(174)를 포함한다.
- [0052] 제1 बैं크(172)는 제1 방향을 따라 연장되어 형성되며, 제2 방향을 따라 인접한 부화소(R, G, B) 사이에 위치한다.
- [0053] 제2 बैं크(174)는 제1 개구부(174a)와 제2 개구부(174b)를 포함하고, 제1 방향을 따라 인접한 부화소(R, G, B) 사이 및 제2 방향을 따라 인접한 부화소(R, G, B) 사이에 위치한다. 제1 개구부(174a)는 각 부화소(R, G, B)에 대응하여 위치하고, 제2 개구부(174b)는 인접한 동일 색의 부화소(R, G, B) 사이에 위치하며, 인접한 동일 색의 부화소(R, G, B)에 대응하는 제1 개구부(174a)를 연결한다. 이에 따라, 제2 बैं크(174)는 각 색별로 동일 색의 부화소(R, G, B)에 대응하여 대각 방향을 따라 연결된 개구부를 가지게 되고, 적, 녹, 청색 발광층(도시하지 않음) 각각은 제1 및 제2 개구부(174a, 174b) 내에 연결되어 형성된다.
- [0054] 이러한 본 발명의 제2 실시예에 따른 전계발광 표시장치의 단면 구조에 대해 도 3을 참조하여 설명한다.
- [0055] 도 3은 본 발명의 제2 실시예에 따른 전계발광 표시장치의 개략적인 단면도로, 도 2의 III-III"선에 대응하는 단면을 도시한다.
- [0056] 도 3에 도시한 바와 같이, 다수의 부화소 영역(P)이 정의된 기판(100) 상에 오버코트층(160)이 형성되고, 오버코트층(160) 상의 부화소 영역(P) 각각에는 제1 전극(162)이 형성된다.
- [0057] 도시하지 않았지만, 기판(100)과 오버코트층(160) 사이에는 하나 이상의 박막트랜지스터와 커패시터 및 절연층이 형성될 수 있다.
- [0058] 제1 전극(162) 상에는 제1 बैं크(172)와 제2 बैं크(174)가 형성되어, 제1 전극(162)의 가장자리를 덮는다. 제1 बैं크(172)는 친수성 특성을 갖는 물질, 일례로, 산화 실리콘(SiO_2)이나 질화 실리콘(SiN_x)과 같은 무기절연물질로 형성될 수 있다. 이와 달리, 제1 बैं크(172)는 폴리이미드로 형성될 수도 있다. 또한, 제2 बैं크(174)는 소수성 특성을 갖는 유기절연물질로 형성될 수 있다. 이와 달리, 제2 बैं크(174)는 친수성 특성을 갖는 유기절연물질로 형성되고 소수성 처리될 수도 있다.
- [0059] 여기서, 제1 बैं크(172)는 동일 색의 부화소 영역(P) 사이에 형성되고, 제2 बैं크(174)는 서로 다른 색의 부화소 영역(P) 사이에 형성된다. 제1 बैं크(172)는 친수성 특성을 갖고, 제2 बैं크(174)는 소수성 특성을 가지며, 제2 बैं크(174)의 두께가 제1 बैं크(172)의 두께보다 두껍다.
- [0060] 한편, 제2 बैं크(174)는 제1 및 제2 개구부(174a, 174b)를 가진다. 제1 개구부(174a)는 각 부화소 영역(P)에 대응하여 형성되고, 제1 전극(162)을 노출한다. 제2 개구부(174b)는 인접한 동일 색의 부화소 영역(P) 사이, 즉, 녹색 부화소(G) 사이에 대응하여 형성되고, 인접한 동일 색의 부화소 영역(P)에 대응하는 제1 개구부(174a)를 연결하며, 제1 बैं크(172)를 노출한다.
- [0061] 각 부화소 영역(P)의 제2 बैं크(174)의 제1 개구부(174a)를 통해 노출된 제1 전극(162) 상부에는 발광층(180)이

형성된다. 여기서, 적색 부화소(R)에는 적색 발광층(180r)이 형성되고, 녹색 부화소(G)에는 녹색 발광층(180g)이 형성되며, 청색 부화소(B)에는 청색 발광층(180b)이 형성된다.

[0062] 또한, 도시한 바와 같이, 인접한 동일 색의 부화소 영역(P) 사이, 즉, 녹색 부화소(G) 사이에서 제2 बैं크(174)의 제2 개구부(174b)를 통해 노출된 제1 बैं크(172) 상부에도 녹색 발광층(180g)이 형성된다. 이때, 제1 बैं크(172) 상부의 녹색 발광층(180b)은 인접한 녹색 부화소(G)의 제1 전극(162) 상부의 녹색 발광층(180b)과 연결된다.

[0063] 이러한 발광층(180)은 용액 공정을 통해 형성된다. 이때, 동일 색의 부화소, 일례로, 녹색 부화소(G)는 서로 연결되어 있으므로, 서로 다른 노즐을 통해 각 부화소(G)에 적하된 용액은 서로 연결되며, 이에 따라, 노즐 간의 적하량 편차를 최소화하여, 각 부화소(G)에 형성되는 박막 두께를 균일하게 할 수 있다.

[0064] 다음, 발광층(180) 및 제2 बैं크(174) 상부에는 제2 전극(190)이 형성된다.

[0065] 제1 전극과 발광층(180) 및 제2 전극(190)은 발광 다이오드(De)를 구성한다.

[0066] 이와 같이, 본 발명의 제2 실시예에 따른 전계발광 표시장치에서는, 적색 및 청색 부화소(R, B)의 수를 녹색 부화소(G)의 수의 1/2로 하여 전체 부화소 수를 줄여 고개구율을 확보하고 유효 해상도를 높일 수 있다.

[0067] 또한, 동일 색의 부화소(R, G, B)가 서로 연결되도록 배치하여 동일 색의 부화소(R, G, B) 간의 발광층(180)이 서로 연결되어 일체로 형성되도록 함으로써, 노즐 간의 적하량 편차를 최소화할 수 있으며, 각 부화소(R, G, B)에 형성되는 박막 두께를 균일하게 할 수 있다. 이에 따라, 얼룩(mura)을 방지하여 표시장치의 화질 저하를 막을 수 있다.

[0069] 한편, 도 2에서는 (m-3)번째 열과 (m-2)번째 열, (m-1)번째 열, 그리고 m열이 좌측으로부터 순차적으로 배치되는 것으로 설명하였으나, m개의 열의 배치는 달라질 수 있다.

[0070] 도 4는 본 발명의 제2 실시예에 따른 다른 예의 전계발광 표시장치의 화소 배치를 개략적으로 도시한 도면이다.

[0071] 도 4의 화소 배치는 도 2의 화소 배치와 좌우 방향의 순서에서 차이가 있을 뿐 실질적으로 동일한 구성을 가지며, 동일 부분에 대해 동일 부호를 부여하고 이에 대한 설명은 생략한다.

[0072] 도 4에 도시한 바와 같이, 본 발명의 제2 실시예에 따른 다른 예의 전계발광 표시장치는 적, 녹, 청색 부화소(R, G, B)를 포함하며, 동일 색의 부화소가 대각 방향을 따라 배치되고 서로 연결된다.

[0073] 이때, (m-3)번째 열과 (m-2)번째 열, (m-1)번째 열, 그리고 m열은 우측으로부터 순차적으로 배치되고, 각 부화소(R, G, B)의 수 및 동일 색의 부화소(R, G, B)의 배치 순서는 도 2의 배치 순서와 동일하다.

[0075] 도 5는 본 발명의 제2 실시예에 따른 전계발광 표시장치의 하나의 부화소에 대한 등가회로도이다.

[0076] 도 5에 도시한 바와 같이, 본 발명의 제2 실시예에 따른 전계발광 표시장치의 하나의 부화소는 구동 박막트랜지스터(DTr)와 제1 내지 제6 박막트랜지스터(T1 내지 T6), 발광 다이오드(De) 그리고 스토리지 커패시터(Cst)를 포함한다.

[0077] 여기서, 제1 내지 제6 박막트랜지스터(T1 내지 T6)와 구동 박막트랜지스터(DTr)는 전하를 옮기는 캐리어로 정공(hole)이 사용되는 p형 박막트랜지스터이다. 그러나, 본 발명은 이에 제한되지 않으며, 제1 내지 제6 박막트랜지스터(T1 내지 T6)와 구동 박막트랜지스터(DTr)는 전하를 옮기는 캐리어로 자유전자가 사용되는 n형 박막트랜지스터일 수 있다.

[0078] 보다 상세하게, 제1 박막트랜지스터(T1)의 게이트는 n번째(n은 자연수) 스캔신호(Scan(n))를 전달하는 n번째 스캔 배선에 연결되고, 제1 박막트랜지스터(T1)의 소스는 제1 노드(N1)에 연결되며, 제1 박막트랜지스터(T1)의 드레인에는 제2 노드(N2)에 연결된다. 제2 박막트랜지스터(T2)의 게이트는 n번째 스캔 배선에 연결되고, 제2 박막트랜지스터(T2)의 소스는 데이터 전압(Vdata)을 공급하는 데이터 배선에 연결되며, 제2 박막트랜지스터(T2)의 드레인에는 제3 노드(N3)에 연결된다. 제3 박막트랜지스터(T3)의 게이트는 발광 제어 신호(EM(n))를 전달하는 발광 제어 배선에 연결되고, 제3 박막트랜지스터(T3)의 소스는 고전위 전압(VDD)을 공급하는 고전위 배선에 연결되며, 제3 박막트랜지스터(T3)의 드레인에는 제3 노드(N3)에 연결된다. 제4 박막트랜지스터(T4)의 게이트는 발광 제어 배선에 연결되고, 제4 박막트랜지스터(T4)의 소스는 제2 노드(N2)에 연결되며, 제4 박막트랜지스터

(T4)의 드레인은 제4 노드(N4)에 연결된다. 제5 박막트랜지스터(T5)의 게이트는 (n-1)번째 스캔 신호(Scan(n-1))를 전달하는 (n-1)번째 스캔 배선에 연결되고, 제5 박막트랜지스터(T5)의 소스는 초기화 전압(Vinit)을 공급하는 초기화 배선에 연결되며, 제5 박막트랜지스터(T5)의 드레인은 제1 노드(N1)에 연결된다. 제6 박막트랜지스터(T6)의 게이트는 (n-1)번째 스캔 배선에 연결되고, 제6 박막트랜지스터(T6)의 소스는 초기화 배선에 연결되며, 제6 박막트랜지스터(T6)의 드레인은 제4 노드(N4)에 연결된다.

[0079] 또한, 구동 박막트랜지스터(DTr)의 게이트는 제1 노드(N1)에 연결되고, 구동 박막트랜지스터(DTr)의 소스는 제3 노드(N3)에 연결되며, 구동 박막트랜지스터(DTr)의 드레인은 제2 노드(N2)에 연결된다.

[0080] 한편, 스토리지 커패시터(Cst)의 제1 커패시터 전극은 제1 노드(N1)에 연결되고, 제2 커패시터 전극은 고전위 배선에 연결된다. 또한, 발광 다이오드(De)의 애노드는 제4 노드(N4)에 연결되고, 발광 다이오드(De)의 캐소드는 접지와 연결된다. 이와 달리, 발광 다이오드(De)의 캐소드는 저전위 전압(VSS)을 공급하는 저전위 배선에 연결될 수도 있다.

[0081] 이에 따라, 제1 노드(N1)에는 구동 박막트랜지스터(DTr)의 게이트와, 제1 박막트랜지스터(T1)의 소스, 제5 박막트랜지스터(T5)의 드레인, 그리고 스토리지 커패시터(Cst)의 제1 커패시터 전극이 접속되고, 제2 노드(N2)에는 구동 박막트랜지스터(DTr)의 드레인과, 제1 박막트랜지스터(T1)의 드레인, 그리고 제4 박막트랜지스터(T4)의 소스가 접속되며, 제3 노드(N3)에는 구동 박막트랜지스터(DTr)의 소스와, 제2 박막트랜지스터(T2)의 드레인, 그리고 제3 박막트랜지스터(T3)의 드레인이 접속되고, 제4 노드(N4)에는 제4 박막트랜지스터(T4)의 드레인과, 제6 박막트랜지스터(T6)의 드레인, 그리고 발광 다이오드(De)의 애노드가 접속된다.

[0082] 스토리지 커패시터(Cst)는 구동 박막트랜지스터(DTr)의 게이트 전압과 문턱전압(Vth)을 다음 프레임까지 저장하여 유지한다.

[0084] 이러한 본 발명의 제2 실시예에 따른 전계발광 표시장치의 구동에 대해 도 6을 참조하여 설명한다.

[0085] 도 6은 본 발명의 제2 실시예에 따른 전계발광 표시장치의 하나의 부화소에 인가되는 다수의 신호를 개략적으로 도시한 타이밍도로, 한 프레임(frame)을 도시한다.

[0086] 도 6에 도시한 바와 같이, 한 프레임(F1)은 제1, 제2 및 제3 구간(t1, t2, t3)을 포함한다. 여기서, 제1 구간(t1)은 센싱 구간(sensing period)이고, 제2 구간(t2)은 프로그래밍 구간(programming period)이며, 제3 구간(t3)은 발광 구간(light-emitting period)이다. 여기서, 제1 구간(t1)은 초기화(initializing) 단계를 포함할 수 있다.

[0087] 제1 구간(t1)에서, n번째 스캔 신호(Scan(n))와 발광 제어 신호(EM(n))는 하이 레벨(high level)을 가진다. 이에 따라, 제1 내지 제4 박막트랜지스터(T1 내지 T4)는 턴오프 상태가 된다.

[0088] 반면, 제1 구간(t1)에서, (n-1)번째 스캔 신호(Scan(n-1))는 하이 레벨을 가지다 로우 레벨(low level)을 가지며, (n-1)번째 스캔 신호(Scan(n-1))가 로우 레벨을 가질 때, 제5 및 제6 박막트랜지스터(T5, T6)는 턴온 상태가 된다. 이에 따라, 초기화 전압(Vinit)은 제5 박막트랜지스터(T5)를 통해 제1 노드(N1)에 인가되고 제6 박막트랜지스터(T6)를 통해 제4 노드(N4)에 인가되어, 제1 및 제4 노드(N1, N4)는 초기화 전압(Vinit)이 된다. 이어, (n-1)번째 스캔 신호(Scan(n-1))는 하이 레벨을 가져 제5 및 제6 박막트랜지스터(T5, T6)는 턴오프 상태가 된다.

[0089] 다음, 제2 구간(t2)에서, 발광 제어 신호(EM(n))는 하이 레벨을 가지며, 제3 및 제4 박막트랜지스터(T3, T4)는 턴오프 상태를 유지한다.

[0090] 반면, 제2 구간(t2)에서, (n-1)번째 스캔 신호(Scan(n-1))는 하이 레벨을 가지다 로우 레벨을 가지며, n번째 스캔 신호(Scan(n))는 로우 레벨을 가지다 하이 레벨을 가진다.

[0091] 보다 상세하게, (n-1)번째 스캔 신호(Scan(n-1))가 하이 레벨을 가질 때, 제5 및 제6 박막트랜지스터(T5, T6)는 턴오프 상태가 되고, n번째 스캔 신호(Scan(n))는 로우 레벨을 가져 제1 및 제2 박막트랜지스터(T1, T2)는 턴온 상태가 된다. 이에 따라, 데이터 전압(Vdata)이 제2 박막트랜지스터(T2)를 통해 제3 노드(N3)에 공급되어 제3 노드(N3)는 데이터 전압(Vdata)이 된다. 또한, 제1 노드(N1)의 초기화 전압(Vinit)은 제1 박막트랜지스터(T1)를 통해 방전되며, 제1 노드(N1)의 전압이 구동 박막트랜지스터(DTr)의 문턱전압(Vth)과 같아질 때까지 방전되어, 제1 노드(N1)는 문턱전압(Vth)이 된다. 이어, n번째 스캔 신호(Scan(n))는 하이 레벨을 가져 제1 및 제2 박막트

랜지스터(T1, T2)는 턴오프 상태가 되고, 제1 노드(N1)의 문턱전압(V_{th})은 스토리지 커패시터(Cst)에 저장된다.

[0092] 다음, (n-1)번째 스캔 신호(Scan(n-1))는 로우 레벨을 질 때, 제5 및 제6 박막트랜지스터(T5, T6)는 턴온 상태가 되고, n번째 스캔 신호(Scan(n))는 하이 레벨을 가져 제1 및 제2 박막트랜지스터(T1, T2)는 턴오프 상태를 유지한다. 이때, 초기화 전압(Vinit)은 제5 박막트랜지스터(T5)를 통해 제1 노드(N1)에 인가되고 제6 박막트랜지스터(T6)를 통해 제4 노드(N4)에 인가된다. 이에 따라, 제1 노드(N1)는 저장된 문턱전압(V_{th})과 인가된 초기화 전압(Vinit)의 합이 되고, 제4 노드(N4)는 초기화 전압(Vinit)이 된다.

[0093] 다음, 제3 구간(t_3)에서, (n-1)번째 스캔 신호(Scan(n-1))는 하이 레벨을 가져 제5 및 제6 박막트랜지스터(T5, T6)는 턴오프 상태가 된다.

[0094] 반면, n번째 스캔 신호(Scan(n))는 로우 레벨을 가지다 하이 레벨을 가지며, 발광 제어 신호(EM(n))는 로우 레벨을 가진다. n번째 스캔 신호(Scan(n))가 로우 레벨을 가질 때, 제2 박막트랜지스터(T2)가 턴온 상태가 되어 데이터 전압(Vdata)이 제3 노드(N3)에 인가되고, 발광 제어 신호(EM(n))가 로우 레벨을 가져 제3 및 제4 박막트랜지스터(T3, T4)가 턴온 상태가 됨으로써, 데이터 전압(Vdata)에 대응하여 발광 다이오드(De)가 발광한다.

[0096] 이러한 본 발명의 제2 실시예에 따른 전계발광 표시장치의 부화소 구조에 대해 도 7 및 도 8을 참조하여 보다 상세히 설명한다.

[0097] 도 7은 본 발명의 제2 실시예에 따른 전계발광 표시장치의 하나의 부화소에 대한 개략적 평면도이다.

[0098] 도 7에 도시한 바와 같이, 제1 방향을 따라 연장된 스캔 배선(122)이 형성된다. 스캔 배선(122)은 서로 이격된 제1 및 제2 스캔 배선(122a, 122b)을 포함한다. 제1 스캔 배선(122a)은 (n-1)번째 스캔 배선에 해당하고, 제2 스캔 배선(122b)은 n번째 스캔 배선에 해당한다. 이러한 스캔 배선(122)은 게이트 배선이라 일컬어질 수도 있다. 여기서, 제2 스캔 배선(122b)은 제2 방향을 따라 연장된 돌출부를 가질 수 있다.

[0099] 또한, 스캔 배선(122)과 동일 물질로 동일 층에 발광 제어 배선(124) 및 제1 커패시터 전극(128)이 형성된다. 발광 제어 배선(124)은 제2 스캔 배선(122b)에 인접하여 위치하고 제2 스캔 배선(122b)과 이격되어 제1 방향을 따라 연장되며, 제1 커패시터 전극(128)은 제2 스캔 배선(122b)과 발광 제어 배선(124) 사이에 위치한다.

[0100] 이어, 제2 커패시터 전극(132) 및 초기화 배선(134)이 스캔 배선(122)과 다른 층에 형성된다. 제2 커패시터 전극(132) 및 초기화 배선(134)은 스캔 배선(122)과 동일 물질로 이루어질 수 있다.

[0101] 제2 커패시터 전극(132)은 제2 스캔 배선(122b)과 발광 제어 배선(124) 사이에 위치하고, 제1 커패시터 전극(128)과 중첩하여 스토리지 커패시터(Cst)를 이루며, 제1 커패시터 전극(128) 상부에 커패시터 홀(132a)을 가진다. 초기화 배선(134)은 제1 스캔 배선(122a)에 인접하여 위치하고 제1 스캔 배선(122a)과 이격되어 제1 방향을 따라 연장된다.

[0102] 다음, 제2 방향을 따라 연장된 데이터 배선(151)과 고전위 배선(152)이 형성된다. 데이터 배선(151) 및 고전위 배선(152)은 스캔 배선(122), 발광 제어 배선(124) 및 초기화 배선(134)과 다른 층에 형성되고, 스캔 배선(122), 발광 제어 배선(124) 및 초기화 배선(134)과 교차한다. 고전위 배선(152)은 제1 및 제2 커패시터 전극(128, 132)과 중첩하며, 제2 커패시터 전극(132)과 전기적으로 연결된다. 데이터 배선(151)은 제1 커패시터 전극(128)과 이격되고 제2 커패시터 전극(132)과 중첩할 수 있다.

[0103] 또한, 데이터 배선(151) 및 고전위 배선(152)과 동일 물질로 동일 층에 제1, 제2, 제3 전극 패턴(154, 156, 158)이 형성된다. 제1 전극 패턴(154)은 제2 스캔 배선(122b)과 중첩하여 교차하고, 제1 및 제2 커패시터 전극(128, 132)과 중첩하며, 제1 커패시터 전극(128)과 전기적으로 연결된다. 제2 전극 패턴(156)은 발광 제어 배선(124)과 중첩하여 교차한다. 제3 전극 패턴(158)은 제1 스캔 배선(122a)과 중첩하여 교차하며, 초기화 배선(134)과도 중첩한다.

[0104] 한편, 반도체층(112)이 제1 및 제2 스캔 배선(122a, 122b), 발광 제어 배선(124), 제1 및 제2 커패시터 전극(128, 132), 초기화 배선(134), 데이터 배선(151), 고전위 배선(152), 그리고 제1, 제2, 제3 전극 패턴(154, 156, 158)과 다른 층에 형성된다. 반도체층(112)은 다수의 부분이 일체로 이루어진 패턴으로 구성될 수 있으며, 제1 및 제2 스캔 배선(122a, 122b), 발광 제어 배선(124), 제1 및 제2 커패시터 전극(128, 132), 초기화 배선(134), 데이터 배선(151), 고전위 배선(152), 그리고 제1, 제2, 제3 전극 패턴(154, 156, 158)과 중첩 및/또는 교차한다. 이러한 반도체층(112)은 제1 내지 제6 박막트랜지스터(T1 내지 T6)와 구동 박막트랜지스터(DTr) 각각

의 액티브층과 소스 및 드레인 영역이 되며, 소스 및 드레인 영역에 대응하여 불순물이 도핑될 수 있다.

- [0105] 여기서, 제2 스캔 배선(122b)에는 제1 박막트랜지스터(T1)와 제2 박막트랜지스터(T2)가 연결되어 온/오프 되고, 발광 제어 배선(124)에는 제3 박막트랜지스터(T3)와 제4 박막트랜지스터(T4)가 연결되어 온/오프 되며, 제1 스캔 배선(122a)에는 제5 박막트랜지스터(T5)와 제6 박막트랜지스터(T6)가 연결되어 온/오프 된다. 이때, 제1 및 제2 스캔 배선(122a, 122b)과 발광 제어 배선(124)의 일부는 제1 내지 제6 박막트랜지스터(T1 내지 T6)의 게이트 전극이 되며, 발광 제어 배선(124)의 일부(126)는 제4 박막트랜지스터(T4)의 게이트 전극이 된다.
- [0106] 또한, 구동 박막트랜지스터(DTr)가 제2 스캔 배선(122b)과 발광 제어 배선(124) 사이에 위치하며, 구동 박막트랜지스터(DTr)는 제1 내지 제5 박막트랜지스터(T1 내지 T5) 및 스토리지 커패시터(Cst)와 연결된다.
- [0107] 한편, 제1 전극(162)이 실질적으로 부화소 영역 전면에 형성되어 제1 내지 제6 박막트랜지스터(T1 내지 T6)와 구동 박막트랜지스터(DTr) 및 스토리지 커패시터(Cst)를 덮는다. 제1 전극(162)은 제4 박막트랜지스터(T4)를 통해 구동 박막트랜지스터(DTr)와 전기적으로 연결된다. 또한, 제1 전극(162)은 데이터 배선(151)과 이격되어 있는 것으로 도시되어 있으나, 이에 제한되지 않는다. 즉, 제1 전극(162)은 데이터 배선(151)과 부분적으로 중첩할 수 있다. 이때, 제1 전극(162)은 데이터 배선(151)의 마주보는 제1 및 제2 변 중 어느 하나와 중첩하고 나머지 하나와 이격되어 있을 수 있다. 이와 달리, 제1 전극(162)은 데이터 배선(151)의 마주보는 제1 및 제2 변 모두와 중첩할 수도 있다.
- [0108] 다음, 제1 방향을 따라 제1 बैं크(172)가 형성된다. 제1 बैं크(172)는 친수성 특성을 가지며, 제2 방향을 따라 인접한 부화소 사이에 위치한다. 이러한 제1 बैं크(172)는 제2 방향을 따라 마주 대하는 제1 전극(162)의 양 가장자리를 덮으며, 제1 전극(162)의 중앙부를 노출한다.
- [0109] 또한, 제1 개구부(174a)와 제2 개구부(174b)를 가지는 제2 बैं크(174)가 형성된다. 제2 बैं크(174)는 소수성 특성을 가지며, 제1 방향을 따라 인접한 부화소 사이 및 제2 방향을 따라 인접한 부화소 사이에 위치한다. 이러한 제2 बैं크(174)는 제1 방향을 따라 마주 대하는 제1 전극(162)의 양 가장자리를 덮는다. 제1 개구부(174a)는 부화소 영역에 대응하여 형성되어 제1 전극(162)의 중앙부를 노출한다. 제2 개구부(174b)는 제1 및 제2 방향과 교차하는 제3 방향을 따라 인접한 부화소영역 사이에 대응하여 형성되고, 제1 बैं크(172)를 노출한다.
- [0110] 제1 및 제2 बैं크(172, 174)를 통해 노출된 제1 전극(162) 상부에는 발광층(도시하지 않음)이 형성된다. 또한, 제2 बैं크(174)의 제2 개구부(174b)를 통해 노출된 제1 बैं크(172) 상부에도 발광층(도시하지 않음)이 형성된다.
- [0111] 다음, 발광층 및 제2 बैं크(174) 상부에는 실질적으로 기판 전면에 제2 전극(도시하지 않음)이 형성된다.
- [0112] 제1 전극(162)과 발광층 및 제2 전극은 발광 다이오드를 구성한다.
- [0114] 도 8은 본 발명의 제2 실시예에 따른 전계발광 표시장치의 하나의 부화소에 대한 개략적인 단면도로, 도 7의 VIII-VIII'선에 대응하는 단면을 도시한다.
- [0115] 도 8에 도시한 바와 같이, 버퍼층(110)이 실질적으로 기판(100) 전면에 형성된다. 기판(100)은 유리기판이나 플라스틱기판일 수 있다. 일례로, 플라스틱 기판으로 폴리이미드가 사용될 수 있으며, 이에 제한되지 않는다.
- [0116] 버퍼층(110)은 산화실리콘(SiO_2)이나 질화 실리콘(SiNx)과 같은 무기물질로 형성될 수 있으며, 단일층 또는 다중층으로 이루어질 수 있다.
- [0117] 버퍼층(110) 상부에는 패터닝된 반도체층(112)이 형성된다. 반도체층(112)은 다결정 실리콘으로 이루어질 수 있으며, 반도체층(112)에는 선택적으로 불순물이 도핑되어 있을 수 있다. 이와 달리, 반도체층(112)은 산화물 반도체 물질로 이루어질 수도 있다.
- [0118] 반도체층(112) 상부에는 절연물질로 이루어진 게이트 절연막(120)이 실질적으로 기판(100) 전면에 형성된다. 게이트 절연막(120)은 산화 실리콘(SiO_2)이나 질화 실리콘(SiNx)과 같은 무기절연물질로 형성될 수 있다. 한편, 반도체층(112)이 산화물 반도체 물질로 이루어질 경우, 게이트 절연막(120)은 산화 실리콘(SiO_2)으로 형성되는 것이 바람직하다.
- [0119] 게이트 절연막(120) 상부에는 금속과 같은 제1 도전성 물질로 이루어진 게이트 전극(126)과 발광 제어 배선(124) 및 제1 커패시터 전극(128)이 형성된다. 여기서, 게이트 전극(126)은 반도체층(112) 상부에 놓이며, 발광

제어 배선(124)의 일부일 수 있다. 또한, 제1 커패시터 전극(128)은 반도체층(112)과 부분적으로 중첩한다.

- [0120] 한편, 게이트 절연막(120) 상부에는 제1 도전성 물질로 제1 및 제2 스캔 배선(도 7의 122a, 122b)이 더 형성된다.
- [0121] 본 발명의 제2 실시예에 따른 전계발광 표시장치에서는 게이트 절연막(120)이 기판(100) 전면에 형성되어 있으나, 게이트 절연막(120)은 게이트 전극(126)과 동일한 모양으로 패턴될 수도 있다.
- [0122] 게이트 전극(126)과 발광 제어 배선(124) 및 제1 커패시터 전극(128) 상부에는 절연물질로 이루어진 제1 절연막(130)이 실질적으로 기판(100) 전면에 형성된다. 제1 절연막(130)은 산화 실리콘(SiO_2)이나 질화 실리콘(SiNx)과 같은 무기절연물질로 형성될 수 있다. 이와 달리, 제1 절연막(130)은 포토 아크릴(photo acryl)이나 벤조사이클로부텐(benzocyclobutene)과 같은 유기절연물질로 형성될 수도 있다.
- [0123] 제1 절연막(130) 상부에는 금속과 같은 제2 도전성 물질로 이루어진 제2 커패시터 전극(132)이 형성된다. 제2 커패시터 전극(132)은 제1 커패시터 전극(128)과 중첩하며, 제1 커패시터 전극(128)에 대응하여 커패시터 홀(132a)을 가진다. 제 1 및 제2 커패시터 전극(128, 132)과 제1 및 제2 커패시터 전극(128, 132) 사이의 제1 절연막(130)은 스토리지 커패시터(Cst)를 이룬다.
- [0124] 또한, 제1 절연막(130) 상부에는 제2 도전성 물질로 초기화 배선(도 7의 134)이 더 형성된다.
- [0125] 제2 커패시터 전극(132) 상부에는 절연물질로 이루어진 제2 절연막(140)이 실질적으로 기판(100) 전면에 형성된다. 제2 절연막(140)은 산화 실리콘(SiO_2)이나 질화 실리콘(SiNx)과 같은 무기절연물질로 형성될 수 있다. 이와 달리, 제2 절연막(140)은 포토 아크릴(photo acryl)이나 벤조사이클로부텐(benzocyclobutene)과 같은 유기절연물질로 형성될 수도 있다.
- [0126] 제2 절연막(140)은 다수의 콘택홀을 가진다. 이때, 다수의 콘택홀은 제2 절연막(140) 하부의 제1 절연막(130) 및/또는 게이트 절연막(120)에도 형성될 수 있다.
- [0127] 일례로, 제2 절연막(140)은 제1 절연막(130) 및 게이트 절연막(120)과 함께 반도체층(112)의 일부를 노출하는 제1 콘택홀(140a)을 가지며, 제1 절연막(130)과 함께 제1 커패시터 전극(128)의 일부를 노출하는 제2 콘택홀(140b)을 가진다. 또한, 제2 절연막(140)은 하부의 제2 커패시터 전극(132)의 일부를 노출하는 제3 콘택홀(140c)을 가진다. 여기서, 제2 콘택홀(140b)은 제2 커패시터 전극(132)의 커패시터 홀(132a) 내에 위치한다.
- [0128] 다음, 제2 절연막(140) 상부에는 금속과 같은 제3 도전성 물질로 이루어진 고전위 배선(152)과 제1 전극 패턴(154) 및 제2 전극 패턴(156)이 형성된다. 고전위 배선(152)은 제3 콘택홀(140c)을 통해 제2 커패시터 전극(132)과 접촉하고, 제1 전극 패턴(154)은 제2 콘택홀(140b)을 통해 제1 커패시터 전극(128)과 접촉하며, 제2 전극 패턴(156)은 제1 콘택홀(140a)을 통해 반도체층(112)과 접촉한다. 여기서, 제2 전극 패턴(156)은 제4 박막트랜지스터(도 7의 T4)의 드레인 전극에 해당한다.
- [0129] 또한, 제2 절연막(140) 상부에는 제3 도전성 물질로 데이터 배선(도 7의 151)과 제3 전극 패턴(158)이 더 형성된다.
- [0130] 이어, 고전위 배선(152)과 제1 전극 패턴(154) 및 제2 전극 패턴(156) 상부에는 절연물질로 제3 절연막인 오버코트층(160)이 실질적으로 기판(100) 전면에 형성된다. 오버코트층(160)은 하부층에 의한 단차를 완화하여 평탄한 상면을 가질 수 있다. 이러한 오버코트층(160)은 포토 아크릴이나 벤조사이클로부텐과 같은 유기절연물질로 형성될 수 있다.
- [0131] 오버코트층(160)은 제2 전극 패턴(156)의 일부를 노출하는 드레인 콘택홀(160a)을 가진다. 드레인 콘택홀(160a)은 제1 콘택홀(140a)과 이격되어 형성될 수 있다. 그러나, 본 발명은 이에 제한되지 않으며, 드레인 콘택홀(160a)은 제1 콘택홀(140a)과 중첩되어 형성될 수도 있다.
- [0132] 다음, 오버코트층(160) 상부에는 비교적 일함수가 높은 도전성 물질로 제1 전극(162)이 형성된다. 제1 전극(162)은 드레인 콘택홀(160a)을 통해 제2 전극 패턴(156)과 접촉한다. 일례로, 제1 전극(162)은 인듐-틴-옥사이드(indium tin oxide: ITO)나 인듐-징크-옥사이드(indium zinc oxide: IZO)와 같은 투명 도전성 물질로 형성될 수 있으며, 이에 제한되지 않는다.
- [0133] 한편, 본 발명의 제2 실시예에 따른 전계발광 표시장치는 발광 다이오드의 빛이 기판(100)과 반대 방향으로 출력되는 상부 발광 방식(top emission type)이다. 이에 따라, 제1 전극(162)은 투명 도전성 물질 하부에 반사율

이 높은 금속 물질로 형성되는 반사전극 또는 반사층을 더 포함할 수 있다. 예를 들어, 반사전극 또는 반사층은 알루미늄-팔라듐-구리(aluminum-paladium-copper: APC) 합금이나 은(Ag)으로 이루어질 수 있다. 이때, 제1 전극(162)은 ITO/APC/ITO나 ITO/Ag/ITO의 3중층 구조를 가질 수 있으며, 이에 제한되지 않는다.

[0134] 제1 전극(162) 상부에는 절연물질로 제1 बैं크(172)가 형성된다. 제1 बैं크(172)는 친수성 특성을 가지며, 제1 전극(162)의 적어도 일 가장자리를 덮는다. 제1 बैं크(172)는 친수성 특성을 갖는 물질, 일례로, 산화 실리콘(SiO_2)이나 질화 실리콘(SiNx)과 같은 무기절연물질로 형성될 수 있다. 이와 달리, 제1 बैं크(172)는 폴리이미드로 형성될 수도 있다.

[0135] 제1 बैं크(172) 상부에는 제2 बैं크(174)가 형성된다. 제2 बैं크(174)는 소수성 특성을 가지며, 도시하지 않았지만, 제1 전극의 적어도 일 가장자리를 덮는다. 또한, 제2 बैं크(174)는 제1 बैं크(172)와 중첩하며 제1 बैं크(172)의 적어도 일 가장자리를 덮을 수 있다. 제2 बैं크(174)는 소수성 특성을 갖는 유기절연물질로 이루어질 수 있다.

[0136] 제2 बैं크(174)는 제1 및 제2 개구부(174a, 174b)를 가진다. 제1 개구부(174a)는 제1 전극(162)을 노출하고, 제2 개구부(174b)는 제1 बैं크(172)를 노출한다.

[0137] 제1 및 제2 개구부(174a, 174b)를 통해 노출된 제1 전극(162)과 제1 बैं크(172) 상부에는 발광층(180)이 형성된다.

[0138] 도시하지 않았지만, 발광층(180)은 제1 전극(162) 및 제1 बैं크(172) 상부로부터 순차적으로 위치하는 제1 전하보조층과, 발광물질층(light-emitting material layer), 그리고 제2 전하보조층을 포함할 수 있다. 발광물질층은 적, 녹, 청색 발광물질 중 어느 하나로 이루어질 수 있으며, 이에 제한되지 않는다. 이러한 발광물질은 인광 화합물 또는 형광화합물과 같은 유기발광물질이거나 양자 점(quantum dot)과 같은 무기발광물질일 수 있다.

[0139] 제1 전하보조층은 정공보조층(hole auxiliary layer)일 수 있으며, 정공보조층은 정공주입층(hole injecting layer: HIL)과 정공수송층(hot transporting layer: HTL) 중 적어도 하나를 포함할 수 있다. 또한, 제2 전하보조층은 전자보조층(electron auxiliary layer)일 수 있으며, 전자보조층은 전자주입층(electron injecting layer: EIL)과 전자수송층(electron transporting layer: ETL) 중 적어도 하나를 포함할 수 있다. 그러나, 본 발명은 이에 제한되지 않는다.

[0140] 여기서, 발광층(180)은 용액 공정을 통해 형성된다. 이에 따라, 공정을 단순화하고 대면적 및 고해상도의 표시 장치를 제공할 수 있다. 용액 공정으로는 스핀 코팅법이나 잉크젯 프린팅법 또는 스크린 프린팅법이 사용될 수 있으며, 이에 제한되지 않는다.

[0141] 한편, 발광층(180) 중에서, 전자보조층은 증착 공정을 통해 형성될 수도 있다. 이때, 전자보조층은 실질적으로 기판(100) 전면에 형성될 수 있다.

[0142] 발광층(180) 상부에는 비교적 일함수가 낮은 도전성 물질로 이루어진 제2 전극(190)이 실질적으로 기판(100) 전면에 형성된다. 여기서, 제2 전극(190)은 알루미늄(aluminum)이나 마그네슘(magnesium), 은(silver) 또는 이들의 합금으로 형성될 수 있다. 이때, 제2 전극(190)은 발광층(180)으로부터의 빛이 투과될 수 있도록 상대적으로 얇은 두께를 가진다. 이와 달리, 제2 전극(190)은 인듐-갈륨-옥사이드(indium-gallium-oxide: IGO)와 같은 투명 도전성 물질로 형성될 수도 있으며, 이에 제한되지 않는다.

[0143] 제1 전극(162)과 발광층(180) 및 제2 전극(190)은 발광 다이오드(De)를 이룬다. 여기서, 제1 전극(162)은 애노드(anode)의 역할을 하고, 제2 전극(190)은 캐소드(cathode)의 역할을 할 수 있으며, 이에 제한되지 않는다.

[0144] 앞서 언급한 바와 같이, 본 발명의 제2 실시예에 따른 전계발광 표시장치는 발광 다이오드(De)의 발광층(180)으로부터의 빛이 기판(100)과 반대 방향, 즉, 제2 전극(190)을 통해 외부로 출력되는 상부 발광 방식일 수 있으며, 이러한 상부 발광 방식은 동일 면적의 하부 발광 방식에 비해 보다 넓은 발광영역을 가질 수 있으므로, 휘도를 향상시키고 소비 전력을 낮출 수 있다.

[0145] 이때, 각 부화소의 발광 다이오드(De)는 방출하는 광의 파장에 대응하여 마이크로 캐비티 효과에 해당하는 소자 두께를 가질 수 있으며, 이에 따라, 광 효율을 높일 수 있다. 즉, 적, 녹, 청색 부화소의 발광 다이오드(De)는 서로 다른 소자 두께를 가질 수 있다. 여기서, 소자 두께는 제1 전극(162)과 제2 전극(190) 사이의 거리로 정의될 수 있다.

[0146] 한편, 제2 전극(190) 상부의 실질적으로 기판(100) 전면에는 보호층 및/또는 봉지층(도시하지 않음)이

형성되어, 외부에서 유입되는 수분이나 산소를 차단함으로써 발광 다이오드(De)를 보호할 수 있다.

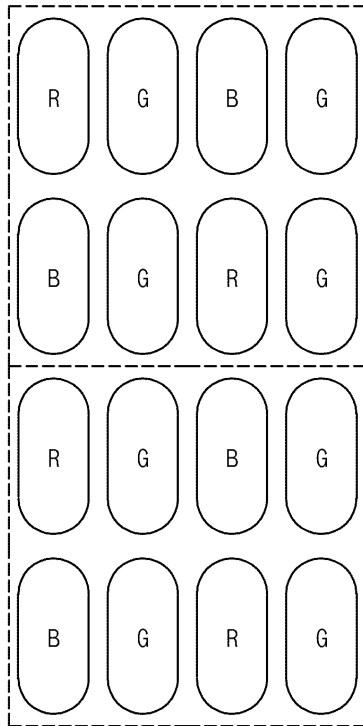
- [0148] <제3 실시예>
- [0149] 도 9는 본 발명의 제3 실시예에 따른 전계발광 표시장치의 화소 배치를 개략적으로 도시한 도면이다.
- [0150] 본 발명의 제3 실시예에 따른 전계발광 표시장치는, 제2 실시예에 따른 전계발광 표시장치에 비해 비표시영역의 구성을 더 포함하는 것으로, 표시영역의 구성은 제2 실시예와 동일하며, 동일 부분에 대해 동일 부호를 부여하고 이에 대한 설명은 간략히 하거나 생략한다.
- [0151] 도 9에 도시한 바와 같이, 본 발명의 제3 실시예에 따른 전계발광 표시장치에서는, 기관 상에 영상을 표시하는 표시영역(DA)과 표시영역(DA)의 적어도 일면을 둘러싸는 비표시영역(NDA)이 정의되고, 표시영역(DA)과 비표시영역(NDA)에는 적, 녹, 청색 부화소(R, G, B)가 매트릭스 형태로 배치되어 있으며, 동일 색의 부화소(R, G, B)가 대각 방향을 따라 배치되고 서로 연결된다.
- [0152] 보다 상세하게는, 적, 녹, 청색 부화소(R, G, B)는 각각 적, 녹, 청색 발광층을 포함하는 것으로, 표시영역(DA)의 각 부화소(R, G, B)는 동일 색의 비표시영역(NDA)의 부화소(R, G, B)와도 연결된다. 이에 따라, 표시영역(DA)의 첫 번째 행의 첫 번째 열의 부화소(R)는 비표시영역(NDA)의 하나 이상의 부화소(R)와 연결된다. 일례로, 도시한 바와 같이, 표시영역(DA)의 첫 번째 행의 첫 번째 열의 부화소(R)는 비표시영역(NDA)의 6개의 부화소(R)와 연결되며, 이에 제한되지 않는다.
- [0153] 여기서, 비표시영역(NDA)에 위치하는 적, 녹, 청색 부화소(R, G, B)는 박막트랜지스터 및 스토리지 커패시터가 형성되지 않는 더미 부화소이며, 비표시영역(NDA)의 부화소(R, G, B)는 도시된 바에 제한되지 않는다.
- [0154] 또한, 비표시영역(NDA)에는 제1 뱅크(172)가 생략되어 제2 뱅크(174)만이 형성될 수 있다. 이러한 경우, 발광층 형성 시, 표시영역(DA)의 부화소(R, G, B)에 비해 비표시영역(NDA)의 부화소(R, G, B) 내에 용액을 더 많이 가둘 수 있다. 이에 따라, 중앙부와 가장자리부에서 용매의 건조 속도를 균일하게 할 수 있으므로, 더욱 균일한 두께를 갖는 발광층을 얻을 수 있다.
- [0155] 한편, 비표시영역(NDA)의 적, 녹, 청색 부화소(R, G, B)에는 제1 전극이 생략될 수도 있다.
- [0156] 이와 같이, 본 발명의 제3 실시예에서는 표시영역(DA)의 부화소(R, G, B)를 비표시영역(NDA)의 부화소(R, G, B)와 연결되도록 함으로써, 표시영역(DA)의 모든 부화소(R, G, B)에 대해 노즐 간 편차를 최소화하여 각 부화소(R, G, B)에 형성되는 박막 두께를 균일하게 할 수 있다.
- [0158] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 통상의 기술자는 하기의 특허청구범위에 기재된 본 발명의 기술적 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

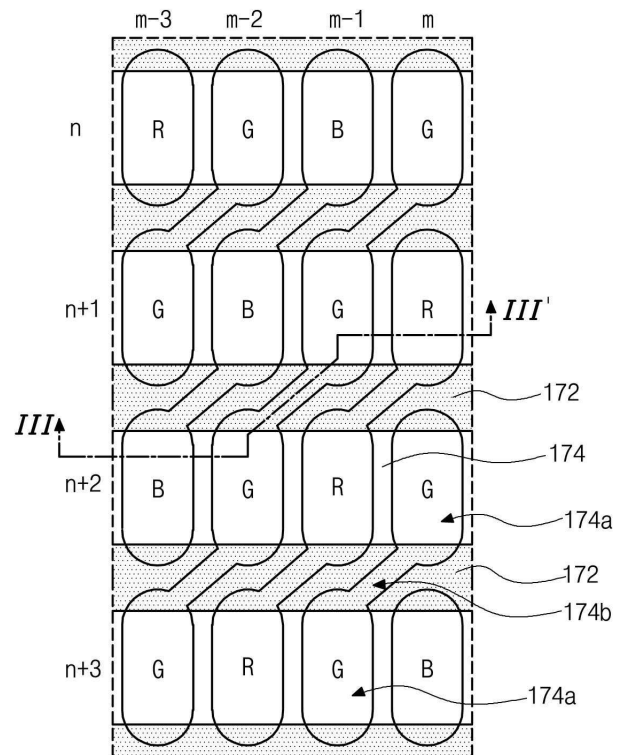
- [0160] R, G, B: 적, 녹, 청색 부화소 100: 기관
- 160: 오버코트층 162: 제1 전극
- 172: 제1 뱅크 174: 제2 뱅크
- 174a: 제1 개구부 174b: 제2 개구부
- 180: 발광층 190: 제2 전극
- De: 발광 다이오드

도면

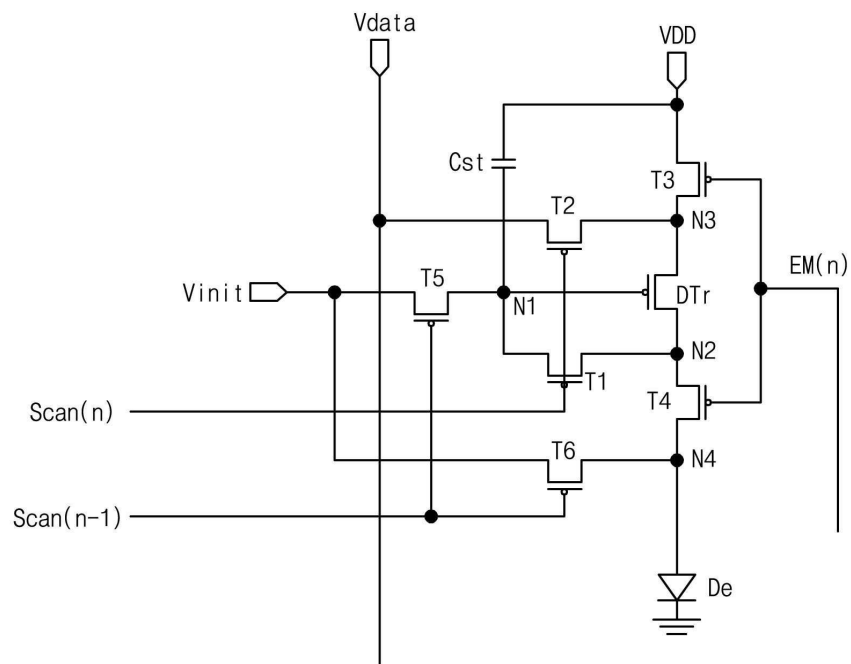
도면1



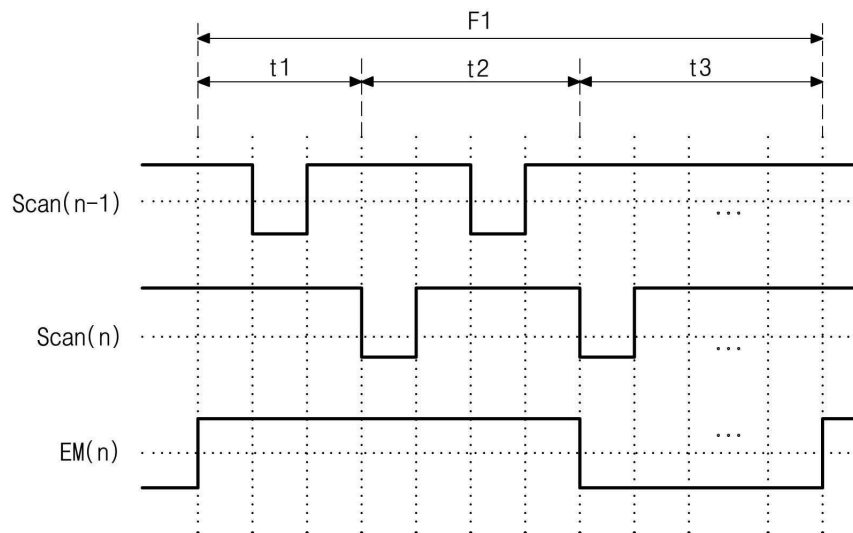
도면2



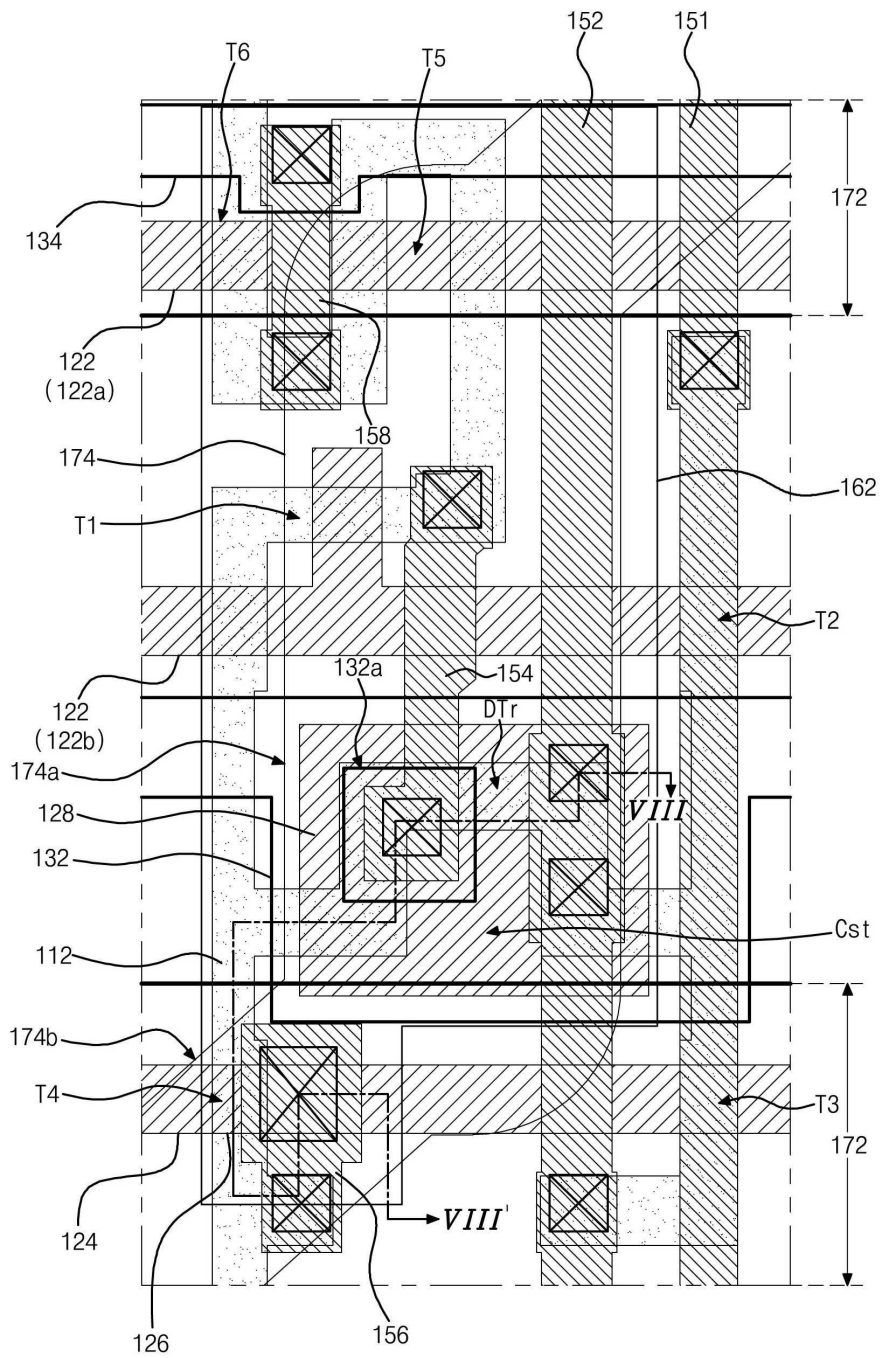
도면5



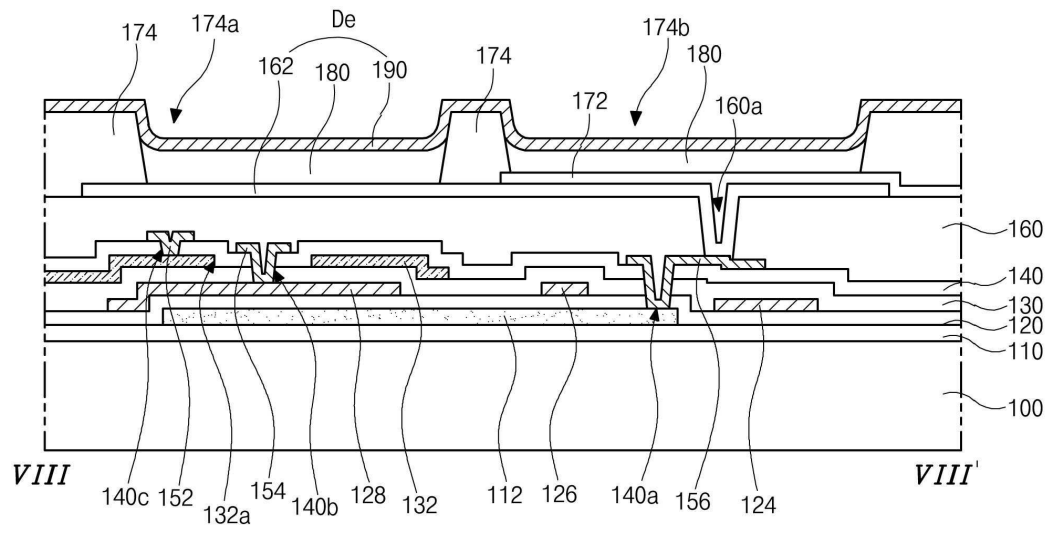
도면6



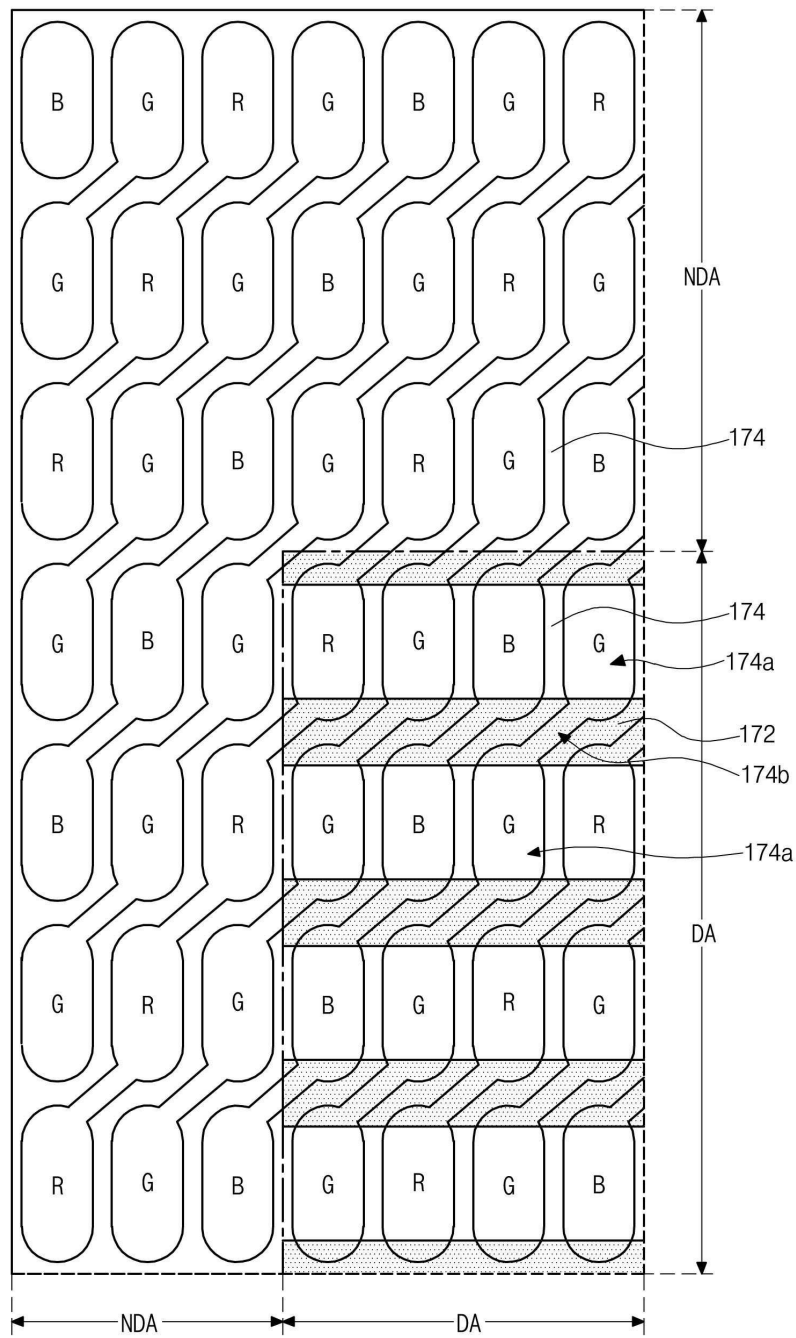
도면7



도면8



도면9



专利名称(译)	电致发光显示器		
公开(公告)号	KR1020200064427A	公开(公告)日	2020-06-08
申请号	KR1020180150545	申请日	2018-11-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	백흠일 유호진		
发明人	백흠일 유호진		
IPC分类号	H01L27/32 G09G3/3208 H01L51/50		
CPC分类号	H01L27/3218 G09G3/3208 H01L27/3244 H01L51/50 H01L27/3246 G09G3/32 H01L27/3211 H01L27/3223 H01L2227/323		
外部链接	Espacenet		

摘要(译)

电致发光显示装置包括:多个子像素,其沿着第一方向和与该第一方向交叉的第二方向布置在基板上;以及发光二极管,其布置在多个子像素的每个中并且包括第一电极、发光层和第二电极,其中在多个子像素中,第 n 行第 m 列的子像素具有与第 $(n+1)$ 行的子像素相同的颜色,并且第 $(m-1)$ 列,其中 n 是自然数, m 是大于4的自然数,并且在多个子像素中,第 n 行和第 k 列的子像素具有相同的颜色是第 n 行第 $a(k-2)$ 列的子像素,其中 k 是小于或等于 m 的自然数。

