



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2020-0032291  
(43) 공개일자 2020년03월26일

(51) 국제특허분류(Int. Cl.)  
H01L 27/32 (2006.01) G06F 3/041 (2006.01)  
H01L 51/52 (2006.01)  
(52) CPC특허분류  
H01L 27/323 (2013.01)  
G06F 3/0412 (2019.05)  
(21) 출원번호 10-2018-0110886  
(22) 출원일자 2018년09월17일  
심사청구일자 없음

(71) 출원인  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성로 1 (농서동)  
(72) 발명자  
방기호  
경기도 화성시 동탄중앙로 213, 시범한빛마을금호  
어울림아파트 242동 1802호 (반송동)  
이성룡  
경기도 화성시 동탄반석로 96, 솔빛마을경남아너  
스빌아파트 403동 1601호 (반송동)  
전상현  
경기도 수원시 영통구 봉영로1482번길 17-5, 205  
호 (영통동)  
(74) 대리인  
특허법인가산

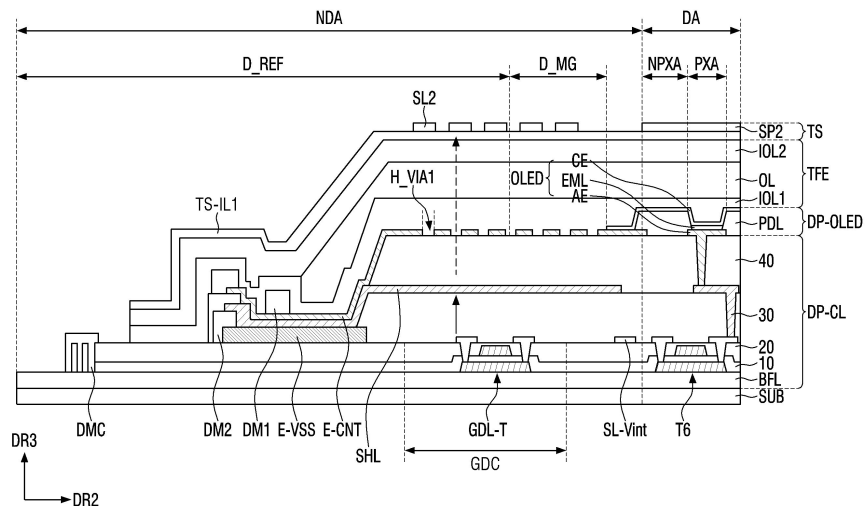
전체 청구항 수 : 총 21 항

(54) 발명의 명칭 표시장치

(57) 요약

표시 장치는 베이스층, 회로소자층, 표시소자층, 박막방지층, 및 입력감지층을 포함한다. 베이스층은 표시영역과 비표시영역을 포함한다. 회로소자층은, 베이스층 상에 배치되고, 비표시영역에 중첩하는 전원전극, 회로소자들, 및 전원전극에 연결되고 회로소자들 중 적어도 일부와 중첩하는 차폐전극을 포함한다. 표시소자층은, 제1 전극, 발광부, 및 제2 전극을 포함하는 발광 소자, 및 제2 전극과 전원전극을 연결하며 제1 관통홀들이 정의된 연결전극을 포함하고, 회로소자층 상에 배치된다. 박막방지층은 표시영역에 중첩하는 유기층을 포함하고, 표시소자층 상에 배치된다. 입력감지층은 감지전극들 및 감지전극들에 연결되는 감지 신호라인들을 포함하고, 박막방지층 상에 배치된다. 여기서, 감지 신호라인들은 연결전극과 중첩하며, 연결전극의 제1 관통홀들의 적어도 일부는 차폐전극과 중첩한다.

대표도



(52) CPC특허분류

*H01L 27/3213* (2013.01)

*H01L 27/3276* (2013.01)

*H01L 51/52* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

표시영역과 비표시영역을 포함하는 베이스층;

상기 베이스층 상에 배치되고, 상기 비표시영역에 중첩하는 전원전극, 회로소자들, 및 상기 전원전극에 연결되고 상기 회로소자들 중 적어도 일부와 중첩하는 차폐전극을 포함하는 회로소자층;

제1 전극, 발광부, 및 제2 전극을 포함하는 발광 소자, 및 상기 제2 전극과 상기 전원전극을 연결하며 제1 관통홀들이 정의된 연결전극을 포함하고, 상기 회로소자층 상에 배치되는 표시소자층;

상기 표시영역에 중첩하는 유기층을 포함하고, 상기 표시소자층 상에 배치되는 박막봉지층; 및

감지전극들 및 상기 감지전극들에 연결되는 감지 신호라인들을 포함하고, 상기 박막봉지층 상에 배치된 입력감지층을 포함하고,

상기 감지 신호라인들은 상기 연결전극과 중첩하며,

상기 연결전극의 상기 제1 관통홀들의 적어도 일부는 상기 차폐전극과 중첩하는 표시 장치.

#### 청구항 2

제1 항에 있어서, 상기 차폐전극은 상기 제2 전극과 부분적으로 중첩하는 표시 장치.

#### 청구항 3

제2 항에 있어서, 상기 감지 신호라인들은 상기 차폐전극과 중첩하고, 상기 제2 전극과 중첩하지 않는 표시 장치.

#### 청구항 4

제3 항에 있어서, 상기 제1 관통홀들 모두는 상기 차폐전극과 중첩하는 표시 장치.

#### 청구항 5

제1 항에 있어서, 상기 회로소자층은

상기 회로소자들과 상기 차폐전극 사이에 배치되는 제1 중간 절연층, 및

상기 차폐전극 상에 배치되는 제2 중간 절연층을 더 포함하고,

상기 연결전극은 상기 제2 중간 절연층 상에 배치되는 표시 장치.

#### 청구항 6

제5 항에 있어서, 상기 회로소자들은 상기 베이스층 상에 배치되는 제1 트랜지스터 및 제2 트랜지스터, 상기 제1 중간 절연층 상에 배치되는 데이터 라인 및 데이터 패턴을 포함하고,

상기 데이터 라인은 상기 제1 중간 절연층을 관통하는 제1 콘택홀을 통해 상기 제1 트랜지스터의 제1 전극에 전기적으로 연결되고,

상기 제1 트랜지스터의 제2 전극은 상기 제2 트랜지스터의 제1 전극에 전기적으로 연결되며,

상기 제2 트랜지스터의 제2 전극은 상기 제1 중간 절연층을 관통하는 제2 콘택홀을 통해 상기 데이터 패턴에 전기적으로 연결되고,

상기 데이터 패턴은 상기 제2 중간 절연층을 관통하는 제3 콘택홀을 통해 상기 제1 전극에 전기적으로 연결되는 표시 장치.

**청구항 7**

제5 항에 있어서, 상기 연결전극의 상기 제1 관통홀들의 일부는 상기 차폐전극과 중첩하고, 상기 제1 관통홀들의 나머지 일부는 상기 제2 전극과 중첩하는 표시 장치.

**청구항 8**

제7 항에 있어서, 상기 감지 신호라인들 중 일부는 상기 차폐전극과 중첩하고, 상기 감지 신호라인들 중 일부는 상기 제2 전극과 중첩하는 표시 장치.

**청구항 9**

제5 항에 있어서, 상기 차폐전극은 상기 제1 중간 절연층을 노출시키는 제2 관통홀들을 포함하고, 상기 연결전극의 상기 제1 관통홀들은 상기 제2 중간 절연층을 노출시키며, 상기 제2 관통홀들은 상기 제1 관통홀들과 중첩하지 않는 표시 장치.

**청구항 10**

제9 항에 있어서, 상기 제1 관통홀들 및 상기 제2 관통홀들은 평면상 복수 개의 행들을 정의하고, 상기 행들은 제1 방향을 따라 배열되며, 상기 행들 중 제1 행은 상기 제1 방향과 교차하는 제2 방향으로 나열된 상기 제1 관통홀들을 포함하고, 상기 행들 중 제2 행은 상기 제2 방향으로 나열된 상기 제2 관통홀들을 포함하며, 상기 행들 중 제3 행은 상기 제2 방향으로 나열된 상기 제1 관통홀들을 포함하고, 상기 제2 행은 상기 제1 행 및 상기 제2 행 사이에 위치하는 표시 장치.

**청구항 11**

제10 항에 있어서, 상기 제2 관통홀들은 상기 제2 방향을 따라 상기 제1 관통홀들 사이에 각각 위치하는 표시 장치.

**청구항 12**

제9 항에 있어서, 상기 제1 관통홀들은 평면상 복수 개의 행들을 정의하고, 상기 행들은 제1 방향을 따라 배열되며, 상기 제2 관통홀들은 슬릿 형상을 가지고, 상기 제2 관통홀들은 상기 행들 사이에 각각 배치되는 표시 장치.

**청구항 13**

제12 항에 있어서, 상기 제2 관통홀들 각각의 상기 제1 방향으로의 제2 폭은 상기 제1 관통홀들 각각의 상기 제1 방향으로의 제1 폭보다 작고, 상기 제2 관통홀들의 총 면적은 상기 제1 관통홀들의 총 면적보다 크거나 같은 표시 장치.

**청구항 14**

제9 항에 있어서, 상기 제1 관통홀들 및 상기 제2 관통홀들은 슬릿 형상을 가지고, 상기 제1 관통홀들 및 상기 제2 관통홀들은 평면상 제1 방향을 따라 번갈아 배치되는 표시 장치.

**청구항 15**

제5 항에 있어서, 상기 차폐전극은 상기 제2 중간 절연층을 관통하는 제1 콘택홀을 통해 상기 연결전극과 연결 되는 표시 장치.

**청구항 16**

제15 항에 있어서, 상기 제1 콘택홀은 상기 제2 전극과 중첩하는 표시 장치.

**청구항 17**

제15 항에 있어서, 상기 차폐전극은 상기 전원전극과 중첩하지 않는 표시 장치.

**청구항 18**

제1 항에 있어서, 상기 비표시영역은, 상기 표시영역을 사이에 두고 제1 방향에서 마주하는 제1 비표시영역 및 제2 비표시영역, 및 상기 표시영역을 사이에 두고 상기 제1 방향과 교차하는 제2 방향에서 마주하는 제3 비표시영역 및 제4 비표시영역을 포함하고,

상기 전원전극은 상기 제1 비표시영역, 상기 제3 비표시영역 및 상기 제4 비표시영역에 배치되며,

상기 회로소자층은 상기 제1 비표시영역에서 상기 전원전극과 상기 표시영역 사이에 배치되는 구동회로를 포함하고,

상기 구동회로는 상기 화소에 제공되는 신호를 생성하며,

상기 차폐전극은 상기 제1 비표시영역에 배치되고 상기 구동회로를 커버하는 표시 장치.

**청구항 19**

제18 항에 있어서, 상기 차폐전극은 상기 제3 비표시영역 및 상기 제4 비표시영역에 배치되는 표시 장치.

**청구항 20**

표시영역과 비표시영역을 포함하는 베이스층;

상기 베이스층 상에 배치되고, 상기 비표시영역에 중첩하는 전원전극, 회로소자들, 상기 표시영역과 상기 비표시영역의 경계에 배치되는 기준전압라인, 및 상기 기준전압라인에 연결되고 상기 회로소자들 중 적어도 일부와 중첩하는 차폐전극을 포함하는 회로소자층;

제1 전극, 발광부, 및 제2 전극을 포함하는 발광 소자, 및 상기 제2 전극과 상기 전원전극을 연결하며 제1 관통홀들이 정의된 연결전극을 포함하고, 상기 회로소자층 상에 배치되는 표시소자층;

상기 표시영역에 중첩하는 유기층을 포함하고, 상기 표시소자층 상에 배치되는 박막봉지층; 및

감지전극들 및 상기 감지전극들에 연결되는 감지 신호라인들을 포함하고, 상기 박막봉지층 상에 배치된 입력감지층을 포함하고,

상기 감지 신호라인들은 상기 연결전극과 중첩하며,

상기 연결전극의 상기 제1 관통홀들의 적어도 일부는 상기 차폐전극과 중첩하는 표시 장치.

**청구항 21**

표시영역 및 상기 표시영역을 에워싸는 비표시영역을 포함하는 표시 장치에서,

상기 표시영역에 배치되고, 발광 소자를 포함하는 화소들;

상기 비표시영역에 배치되는 전원선;

상기 전원선과 상기 표시영역 사이에 배치되고, 상기 화소들에 신호를 제공하는 구동회로;

상기 전원선과 상기 화소들 각각의 상기 발광 소자를 전기적으로 연결하는 연결전극; 및

상기 전원선과 연결되고, 상기 구동회로 및 상기 연결전극 사이에 배치되는 차폐전극을 포함하는 표시 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 표시장치에 관한 것으로, 입력감지유닛을 포함하는 표시장치에 관한 것이다.

**배경 기술**

[0002] 표시장치는 영상을 표시하며, 텔레비전, 휴대 전화, 태블릿 컴퓨터, 네비게이션, 게임기 등과 같은 멀티 미디어 장치에 사용된다. 표시장치는 입력수단으로 키보드 또는 마우스 등을 포함한다. 최근에는, 표시장치는 입력수단으로 감지패널을 포함한다.

**발명의 내용**

**해결하려는 과제**

[0003] 본 발명이 해결하고자 하는 과제는 입력감지유닛에 대한 노이즈가 감소된 입력감지유닛 일체형 표시장치를 제공하는 것이다.

[0004] 본 발명의 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

**과제의 해결 수단**

[0005] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 표시장치는, 표시영역과 비표시영역을 포함하는 베이스층; 상기 베이스층 상에 배치되고, 상기 비표시영역에 중첩하는 전원전극, 회로소자들, 및 상기 전원전극에 연결되고 상기 회로소자들 중 적어도 일부와 중첩하는 차폐전극을 포함하는 회로소자층; 제1 전극, 발광부, 및 제2 전극을 포함하는 발광 소자, 및 상기 제2 전극과 상기 전원전극을 연결하며 제1 관통홀들이 정의된 연결전극을 포함하고, 상기 회로소자층 상에 배치되는 표시소자층; 상기 표시영역에 중첩하는 유기층을 포함하고, 상기 표시소자층 상에 배치되는 박막봉지층; 및 감지전극들 및 상기 감지전극들에 연결되는 감지 신호라인들을 포함하고, 상기 박막봉지층 상에 배치된 입력감지층을 포함한다. 여기서, 상기 감지 신호라인들은 상기 연결전극과 중첩하며, 상기 연결전극의 상기 제1 관통홀들의 적어도 일부는 상기 차폐전극과 중첩한다.

[0006] 일 실시예에 의하면, 상기 차폐전극은 상기 제2 전극과 부분적으로 중첩할 수 있다.

[0007] 일 실시예에 의하면, 상기 감지 신호라인들은 상기 차폐전극과 중첩하고, 상기 제2 전극과 중첩하지 않을 수 있다.

[0008] 일 실시예에 의하면, 상기 제1 관통홀들 모두는 상기 차폐전극과 중첩할 수 있다.

[0009] 일 실시예에 의하면, 상기 회로소자층은 상기 회로소자들과 상기 차폐전극 사이에 배치되는 제1 중간 절연층, 및 상기 차폐전극 상에 배치되는 제2 중간 절연층을 더 포함하고, 상기 연결전극은 상기 제2 중간 절연층 상에 배치될 수 있다.

[0010] 일 실시예에 의하면, 상기 회로소자들은 상기 베이스층 상에 배치되는 제1 트랜지스터 및 제2 트랜지스터, 상기 제1 중간 절연층 상에 배치되는 데이터 라인 및 데이터 패턴을 포함하고, 상기 데이터 라인은 상기 제1 중간 절연층을 관통하는 제1 콘택홀을 통해 상기 제1 트랜지스터의 제1 전극에 전기적으로 연결되고, 상기 제1 트랜지스터의 제2 전극은 상기 제2 트랜지스터의 제1 전극에 전기적으로 연결되며, 상기 제2 트랜지스터의 제2 전극은 상기 제1 중간 절연층을 관통하는 제2 콘택홀을 통해 상기 데이터 패턴에 전기적으로 연결되고, 상기 데이터 패턴은 상기 제2 중간 절연층을 관통하는 제3 콘택홀을 통해 상기 제1 전극에 전기적으로 연결될 수 있다.

[0011] 일 실시예에 의하면, 상기 연결전극의 상기 제1 관통홀들의 일부는 상기 차폐전극과 중첩하고, 상기 제1 관통홀들의 나머지 일부는 상기 제2 전극과 중첩할 수 있다.

[0012] 일 실시예에 의하면, 상기 감지 신호라인들 중 일부는 상기 차폐전극과 중첩하고, 상기 감지 신호라인들 중 일부는 상기 제2 전극과 중첩할 수 있다.

[0013] 일 실시예에 의하면, 상기 차폐전극은 상기 제1 중간 절연층을 노출시키는 제2 관통홀들을 포함하고, 상기 연결전극의 상기 제1 관통홀들은 상기 제2 중간 절연층을 노출시키며, 상기 제2 관통홀들은 상기 제1 관통홀들과 중첩하지 않을 수 있다.

- [0014] 일 실시예에 의하면, 상기 제1 관통홀들 및 상기 제2 관통홀들은 평면상 복수 개의 행들을 정의하고, 상기 행들은 제1 방향을 따라 배열되며, 상기 행들 중 제1 행은 상기 제1 방향과 교차하는 제2 방향으로 나열된 상기 제1 관통홀들을 포함하고, 상기 행들 중 제2 행은 상기 제2 방향으로 나열된 상기 제2 관통홀들을 포함하며, 상기 행들 중 제3 행은 상기 제2 방향으로 나열된 상기 제1 관통홀들을 포함하고, 상기 제2 행은 상기 제1 행 및 상기 제2 행 사이에 위치할 수 있다.
- [0015] 일 실시예에 의하면, 상기 제2 관통홀들은 상기 제2 방향을 따라 상기 제1 관통홀들 사이에 각각 위치할 수 있다.
- [0016] 일 실시예에 의하면, 상기 제1 관통홀들은 평면상 복수 개의 행들을 정의하고, 상기 행들은 제1 방향을 따라 배열되며, 상기 제2 관통홀들은 슬릿 형상을 가지고, 상기 제2 관통홀들은 상기 행들 사이에 각각 배치될 수 있다.
- [0017] 일 실시예에 의하면, 상기 제2 관통홀들 각각의 상기 제1 방향으로의 제2 폭은 상기 제1 관통홀들 각각의 상기 제1 방향으로의 제1 폭보다 작고, 상기 제2 관통홀들의 총 면적은 상기 제1 관통홀들의 총 면적보다 크거나 같을 수 있다.
- [0018] 일 실시예에 의하면, 상기 제1 관통홀들 및 상기 제2 관통홀들은 슬릿 형상을 가지고, 상기 제1 관통홀들 및 상기 제2 관통홀들은 평면상 제1 방향을 따라 번갈아 배치될 수 있다.
- [0019] 일 실시예에 의하면, 상기 차폐전극은 상기 제2 중간 절연층을 관통하는 제1 콘택홀을 통해 상기 연결전극과 연결될 수 있다.
- [0020] 일 실시예에 의하면, 상기 제1 콘택홀은 상기 제2 전극과 중첩할 수 있다.
- [0021] 일 실시예에 의하면, 상기 차폐전극은 상기 전원전극과 중첩하지 않을 수 있다.
- [0022] 일 실시예에 의하면, 상기 비표시영역은, 상기 표시영역을 사이에 두고 제1 방향에서 마주하는 제1 비표시영역 및 제2 비표시영역, 및 상기 표시영역을 사이에 두고 상기 제1 방향과 교차하는 제2 방향에서 마주하는 제3 비표시영역 및 제4 비표시영역을 포함하고, 상기 전원전극은 상기 제1 비표시영역, 상기 제3 비표시영역 및 상기 제4 비표시영역에 배치되며, 상기 회로소자층은 상기 제1 비표시영역에서 상기 전원전극과 상기 표시영역 사이에 배치되는 구동회로를 포함하고, 상기 구동회로는 상기 화소에 제공되는 신호를 생성하며, 상기 차폐전극은 상기 제1 비표시영역에 배치되고 상기 구동회로를 커버할 수 있다.
- [0023] 일 실시예에 의하면, 상기 차폐전극은 상기 제3 비표시영역 및 상기 제4 비표시영역에 배치될 수 있다.
- [0024] 상기 과제를 해결하기 위한 본 발명의 다른 실시예에 따른 표시장치는, 표시영역과 비표시영역을 포함하는 베이스층; 상기 베이스층 상에 배치되고, 상기 비표시영역에 중첩하는 전원전극, 회로소자들, 상기 표시영역과 상기 비표시영역의 경계에 배치되는 기준전압라인, 및 상기 기준전압라인에 연결되고 상기 회로소자들 중 적어도 일부와 중첩하는 차폐전극을 포함하는 회로소자층; 제1 전극, 발광부, 및 제2 전극을 포함하는 발광 소자, 및 상기 제2 전극과 상기 전원전극을 연결하며 제1 관통홀들이 정의된 연결전극을 포함하고, 상기 회로소자층 상에 배치되는 표시소자층; 상기 표시영역에 중첩하는 유기층을 포함하고, 상기 표시소자층 상에 배치되는 박막봉지층; 및 감지전극들 및 상기 감지전극들에 연결되는 감지 신호라인들을 포함하고, 상기 박막봉지층 상에 배치된 입력감지층을 포함하고, 상기 감지 신호라인들은 상기 연결전극과 중첩하며, 상기 연결전극의 상기 제1 관통홀들의 적어도 일부는 상기 차폐전극과 중첩한다.
- [0025] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 표시장치는, 표시영역 및 상기 표시영역을 에워싸는 비표시영역을 포함한다. 상기 표시장치는, 상기 표시영역에 배치되고, 발광 소자를 포함하는 화소들; 상기 비표시영역에 배치되는 전원선; 상기 전원선과 상기 표시영역 사이에 배치되고, 상기 화소들에 신호를 제공하는 구동회로; 상기 전원선과 상기 화소들 각각의 상기 발광 소자를 전기적으로 연결하는 연결전극; 및 상기 전원선과 연결되고, 상기 구동회로 및 상기 연결전극 사이에 배치되는 차폐전극을 포함한다.
- [0026] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

**발명의 효과**

- [0027] 본 발명의 실시예들에 의하면, 표시장치는, 입력감지유닛의 감지 신호라인들과 각각 중첩하는 구동회로 및 연결전극 사이에 배치되는 차폐전극을 포함함으로써, 입력감지유닛에 대한 노이즈를 감소시킬 수 있다.

[0028] 본 발명의 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

**도면의 간단한 설명**

- [0029] 도 1은 일 실시예에 따른 표시장치의 사시도이다.
- 도 2는 도 1의 A-A' 선을 따라 자른 표시장치의 일 예를 나타내는 단면도이다.
- 도 3은 도 2의 표시장치에 포함된 표시모듈의 단면도이다.
- 도 4는 도 3의 표시모듈에 포함된 표시유닛의 평면도이다.
- 도 5는 도 2의 표시 유닛에 포함된 화소의 일 예를 나타내는 회로도이다.
- 도 6은 도 5의 B-B' 선에 대응하는 화소의 일 예를 나타내는 단면도이다.
- 도 7은 도 2의 표시장치에 포함된 입력감지유닛의 일 예를 나타내는 단면도이다.
- 도 8은 도 7의 입력감지유닛의 일 예를 나타내는 평면도이다.
- 도 9는 도 7의 입력감지유닛에 포함된 제1 도전층의 일 예를 나타내는 평면도이다.
- 도 10은 도 7의 입력감지유닛에 포함된 제2 도전층의 일 예를 나타내는 평면도이다.
- 도 11은 도 10의 BB 영역을 확대한 도면이다.
- 도 12는 도 3에 도시된 AA 영역을 확대한 표시모듈의 일 예를 나타내는 단면도이다.
- 도 14는 도 12의 표시모듈에 포함된 차폐전극, 연결전극 및 제2 전극을 중첩하여 도시한 평면도이다.
- 도 15는 도 3의 AA 영역을 확대한 표시모듈의 다른 예를 나타내는 도면이다.
- 도 16은 도 3의 AA 영역을 확대한 표시모듈의 또 다른 예를 나타내는 도면이다.
- 도 17는 도 16의 표시모듈에 포함된 차폐전극, 연결전극 및 제2 전극을 중첩하여 도시한 평면도이다.
- 도 18은 도 12의 표시모듈의 또 다른 예를 나타내는 평면도이다.
- 도 19는 도 18의 C-C' 선을 따라 자른 표시모듈의 일 예를 나타내는 단면도이다.
- 도 20은 도 12의 표시모듈의 또 다른 예를 나타내는 평면도이다.
- 도 21은 도 3의 AA 영역을 확대한 표시모듈의 또 다른 예를 나타내는 도면이다.
- 도 22는 도 3의 AA 영역을 확대한 표시모듈의 또 다른 예를 나타내는 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0030] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0031] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)"로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0032] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다.
- [0033] 이하, 첨부된 도면을 참고로 하여 본 발명의 실시예들에 대해 설명한다.

- [0034] 도 1은 일 실시예에 따른 표시장치의 사시도이다.
- [0035] 도 1을 참조하면, 표시장치(1)는 표시면(또는, 전면)을 통해 영상을 표시할 수 있다. 표시면은 제1 방향축(즉, 제1 방향(DR1)으로 연장하는 축) 및 제2 방향축(즉, 제2 방향(DR2)으로 연장하는 축)이 정의하는 면과 평행할 수 있다. 표시면의 법선 방향, 즉, 표시장치(1)의 두께 방향은 제3 방향(DR3)으로 정의될 수 있다.
- [0036] 이하에서 설명되는 각 부재들 또는 유닛들의 전면(또는 상면)과 배면(또는 하면)은 제3 방향(DR3)을 따라 구분될 수 있다. 그러나, 본 실시예에서 도시된 제1 내지 제3 방향들(DR1, DR2, DR3)은 예시에 불과하고 제1 내지 제3 방향들(DR1, DR2, DR3)은 상대적인 개념으로서 다른 방향들로 변환될 수 있다. 이하, 제1 내지 제3 방향들은 동일한 도면 부호를 참조한다.
- [0037] 표시장치(1)는 평면형 표시면을 포함할 수 있으나, 이에 제한되는 것은 아니다. 예를 들어, 표시장치(1)는 곡면형 표시면 또는 입체형 표시면을 포함할 수도 있다. 입체형 표시면은 서로 다른 방향을 지시하는 복수 개의 표시 영역들을 포함하고, 예를 들어, 각각 기둥형 표시면을 포함할 수도 있다.
- [0038] 표시장치(1)는 리지드 표시장치일 수 있다. 그러나 이에 제한되지 않으며, 예를 들어, 표시장치(1)는 플렉서블 표시장치일 수도 있다. 도 1에서는, 핸드폰 단말기에 적용될 수 있는 표시장치(1)를 예시적으로 도시하였다. 도 1에 도시되지 않았으나, 메인보드에 실장된 전자모듈들, 카메라 모듈, 전원모듈 등이 표시장치(1)와 함께 브라켓/케이스 등에 배치됨으로써 핸드폰 단말기를 구성할 수 있다. 표시장치(1)는 텔레비전, 모니터 등과 같은 대형 전자장치를 비롯하여, 태블릿, 자동차 네비게이션, 게임기, 스마트 워치 등과 같은 중소형 전자장치 등에 적용될 수도 있다.
- [0039] 표시면은 영상이 표시되는 표시영역(DA) 및 표시영역(DA)에 인접한 비표시영역(NDA)을 포함한다. 비표시영역(NDA)은 영상이 표시되지 않는 영역이다.
- [0040] 표시영역(DA)은 사각형상이고, 둥근 모서리를 가질 수 있다. 비표시영역(NDA)은 표시영역(DA)을 에워쌀 수 있다. 다만, 이에 제한되지 않고, 표시영역(DA)의 형상과 비표시영역(NDA)의 형상은 상대적으로 디자인될 수 있다.
- [0041] 도 2는 도 1의 A-A' 선을 따라 자른 표시장치의 일 예를 나타내는 단면도이다.
- [0042] 도 2를 참조하면, 표시장치(1)는 보호필름(PM), 표시모듈(DM), 광학부재(LM), 윈도우(WM), 제1 접착부재(AM1), 제2 접착부재(AM2), 및 제3 접착부재(AM3)를 포함한다.
- [0043] 윈도우(WM)는 표시모듈(DM) 상에 배치되고, 광학부재(LM)는 표시모듈(DM)과 윈도우(WM) 사이에 배치되며, 보호필름(PM)은 표시모듈(DM)의 하부에 배치될 수 있다. 제1 접착부재(AM1)는 표시모듈(DM)과 보호필름(PM)을 결합하고, 제2 접착부재(AM2)는 표시모듈(DM)과 광학부재(LM)를 결합하고, 제3 접착부재(AM3)는 광학부재(LM)와 윈도우(WM)를 결합한다.
- [0044] 보호필름(PM)은 표시모듈(DM)을 보호한다. 보호필름(PM)은 외부에 노출된 제1 외면(OS-L)을 제공하고, 제1 접착부재(AM1)에 접착되는 접착면을 제공한다. 보호필름(PM)은 외부의 습기가 표시모듈(DM)에 침투하는 것을 방지하고, 외부 충격을 흡수한다.
- [0045] 보호필름(PM)은 플라스틱 필름을 베이스층으로써 포함할 수 있다. 보호필름(PM)은 플라스틱 필름을 베이스 기판으로써 포함할 수 있다. 플라스틱 필름은 폴리에테르술폰(PES, polyethersulfone), 폴리아크릴레이트(polyacrylate), 폴리에테르이미드(PEI, polyether imide), 폴리에틸렌나프탈레이트(PEN, polyethylenenaphthalate), 폴리에틸렌테레프탈레이트(PET, polyethyleneterephthalate), 폴리페닐렌설파이드(PPS, polyphenylene sulfide), 폴리아릴레이트(polyarylate), 폴리이미드(PI, polyimide), 폴리카보네이트(PC, polycarbonate), 폴리아릴렌에테르술폰(poly(arylene ethersulfone)) 및 이들의 조합으로 이루어진 그룹에서 선택된 어느 하나를 포함할 수 있다. 보호필름(PM)을 구성하는 물질은 플라스틱 수지들에 제한되지 않고, 유/무기 복합재료를 포함할 수 있다.
- [0046] 보호필름(PM)은 다공성 유기층 및 유기층의 기공들에 충전된 무기물을 포함할 수 있다. 보호필름(PM)은 플라스틱 필름에 형성된 기능층을 더 포함할 수 있다. 기능층은 수지층을 포함할 수 있다. 기능층은 코팅 방식에 의해 형성될 수 있다. 보호필름(PM)은 생략될 수 있다.
- [0047] 윈도우(WM)는 외부 충격으로부터 표시모듈(DM)을 보호하고, 사용자에게 입력면을 제공할 수 있다. 윈도우(WM)는 베이스 부재로써 플라스틱 필름을 포함할 수 있다. 윈도우(WM)는 다층구조를 가질 수 있다. 윈도우(WM)의 베이스

스 부재는 유리 기판, 플라스틱 필름, 플라스틱 기판으로부터 선택된 다층구조를 가질 수 있다. 윈도우(WM)는 베젤 패턴을 더 포함할 수 있다. 다층구조는 연속공정 또는 접착층을 이용한 접착공정을 통해 형성될 수 있다. 윈도우(WM)는 베이스 부재에 배치된 기능성층을 더 포함할 수 있다. 기능성층은, 하드 코팅층, 지문 방지층, 반사 방지층, 셀프 힐링층 등을 포함할 수 있다.

- [0048] 광학부재(LM)는 외부광 반사율을 감소시킨다. 광학부재(LM)는 편광필름을 포함할 수 있다. 광학부재(LM)는 위상차 필름을 더 포함할 수 있다. 광학부재(LM)는 생략될 수도 있다.
- [0049] 표시모듈(DM)은 표시유닛(DP) 및 입력감지유닛(TS)을 포함할 수 있다. 표시유닛(DP)은 유기발광 표시패널일 수 있으나, 특별히 제한되지 않는다. 예를 들어, 표시유닛(DP)은 또 다른 자발광 표시패널인 퀀텀닷 발광 표시패널일 수 있다. 퀀텀닷 발광 표시패널은 발광층이 퀀텀닷, 및 퀀텀로드를 포함한다. 이하에서는, 표시유닛(DP)은 유기발광 표시패널인 것을 예시하여 설명한다.
- [0050] 표시유닛(DP)은 입력된 영상 데이터에 대응하는 이미지를 생성한다. 표시유닛(DP)은 두께 방향(DR3)에서 마주하는 제1 표시패널면(BS1-L) 및 제2 표시패널면(BS1-U)을 제공한다.
- [0051] 입력감지유닛(TS)은 표시유닛(DP) 상에 직접 배치된다. 본 명세서에서 "직접 배치된다"는 것은 별도의 접착층을 이용하여 부착하는 것을 제외하며, 연속공정에 의해 형성된 것을 의미한다.
- [0052] 입력감지유닛(TS)은 외부입력의 좌표정보를 획득한다. 여기서, 외부입력은 사용자, 감지 펜 등에 의해 발생한 감지 이벤트일 수 있다. 입력감지유닛(TS)은 예를 들어, 정전용량 방식으로 외부입력을 감지할 수 있다. 입력감지유닛(TS)의 동작방식은 특별히 제한되지 않고, 예를 들어, 입력감지유닛(TS)은 전자기 유도방식 또는 압력 감지방식으로 외부입력을 감지할 수도 있다.
- [0053] 도 2에 도시되지 않았으나, 표시모듈(DM)은 반사방지층을 더 포함할 수도 있다. 반사방지층은 컬러필터 또는 도전층/절연층/도전층의 적층 구조물을 포함할 수 있다. 반사방지층은 외부로부터 입사된 광을 흡수 또는 상쇄간섭 또는 편광시켜 외부광 반사율을 감소시킬 수 있다. 반사방지층은 광학부재(LM)의 기능을 대체할 수 있다.
- [0054] 제1 접착부재(AM1), 제2 접착부재(AM2), 및 제3 접착부재(AM3) 각각은 광학투명접착필름(OCA, Optically Clear Adhesive film) 또는 광학투명접착수지(OCR, Optically Clear Resin) 또는 감압접착필름(PSA, Pressure Sensitive Adhesive film)과 같은 유기 접착층일 수 있다. 유기 접착층은 폴리우레탄계, 폴리아크릴계, 폴리에스테르계, 폴리에폭시계, 폴리초산비닐계 등의 접착물질을 포함할 수 있다.
- [0055] 이하에서는, 도 3 내지 도 13을 참조하여, 표시모듈(DM), 즉, 표시유닛(DP) 및 입력감지유닛(TS)을 상세히 설명하기로 한다.
- [0056] 도 3은 도 2의 표시장치에 포함된 표시모듈의 단면도이다. 도 4는 도 3의 표시모듈에 포함된 표시유닛의 평면도이다.
- [0057] 먼저 도 3을 참조하면, 표시유닛(DP)은 베이스층(SUB), 베이스층(SUB) 상에 배치된 회로층(DP-CL), 표시소자층(DP-OLED), 및 박막 봉지층(TFE)을 포함한다. 베이스층(SUB)은 적어도 하나의 플라스틱 필름을 포함할 수 있다. 베이스층(SUB)은 플렉서블한 기판으로 플라스틱 기판, 유리 기판, 메탈 기판, 또는 유/무기 복합재료 기판 등을 포함할 수 있다.
- [0058] 회로층(DP-CL)은 반도체층, 절연층(또는, 중간 절연층), 및 도전층을 포함할 수 있다. 회로층(DP-CL)의 도전층들은 신호라인들 또는 후술하는 화소의 구동회로를 구성할 수 있다.
- [0059] 표시소자층(DP-OLED)은 발광소자(예를 들어, 유기발광 다이오드)를 포함한다.
- [0060] 박막 봉지층(TFE)은 표시소자층(DP-OLED)을 밀봉한다. 박막 봉지층(TFE)은 무기층과 유기층을 포함한다. 박막 봉지층(TFE)은 적어도 2개의 무기층들과 그 사이에 배치된 유기층을 포함할 수 있다. 무기층들은 수분/산소로부터 표시소자층(DP-OLED)을 보호하고, 유기층은 먼저 입자와 같은 이물질로부터 표시소자층(DP-OLED)을 보호한다. 무기층은 실리콘 나이트라이드층, 실리콘 옥시 나이트라이드층 및 실리콘 옥사이드층, 티타늄옥사이드층, 또는 알루미늄옥사이드층 등을 포함할 수 있다. 유기층은 아크릴 계열 유기층을 포함할 수 있고, 이에 제한되지 않는다.
- [0061] 입력감지유닛(TS)은 박막 봉지층(TFE) 상에 직접 배치된다. 입력감지유닛(TS)은 감지전극들과 감지 신호라인들을 포함한다. 감지전극들과 감지 신호라인들은 단층 또는 다층구조를 가질 수 있다.

- [0062] 감지전극들과 감지 신호라인들은 ITO(indium tin oxide), IZO(indium zinc oxide), ZnO(zinc oxide), ITZO(indium tin zinc oxide), PEDOT, 금속 나노 와이어, 그래핀을 포함할 수 있다. 감지전극들과 감지 신호라인들은 금속층, 예컨대 몰리브덴, 은, 티타늄, 구리, 알루미늄, 또는 이들의 합금을 포함할 수 있다. 감지전극들과 감지 신호라인들은 동일한 층구조를 갖거나, 다른 층구조를 가질 수 있다. 입력감지유닛(TS)의 구체적인 구성에 대해서는 도 7 내지 도 11를 참조하여 후술하기로 한다. 한편, 도 3에 도시된 AA 영역에 대해서는 도 12를 참조하여 후술하기로 한다.
- [0063] 도 4를 참조하면, 표시유닛(DP)은 평면상에서 표시영역(DA)과 비표시영역(NDA)을 포함한다.
- [0064] 도 1을 참조하여 설명한 바와 같이, 비표시영역(NDA)은 표시영역(DA)의 테두리를 따라 정의될 수 있다. 표시유닛(DP)의 표시영역(DA) 및 비표시영역(NDA)은 표시장치(1)의 표시영역(DA) 및 비표시영역(NDA)에 각각 대응한다. 표시유닛(DP)의 표시영역(DA) 및 비표시영역(NDA)은 표시장치(1)의 표시영역(DA) 및 비표시영역(NDA)과 반드시 동일할 필요는 없고, 표시유닛(DP)의 구조/디자인에 따라 변경될 수 있다.
- [0065] 표시유닛(DP)은 구동회로, 복수 개의 신호라인들(SL-Vint, SL-VDD, EL, GL, DL, SL-D), 전원전극(E-VSS), 및 복수 개의 화소들(PX)을 포함한다. 화소들(PX)이 배치된 영역이 표시영역(DA)으로 정의될 수 있다.
- [0066] 구동회로는 주사 구동회로(GDC)를 포함할 수 있다. 주사 구동회로(GDC)는 복수 개의 주사 신호들을 생성하고, 주사 신호들을 후술하는 복수 개의 주사 라인들(GL)에 순차적으로 출력한다. 또한, 주사 구동회로(GDC)는 복수 개의 발광 제어 신호들을 생성하고, 후술하는 복수 개의 발광 제어 라인들(EL)에 복수 개의 발광 제어 신호들을 출력한다.
- [0067] 도 4에서 주사 신호들과 발광 제어 신호들이 하나의 주사 구동회로(GDC)로부터 출력되는 것으로 도시되어 있으나, 본 발명이 이에 한정되는 것은 아니다. 예를 들어, 복수 개의 주사 구동회로들이 주사 신호들을 분할하여 출력하고, 발광 제어 신호들을 분할하여 출력할 수 있다. 또한, 주사 신호들을 생성하여 출력하는 구동회로와 발광 제어 신호들을 생성하여 출력하는 구동회로는 별개로 구분될 수 있다. 예를 들어, 도 4에 도시된 주사 구동회로(GDC)와 제2 방향(DR2)에서 마주하는 주사 구동회로(즉, 주사 구동회로(GDC)와 다른 주사 구동회로)가 더 배치될 수 있다.
- [0068] 주사 구동회로(GDC)는 회로층(DP-CL)에 포함될 수 있다. 주사 구동회로(GDC)는 화소(PX)의 구동회로와 동일한 공정을 통해 형성된 복수 개의 박막 트랜지스터들을 포함할 수 있다.
- [0069] 도 4에 도시되지 않았으나, 표시유닛(DP)은 패드들(PD)에 COF(CNTip on film) 형태로 결합된 데이터 구동회로를 더 포함할 수 있다. 데이터 구동회로는 회로층(DP-CL)에 집적화될 수도 있다.
- [0070] 신호라인들(GL, DL, EL, SL-VDD, SL-Vint, SL-D)은 주사 라인들(GL), 발광 제어 라인들(EL), 데이터 라인들(DL), 전원 라인(SL-VDD), 초기화 전압 라인(SL-Vint), 및 더미 신호 라인(SL-D)을 포함할 수 있다. 신호라인들(GL, DL, EL, SL-VDD, SL-Vint, SL-D)은 회로층(DP-CL)에 포함되고, 일부의 라인들은 생략될 수도 있다. 패드들(PD)은 신호라인들(GL, DL, EL, SL-VDD, SL-Vint, SL-D)의 말단에 연결될 수 있다.
- [0071] 주사 라인들(GL)은 화소들(PX) 중 대응하는 화소(PX)에 각각 연결되고, 데이터 라인들(DL)은 화소들(PX) 중 대응하는 화소(PX)에 각각 연결된다. 발광 제어 라인들(EL) 각각은 주사 라인들(GL) 중 대응하는 주사 라인에 나란하게 배열될 수 있다.
- [0072] 전원 라인(SL-VDD)은 화소들(PX)에 연결되며, 화소들(PX)에 제1 전원전압을 제공할 수 있다. 전압 라인(SL-VDD)은 제1 방향(DR1)으로 연장하는 복수의 라인들 및 제2 방향(DR2)으로 연장하는 복수의 라인들을 포함할 수 있다.
- [0073] 초기화 전압 라인(SL-Vint)은 화소들(PX)에 초기화 전압을 제공할 수 있다. 초기화 전압 라인(SL-Vint)은 제1 방향(DR1)으로 연장하는 복수의 라인들 및 제2 방향(DR2)으로 연장하는 복수의 라인들을 포함할 수 있다.
- [0074] 더미 신호 라인(SL-D)은 주사 구동회로(GDC)에 제어신호들을 제공할 수 있다. 더미 신호 라인(SL-D)은 전원전극(E-VSS)에 제2 전원전압을 제공할 수 있다. 제2 전원전압은 상기 제1 전원전압과 다른 레벨을 갖는다. 제2 전원전압은 제1 전원전압보다 낮은 레벨을 가질 수 있다.
- [0075] 전원전극(E-VSS)은 비표시영역(NDA)에 배치되고, 베이스층(SUB)의 테두리를 따라 연장된 형상을 갖는다. 도 4에 도시된 것과 같이, 전원전극(E-VSS)은 3개의 테두리와 마주하는 형상을 가질 수 있다. 전원전극(E-VSS) 역시 회로층(DP-CL)에 포함될 수 있다.

- [0076] 도 4에 도시된 바와 같이, 전원전극(E-VSS)은 주사 구동회로(GDC)의 외측에 배치된다. 전원전극(E-VSS)은 베이스층(SUB)의 테두리를 따라 연장될 수 있다. 비표시영역(NDA)은 표시영역(DA)을 사이에 두고 제1 방향(DR1)에서 마주하는 제1 비표시영역(NDA1) 및 제2 비표시영역(NDA2)을 포함할 수 있다. 비표시영역(NDA)은 표시영역(DA)을 사이에 두고 제2 방향(DR2)에서 마주하는 제3 비표시영역(NDA3) 및 제4 비표시영역(NDA4)을 포함할 수 있다. 전원전극(E-VSS)은 제1 비표시영역(NDA1), 제3 비표시영역(NDA3), 및 제4 비표시영역(NDA4) 중 적어도 어느 하나의 비표시영역에 배치될 수 있다. 도 4에 도시된 바와 같이, 전원전극(E-VSS)은 제1 비표시영역(NDA1), 제3 비표시영역(NDA3), 및 제4 비표시영역(NDA4)에 배치될 수 있다.
- [0077] 실시예들에서, 표시유닛(DP)은 차폐전극(SHL)(또는, 차폐층, 차단층)을 더 포함할 수 있다.
- [0078] 도 4에 도시된 바와 같이, 차폐전극(SHL)은 비표시 영역(NDA)에 배치되며, 차폐전극(SHL)은 전원전극(E-VSS) 및 주사 구동회로(GDC)와 중첩할 수 있다. 도 13을 참조하여 후술하겠지만, 차폐전극(SHL)은 전원전극(E-VSS)과 직접적으로 연결되고, 주사 구동회로(GDC)의 적어도 일부를 커버할 수 있다. 차폐전극(SHL)은 주사 구동회로(GDC)와 전기적으로 절연될 수 있다. 차폐전극(SHL)은 주사 구동회로(GDC)를 커버함으로써, 주사 구동회로(GDC)에 의해 생성되어 후술하는 입력감지유닛(TS)으로 전과되는 노이즈를 차폐할 수 있다. 따라서, 주사 구동회로(GDC)에 의한 입력감지유닛(TS)의 노이즈가 완화되거나 방지될 수 있다. 차폐전극(SHL)의 구체적인 구성 및 기능에 대해서는 도 12 및 도 13을 참조하여 후술하기로 한다.
- [0079] 도 5는 도 2의 표시 유닛에 포함된 화소의 일 예를 나타내는 회로도이다.
- [0080] 도 5를 참조하면, 화소(PX)는 발광소자(EL), 제1 내지 제7 트랜지스터들(T1 내지 T7), 및 커패시터(Cst)(또는, 유지 커패시터, 저장 커패시터)를 포함할 수 있다.
- [0081] 화소(PX)에는 데이터 신호(DATA), 제1 주사 신호(GW), 제2 주사 신호(GI), 제3 주사 신호(GB) 및 발광 제어 신호(EM)가 제공될 수 있다. 여기서, 제2 주사 신호(GI)는 이전 시점 또는 이전 행의 제1 주사 신호(GW)와 같을 수 있고, 예를 들어, n 번째 행의 화소(PX)에 제공되는 제2 주사 신호(GI[n])는 n-1 번째 행의 화소(PX)에 제공되는 제1 주사 신호(GW[n-1])와 같을 수 있다. 유사하게, 제3 주사 신호(GB)는 이후 시점 또는 이후 행의 제2 주사 신호(GI)와 같을 수 있고, 예를 들어, n 번째 행의 화소(PX)에 제공되는 제3 주사 신호(GB[n])는 n+1 번째 행의 화소(PX)에 제공되는 제2 주사 신호(GI[n+1])와 같을 수 있다.
- [0082] 제1 내지 제7 트랜지스터들(T1 내지 T7) 각각은 제1 전극, 제2 전극 및 게이트 전극을 포함할 수 있다. 제1 전극 및 제2 전극 중 하나는 소스 전극이고, 제1 전극 및 제2 전극 중 다른 하나는 드레인 전극일 수 있다.
- [0083] 제1 내지 제7 트랜지스터들(T1 내지 T7) 각각은 박막 트랜지스터일 수 있다. 제1 내지 제7 트랜지스터들(T1 내지 T7) 각각은 PMOS 트랜지스터 또는 NMOS 트랜지스터일 수 있다. 이하에서는, 제1 내지 제7 트랜지스터들(T1 내지 T7)은 PMOS 트랜지스터인 것으로 예시하여 설명한다.
- [0084] 발광소자(EL)는 애노드 전극 및 캐소드 전극을 포함할 수 있다. 발광소자(EL)의 애노드 전극은 제4 노드(N4)에 연결되고, 캐소드 전극은 제2 전원 라인(즉, 제2 전원전압(ELVSS))를 전송하는 배선에 연결될 수 있다.
- [0085] 제1 트랜지스터(T1)(또는, 구동 트랜지스터)는 제1 노드(N1)에 연결(또는, 전기적으로 연결)되는 제1 전극, 제2 노드(N2)에 연결되는 제2 전극 및 제3 노드(N3)에 연결되는 게이트 전극을 포함할 수 있다. 제1 트랜지스터(T1)는 제3 노드(N3)의 전압(또는, 후술하는 커패시터(Cst)에 저장된 데이터 전압)에 기초하여 구동 전류(Id)를 발광소자(EL)에 제공할 수 있다.
- [0086] 제2 트랜지스터(T2)(또는, 스위칭 트랜지스터)는 데이터 라인에 연결되는(또는, 데이터(DATA)를 수신하는) 제1 전극, 제1 노드(N1)에 연결되는 제2 전극, 및 제1 주사 라인(예를 들어, 도 1에 도시된 제1 주사 라인(SL1))에 연결되거나 제1 주사 신호(GW)를 수신하는 게이트 전극을 포함할 수 있다. 제2 트랜지스터(T2)는 제1 주사 신호(GW)에 응답하여 턴온되고, 데이터 신호(DATA)를 제1 노드(N1)에 전달할 수 있다.
- [0087] 제3 트랜지스터(T3)는 제2 노드(N2)에 연결되는 제1 전극, 제3 노드(N3)에 연결되는 제2 전극, 및 제1 주사 라인에 연결되거나 제1 주사 신호(GW)를 수신하는 게이트 전극을 포함할 수 있다. 제3 트랜지스터(T3)는 제1 주사 신호(GW)에 응답하여 턴온되고, 데이터 신호(DATA)를 제3 노드(N3)로 전달할 수 있다.
- [0088] 커패시터(Cst)는 제3 노드(N3)와 제1 전원전압(ELVDD) 사이에 연결될 수 있다. 커패시터(Cst)는 제공되는 데이터 신호(DATA)를 저장하거나 유지시킬 수 있다.
- [0089] 제4 트랜지스터(T4)는 제3 노드(N3)에 연결되는 제1 전극, 초기화 전압 배선에 연결되거나 초기화 전압(VINT)을

수신하는 제2 전극, 및 제2 주사 라인(예를 들어, 도 1에 도시된 제2 주사 라인(SL21))에 연결되거나 제2 주사 신호(GI)를 수신하는 게이트 전극을 포함할 수 있다.

- [0090] 제4 트랜지스터(T4)는 커패시터(Cst)에 데이터 신호(DATA)가 저장되기 전에(또는, 발광소자(EL)가 발광한 이후에), 제2 주사 신호(GI)에 응답하여 턴온되고, 제3 노드(N3)(또는, 커패시터(Cst))를 초기화 전압(VINT)을 이용하여 초기화할 수 있다.
- [0091] 일 실시예에서, 제3 및 제4 트랜지스터들(T3, T4)는 듀얼 트랜지스터(즉, 2개의 트랜지스터들이 결합된 형태의 트랜지스터)로 구현될 수 있다. 이 경우, 제3 및 제4 트랜지스터들(T3, T4)의 누설 전류 및 누설 전류에 기인한 표시 품질의 저하가 방지 또는 완화될 수 있다.
- [0092] 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)(또는, 제1 및 제2 발광 제어 트랜지스터들)는 제1 전원 라인 및 발광소자(EL) 사이에 연결되고, 제1 트랜지스터(T1)에 의해 생성되는 구동 전류(Id)가 이동하는 전류 이동 경로를 형성할 수 있다.
- [0093] 제5 트랜지스터(T5)는 제1 전원 라인에 연결되어 제1 전원전압(ELVDD)를 수신하는 제1 전극, 제1 노드(N1)에 연결되는 제2 전극, 및 발광 제어 라인(예를 들어, 도 1에 도시된 제1 발광 제어 라인(EL1))에 연결되거나 발광 제어 신호(EM)를 수신하는 게이트 전극을 포함할 수 있다.
- [0094] 유사하게, 제6 트랜지스터(T6)는 제2 노드(N2)에 연결되는 제1 전극, 제4 노드(N4)(또는, 발광소자(EL)의 애노드 전극)에 연결되는 제2 전극, 및 발광 제어 라인(예를 들어, 도 1에 도시된 제1 발광 제어 라인(EL1))에 연결되거나 발광 제어 신호(EM)를 수신하는 게이트 전극을 포함할 수 있다.
- [0095] 제5 및 제6 트랜지스터들(T5, T6)은 발광 제어 신호(EM)에 응답하여 턴온되고, 이 경우, 구동 전류(Id)가 발광소자(EL)에 제공되며, 발광소자(EL)는 구동 전류(Id)에 대응하는 휘도를 가지고 발광할 수 있다.
- [0096] 제7 트랜지스터(T7)는 제4 노드(N4)에 연결되는 제1 전극, 초기화 전압 배선(또는, 초기화 전압(VINT))에 연결되는 제2 전극, 및 제2 주사 신호선(예를 들어, 도 1에 도시된 제2 주사 신호선(SL21))에 연결되거나 제3 주사 신호(GB)를 수신하는 게이트 전극을 포함할 수 있다.
- [0097] 제7 트랜지스터(T7)는, 발광소자(EL)가 발광하기 전에(또는, 발광소자(EL)가 발광한 이후에), 제3 주사 신호(GB)에 응답하여 턴온되고, 초기화 전압(VINT)을 이용하여 발광소자(EL)의 애노드 전극을 초기화시킬 수 있다. 발광소자(EL)는 기생 커패시터를 포함할 수 있고, 기생 커패시터는 발광소자(EL)가 발광하는 동안 구동 전류(Id)에 의해 충전되거나 방전되어, 발광소자(EL)의 애노드 전극은 일정하지 않은 전압을 가질 수 있다. 따라서, 제7 트랜지스터(T7)를 통해 발광소자(EL)의 기생 커패시터 및 보조 커패시터(Caux)를 초기화시킬 수 있다.
- [0098] 한편, 도 5에서 제7 트랜지스터(T7)는 제3 주사 신호(GB)를 수신하는 것으로 도시되어 있으나, 이에 한정되는 것은 아니다. 예를 들어, 제7 트랜지스터(T7)는, 제2 주사신호(GI)를 수신할 수 있다.
- [0099] 도 6은 도 5의 B-B'선에 대응하는 화소의 일 예를 나타내는 단면도이다. 도 6에는 도 5의 화소(PX)에 포함된 제2 트랜지스터(T2), 제1 트랜지스터(T1), 제6 트랜지스터(T6), 및 발광소자(EL)에 대응하는 단면이 도시되었다.
- [0100] 도 6을 참조하면, 화소(PX)는 베이스층(SUB), 회로소자층(DP-CL), 표시소자층(DP-OLED) 및 박막봉지층(TFE)을 포함할 수 있다. 베이스층(SUB)은 도 4를 참조하여 설명한 베이스층(SUB)과 실질적으로 동일하므로, 중복되는 설명은 반복하지 않기로 한다.
- [0101] 먼저, 회로소자층(DP-CL)을 설명한다.
- [0102] 회로소자층은 버퍼층(BFL), 반도체층(100), 제1 절연층(10), 제1 도전층(200), 제2 절연층(20), 제2 도전층(300), 제3 절연층(30), 제3 도전층(400) 및 제4 절연층(40)을 포함할 수 있다.
- [0103] 버퍼층(BFL)은 베이스층(SUB) 상에 배치될 수 있다. 버퍼층(BFL)은 베이스층(SUB)과 도전성 패턴들 또는 반도체 패턴들의 결합력을 향상시킨다. 버퍼층(BFL)은 무기층을 포함할 수 있다. 도 6에 도시되지 않았으나, 이물질이 유입되는 것을 방지하는 배리어층이 베이스층(SUB)의 상면에 더 배치될 수도 있다. 버퍼층(BFL)과 배리어층은 선택적으로 배치되거나 생략될 수 있다.
- [0104] 반도체층(100)은 버퍼층(BFL) 상에 배치될 수 있다. 반도체층(100)은 제2 트랜지스터(T2)의 반도체 패턴(OSP2: 이하 제2 반도체 패턴), 제1 트랜지스터(T1)의 반도체 패턴(OSP1: 이하 제1 반도체 패턴), 제6 트랜지스터(T6)의 반도체 패턴(OSP6: 이하 제6 반도체 패턴)을 포함할 수 있다. 제1 반도체 패턴(OSP1), 제2 반도체 패턴

(OSP2), 및 제6 반도체 패턴(OSP6)은 아몰포스 실리콘, 폴리 실리콘, 금속 산화물 반도체에서 선택될 수 있다.

- [0105] 제1 절연층(10)은 반도체층(100) 상에 배치될 수 있다. 도 6에서 제1 절연층(10)이 제2 반도체 패턴(OSP2) 및 제6 반도체 패턴(OSP6)을 커버하는 층 형태로 제공되는 것으로 도시되어 있으나, 이는 예시적인 것으로, 이에 제한되는 것은 아니다. 예를 들어, 제1 절연층(10)은 제2 반도체 패턴(OSP2) 및 제6 반도체 패턴(OSP6)에 대응하여 배치된 패턴으로 제공될 수도 있다.
- [0106] 제1 절연층(10)은 복수 개의 무기층들을 포함할 수 있다. 무기층들은 실리콘 나이트라이드층, 실리콘 옥시 나이트라이드층 및 실리콘 옥사이드층을 포함할 수 있다.
- [0107] 제1 도전층(200)은 제1 절연층(10) 상에 배치된다. 제1 도전층(200)은 제1 트랜지스터(T1)의 게이트 전극(GE1: 이하, 제1 게이트 전극), 제2 트랜지스터(T2)의 게이트 전극(GE2: 이하, 제2 게이트 전극) 및 제6 트랜지스터(T6)의 게이트 전극(GE6: 이하, 제6 게이트 전극)을 포함할 수 있다. 제1 게이트 전극(GE1), 제2 게이트 전극(GE2) 및 제6 게이트 전극(GE6)은 주사 라인들(GL, 도 4 참조)과 동일한 포토리소그래피 공정을 통해 제조될 수 있다.
- [0108] 제2 절연층(20)은 제1 도전층(200)(및 제1 절연층(10)) 상에 배치된다. 제2 절연층(20)은 제2 게이트 전극(GE2) 및 제6 게이트 전극(GE6)을 커버할 수 있다. 제2 절연층(20)은 평탄한 상면을 제공할 수 있다. 제2 절연층(20)은 유기 물질 및/또는 무기 물질을 포함할 수 있다.
- [0109] 제2 절연층(20) 상에 제2 도전층(300)이 배치된다. 제2 도전층(300)은 제1 트랜지스터(T1)의 입력전극(SE1: 이하, 제1 입력전극) 및 출력전극(DE1: 제1 출력전극), 제2 트랜지스터(T2)의 입력전극(SE2: 이하, 제2 입력전극) 및 출력전극(DE2: 제2 출력전극), 및 제6 트랜지스터(T6)의 입력전극(SE6: 이하, 제6 입력전극) 및 출력전극(DE6: 제6 출력전극)을 포함할 수 있다.
- [0110] 제1 출력전극(DE1)은 제1 절연층(10) 및 제2 절연층(20)을 관통하는 제1 콘택홀(CNT1)을 통해 제1 반도체 패턴(OSP1)에 연결된다. 유사하게, 제1 입력전극(SE1)은 제1 절연층(10) 및 제2 절연층(20)을 관통하는 제2 콘택홀(CNT2)을 통해 제1 반도체 패턴(OSP1)에 연결된다. 제2 입력전극(SE2)과 제2 출력전극(DE2)은 제1 절연층(10) 및 제2 절연층(20)을 관통하는 제3 콘택홀(CNT3)과 제4 콘택홀(CNT4)을 통해 제2 반도체 패턴(OSP2)에 각각 연결된다. 제2 입력전극(SE2)은 제1 출력전극(DE1)과 전기적으로 연결되거나, 일체로 형성될 수 있다. 제6 입력전극(SE6)과 제6 출력전극(DE6)은 제1 절연층(10) 및 제2 절연층(20)을 관통하는 제5 콘택홀(CNT5)과 제6 콘택홀(CNT6)을 통해 제6 반도체 패턴(OSP6)에 각각 연결된다. 제6 출력전극(DE6)은 제1 입력전극(SE1)과 전기적으로 연결되거나, 일체로 형성될 수 있다. 한편, 제1 트랜지스터(T1), 제2 트랜지스터(T2), 및 제6 트랜지스터(T6)는 탑 게이트 구조를 가지는 것으로 도시되어 있으나, 이에 제한되지 않으며, 예를 들어, 제1 트랜지스터(T1), 제2 트랜지스터(T2), 및 제6 트랜지스터(T6) 중 적어도 하나는 바텀 게이트 구조로 변형되어 실시될 수도 있다.
- [0111] 제3 절연층(30)은 제2 도전층(300)(및 제2 절연층(20)) 상에 배치된다. 제3 절연층(30)은 제2 입력전극(SE2), 제6 입력전극(SE6), 제1 출력전극(DE1), 제2 출력전극(DE2), 제6 출력전극(DE6)을 커버할 수 있다. 제3 절연층(30)은 유기층 및/또는 무기층을 포함한다. 제3 절연층(30)은 평탄면을 제공하기 위해서 유기물질을 포함할 수 있다.
- [0112] 제3 도전층(400)은 제3 절연층(30) 상에 배치될 수 있다. 제3 도전층(400)은 데이터 라인(DL) 및 데이터 패턴(410)을 포함할 수 있다. 데이터 라인(DL)은 제3 절연층(30)을 관통하는 제7 콘택홀(CNT7)을 통해 제2 트랜지스터(T2)의 제2 출력전극(DE2)과 연결된다. 데이터 패턴(410)은 제3 절연층(30)을 관통하는 제8 콘택홀(CNT8)을 통해 제6 트랜지스터(T6)의 제6 입력전극(SE6)과 연결된다.
- [0113] 한편, 도 6에 도시되지 않았으나, 제3 도전층(400)은 차폐전극(SHL)을 더 포함할 수 있다. 차폐전극(SHL)에 대해서는 비표시 영역(NDA)에 배치되며, 차폐전극(SHL)의 구체적인 구성에 대해서는, 비표시 영역(NDA)의 적층 구조와 함께 도 12를 참조하여 후술한다.
- [0114] 제4 절연층(40)은 제3 도전층(400)(및 제3 절연층(30)) 상에 배치될 수 있다. 제4 절연층(40)은 데이터 라인(DL) 및 데이터 패턴(410)을 커버할 수 있다. 제4 절연층(40)은 유기층 및/또는 무기층을 포함한다. 제3 절연층(40)은 평탄면을 제공하기 위해서 유기물질을 포함할 수 있다.
- [0115] 제1 절연층(10), 제2 절연층(20), 제3 절연층(30), 및 제4 절연층(40)은 중간 절연층으로 정의될 수 있다. 제1 절연층(10), 제2 절연층(20), 제3 절연층(30) 및 제4 절연층(40) 중 어느 하나는 화소의 회로 구조에 따라 생략되거나, 다른 절연층이 추가될 수 있다.

- [0116] 이하, 표시소자층(DP-OLED)를 설명한다.
- [0117] 제4 절연층(40) 상에는 화소정의막(PDL) 및 유기발광 다이오드(OLED)가 배치된다. 제4 절연층(40) 상에 제1 전극(AE)이 배치된다. 제1 전극(AE)은 제4 절연층(40)을 관통하는 제9 콘택홀(CNT9)을 통해 데이터 패턴(410)에 연결된다. 데이터 패턴(410)은 제6 입력전극(SE6)에 연결되므로, 제1 전극(AE)은 데이터 패턴(410)을 통해 제6 입력전극(SE6)(즉, 제6 트랜지스터(T6))과 전기적으로 연결될 수 있다.
- [0118] 화소정의막(PDL)에는 개구부(OP)가 정의된다. 화소정의막(PDL)의 개구부(OP)는 제1 전극(AE)의 적어도 일부분을 노출시킨다.
- [0119] 화소(PX)는 평면 상에서 화소 영역에 배치될 수 있다. 화소 영역은 발광영역(PXA)과 발광영역(PXA)에 인접한 비발광영역(NPXA)을 포함할 수 있다. 비발광영역(NPXA)은 발광영역(PXA)을 에워싸을 수 있다. 발광영역(PXA)은 개구부(OP)에 의해 노출된 제1 전극(AE)의 일부영역에 대응하게 정의되었다.
- [0120] 정공 제어층(HCL)은 발광영역(PXA)과 비발광영역(NPXA)에 공통으로 배치될 수 있다. 도 6에 도시되지 않았으나, 정공 제어층(HCL)과 같은 공통층은 복수 개의 화소들(PX, 도 4 참조)에 공통으로 형성될 수 있다.
- [0121] 정공 제어층(HCL) 상에 발광층(EML)이 배치된다. 발광층(EML)은 개구부(OP)에 대응하는 영역에 배치될 수 있다. 즉, 발광층(EML)은 화소들(PX) 각각에 분리되어 형성될 수 있다. 발광층(EML)은 유기물질 및/또는 무기물질을 포함할 수 있다. 도 6에서 패터닝된 발광층(EML)이 예시적으로 도시되어 있으나, 발광층(EML)은 화소들(PX)에 공통적으로 배치될 수 있다. 이때, 발광층(EML)은 백색 광을 생성할 수 있다. 또한, 발광층(EML)은 다층구조를 가질 수 있다.
- [0122] 발광층(EML) 상에 전자 제어층(ECL)이 배치된다. 전자 제어층(ECL)은 화소들(PX, 도 5a 참조)에 공통으로 형성될 수도 있다.
- [0123] 전자 제어층(ECL) 상에 제2 전극(CE)이 배치된다. 제2 전극(CE)은 화소들(PX)에 공통적으로 배치된다.
- [0124] 제2 전극(CE) 상에 박막 봉지층(TFE)이 배치된다. 박막 봉지층(TFE)은 화소들(PX)에 공통적으로 배치된다. 박막 봉지층(TFE)은 제2 전극(CE)을 직접 커버할 수 있다. 박막 봉지층(TFE)과 제2 전극(CE) 사이에는, 제2 전극(CE)을 커버하는 캡핑층이 더 배치될 수도 있다. 이 경우, 박막 봉지층(TFE)은 캡핑층을 직접 커버할 수 있다.
- [0125] 도 7은 도 2의 표시장치에 포함된 입력감지유닛의 일 예를 나타내는 단면도이다. 도 8은 도 7의 입력감지유닛의 일 예를 나타내는 평면도이다.
- [0126] 도 7을 참조하면, 입력감지유닛(TS)은 제1 도전층(TS-CL1), 제1 절연층(TS-IL1, 이하 제1 감지 절연층), 제2 도전층(TS-CL2), 및 제2 절연층(TS-IL2, 이하 제2 감지 절연층)을 포함한다. 제1 도전층(TS-CL1)은 박막 봉지층(TFE) 상에 직접 배치된다. 이에 제한되지 않고, 제1 도전층(TS-CL1)과 박막 봉지층(TFE) 사이에는 또 다른 무기층 또는 유기층이 더 배치될 수 있다. 제1 도전층(TS-CL1) 및 제2 도전층(TS-CL2) 각각은 단층구조를 갖거나, 제3 방향(DR3)을 따라 적층된 다층구조를 가질 수 있다. 다층구조의 도전층은 투명 도전층들과 금속층들 중 적어도 2이상을 포함할 수 있다. 다층구조의 도전층은 서로 다른 금속을 포함하는 금속층들을 포함할 수 있다. 투명 도전층은 ITO(indium tin oxide), IZO(indium zinc oxide), ZnO(zinc oxide), ITZO(indium tin zinc oxide), PEDOT, 금속 나노 와이어, 그래핀을 포함할 수 있다. 금속층은 몰리브덴, 은, 티타늄, 구리, 알루미늄, 및 이들의 합금을 포함할 수 있다. 예를 들어, 제1 도전층(TS-CL1) 및 제2 도전층(TS-CL2) 각각은 티타늄/알루미늄/티타늄의 3층 구조를 가질 수 있다.
- [0127] 제1 도전층(TS-CL1) 및 제2 도전층(TS-CL2) 각각은 복수 개의 패턴들을 포함한다. 이하, 제1 도전층(TS-CL1)은 제1 도전패턴들을 포함하고, 제2 도전층(TS-CL2)은 제2 도전패턴들을 포함하는 것으로 설명된다. 제1 도전패턴들과 제2 도전패턴들 각각은 감지전극들 및 감지 신호라인들을 포함할 수 있다.
- [0128] 제1 감지 절연층(TS-IL1) 및 제2 감지 절연층(TS-IL2) 각각은 무기물 또는 유기물을 포함할 수 있다. 무기물은 알루미늄 옥사이드, 티타늄 옥사이드, 실리콘 옥사이드, 실리콘옥시나이트라이드, 지르코늄옥사이드, 및 하프늄 옥사이드 중 적어도 하나를 포함할 수 있다. 유기물은 아크릴계 수지, 메타크릴계 수지, 폴리이소프렌, 비닐계 수지, 에폭시계 수지, 우레탄계 수지, 셀룰로오스계 수지, 실록산계 수지, 폴리이미드계 수지, 폴리아미드계 수지 및 페릴렌계 수지 중 적어도 어느 하나를 포함할 수 있다.
- [0129] 제1 감지 절연층(TS-IL1) 및 제2 감지 절연층(TS-IL2) 각각은 단층 또는 다층구조를 가질 수 있다. 제1 감지 절연층(TS-IL1) 및 제2 감지 절연층(TS-IL2) 각각은 무기층 및 유기층 중 적어도 어느 하나를 가질 수 있다. 무기

층 및 유기층은 화학 기상 증착 방식에 의해 형성될 수 있다.

- [0130] 제1 감지 절연층(TS-IL1)은 제1 도전층(TS-CL1) 및 제2 도전층(TS-CL2)을 절연시키면 충분하고 그 형상은 제한되지 않는다. 제1 도전패턴들과 제2 도전패턴들의 형상에 따라 제1 감지 절연층(TS-IL1)의 형상은 변경될 수 있다. 제1 감지 절연층(TS-IL1)은 박막 봉지층(TFE)을 전체적으로 커버하거나, 복수 개의 절연 패턴들을 포함할 수 있다. 복수 개의 절연 패턴들은 후술하는 제1 연결부들(CP1) 또는 제2 연결부들(CP2)에 중첩하면 충분하다.
- [0131] 도 7에는 2층형 입력감지유닛이 도시되어 있으나, 이는 예시적인 것으로, 이에 제한되는 것은 아니다. 예를 들어, 단층형 입력감지유닛은 도전층 및 도전층을 커버하는 절연층을 포함한다. 도전층은 감지전극들 및 감지전극들에 연결된 감지 신호라인들을 포함한다. 단층형 입력감지유닛은 셸프 캡 방식으로 좌표정보를 획득할 수 있다.
- [0132] 도 8을 참조하면, 입력감지유닛(TS)은 제1 감지전극들(TE1-1 내지 TE1-4)(또는, 제1 내지 제4 구동전극들), 제1 감지전극들에 연결된 제1 감지 신호라인들(SL1-1 내지 SL1-4)(또는, 제1 내지 제4 구동 신호라인들), 제2 감지전극들(TE2-1 내지 TE2-5)(또는, 제1 내지 제5 센싱전극들), 및 제2 감지전극들(TE2-1 내지 TE2-5)에 연결된 제2 감지 신호라인들(SL2-1 내지 SL2-5)(또는, 제1 내지 제5 센싱 신호라인들), 및 제1 감지 신호라인들(SL1-1 내지 SL1-4)과 제2 감지 신호라인들(SL2-1 내지 SL2-5)에 연결된 패드부(PADa)를 포함할 수 있다. 도 8에는 입력감지유닛(TS)이 4개의 제1 감지전극들(TE1-1 내지 TE1-4)과 5개의 제2 감지전극들(TE2-1 내지 TE2-5)을 포함하는 것으로 도시되어 있으나, 이는 예시적인 것으로, 이에 제한되는 것은 아니다.
- [0133] 제1 감지전극들(TE1-1 내지 TE1-4) 각각은 복수 개의 감지 개구부들이 정의된 메쉬 형상을 가질 수 있다. 제1 감지전극들(TE1-1 내지 TE1-4) 각각은 복수 개의 제1 감지 센서부들(SP1)과 복수 개의 제1 연결부들(CP1)을 포함한다. 제1 감지 센서부들(SP1)은 제1 방향(DR1)을 따라 나열된다. 제1 연결부들(CP1) 각각은 제1 감지 센서부들(SP1)은 중 인접하는 2개의 제1 감지 센서부들(SP1)을 연결한다. 제1 감지 신호라인들(SL1-1 내지 SL1-4) 역시 메쉬 형상을 가질 수도 있다.
- [0134] 제2 감지전극들(TE2-1 내지 TE2-5)은 제1 감지전극들(TE1-1 내지 TE1-4)과 절연 교차한다. 제2 감지전극들(TE2-1 내지 TE2-5) 각각은 복수 개의 감지 개구부들이 정의된 메쉬 형상을 가질 수 있다. 제2 감지전극들(TE2-1 내지 TE2-5) 각각은 복수 개의 제2 감지 센서부들(SP2)과 복수 개의 제2 연결부들(CP2)을 포함한다. 제2 감지 센서부들(SP2)은 제2 방향(DR2)을 따라 나열된다. 제2 연결부들(CP2) 각각은 제2 감지 센서부들(SP2)은 중 인접하는 2개의 제2 감지 센서부들(SP2)을 연결한다. 제2 감지 신호라인들(SL2-1 내지 SL2-5) 역시 메쉬 형상을 가질 수 있다.
- [0135] 제1 감지전극들(TE1-1 내지 TE1-4)과 제2 감지전극들(TE2-1 내지 TE2-5)은 정전 결합된다. 제1 감지전극들(TE1-1 내지 TE1-4)에 감지 신호들이 인가됨에 따라 제1 감지 센서부들(SP1)과 제2 감지 센서부들(SP2) 사이에 커패시터들이 형성된다.
- [0136] 제1 감지 센서부들(SP1), 제1 연결부들(CP1), 및 제1 감지 신호라인들(SL1-1 내지 SL1-4), 제2 감지 센서부들(SP2), 제2 연결부들(CP2), 및 제2 감지 신호라인들(SL2-1 내지 SL2-5) 중 일부는 도 7에 도시된 제1 도전층(TS-CL1)을 패터닝하여 형성하고, 다른 일부는 도 7에 도시된 제2 도전층(TS-CL2)을 패터닝하여 형성할 수 있다.
- [0137] 제1 연결부들(CP1)과 제2 연결부들(CP2)이 서로 교차하는 입력감지유닛(TS)을 예시적으로 도시하였으나, 이에 제한되지 않는다. 예를 들어, 제1 연결부들(CP1) 각각은 제2 연결부들(CP2)에 비중첩하도록 V자 형태로 변형될 수 있다. V자 형태의 제1 연결부들(CP1)은 제2 감지 센서부들(SP2)에 중첩할 수 있다.
- [0138] 또한, 마름모 형상의 제1 감지 센서부들(SP1)과 제2 감지 센서부들(SP2)를 예시적으로 도시되어 있으나, 이에 제한되지 않는다.
- [0139] 입력감지유닛(TS)의 보다 구체적인 구성을 설명하기 위해 도 9 내지 도 11이 참조된다.
- [0140] 도 9는 도 7의 입력감지유닛에 포함된 제1 도전층의 일 예를 나타내는 평면도이다. 도 10은 도 7의 입력감지유닛에 포함된 제2 도전층의 일 예를 나타내는 평면도이다. 도 11은 도 10의 BB 영역을 확대한 도면이다.
- [0141] 도 9를 참조하면, 박막 봉지층(TFE) 상에 제1 도전패턴들이 배치된다. 제1 도전패턴들은 제1 연결부들(CP1)(또는, 브릿지 패턴들)을 포함할 수 있다. 제1 연결부들(CP1)은 박막 봉지층(TFE) 상에 직접 배치될 수 있다. 제1 연결부들(CP1)은 도 8에 도시된 제1 연결부들(CP1)에 대응한다.

- [0142] 도 10에 도시되지 않았으나, 박막 봉지층(TFE) 상에 제1 연결부들(CP1)을 커버하는 제1 감지 절연층(TS-IL1)이 배치된다. 제1 감지 절연층(TS-IL1)에는 제1 연결부들(CP1)을 부분적으로 노출시키는 콘택홀들이 정의된다. 포토리소그래피 공정에 의해 콘택홀들이 형성될 수 있다.
- [0143] 도 10을 참조하면, 제1 감지 절연층(TS-IL1) 상에 제2 도전패턴들이 배치된다. 제2 도전패턴들은 제1 감지 센서부들(SP1), 제2 연결부들(CP2), 및 제1 감지 신호라인들(SL1-1 내지 SL1-4), 제2 감지 센서부들(SP2) 및 제2 감지 신호라인들(SL2-1 내지 SL2-5)을 포함할 수 있다. 도 10에 도시되지 않았으나, 제1 감지 절연층(TS-IL1) 상에 제2 도전패턴들을 커버하는 제2 감지 절연층(TS-IL2)이 배치된다.
- [0144] 일 실시예에서, 제1 도전패턴들은 제1 감지전극들(TE1-1 내지 TE1-4) 및 제1 감지 신호라인들(SL1-1 내지 SL1-4)을 포함할 수 있다. 제2 도전패턴들은 제2 감지전극들(TE2-1 내지 TE2-5) 및 제2 감지 신호 라인들(SL2-1 내지 SL2-5)을 포함할 수 있다. 이때, 제1 감지 절연층(TS-IL1)에는 콘택홀들(CNT)이 정의되지 않는다.
- [0145] 일 실시예에서, 제1 도전패턴들과 제2 도전패턴들은 서로 바뀔 수 있다. 즉, 제2 도전패턴들이 제1 연결부들(CP1)을 포함할 수 있다
- [0146] 일 실시예에서, 제1 도전패턴들은 제1 감지 신호라인들(SL1-1 내지 SL1-4) 및 제2 감지 신호라인들(SL2-1 내지 SL2-5)에 대응하는 더미 신호라인들을 더 포함할 수 있다. 서로 대응하는 더미 신호라인과 감지 신호라인은 제1 감지 절연층(TS-IL1)을 관통하는 콘택홀들을 통해 연결될 수 있다. 더미 신호라인은 감지 신호라인의 저항을 낮출 수 있다.
- [0147] 도 11을 참조하면, 제1 감지 센서부(SP1) 및 제2 감지 센서부(SP2)는 비발광영역(NPXA)에 증첩한다. 제1 감지 센서부(SP1) 및 제2 감지 센서부(SP2)에는 복수 개의 메쉬홀들(TS-OPR, TS-OPG, TS-OPB)이 정의된다. 메쉬홀들(TS-OPR, TS-OPG, TS-OPB)은 발광영역들(PXA-R, PXA-G, PXA-B)에 일대일 대응할 수 있다.
- [0148] 발광영역들(PXA-R, PXA-G, PXA-B)은 도 6의 발광영역(PXA)과 실질적으로 동일할 수 있다. 발광영역들(PXA-R, PXA-G, PXA-B)마다 유기발광 다이오드들(OLED)이 배치된다. 유기발광 다이오드들(OLED)은 제1 컬러광을 생성하는 제1 유기발광 다이오드들, 제2 컬러광을 생성하는 제2 유기발광 다이오드들, 및 제3 컬러광을 생성하는 제3 유기발광 다이오드들을 포함할 수 있다.
- [0149] 발광영역들(PXA-R, PXA-G, PXA-B)은 유기발광 다이오드(OLED, 도 6 참조)의 발광층(EML, 도 6 참조)에서 발광하는 컬러에 따라 다른 면적을 가질 수 있다. 유기발광 다이오드의 종류에 따라 발광영역들(PXA-R, PXA-G, PXA-B)의 면적이 결정될 수 있다. 발광영역들(PXA-R, PXA-G, PXA-B)은 적어도 2개의 그룹으로 구분될 수 있다.
- [0150] 도 11에는 3개의 그룹으로 구분되는 발광영역들(PXA-R, PXA-G, PXA-B)이 도시되어 있으나, 이는 예시적인 것으로, 이에 제한되는 것은 아니다. 예를 들어, 메쉬홀들(TS-OPR, TS-OPG, TS-OPB)은 서로 다른 면적을 갖는 2개, 또는 4개 이상의 그룹들로 구분될 수 있다.
- [0151] 도 11에는 제1 면적의 제1 메쉬홀들(TS-OPR), 제1 면적과 다른 제2 면적의 제2 메쉬홀들(TS-OPG), 및 제1 면적, 및 제2 면적과 다른 제3 면적의 제3 메쉬홀들(TS-OPB)이 예시적으로 도시되어 있다. 메쉬홀들(TS-OPR, TS-OPG, TS-OPB)의 면적은 메쉬홀들(TS-OPR, TS-OPG, TS-OPB)에 증첩하는 유기발광 다이오드(OLED)의 종류 따라 결정될 수 있다.
- [0152] 제1 감지 센서부(SP1) 및 제2 감지 센서부(SP2) 각각은 메쉬홀들(TS-OPR, TS-OPG, TS-OPB)을 정의하는 메쉬선들을 포함할 수 있다. 메쉬선들은 제1 방향(DR1) 및 제2 방향(DR2)에 교차하는 제4 방향(DR4)으로 연장된 제1 메쉬선들과 제4 방향(DR4)과 교차하는 제5 방향(DR5)으로 연장된 제2 메쉬선들을 포함할 수 있다. 제1 및 제2 메쉬선의 선폭은 수 마이크로일 수 있다.
- [0153] 도 11에는 하나의 메쉬홀(TS-OPR)을 정의하는 4개의 메쉬선 유닛들(M1, M2, M3, M4)이 도시되어 있다. 메쉬선 유닛들은 제1 메쉬선들 및 제2 메쉬선들의 일부를 이룬다. 제1 메쉬선 유닛(M1)과 제2 메쉬선 유닛(M2)은 제4 방향(DR4)에서 마주하고, 제3 메쉬선 유닛(M3)과 제4 메쉬선 유닛(M4)은 제5 방향(DR5)에서 마주한다. 메쉬홀들(TS-OPR, TS-OPG, TS-OPB)이 발광영역들(PXA-R, PXA-G, PXA-B)에 일대일 대응하는 것으로 도시되어 있으나, 이에 제한되지 않는다. 예를 들어, 하나의 메쉬홀(TS-OPR, TS-OPG, TS-OPB)은 2 이상의 발광영역들(PXA-R, PXA-G, PXA-B)에 대응할 수 있다.
- [0154] 한편, 발광영역들(PXA-R, PXA-G, PXA-B)의 면적이 다양한 것을 예시적으로 도시되어 있으나, 이에 제한되지 않는다. 예를 들어, 발광영역들(PXA-R, PXA-G, PXA-B)의 크기는 서로 동일할 수 있고, 또한 메쉬홀들(TS-OPR,

TS-OPG, TS-OPB)의 크기도 서로 동일할 수 있다.

- [0155] 도 12는 도 3에 도시된 AA 영역을 확대한 표시모듈의 일 예를 나타내는 단면도이다. 도 13은 표시모듈의 비교예를 나타내는 단면도이다. 도 13에는 도 12에 대응하는 영역이 도시되어 있다. 도 14는 도 12의 표시모듈에 포함된 차폐전극, 연결전극 및 제2 전극을 중첩하여 도시한 평면도이다. 도 14에는 도 12의 단면에 대응하는 평면 영역이 도시되어 있다.
- [0156] 먼저 도 12를 참조하면, 표시영역(DA)에 배치된 회로층(DP-CL), 표시소자층(DP-OLED), 및 박막 봉지층(TFE)의 적층구조는 도 6을 참조하여 설명한 적층구조와 실질적으로 동일하므로, 중복되는 설명은 반복하지 않기로 한다. 설명의 편의상, 정공 제어층(HCL)과 전자 제어층(ECL)이 생략되었으나, 표시소자층(DP-OLED)은 정공 제어층(HCL)과 전자 제어층(ECL)이 포함하는 것으로 이해되어야 한다.
- [0157] 유사하게, 표시영역(DA)에 배치된 입력감지유닛(TS)의 적층구조는 도 7 내지 도 11을 참조하여 설명한 적층구조와 실질적으로 동일하므로, 중복되는 설명은 반복하지 않기로 한다. 설명의 편의상, 제1 도전층(TS-CL1) 및 제2 감지 절연층(TS-IL2)가 생략되었으나, 입력감지유닛(TS)은 제1 도전층(TS-CL1) 및 제2 감지 절연층(TS-IL2)을 포함하는 것으로 이해되어야 한다.
- [0158] 박막 봉지층(TFE)은 제1 무기층(IOL1), 유기층(OL) 및 제2 무기층(IOL2)을 포함하는 것으로 예시적으로 도시되었다.
- [0159] 이하, 비표시영역(NDA)을 중심으로 설명한다.
- [0160] 회로층(DP-CL)을 구성하는 주사 구동회로(GDC)는 비표시영역(NDA)에 배치된다. 주사 구동회로(GDC)는 제6 트랜지스터(T6)와 동일한 공정을 통해 형성된 적어도 하나의 트랜지스터(GDC-T)를 포함한다. 주사 구동회로(GDC)는 제6 트랜지스터(T6)의 입력전극과 동일한 층 상에 배치된 신호라인들(GDC-SL)을 포함한다. 초기화 전압 라인(SL-Vint) 및 전원전극(E-VSS) 역시 화소 트랜지스터(T6)의 입력전극과 동일한 층 상에 배치된다. 초기화 전압 라인(SL-Vint), 전원전극(E-VSS), 및 제6 트랜지스터(T6)의 입력전극은 동일한 공정을 통해 형성되므로, 동일한 층구조 및 동일한 물질을 포함할 수 있다.
- [0161] 도 4를 참조하여 설명한 바와 같이, 전원전극(E-VSS)은 주사 구동회로(GDC)의 외측에 배치된다.
- [0162] 제3 절연층(30) 상에 차폐전극(SHL)(또는, 차폐층)이 배치된다. 차폐전극(SHL)은 전원전극(E-VSS)과 직접적으로 연결되고, 주사 구동회로(GDC)의 적어도 일부와 중첩할 수 있다. 또한, 차폐전극(SHL)은 후술하는 제2 전극(CE)의 적어도 일부와 중첩하거나, 부분적으로 중첩할 수 있다. 차폐전극(SHL)은 데이터 라인(DL)과 동일한 공정을 통해 형성되고, 데이터 패턴(410)(또는, 데이터 라인(DL, 도 6 참조))과 동일한 층구조 및 동일한 물질을 포함할 수 있다. 또한, 차폐전극(SHL)은 데이터 패턴(410)(또는, 데이터 라인(DL))과 동일한 두께를 가질 수 있다.
- [0163] 차폐전극(SHL)은 도 4를 참조하여 설명한 제1 비표시영역(NDA1), 제3 비표시영역(NDA3), 및 제4 비표시영역(NDA4) 중 적어도 어느 하나의 비표시영역에 배치될 수 있다. 도 4에 도시된 바와 같이, 차폐전극(SHL)은 제1 비표시영역(NDA1), 제3 비표시영역(NDA3), 및 제4 비표시영역(NDA4)에 배치될 수 있다.
- [0164] 제4 절연층(40) 상에 연결전극(E-CNT)이 배치된다. 연결전극(E-CNT)은 전원전극(E-VSS)(또는, 차폐전극(SHL))과 제2 전극(CE)을 연결한다. 연결전극(E-CNT)는 전원전극(E-VSS)와 중첩하고, 또한, 차폐전극(SHL)과 중첩하며, 제2 전극(CE)과 중첩할 수 있다. 연결전극(E-CNT)은 제2 전원전압을 전원전극(E-VSS)으로부터 제2 전극(CE)에 전달한다. 연결전극(E-CNT)은 제1 전극(AE)과 동일한 공정을 통해 형성되므로, 동일한 층구조 및 동일한 물질을 포함할 수 있다. 연결전극(E-CNT)과 제1 전극(AE)은 동일한 두께를 가질 수 있다.
- [0165] 연결전극(E-CNT)은, 차폐전극(SHL)과 유사하게, 제1 비표시영역(NDA1), 제3 비표시영역(NDA3), 및 제4 비표시영역(NDA4) 중 적어도 어느 하나의 비표시영역에 배치될 수 있다. 예를 들어, 연결전극(E-CNT)은 제1 비표시영역(NDA1), 제3 비표시영역(NDA3), 및 제4 비표시영역(NDA4)에 배치될 수 있다.
- [0166] 연결전극(E-CNT)에는 복수 개의 제1 관통홀들(H\_VIA1)이 정의된다. 제1 관통홀들(H\_VIA1)은 제4 절연층(40)을 형성하는 과정에서 발생하는 가스들을 배출시킨다.
- [0167] 실시예들에서, 연결전극(E-CNT)의 제1 관통홀들(H\_VIA1)은 차폐전극(SHL)과 중첩하거나 차폐전극(SHL)에 의해 커버될 수 있다. 참고로, 연결전극(E-CNT)이 제1 관통홀들(H\_VIA1)을 포함하는 경우, 주사 구동 회로(GDC)로부터 연결전극(E-CNT)의 제1 관통홀들(H\_VIA1)을 통해 입력감지유닛(TS)으로 노이즈가 전파되고, 노이즈는 감지

신호라인들(SL2)에 영향을 주어 입력감지유닛(TS)의 센싱 감도가 저하될 수 있다. 따라서, 차폐전극(SHL)(즉, 전원전압(E-VSS)에 연결된 차폐전극(SHL))은 주사 구동 회로(GDC)를 기준으로 연결전극(E-CNT)의 제1 관통홀들(H\_VIA1)을 커버함으로써, 주사 구동 회로(GDC)로부터 연결전극(E-CNT)의 제1 관통홀들(H\_VIA1)을 통해 입력감지유닛(TS)으로 전파되는 노이즈가 차단될 수 있다. 따라서, 노이즈에 기인한 입력감지유닛(TS)의 센싱 감도의 저하가 방지될 수 있다.

[0168] 제2 전극(CE)은 차폐전극(SHL)의 적어도 일부에 중첩하거나 부분적으로 중첩할 수 있다. 연결전극(E-CNT)이 차폐전극(SHL)과 중첩하는지 않는 영역에서, 연결전극(E-CNT)의 제1 관통홀들(H\_VIA1) 중 일부를 통해 주사 구동 회로(GDC)로부터 입력감지유닛(TS)으로 노이즈가 전파될 수 있다(후술할 도 15 참조). 따라서, 제2 전극(CE)은 차폐전극(SHL)이 연결전극(E-CNT)과 비중첩하는 영역을 커버하여, 주사 구동 회로(GDC)로부터 입력감지유닛(TS)으로 전파되는 노이즈를 차단할 수 있다.

[0169] 참고로, 제2 전극(CE)은, 공차(또는, 공정 오차, 예를 들어, 하부 구성들의 형성 과정에서 발생할 수 있는 오차)를 고려하여 표시모듈(DM)의 가장자리로부터 기 설정된 거리(D\_REF) 이상만큼 이격되어 배치되어야 한다. 표시모듈(DM)이 차폐전극(SHL)을 포함함으로써, 제2 전극(CE)은 기 설정된 거리(D\_REF) 보다 충분한 마진(D\_M G)을 가지고 표시모듈(DM)의 가장자리로부터 이격되어 배치될 수 있으며, 입력감지유닛(TS)의 감지 신호라인들(SL2)도 보다 완화된 조건을 가지고 배치될 수 있다. 즉, 표시모듈(DM)이 차폐전극(SHL)을 포함함으로써, 제2 전극(CE) 및 감지 신호라인들(SL2)이 보다 완화된 조건(즉, 보다 완화된 위치 제약)을 가지고 배치될 수 있다. 제2 전극(CE) 및 감지 신호라인들(SL2)의 배치 조건과 관련하여 도 13이 참조된다.

[0170] 도 13을 참조하면, 비교예에 따른 표시모듈(DM\_C)은 차폐전극(SHL)을 포함하지 않을 수 있다. 제2 전극(CE)은 표시모듈(DM\_C)의 가장자리로부터 기 설정된 거리(D\_REF)만큼 이격되어 배치되며, 연결전극(E-CNT)의 제1 관통홀들(H\_VIA1)의 일부를 커버할 수 있다. 이 경우, 연결전극(E-CNT)의 제1 관통홀들(H\_VIA1) 중 나머지 일부(즉, 표시모듈(DM\_C)의 가장자리로부터 기 설정된 거리(D\_REF) 이내의 영역에 배치된 관통홀들)은 제2 전극(CE)에 의해 커버되지 못할 수 있다. 따라서, 주사 구동회로(GDC)로부터 상기 나머지 일부(즉, 제1 관통홀들(H\_VIA1) 중 나머지 일부)를 통해 가상 감지 신호라인들(SL2\_V)에 노이즈가 전파되고, 노이즈에 의해 입력감지유닛(TS)의 센싱 감도가 저하될 수 있다. 노이즈의 영향을 배제하기 위해, 가상 감지 신호라인들(SL2\_V)은 형성되지 않으며, 중첩영역(BTWA)(즉, 제2 전극(CE)에 의해 연결전극(E-CNT)의 제1 관통홀들(H\_VIA1)이 커버되는 영역)에만 제2 감지 신호라인들(SL2)이 배치될 수 있다. 제2 감지 신호라인들(SL2)이 배치될 수 있는 중첩영역(BTWA)이 상대적으로 감소함에 따라 제2 감지 신호라인들(SL2) 사이의 단락(short) 등이 발생하거나 제2 감지 신호라인들(SL2)의 폭의 감소에 따라 제2 감지 신호라인들(SL2)의 저항이 감소하고, 입력감지유닛(TS)의 센싱 감도가 저하될 수 있다.

[0171] 따라서, 본 발명의 실시예들에 따른 표시모듈(DM)은 차폐 전극(SHL)을 이용하여 연결전극(E-CNT)의 제1 관통홀들(H\_VIA1)을 커버함으로써, 입력감지유닛(TS)의 센싱 감도의 저하를 방지/완화할 뿐만 아니라, 제2 전극(CE) 및 감지 신호라인들(SL2)의 배치 위치의 제약을 완화시킬 수 있다.

[0172] 다시 도 12를 참조하면, 비표시영역(NDA)에는 댄들(DM1, DM2)이 배치될 수 있다.

[0173] 제1 댄들(DM1) 및 제2 댄들(DM2)은 제2 방향(DR2)으로 이격되어 배치될 수 있다. 도 12에 도시되지 않았으나, 제1 댄들(DM1) 및 제2 댄들(DM2)은 평면 상에서 표시영역(DA)을 둘러싸며 배치될 수 있다. 제1 댄들(DM1) 및 제2 댄들(DM2)은 적어도 제1 비표시영역(NDA1), 제3 비표시영역(NDA3), 및 제4 비표시영역(NDA4)에 배치될 수 있다.

[0174] 제1 댄들(DM1)은 전원전극(E-VSS) 상에 배치될 수 있다. 제1 댄들(DM1)은 단층일 수 있고, 화소정의막(PDL)과 동시에 형성될 수 있다. 제1 댄들(DM1)은 화소정의막(PDL)과 동일한 공정에 의해 형성되므로 화소정의막(PDL)과 동일한 두께를 갖고 동일한 물질을 포함할 수 있다. 제1 댄들(DM1)은 화소정의막(PDL)보다 작은 두께를 가질 수도 있다.

[0175] 제2 댄들(DM2)은 제1 댄들(DM1)의 외측에 배치될 수 있다. 예를 들어, 제1 댄들(DM1)와 표시영역(DA) 사이의 거리보다 제2 댄들(DM2)와 표시영역(DA) 사이의 거리보다 클 수 있다.

[0176] 제2 댄들(DM2)은 전원전극(E-VSS)의 일부를 커버할 수 있다. 제2 댄들(DM2)은 복층 구조를 가질 수 있다. 하측부분은 제3 절연층(30)과 동시에 형성되고, 중앙부분은 제4 절연층(40)과 동시에 형성되며, 상측부분은 화소정의막(PDL)과 동시에 형성될 수 있다.

[0177] 제1 무기층(IOL1)은 제1 댄들(DM1) 및 제2 댄들(DM2)을 커버할 수 있다. 제1 무기층(IOL1)의 엣지는 제2 절연층(20)에 접촉할 수 있다. 유기층(OL)은 회로소자들(예를 들어, 주사 구동 회로(GDC)의 트랜지스터(GDC-T))과 중

첩하며, 그 가장자리가 제1 댐(DM1) 및 제2 댐(DM2)에 중첩한다. 유기층(OL)의 엣지는 제2 댐(DM2)의 외측에 배치되지 않는 것이 바람직하다. 제2 무기층(IOL2)은 제1 댐(DM1) 및 제2 댐(DM2)에 중첩할 수 있다. 제2 무기층(IOL2)의 엣지는 제1 무기층(IOL1)에 접촉할 수 있다.

- [0178] 제1 감지 절연층(TS-IL1)은 제1 댐(DM1) 및 제2 댐(DM2)에 중첩할 수 있다. 제1 감지 절연층(TS-IL1)의 엣지는 제2 무기층(IOL2)에 접촉할 수 있다.
- [0179] 제1 감지 절연층(TS-IL1) 상에 배치된 감지 신호라인들(SL2)의 적어도 일부는 차폐전극(SHL)과 중첩한다. 감지 신호라인들(SL2) 전체가 차폐전극(SHL)에 중첩할 필요는 없으며, 일부의 감지 신호라인들(SL2)의 일부만이 차폐전극(SHL)에 중첩하면 충분하다.
- [0180] 도 14를 참조하면, 연결전극(E-CNT)의 제1 관통홀들(H\_VIA1)은 복수 개의 행들(H-L1 내지 H-L4)을 정의하고, 복수 개의 행들(H-L1 내지 H-L4)은 제1 방향(DR1)으로 나열된다. 복수 개의 행들(H-L1 내지 H-L4)은 제2 방향(DR2)으로 나열된 홀들(즉, 제1 관통홀들(H\_VIA1))을 포함하고, 복수 개의 행들(H-L1 내지 H-L4)은 동일 개수의 홀들을 포함할 수 있다. 다만, 이에 제한되는 것은 아니며, 예를 들어, 복수 개의 행들(H-L1 내지 H-L4)은 다른 개수의 홀들을 포함할 수도 있다. 복수 개의 제1 관통홀들(H\_VIA1) 각각의 평면상 형상은 사각형이나, 이에 제한되지 않는다.
- [0181] 복수 개의 행들 중 제1 행(H-L1)의 홀들은 제1 홀로 정의되고, 복수 개의 행들 중 제2 행(H-L2)의 홀들은 제2 홀로 정의될 수 있다. 복수 개의 행들 중 제3 행(H-L3)의 홀들은 제3 홀로 정의될 수 있다. 제1 행(H-L1)과 제3 행(H-L3)은 동일한 개수의 홀들을 포함할 수 있다. 제1 홀들, 제2 홀들 및 제3 홀들은 정렬될 수 있다. 다만, 이에 제한되는 것은 아니며, 예를 들어, 제1 홀들 및 제3 홀들은 정렬되고, 제2 홀들은 제1 홀들 사이에 배치될 수도 있다.
- [0182] 도 15는 도 3의 AA 영역을 확대한 표시모듈의 다른 예를 나타내는 도면이다.
- [0183] 도 13 및 도 15를 참조하면, 표시모듈(DM\_1)은 차폐전극(SHL\_1) 및 제2 전극(CE\_1)을 포함한다는 점에서, 도 13의 표시모듈(DM)과 상이하다.
- [0184] 차폐전극(SHL\_1)은, 그 배치된 영역을 제외하고, 도 13을 참조하여 설명한 차폐전극(SHL)과 실질적으로 동일할 수 있다. 따라서, 중복되는 설명은 반복하지 않기로 한다.
- [0185] 차폐전극(SHL\_1)은 주사 구동회로(GDC)와 부분적으로 중첩할 수 있다. 즉, 차폐전극(SHL\_1)은 주사 구동회로(GDC)의 일부(예를 들어, 표시모듈(DM)의 가장자리에서 인접한 일부)만을 커버할 수 있다. 제3 도전층(400, 도 6 참조)에는, 즉, 제3 절연층(30) 상에는, 데이터 라인(DL, 도 4 참조)이 배치되고, 데이터 라인(DL)과의 단선 등을 방지하기 위해, 차폐전극(SHL\_1)은 표시영역(DA)으로부터 특정 거리만큼 이격되어 배치될 수 있다. 이 경우, 차폐전극(SHL\_1)은 주사 구동회로(GDC)의 일부에만 중첩하여 배치될 수 있다.
- [0186] 한편, 제2 전극(CE\_1)은, 그 배치된 위치를 제외하고, 도 13 및 도 6을 참조하여 설명한 제2 전극(CE\_1)과 실질적으로 동일할 수 있다. 따라서, 중복되는 설명은 반복하지 않기로 한다.
- [0187] 도 15에 도시된 바와 같이, 제2 전극(CE\_1)은 표시모듈(DM\_1)의 가장자리로부터 기 설정된 거리(D\_REF)만큼 이격된 위치까지 연장되어 형성될 수 있다. 제2 전극(CE\_1)은 차폐전극(SHL\_1)과 부분적으로 중첩함으로써, 주사 구동회로(GDC)(또는, 회로소자층(DP-CL))로부터 입력감지유닛(TS)으로 전파되는 노이즈를, 차폐전극(SHL\_1)과 함께 차단시킬 수 있다.
- [0188] 도 16은 도 3의 AA 영역을 확대한 표시모듈의 또 다른 예를 나타내는 도면이다. 도 17는 도 16의 표시모듈에 포함된 차폐전극, 연결전극 및 제2 전극을 중첩하여 도시한 평면도이다. 도 17에는 도 16의 단면에 대응하는 영역이 도시된다.
- [0189] 도 12, 도 14, 도 16 및 도 17을 참조하면, 도 17의 표시모듈(DM\_2)은 차폐전극(SHL\_2)을 포함한다는 점에서, 도 12의 표시모듈(DM\_2)과 상이하다.
- [0190] 차폐전극(SHL\_2)은 제2 관통홀들(H\_VIA2)을 제외하고, 도 12를 참조하여 설명한 차폐전극(SHL)과 실질적으로 동일할 수 있다. 따라서, 중복되는 설명은 반복하지 않기로 한다.
- [0191] 차폐전극(SHL\_2)에는 복수 개의 제2 관통홀들(H\_VIA2)이 정의된다. 제2 관통홀들(H\_VIA2)은 제3 절연층(30)을 형성하는 과정에서 발생하는 가스들을 배출시킨다. 즉, 제3 절연층(30)이 유기물질을 포함하는 경우, 제3 절연층을 형성하는 과정에서 가스들이 발생하고, 가스들은 제2 관통홀들(H\_VIA2)을 통해 외부로 배출될 수 있다.

- [0192] 차폐전극(SHL\_2)의 제2 관통홀들(H\_VIA2)은 연결전극(E-CNT)에 의해 커버될 수 있다. 연결전극(E-CNT)의 제1 관통홀들(H\_VIA1)은 차폐전극(SHL\_2)의 제2 관통홀들(H\_VIA2)과 중첩하지 않을 수 있다.
- [0193] 연결전극(E-CNT)의 제1 관통홀들(H\_VIA1)과 유사하게, 차폐전극(SHL\_2)의 제2 관통홀들(H\_VIA2)을 통해 주사 구동 회로(GDC)로부터 입력감지유닛(TS)으로 노이즈가 전파될 수 있으나, 연결전극(E-CNT)이 차폐전극(SHL\_2)의 제2 관통홀들(H\_VIA2)을 커버함으로써, 또는, 연결전극(E-CNT)의 제1 관통홀들(H\_VIA1)이 차폐전극(SHL\_2)의 제2 관통홀들(H\_VIA2)과 중첩하지 않도록 배치됨으로써, 노이즈의 전파가 차단될 수 있다.
- [0194] 도 17을 참조하면, 도 17에는 연결전극(E-CNT)과 차폐전극(SHL\_2)이 중첩하여 도시되어 있다. 연결 전극(E-CNT)의 제2 관통홀들(H\_VIA2)은 도 12를 참고하여 설명한 제2 관통홀들(H\_VIA2)과 동일하므로, 중복되는 설명은 반복하지 않기로 한다.
- [0195] 차폐전극(SHL\_2)의 제2 관통홀들(H\_VIA2)은 연결전극(E-CNT)의 제1 관통홀들(H\_VIA1)과 엇갈려 배치될 수 있다.
- [0196] 차폐전극(SHL\_2)의 제2 관통홀들(H\_VIA2)은, 연결전극(E-CNT)의 제1 관통홀들(H\_VIA1)과 유사하게, 복수 개의 행들(H-L11 내지 H-L13)을 정의하고, 복수 개의 행들(H-L11 내지 H-L13)은 제1 방향(DR1)으로 나열된다. 복수 개의 행들(H-L11 내지 H-L13)은 제2 방향(DR2)으로 나열된 홀들을 포함하고, 복수 개의 행들(H-L11 내지 H-L13)은 다른 개수의 홀들을 포함할 수 있다. 복수 개의 제2 관통홀들(H\_VIA2)의 평면상 형상은 제1 관통홀들(H\_VIA1)의 평면상 형상과 동일하거나 유사할 수 있으나, 이에 제한되는 것은 아니다.
- [0197] 차폐전극(SHL\_2)의 행들(H-L11 내지 H-L13)은 연결 전극(E-CNT)의 행들(H-L1 내지 H-L4) 사이에 배치될 수 있다. 즉, 차폐전극(SHL\_2)의 행들(H-L11 내지 H-L13)과 연결전극(E-CNT)의 행들(H-L1 내지 H-L4)은 제1 방향(DR1)을 따라 번갈아(또는, 교번하여) 배치될 수 있다.
- [0198] 또한, 차폐전극(SHL\_2)의 제2 관통홀들(H\_VIA2)이 복수 개의 열들(V-L2)을 정의하는 경우, 또한, 연결전극(E-CNT)의 제1 관통홀들(H\_VIA1)이 복수 개의 열들(V-L1)을 정의하는 경우, 차폐전극(SHL\_2)의 열들(V-L2)과 연결전극(E-CNT)의 열들(V-L1)은 제2 방향(DR2)을 따라 번갈아 배치될 수 있다.
- [0199] 즉, 평면상, 차폐전극(SHL\_2)의 제2 관통홀들(H\_VIA2) 및 연결전극(E-CNT)의 제1 관통홀들(H\_VIA1)은 바둑판 구조, 격자 구조를 가지고, 상호 비중첩하여 배치될 수 있다.
- [0200] 한편, 연결전극(E-CNT)은 전원전극(E-VSS) 및 제2 전극(CE)과 연결되어 총 저항을 낮추고, 제2 전원전압(ELVSS)의 전압 강하를 감소시킬 수 있다. 연결전극(E-CNT)의 제2 관통홀들(H\_VIA2)의 면적이 감소될수록, 연결전극(E-CNT)의 총 저항(및 제2 전원전압(ELVSS)의 전압 강하)가 감소될 수 있다. 따라서, 연결전극(E-CNT)은 메쉬 구조를 가질 수 있다.
- [0201] 한편, 차폐전극(SHL)은 전원전극(E-VSS)과 연결되나, 제2 전극(CE)과 직접적으로 연결되지 않으므로, 차폐전극(SHL)의 형상(또는, 차폐전극(SHL)의 제1 관통홀들(H\_VIA1)의 형상)은 연결전극(E-CNT)의 제2 관통홀들(H\_VIA2)에 비해 자유로울 수 있다.
- [0202] 도 18은 도 12의 표시모듈의 또 다른 예를 나타내는 평면도이다. 도 19는 도 18의 C-C' 선을 따라 자른 표시모듈의 일 예를 나타내는 단면도이다. 도 20은 도 12의 표시모듈의 또 다른 예를 나타내는 평면도이다. 도 18 및 도 20에는 도 14에 대응하여, 표시모듈에 포함된 차폐전극, 연결전극 및 제2 전극이 중첩하여 도시되어 있다.
- [0203] 먼저, 도 16 내지 도 20을 참조하면, 도 18의 표시모듈(DM\_3)은 차폐전극(SHL\_3)을 포함한다는 점에서, 도 14의 표시모듈(100\_1)과 상이하다.
- [0204] 차폐전극(SHL\_3)은, 제3 관통홀들(H\_VIA3)를 제외하고, 도 16을 참조하여 설명한 차폐전극(SHL\_2)과 실질적으로 동일할 수 있다. 따라서, 중복되는 설명은 반복하지 않기로 한다.
- [0205] 차폐전극(SHL\_3)에는 복수 개의 제3 관통홀들(H\_VIA3)이 정의된다. 차폐전극(SHL\_3)의 제3 관통홀들(H\_VIA3)은 연결전극(E-CNT)에 의해 커버될 수 있다. 차폐전극(SHL\_3)의 제3 관통홀들(H\_VIA3)은 제2 관통홀들(H\_VIA2)과 엇갈려 배치될 수 있다. 예를 들어, 제3 관통홀들(H\_VIA3)은 연결전극(E-CNT)의 행들(H-L1 내지 H-L4) 사이에 배치될 수 있다.
- [0206] 제3 관통홀들(H\_VIA3)은 제1 방향(DR1)으로의 폭보다 제2 방향(DR2)으로 긴 사각형 형상을 가질 수 있다. 예를 들어, 제3 관통홀들(H\_VIA3)은 슬릿이고, 하나의 행에 하나만이 배치될 수 있다. 제3 관통홀들(H\_VIA3) 각각은 연결전극(E-CNT)의 하나의 행(예를 들어, 제1 행(H-L1))에 포함된 제1 관통홀들(H\_VIA1) 모두에 대응할 수

있다.

- [0207] 제3 관통홀들(H\_VIA3)의 제1 방향(DR1)으로의 제2 폭(W2)은 제1 관통홀들(H\_VIA1)의 제1 방향(DR1)으로의 제1 폭(W1)보다 작을 수 있다. 다만, 제3 관통홀들(H\_VIA3)은 제2 방향(DR2)으로 길게 연장된 형상을 가지므로, 제3 관통홀들(H\_VIA3) 각각의 면적은 연결전극(E-CNT)의 하나의 행(예를 들어, 제1 행(H-L1))에 포함된 제1 관통홀들(H\_VIA1)의 총 면적보다 크거나 같을 수 있다. 제3 관통홀들(H\_VIA3)이 상대적으로 큰 면적을 가짐으로써, 제3 절연층(30)의 형성 과정에서 발생하는 가스들이 보다 용이하게 배출될 수 있을 뿐만 아니라, 제3 관통홀들(H\_VIA3)에 의해 주사구동회로(GDC)로부터 입력감지유닛(TS)으로 전파되는 노이즈가 보다 효과적으로 차단될 수 있다.
- [0208] 도 19에 도시된 바와 같이, 주사구동회로(GDC)로부터 노이즈는 사선 방향(DRD)으로 전파될 수 있다. 노이즈가 사선 방향(DRD)으로 전파되는 경우, 노이즈의 전파 경로가 상대적으로 길어짐에 따라 노이즈가 감쇄되나, 감쇄된 노이즈는 입력감지유닛(TS)(또는, 감지 신호라인들(SL2))에 영향을 줄 수 있다.
- [0209] 제3 관통홀들(H\_VIA3)의 제2 폭(W2)이 감소됨에 따라 제3 주사구동회로(GDC)로부터 관통홀들(H\_VIA3)을 통해 노이즈가 전파될 수 있는 범위각(즉, 전파 범위각)이 좁아지고, 해당 범위(즉, 범위각에 대응하는 범위)에서 제3 관통홀들(H\_VIA3)을 통과하는 노이즈는 연결전극(E-CNT)에 의해 차폐될 수 있다. 제3 관통홀들(H\_VIA3)을 통해 노이즈가 전파되는 범위각은 차폐전극(SHL\_3)의 두께, 제3 관통홀들(H\_VIA3)의 제2 폭(W2), 제4 절연층(40)의 두께(즉, 제3 방향(DR3)으로의 두께) 등에 의해 결정되며, 차폐전극(SHL\_3)의 두께가 두꺼울수록, 제3 관통홀들(H\_VIA3)의 제2 폭(W2)이 작을수록, 제4 절연층(40)의 두께(즉, 제3 방향(DR3)으로의 두께)가 작을수록, 노이즈의 범위각이 감소될 수 있다. 다만, 차폐전극(SHL\_3)의 두께, 제4 절연층(40)의 두께(즉, 제3 방향(DR3)으로의 두께)는 다른 회로소자(예를 들어, 표시 영역(DA)에 형성된 트랜지스터, 화소(PX)) 등에 의해 기 결정될 수 있다. 따라서, 제3 관통홀들(H\_VIA3)의 제2 폭(W2)(즉, 독립적으로 결정될 수 있는 제2 폭(W2))을 감소시킴으로써, 노이즈의 범위각이 감소될 수 있다.
- [0210] 다만, 제3 관통홀들(H\_VIA3)의 제2 폭(W2)이 감소될수록, 제3 관통홀들(H\_VIA3)의 면적이 감소되고, 가스가 용이하게 배출되지 못할 수 있다. 따라서, 가스 배출의 용이성을 고려하여, 제3 관통홀들(H\_VIA3)의 제2 폭(W2)은 제1 관통홀들(H\_VIA1)의 제1 폭(W1)의 0.3배 내지 0.7배이거나, 0.4배 내지 0.6배이거나, 약 0.5 배 일 수 있다.
- [0211] 한편, 도 18에서 차폐전극(SHL\_3)이 슬릿 형태의 제3 관통홀들(H\_VIA3)을 포함하는 것으로 설명하였으나, 이에 제한되는 것은 아니다. 예를 들어, 연결전극(E-CNT)이 슬릿 형태의 제1 관통홀들(H\_VIA1)을 포함할 수도 있다. 다른 예를 들어, 도 20에 도시된 바와 같이, 차폐전극(SHL\_3)이 슬릿 형태의 제3 관통홀들(H\_VIA3)을 포함하고, 또한, 연결전극(E-CNT\_1)이 슬릿 형태의 제4 관통홀들(H\_VIA4)을 포함할 수도 있다.
- [0212] 도 21은 도 3의 AA 영역을 확대한 표시모듈의 또 다른 예를 나타내는 도면이다.
- [0213] 도 12 및 도 21을 참조하면, 표시 모듈(DM\_4)은 차폐전극(SHL\_3)을 포함한다는 점에서, 도 12의 표시 모듈(DM)과 상이하다.
- [0214] 차폐전극(SHL\_3)은, 그 배치되는 위치를 제외하고 도 12를 참조하여 설명한 차폐전극(SHL)과 실질적으로 동일하거나 유사할 수 있다. 따라서, 중복되는 설명은 반복하지 않기로 한다.
- [0215] 차폐전극(SHL\_3)은 전원전극(E-VSS)과 중첩하지 않고, 제4 절연층(40)을 관통하여 차폐전극(SHL\_3)을 노출시키는 제10 관통홀(CNT10)을 통해 연결전극(E-CNT)에 연결될 수 있다. 즉, 차폐전극(SHL\_3)은 전원전극(E-VSS)과 전기적으로 연결되며, 연결전극(E-CNT)을 통해 전원전극(E-VSS)과 전기적으로 연결될 수 있다. 한편, 제10 관통홀(CNT10)은 제2 전극(CE)과 중첩할 수 있고, 즉, 표시영역(DA)에 인접하여 형성될 수 있고, 도 6을 참조하여 설명한 제9 콘택홀(CNT9)과 동일한 공정을 통해 형성될 수 있다.
- [0216] 이 경우, 도 12와 유사하게, 차폐전극(SHL\_3)은, 연결전극(E-CNT)의 제1 관통홀들(H\_VIA1)을 커버함으로써, 주사 구동 회로(GDC)로부터 제1 관통홀들(H\_VIA1)을 통해 입력감지유닛(TS)으로 노이즈가 전파되는 것을 차단할 수 있다.
- [0217] 한편, 도 21에서 차폐전극(SHL\_3)은 하나의 제10 콘택홀(CNT10)을 통해 연결전극(E-CNT)에 연결되는 것으로 도시되어 있으나, 이에 한정되는 것은 아니다. 예를 들어, 표시 모듈(DM\_4)은 제2 방향(DR2)을 따라 형성된 복수의 콘택홀들(미도시)을 통해 연결전극(E-CNT)에 연결될 수 있다.
- [0218] 또한, 도 21에서 차폐전극(SHL\_3)은 제2 관통홀들(H\_VIA2, 도 16 참조)를 포함하지 않는 것으로 도시되어 있다.

나, 차폐전극(SHL\_3)이 제2 관통홀들(H\_VIA2)를 가질 수도 있다.

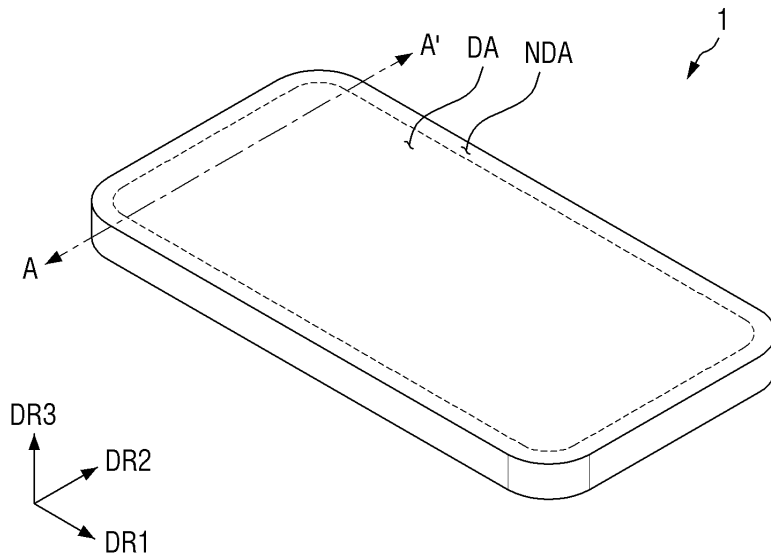
- [0219] 도 22는 도 3의 AA 영역을 확대한 표시모듈의 또 다른 예를 나타내는 도면이다.
- [0220] 도 12 및 도 22을 참조하면, 표시 모듈(DM\_5)은 차폐전극(SHL\_4)을 포함한다는 점에서, 도 12의 표시 모듈(DM)과 상이하다.
- [0221] 차폐전극(SHL\_4)은, 그 배치되는 위치를 제외하고 도 12를 참조하여 설명한 차폐전극(SHL)과 실질적으로 동일하거나 유사할 수 있다. 따라서, 중복되는 설명은 반복하지 않기로 한다.
- [0222] 차폐전극(SHL\_4)은 전원전극(E-VSS)과 중첩하지 않고, 초기화 전압 라인(SL-Vint)와 중첩할 수 있다. 차폐전극(SHL\_4)은 제3 절연층(30)을 관통하여 초기화 전압 라인(SL-Vint)을 노출시키는 제11 관통홀(CNT11)을 통해 초기화 전압 라인(SL-Vint)에 연결될 수 있다. 즉, 차폐전극(SHL\_4)은 전원전극(E-VSS) 대신 초기화 전압 라인(SL-Vint)과 전기적으로 연결될 수 있다. 여기서, 초기화 전압 라인(SL-Vint)에는 정전압(또는, 직류 전압)이 인가될 수 있다.
- [0223] 이 경우, 도 12와 유사하게, 차폐전극(SHL\_4)은, 연결전극(E-CNT)의 제1 관통홀들(H-VIA1)을 커버함으로써, 주사 구동 회로(GDC)로부터 제1 관통홀들(H-VIA1)을 통해 입력감지유닛(TS)으로 노이즈가 전파되는 것을 차단할 수 있다.
- [0224] 한편, 차폐전극(SHL\_3)이 도 16을 참조하여 설명한 제2 관통홀들(H\_VIA2)를 가질 수도 있다.
- [0225] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

**부호의 설명**

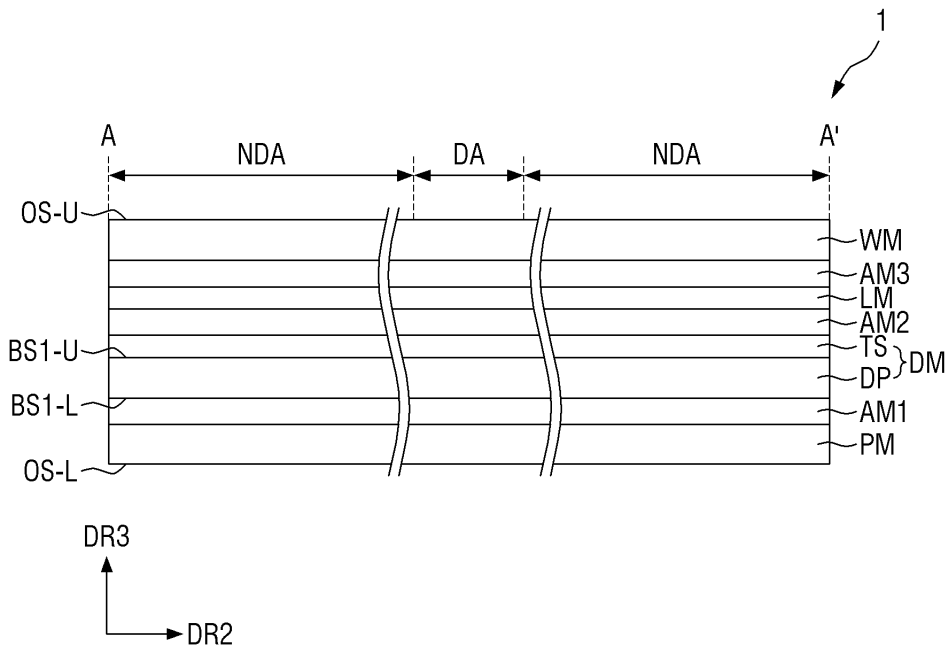
- [0226] 1: 표시장치
- CE: 제2 전극
- DP-CL: 회로소자층
- DP-OLED: 표시소자층
- E-CNT: 연결전극
- SHL: 차폐전극
- TM: 표시모듈
- TS: 입력감지유닛

도면

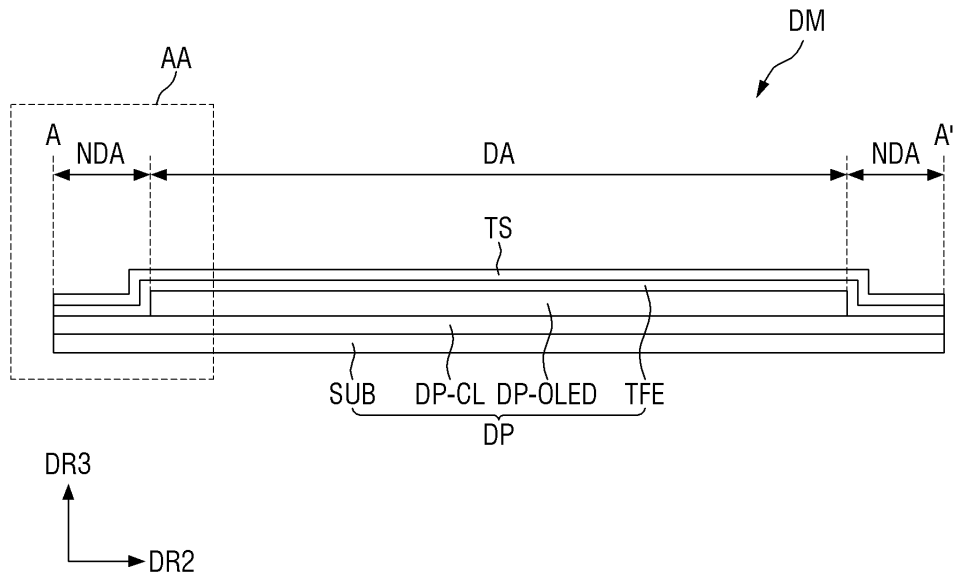
도면1



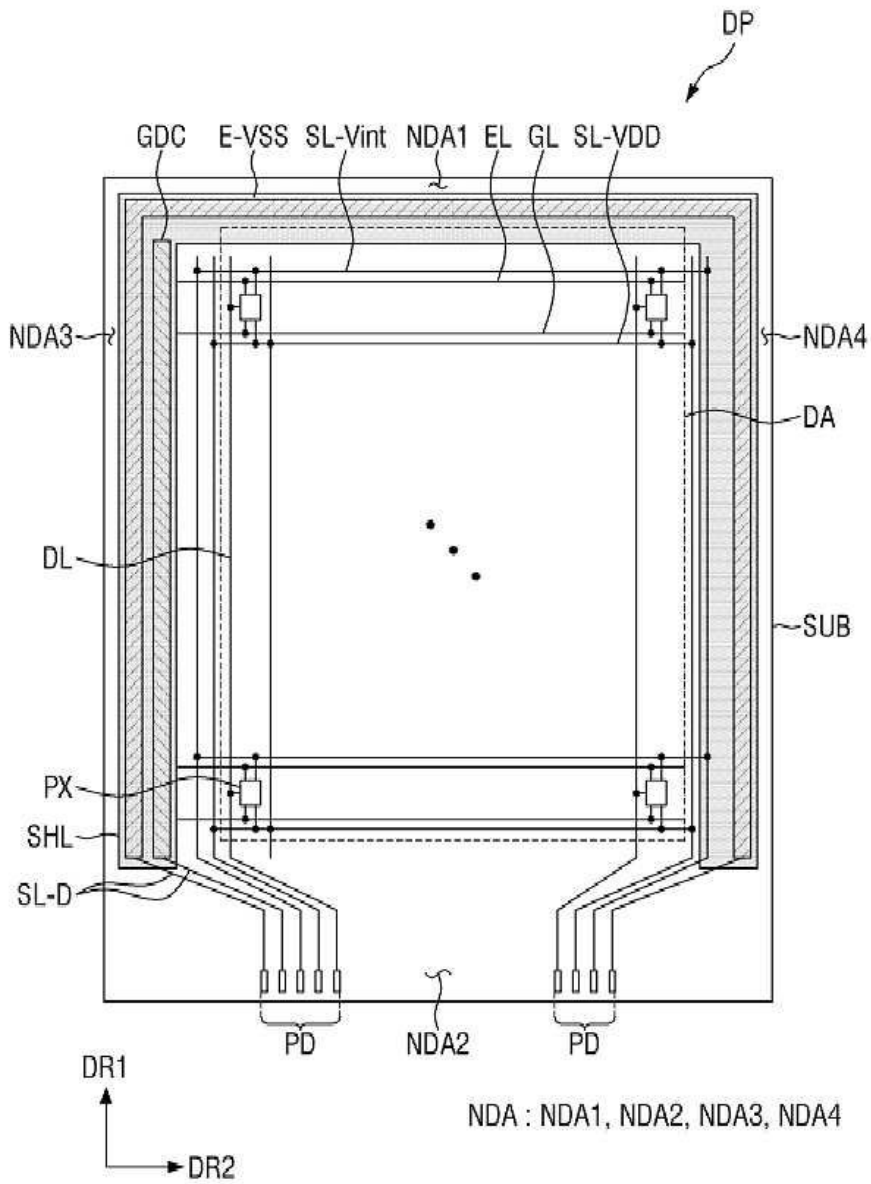
도면2



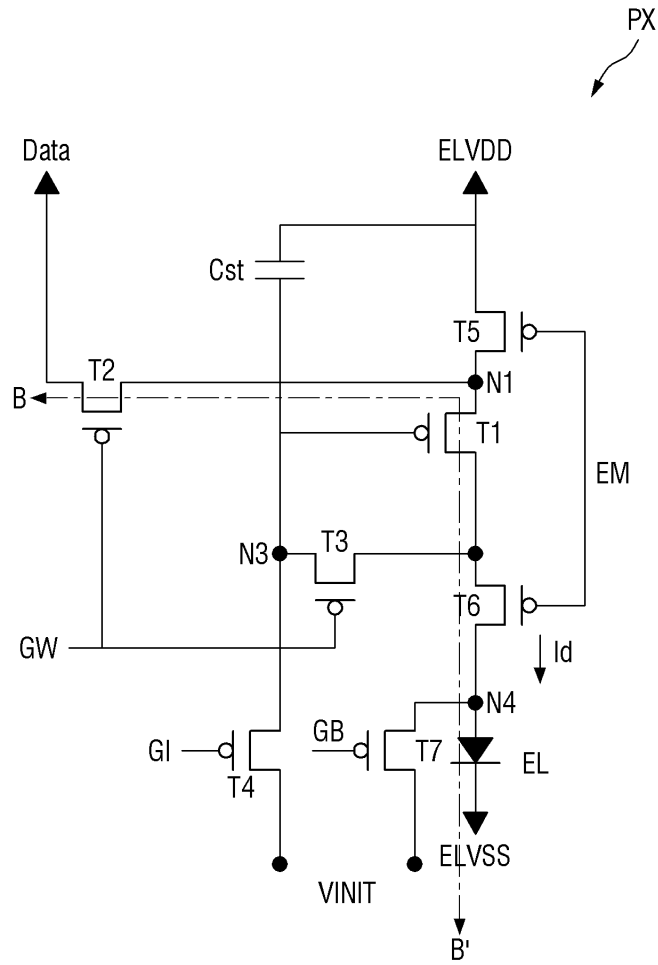
도면3



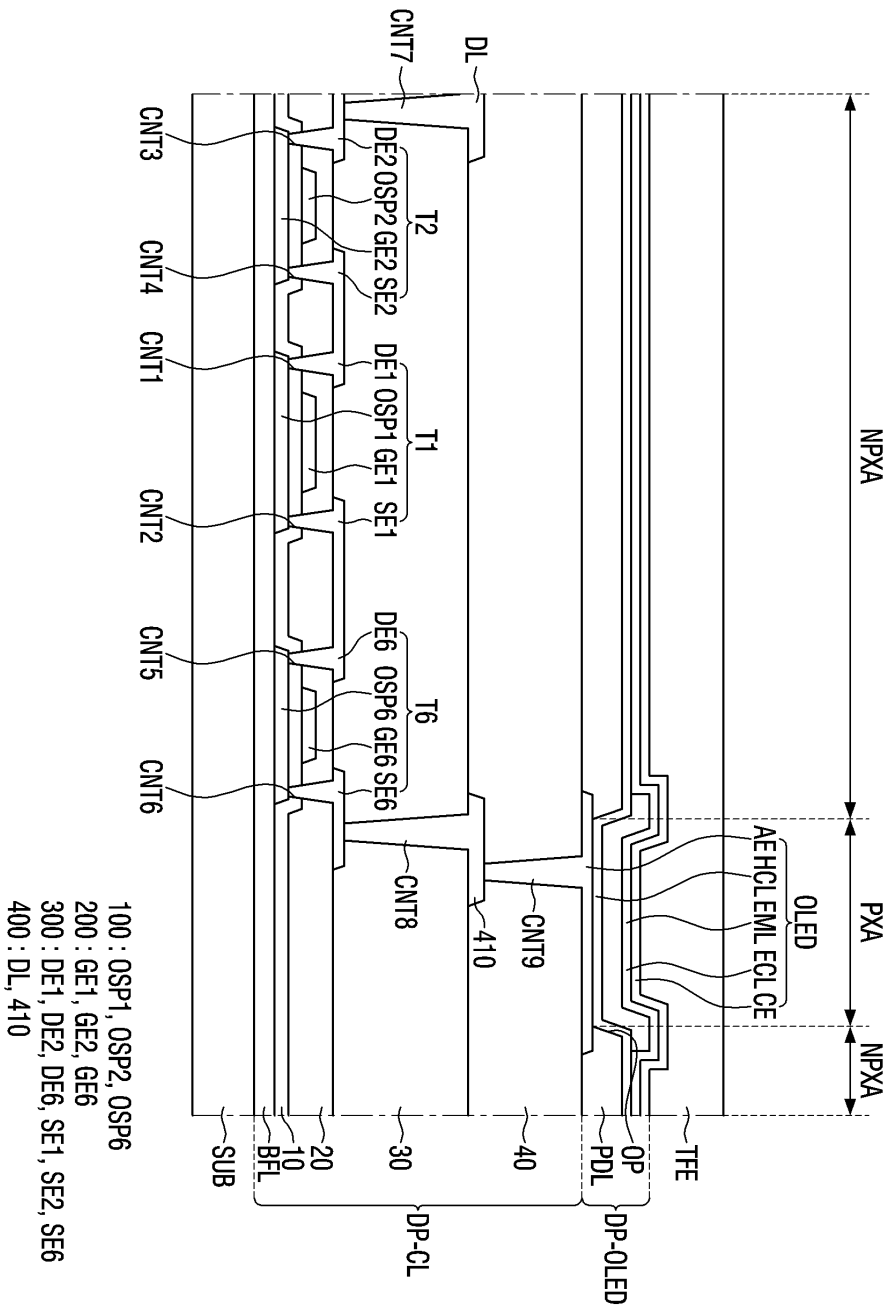
도면4



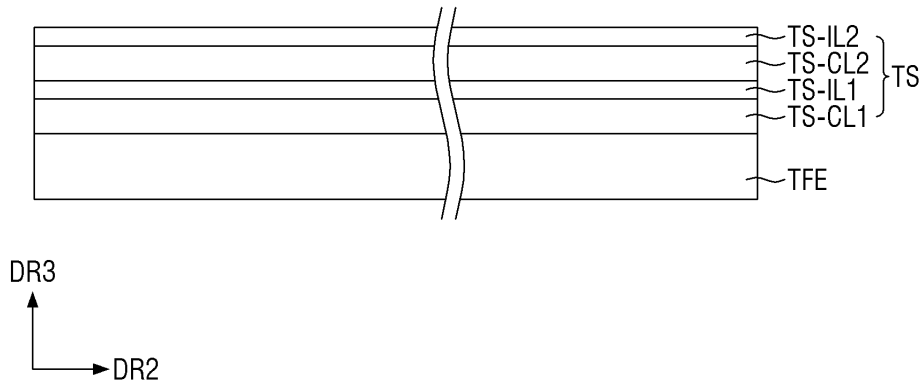
도면5



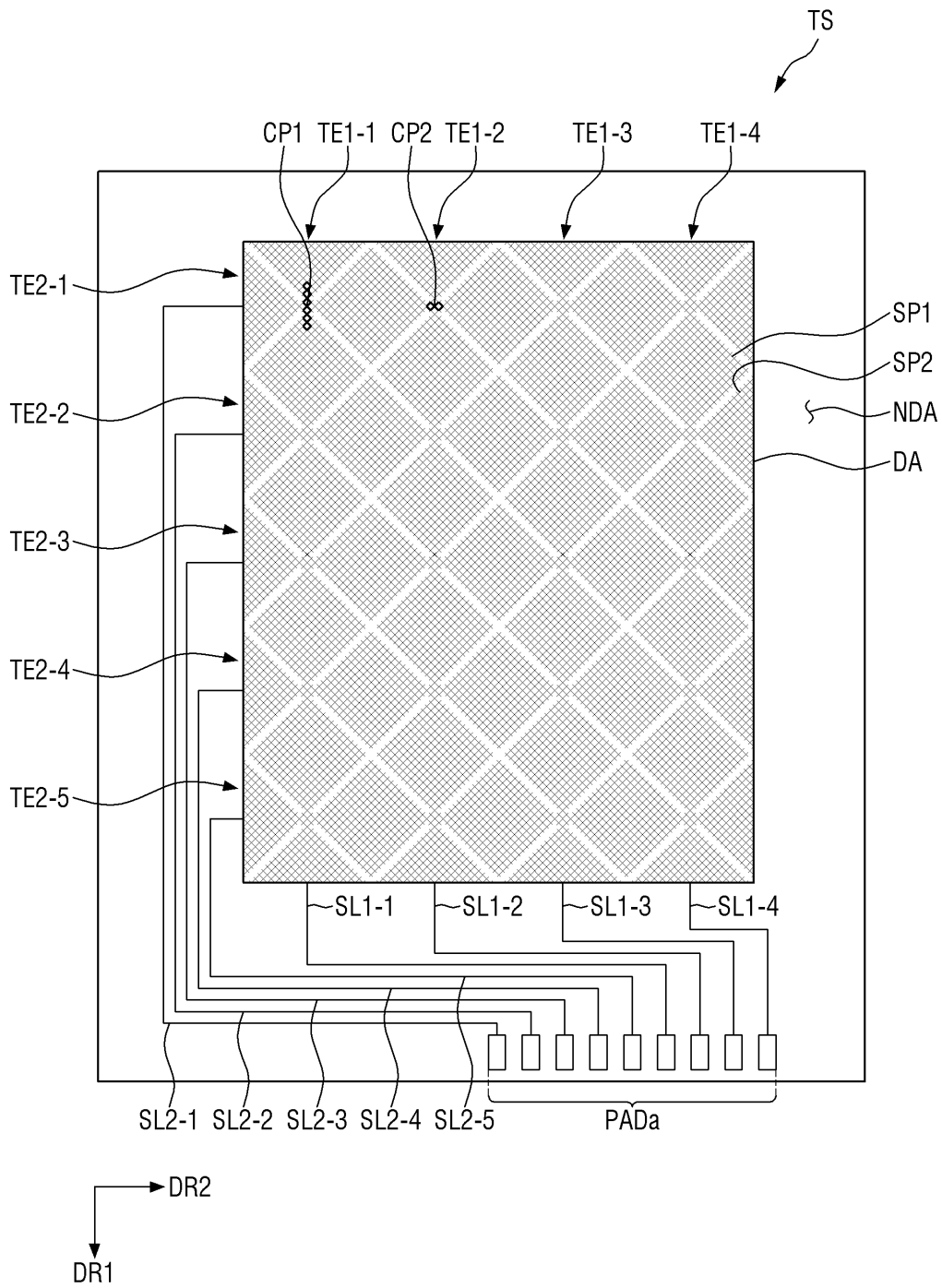
도면6



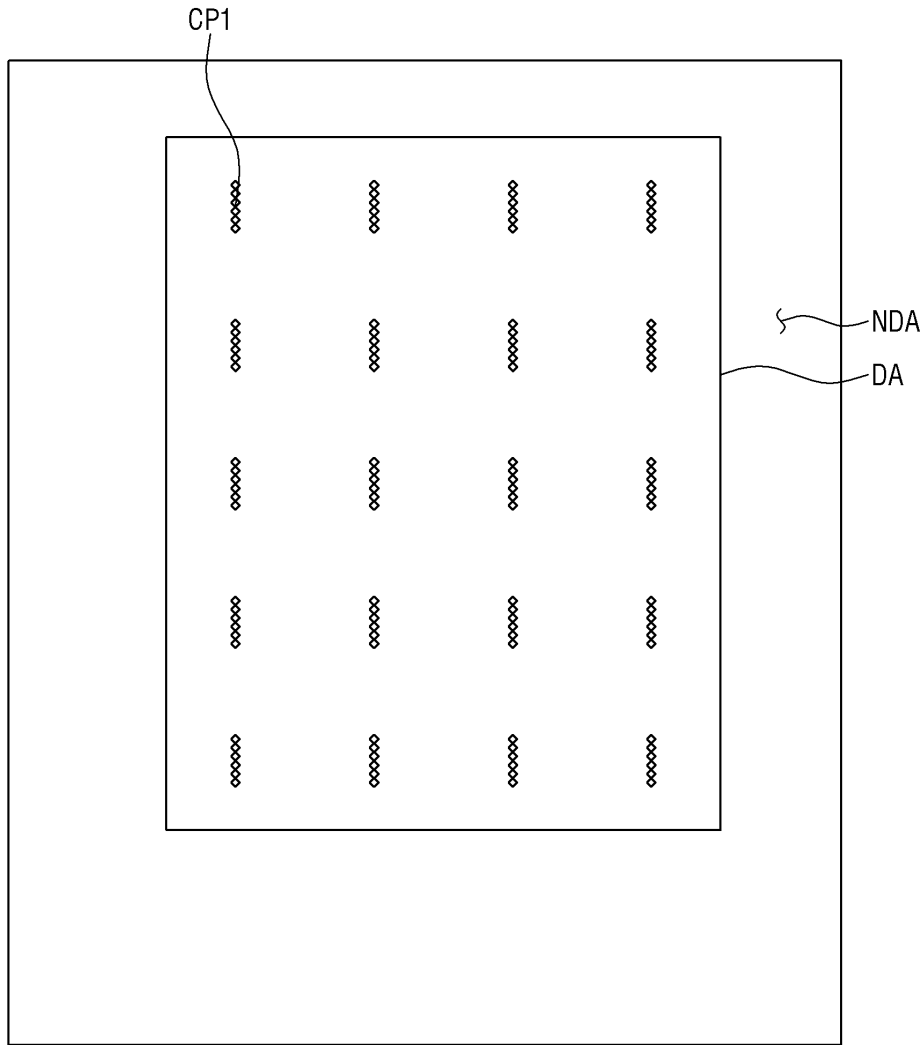
도면7



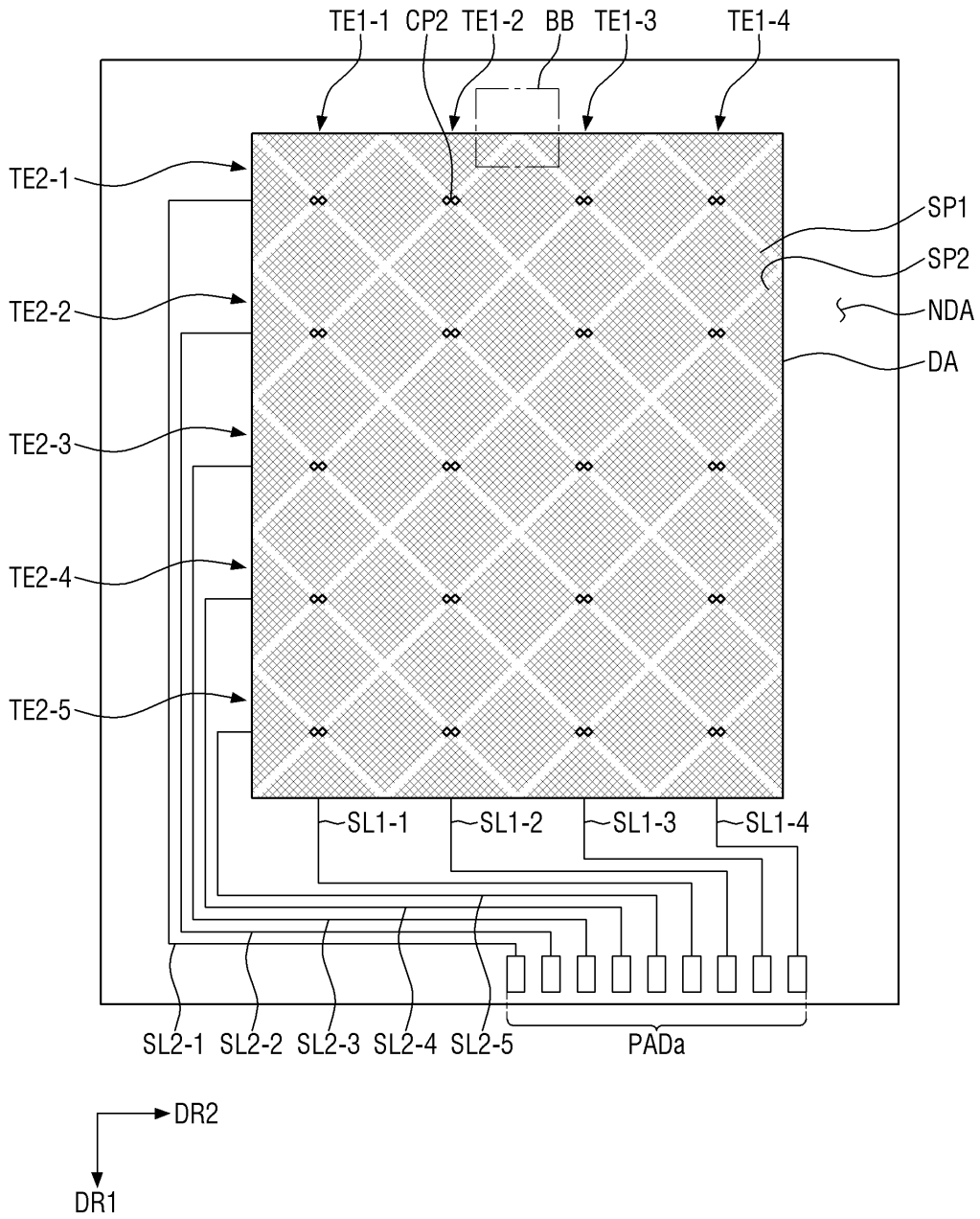
도면8



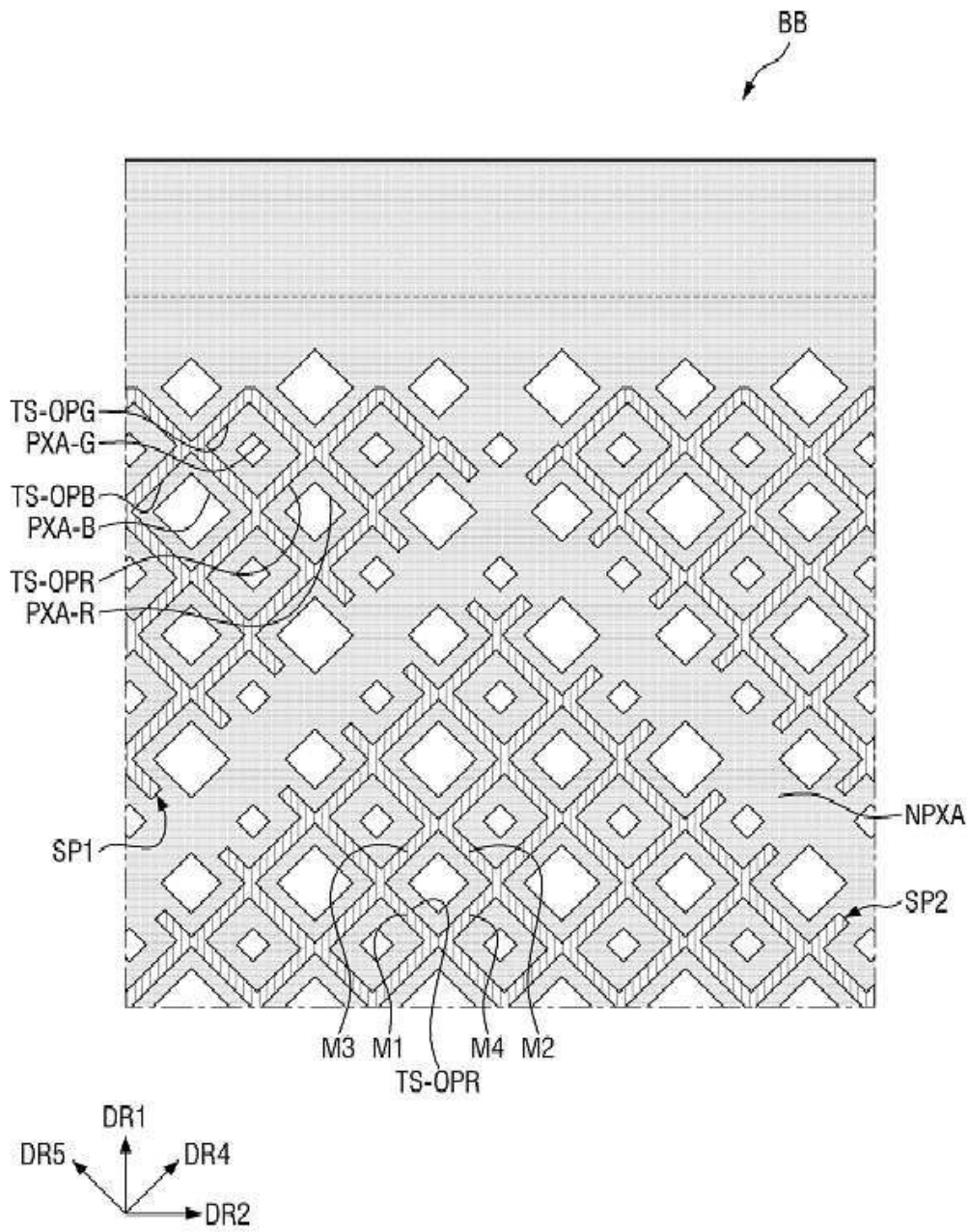
도면9



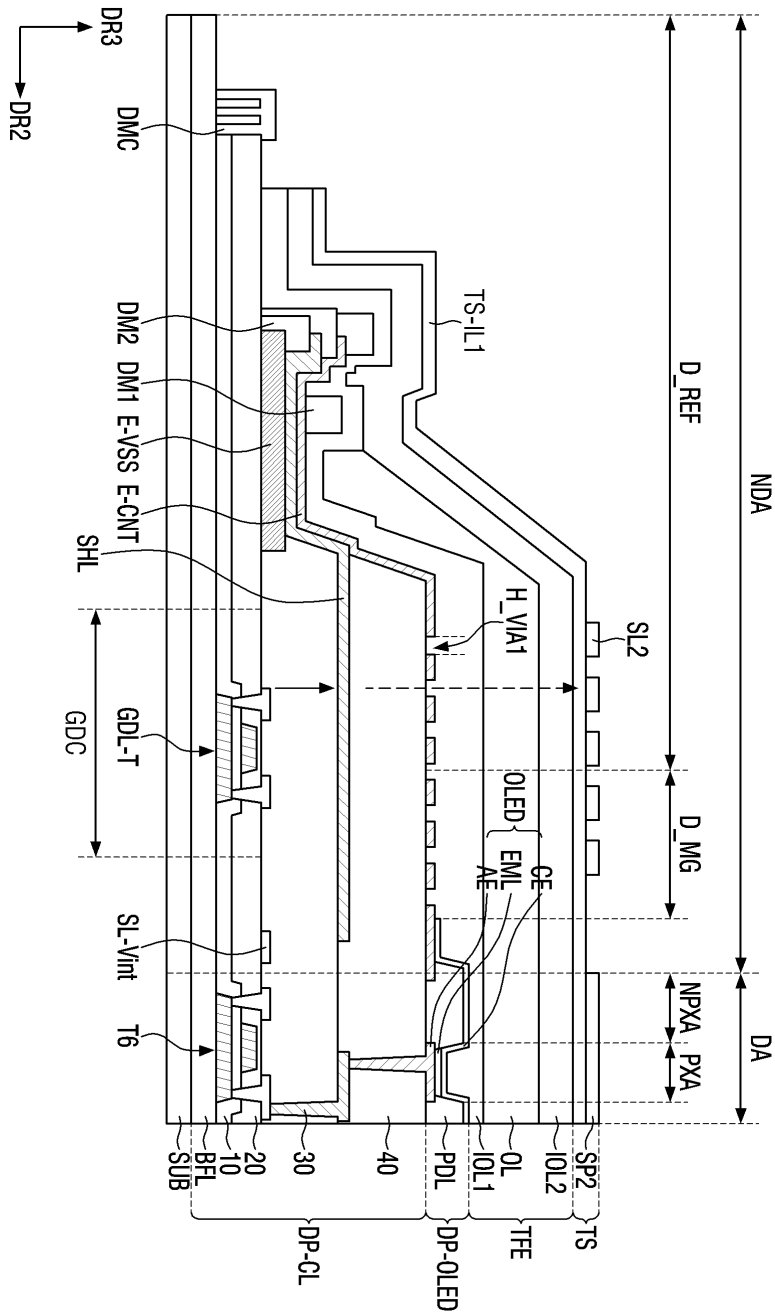
도면10



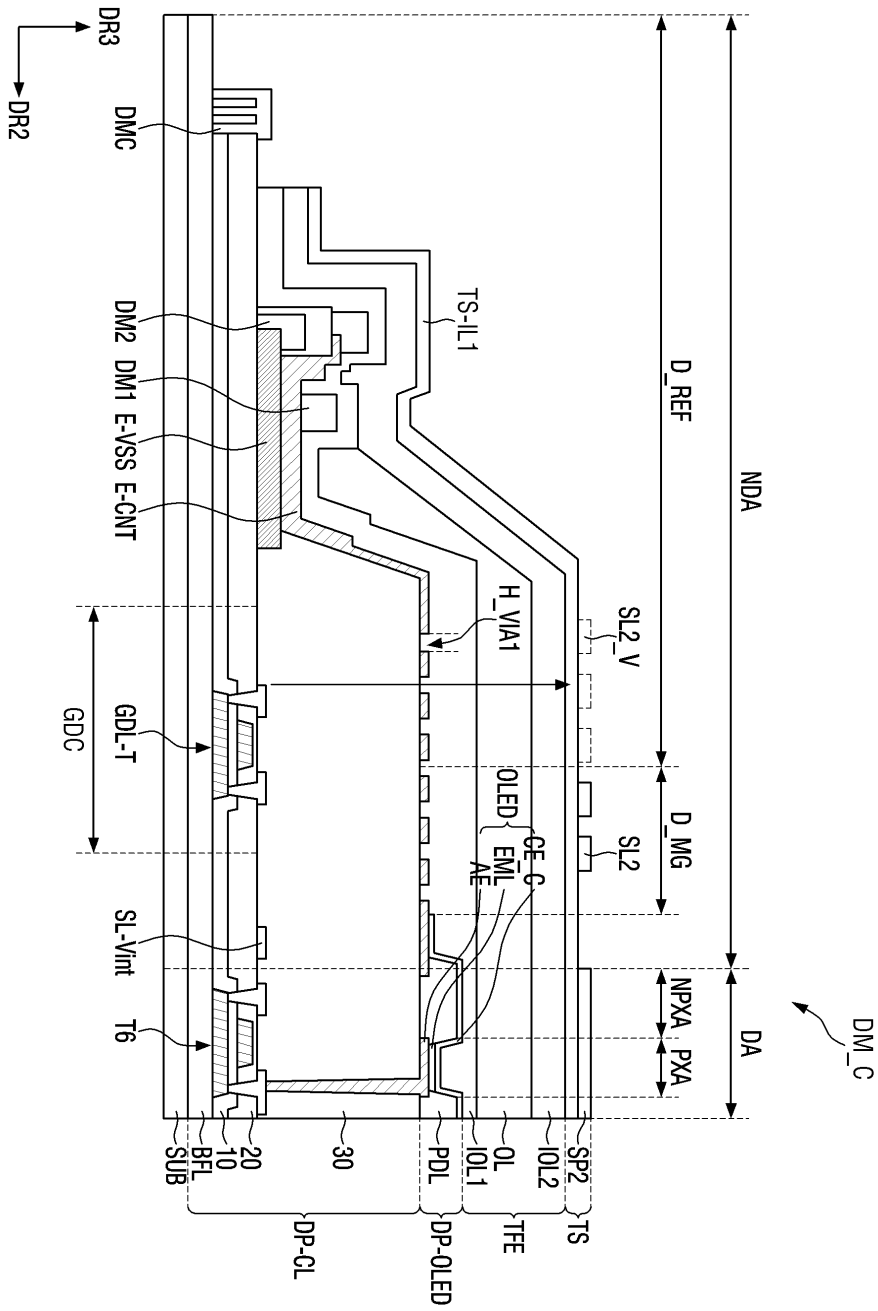
도면11



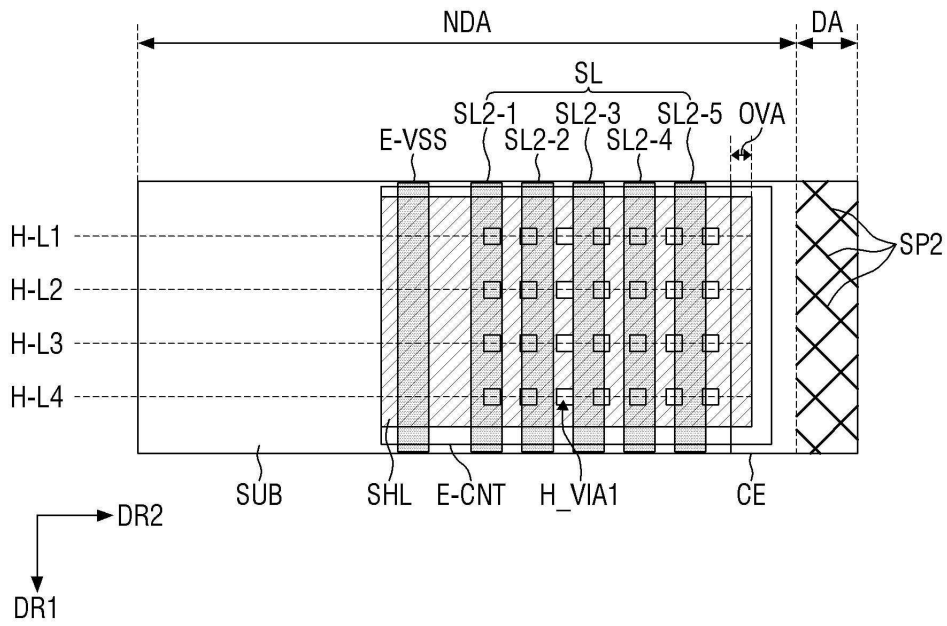
도면12



도면13

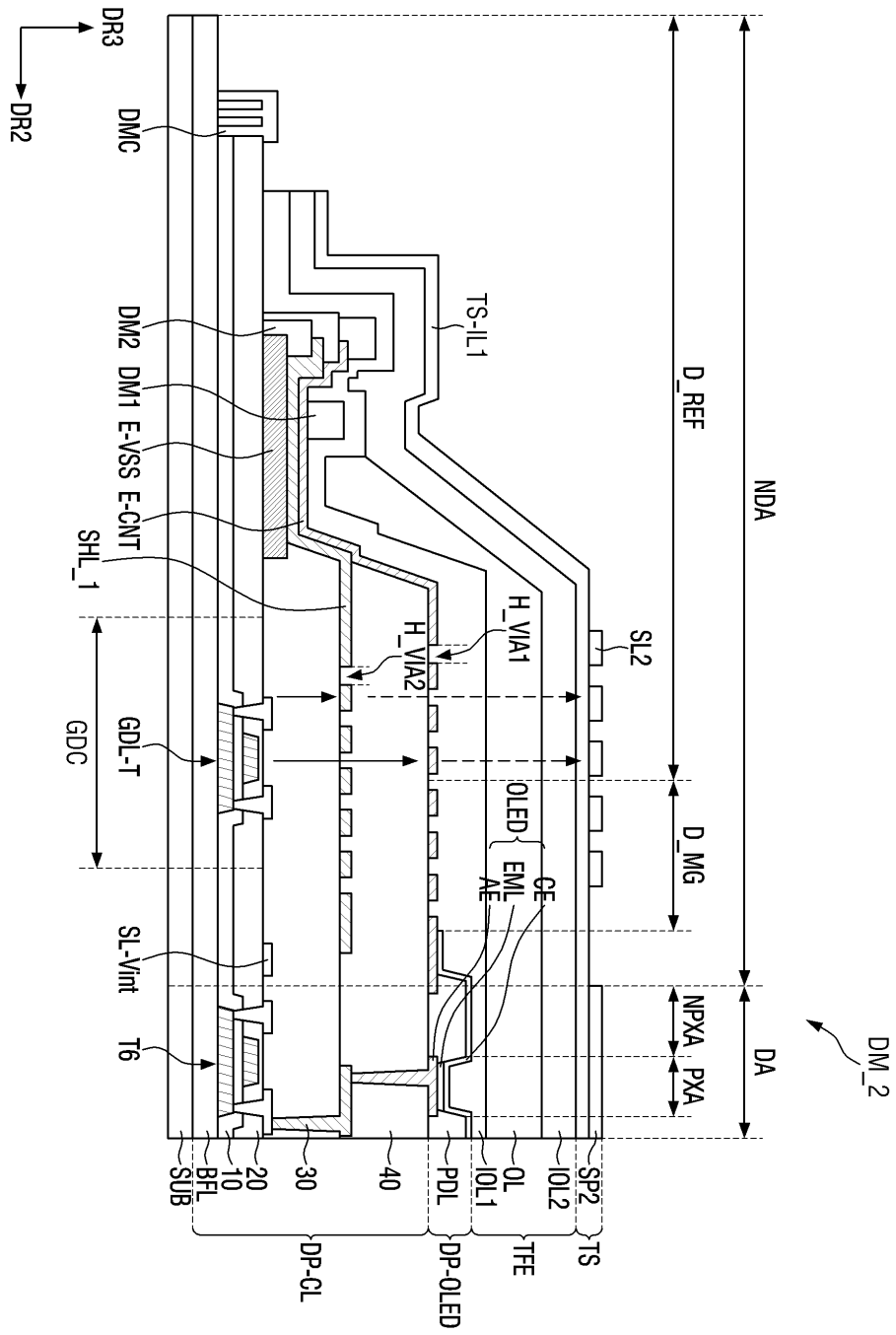


도면14

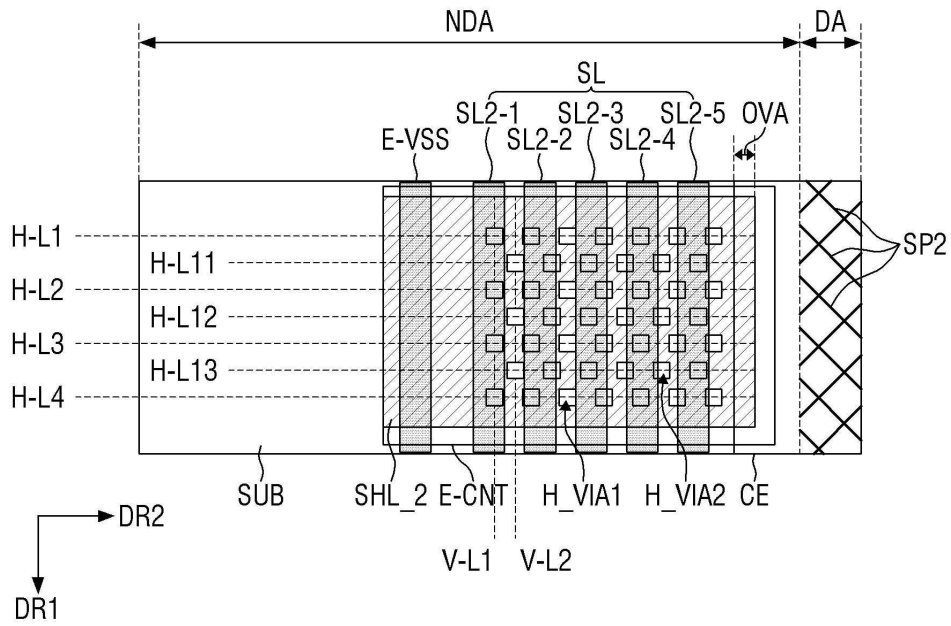




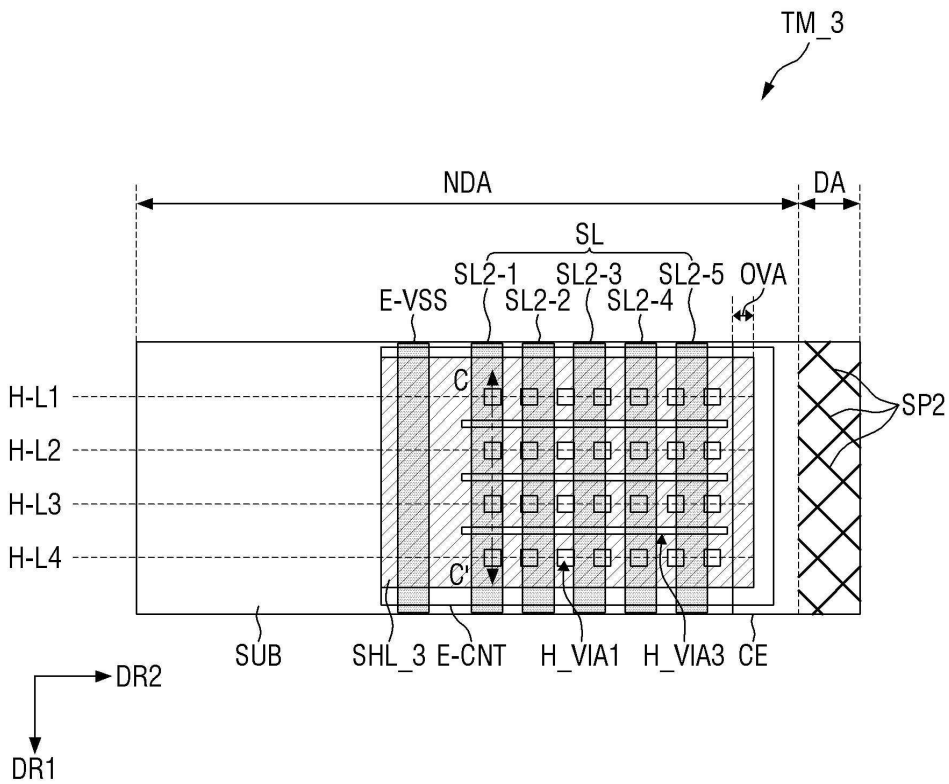
도면16



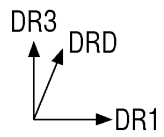
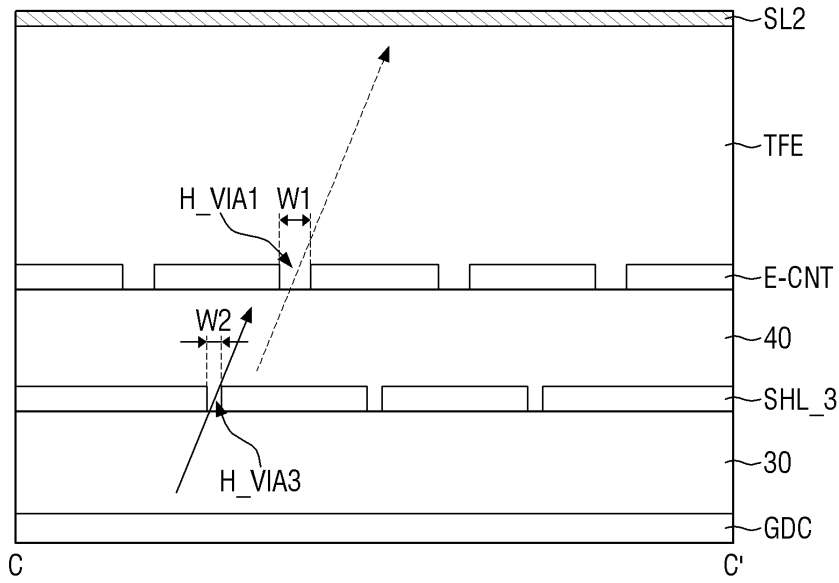
도면17



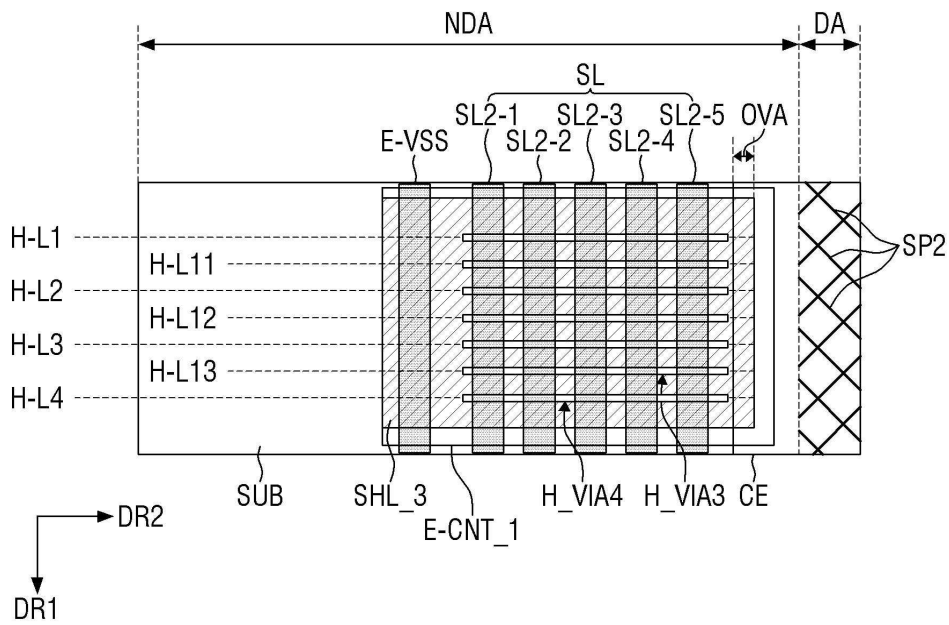
도면18



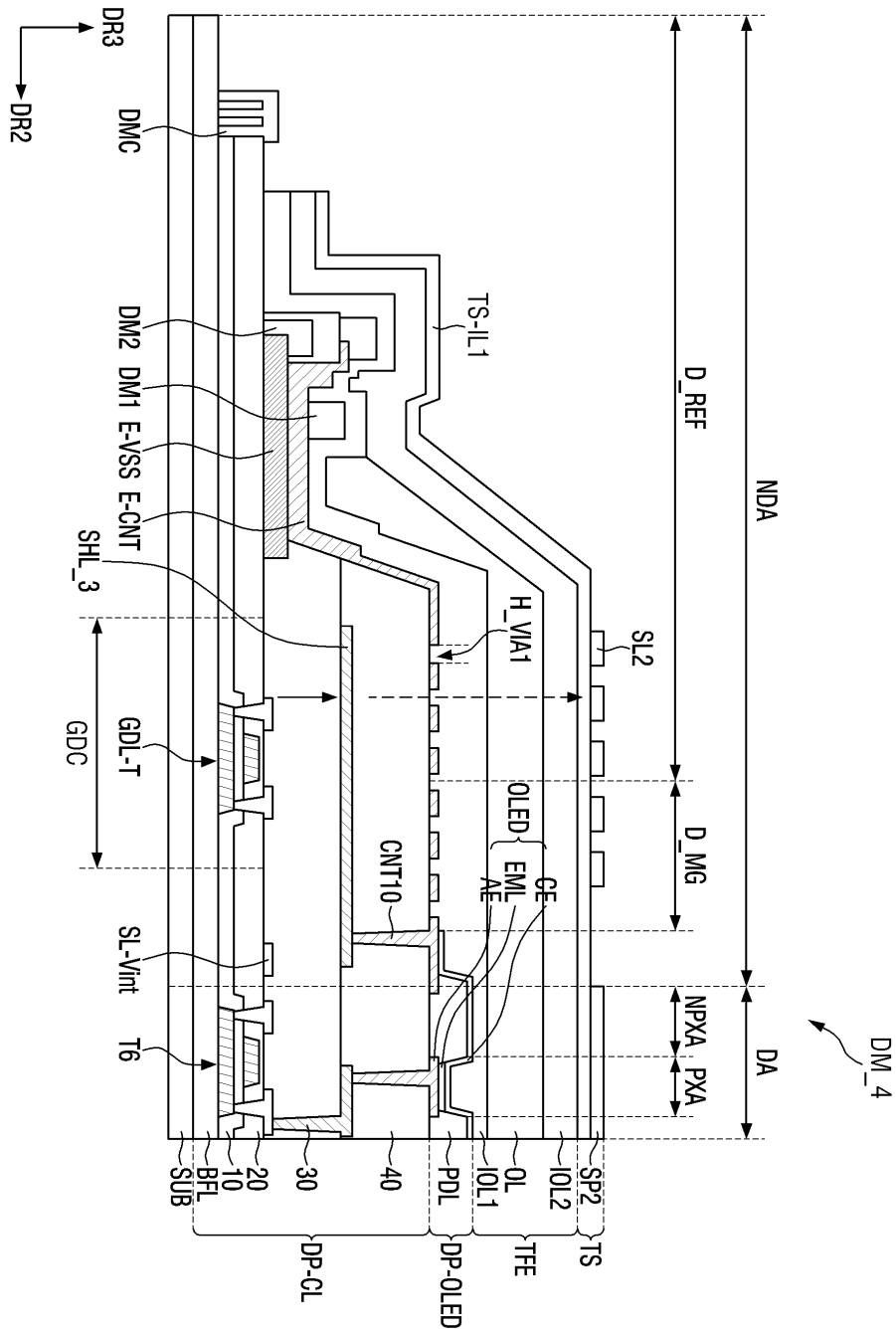
도면19



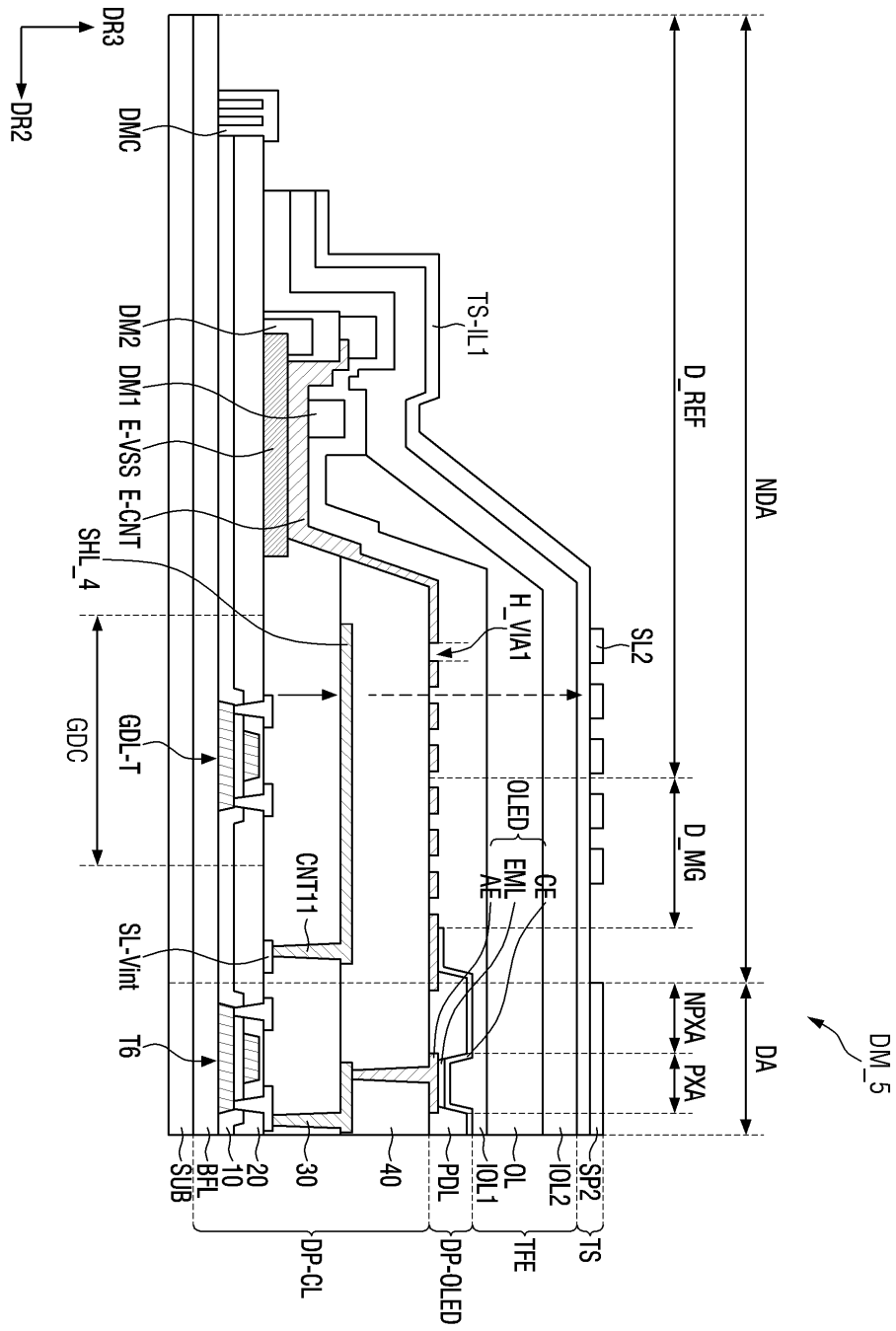
도면20



도면21



도면22



专利名称(译)	显示装置		
公开(公告)号	<a href="#">KR1020200032291A</a>	公开(公告)日	2020-03-26
申请号	KR1020180110886	申请日	2018-09-17
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	방기호 이성룡 전상현		
发明人	방기호 이성룡 전상현		
IPC分类号	H01L27/32 G06F3/041 H01L51/52		
CPC分类号	H01L27/323 G06F3/0412 H01L27/3213 H01L27/3276 H01L51/52 H01L27/3225 H01L27/3248 H01L27/3258 H01L27/3272 H01L27/3279 G06F3/04164 G06F3/0443 G06F3/0446 G06F2203/04111 H01L27/3232 H01L27/326 H01L51/5253		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明的目的是提供一种用于输入检测单元的具有减小的噪声的显示装置。该显示装置包括基层,电路元件层,显示元件层,薄膜封装层和输入检测层。基础层包括显示区域和非显示区域。电路元件层布置在基层上,并且包括与非显示区域重叠的电源电极,电路元件以及与该电源电极连接并且与至少一些电路元件重叠的屏蔽电极。显示元件层包括:发光元件,其包括第一电极,发光单元和第二电极;以及连接电极,其连接第二电极和功率电极并且在其上限定有第一贯通孔,并且布置在电路上。元素层。薄膜封装层包括与显示区域重叠的有机层,并且布置在显示元件层上。输入检测层包括检测电极和连接到检测电极的检测信号线,并布置在薄膜封装层上。检测信号线与连接电极重叠,并且连接电极的至少一些第一贯通孔与屏蔽电极重叠。

