



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0079248
(43) 공개일자 2019년07월05일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) H01L 27/32 (2006.01)
H01L 51/00 (2006.01)
(52) CPC특허분류
H01L 51/5253 (2013.01)
H01L 27/3258 (2013.01)
(21) 출원번호 10-2017-0181321
(22) 출원일자 2017년12월27일
심사청구일자 2017년12월27일

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
장이식
경기도 파주시 월롱면 엘지로 245
최영석
경기도 파주시 월롱면 엘지로 245
(74) 대리인
박영복

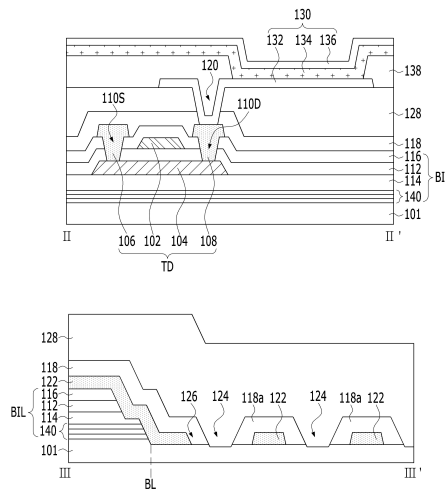
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

본 발명은 신호 링크들의 단락을 방지할 수 있는 유기 발광 표시 장치에 관한 것으로서, 본 발명은 액티브 영역에 배치되는 발광 소자와; 벤딩 영역의 기판 상에서, 상기 기판과 접촉하도록 배치되는 다수의 신호 링크들과; 벤딩 영역에 배치되는 상기 다수의 신호 링크들 사이의 상기 기판을 노출시키도록, 신호 링크들 상에 상기 신호 링크를 따라 배치되는 보호막을 구비함으로써 신호 링크들 간의 단락을 방지할 수 있다.

대표도 - 도4



(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 51/0097 (2013.01)

명세서

청구범위

청구항 1

액티브 영역과 벤딩 영역을 가지는 기관과;

상기 액티브 영역에 배치되는 발광 소자와;

상기 벤딩 영역의 기관 상에서, 상기 기관과 접촉하도록 배치되는 다수의 신호 링크들과;

상기 벤딩 영역에 배치되는 상기 다수의 신호 링크들 사이의 상기 기관을 노출시키도록, 상기 신호 링크들 상에 상기 신호 링크를 따라 배치되는 보호막을 구비하는 유기 발광 표시 장치.

청구항 2

제 1 항에 있어서,

상기 발광 소자와 접속되는 박막트랜지스터와;

상기 박막트랜지스터의 소스 및 드레인 전극과, 상기 기관 사이에 배치되는 적어도 한 층의 하부 절연막과;

상기 하부 절연막을 관통하여 상기 벤딩 영역의 상기 기관을 노출시키는 개구부를 더 구비하는 유기 발광 표시 장치.

청구항 3

제 2 항에 있어서,

상기 개구부 의해 노출된 상기 하부 절연막의 측면 또는 상기 기관의 측면과, 상기 개구부에 의해 노출된 기관의 상부면의 경계 라인인 벤딩 라인을 기준으로 상기 벤딩 영역은 상기 액티브 영역으로 벤딩되는 유기 발광 표시 장치.

청구항 4

제 3 항에 있어서,

상기 보호막은

상기 벤딩 영역에서 상기 신호 링크를 따라 상기 신호 링크 상에 배치되는 돌출부와;

상기 벤딩 영역에서 상기 돌출부들 사이의 기관을 노출시키는 트렌치를 구비하는 유기 발광 표시 장치.

청구항 5

제 4 항에 있어서,

상기 보호막의 상기 돌출부는 상기 벤딩 라인보다 상기 벤딩 영역으로 돌출되는 유기 발광 표시 장치.

청구항 6

제 4 항에 있어서,

상기 트렌치는 상기 신호 링크들 사이의 상기 하부 절연막의 측면을 노출시키는 유기 발광 표시 장치.

청구항 7

제 4 항에 있어서,

상기 보호막은 상기 액티브 영역에 배치되는 박막트랜지스터와 상기 발광 소자의 애노드 전극 사이에 배치되며,

상기 보호막이 상기 액티브 영역에서 상기 벤딩 영역으로 신장되는 유기 발광 표시 장치.

청구항 8

제 4 항에 있어서,

상기 트렌치에 의해 상기 돌출부들 사이로 노출된 기관을 덮도록 배치되는 평탄화층을 더 구비하는 유기 발광 표시 장치.

청구항 9

제 4 항에 있어서,

상기 적어도 한 층의 하부 절연막은

상기 기관 상에 배치되는 멀티 버퍼층과;

상기 멀티 버퍼층 상에 배치되는 액티브 버퍼층과;

상기 박막트랜지스터의 반도체층과, 상기 박막트랜지스터의 게이트 전극 사이에 배치되는 게이트 절연막과;

상기 박막트랜지스터의 소스 및 드레인 전극과, 상기 박막트랜지스터의 게이트 전극 사이에 배치되는 층간 절연막을 포함하는 유기 발광 표시 장치.

청구항 10

제 9 항에 있어서,

상기 돌출부는 상기 층간 절연막의 상부면, 상기 층간 절연막의 측면, 상기 게이트 절연막의 측면, 상기 액티브 버퍼층의 측면 및 상기 멀티 버퍼층의 측면 중 적어도 어느 하나를 덮도록 배치되는 상기 보호막으로부터 돌출되며,

상기 트렌치는 상기 층간 절연막, 상기 게이트 절연막, 상기 액티브 버퍼층, 및 상기 멀티 버퍼층 중 적어도 어느 하나의 측면과 상기 돌출부들 사이의 기관을 노출시키거나, 상기 돌출부들 사이의 기관을 노출시키는 유기 발광 표시 장치.

청구항 11

제 9 항에 있어서,

상기 멀티 버퍼층의 최상층은 SiNx 및 SiOx 중 어느 하나로 이루어지며,

상기 멀티 버퍼층의 나머지층과, 상기 액티브 버퍼층, 상기 게이트 절연막, 상기 층간 절연막은 상기 SiNx 및 SiOx 중 나머지 하나로 이루어지는 유기 발광 표시 장치.

청구항 12

제 9 항에 있어서,

상기 신호 링크 및 상기 보호막은 건식 식각이 가능한 재질로 이루어지는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것으로, 특히 신호 링크들의 단락을 방지할 수 있는 유기 발광 표시 장치를 제공하는 것이다.

배경 기술

[0002] 다양한 정보를 화면으로 구현해 주는 영상 표시 장치는 정보 통신 시대의 핵심 기술로 더 얇고 더 가볍고 휴대가 가능하면서도 고성능의 방향으로 발전하고 있다. 이에 음극선관(CRT)의 단점인 무게와 부피를 줄일 수 있는 유기 발광 표시 장치가 각광받고 있다. 이 유기 발광 표시 장치(OLED)는 자발광 소자로서, 소비전력이 낮고, 고속의 응답 속도, 높은 발광 효율, 높은 휘도 및 광시야각을 가진다.

[0003] 이러한 유기 발광 표시 장치의 해상도가 증가함에 따라, 각 서브 화소의 면적이 감소된다. 이 경우, 서브 화소와 연결된 신호 링크들 사이의 간격도 감소되므로, 신호 링크들 사이에서 단락이 발생하는 문제점이 있다. 특히, 유기 발광 표시 장치를 플렉서블 표시 장치로 구현하는 경우, 벤딩이 용이하도록 기판이 벤딩되는 벤딩 영역의 두께를 감소시킨다. 이 경우, 벤딩 영역과, 영상이 구현되는 액티브 영역 간의 단차가 커 공정 불량을 야기한다. 즉, 신호 링크 형성시, 액티브 영역과 인접한 벤딩 영역에 도전 잔막이 주로 발생되며, 그 도전 잔막으로 인해 벤딩 영역에 배치되는 신호 링크들 사이에 단락이 발생하는 문제점이 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 상기 문제점을 해결하기 위한 것으로서, 본 발명은 신호 링크들의 단락을 방지할 수 있는 유기 발광 표시 장치를 제공하는 것이다.

과제의 해결 수단

[0005] 상기 목적을 달성하기 위하여, 본 발명에 따른 유기 발광 표시 장치는 액티브 영역에 배치되는 발광 소자와; 벤딩 영역의 기판 상에서, 상기 기판과 접촉하도록 배치되는 다수의 신호 링크들과; 벤딩 영역에 배치되는 상기 다수의 신호 링크들 사이의 상기 기판을 노출시키도록, 신호 링크들 상에 상기 신호 링크를 따라 배치되는 보호막을 구비함으로써 신호 링크들 간의 단락을 방지할 수 있다.

발명의 효과

[0006] 본 발명에서는 신호 링크 상에 그 신호 링크를 따라 배치되는 돌출부와, 그 돌출부들 사이의 기판을 노출시키는 트렌치를 가지는 보호막을 구비한다. 이 보호막의 트렌치 형성시, 신호 링크들 사이에 잔류하는 도전 잔막이 제거됨으로써 도전 잔막으로 인해 신호 링크들이 단락되는 불량을 방지할 수 있다.

도면의 간단한 설명

[0007] 도 1은 본 발명에 따른 표시 장치를 나타내는 블록도이다.
 도 2는 도 1에서 선 "I-I'"를 따라 절취한 표시 장치를 나타내는 단면도이다.
 도 3은 본 발명에 따른 유기 발광 표시 장치를 나타내는 평면도이다.
 도 4은 도 3에서 선 II-II', III-III'를 따라 절취한 유기 발광 표시 장치를 나타내는 단면도이다.
 도 5는 도 3에 도시된 유기 발광 표시 장치의 다른 실시예를 나타내는 단면도이다.
 도 6a 및 도 6b 도 3에 도시된 벤딩 영역에 배치되는 신호 링크의 실시예들을 나타내는 평면도이다.
 도 7a 및 도 7b는 도 3에 도시된 신호 링크 및 보호막을 상세히 나타내는 사시도이다.
 도 8a 내지 도 8i는 도 3에 도시된 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0008] 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시 예를 상세하게 설명하기로 한다.
 [0009] 도 1은 본 발명에 따른 표시 장치를 나타내는 블록도이며, 도 2는 본 발명에 따른 표시 장치를 나타내는 단면도이다.
 [0010] 도 1 및 도 2에 도시된 표시 장치는 표시 패널(200)과, 스캔 구동부(202) 및 데이터 구동부(204)를 구비한다.
 [0011] 표시 패널(200)은 기판(101) 상에 마련되는 액티브 영역(AA)과, 액티브 영역(AA)의 주변에 배치되는 비액티브 영역(NA)으로 구분된다. 기판(101)은 벤딩이 가능하도록 가요성(flexibility)을 가지는 플라스틱 재질로 형성된다. 예를 들어, 기판(101)은 PI(Polyimide), PET(polyethylene terephthalate), PEN(polyethylene naphthalate), PC(polycarbonate), PES(polyethersulfone), PAR(polyarylate), PSF(polysulfone), COC(cyclic-olefin copolymer) 등의 재질로 형성된다.
 [0012] 액티브 영역(AA)은 매트릭스 형태로 배열된 단위 화소를 통해 영상을 표시한다. 단위 화소는 적색(R), 녹색(G)

및 청색(B) 서브 화소로 구성되거나, 적색(R), 녹색(G), 청색(B) 및 백색(W) 서브 화소로 구성된다.

- [0013] 비액티브 영역(NA)에는 데이터 구동부(204) 및 스캔 구동부(202) 중 적어도 어느 하나가 배치될 수도 있다.
- [0014] 스캔 구동부(202)는 표시 패널(200)의 스캔 라인을 구동한다. 이 스캔 구동부(202)는 산화물 반도체층을 가지는 박막트랜지스터 및 다결정 반도체층을 가지는 박막트랜지스터 중 적어도 어느 하나를 이용하여 구성된다. 이 때, 스캔 구동부(202)의 박막트랜지스터는 액티브 영역(AA)의 각 서브 화소에 배치된 적어도 하나의 박막트랜지스터와 동일 공정으로 동시에 형성된다.
- [0015] 데이터 구동부(204)는 표시 패널(200)의 데이터 라인을 구동한다. 이 데이터 구동부(204)는 칩 형태로 기관(101) 상에 실장되거나, 신호 전송 필름(206) 상에 칩 형태로 실장되어 표시 패널(200)의 비액티브 영역(NA)에 부착된다. 이 신호 전송 필름(206)과 전기적으로 접속되기 위해 비액티브 영역(NA)에는 다수의 신호 패드(PAD)가 배치된다. 이 신호 패드(PAD)를 통해 데이터 구동부(204), 스캔 구동부(202), 전원부(도시하지 않음) 및 타이밍 제어부(도시하지 않음)에서 생성된 구동 신호가 액티브 영역(AA)에 배치되는 신호 라인에 공급된다.
- [0016] 이러한 비액티브 영역(NA)은 표시 패널(200)을 구부리거나 접을 수 있는 벤딩 영역(BA)을 포함한다. 벤딩 영역(BA)은 스캔 구동부(202) 및 데이터 구동부(204)와 같이 표시 기능을 하지 않는 영역을 액티브 영역(AA)의 배면으로 위치시키기 위해 벤딩되는 영역에 해당한다. 이 벤딩 영역(BA)은 도 1에 도시된 바와 같이 액티브 영역(AA)과 데이터 구동부(204) 사이와, 액티브 영역(AA)과 스캔 구동부(202) 사이에 해당한다. 이외에도 벤딩 영역(BA)은 비액티브 영역(NA)의 상하좌우측 중 적어도 한측 내에 배치될 수도 있다. 이에 따라, 표시 장치의 전체 화면에서 액티브 영역(AA)이 차지하는 면적이 최대화되고 비액티브 영역(NA)에 해당하는 면적이 최소화된다.
- [0017] 이러한 벤딩 영역(BA)에는 도 2에 도시된 바와 같이 벤딩 영역(BA)이 쉽게 벤딩되도록 적어도 하나의 개구부(212)가 배치된다. 이 개구부(212)는 벤딩 영역(BA)에 배치되는 크랙을 유발하는 다수의 무기 절연층(210)을 제거함으로써 형성된다. 구체적으로, 기관(101)이 벤딩되면, 벤딩 영역(BA)에 배치되는 무기 절연층(210)에는 지속적인 벤딩 스트레스가 가해지게 된다. 이 무기 절연층(210)은 유기 절연 재질에 비해 탄성력이 낮으므로, 무기 절연층(210)에는 크랙이 발생되기 쉽다. 무기 절연층(210)에 발생된 크랙은 무기 절연층(210)을 따라 액티브 영역(AA)으로 전파되어 라인 결함 및 소자 구동 불량 발생된다. 따라서, 벤딩 영역(BA)에는 무기 절연층(210)보다 탄성력이 높은 유기 절연 재질로 이루어진 적어도 한 층의 평탄화층(208)이 배치된다. 이 평탄화층(208)은 기관(101)이 벤딩되면서 발생하는 벤딩 스트레스를 완화시키므로 크랙이 발생하는 것을 방지할 수 있다.
- [0018] 이와 같은 벤딩 영역(BA)을 가지는 표시 장치는 액정 표시 장치 또는 유기 발광 표시 장치에 적용될 수 있다.
- [0019] 본 발명에서는 벤딩 영역(BA)을 가지는 표시 장치를 유기 발광 표시 장치에 적용한 실시 예를 설명하기로 한다.
- [0020] 도 3 및 도 4에 도시된 유기 발광 표시 장치는 기관(101) 상에 마련되는 액티브 영역(AA)과, 액티브 영역(AA)의 주변에 배치되는 비액티브 영역(NA)으로 구분된다. 기관(101)은 벤딩이 가능하도록 가요성(flexibility)을 가지는 플라스틱 재질로 형성된다.
- [0021] 액티브 영역(AA)에는 다수의 서브 화소들이 매트릭스 형태로 배열되어 영상을 표시한다. 각 서브 화소(PXL)들은 화소 구동 회로와, 화소 구동 회로와 접속되는 발광 소자(120)를 구비한다.
- [0022] 화소 구동 회로는 도 3에 도시된 바와 같이 스위칭 트랜지스터(TS), 구동 트랜지스터(TD) 및 스토리지 커패시터(도시하지 않음, Cst)를 구비한다. 한편, 본 발명에서는 화소 구동 회로가 2개의 트랜지스터(T)와 1개의 커패시터(C)를 구비하는 구조를 예로 들어 설명하였지만, 이를 한정하는 것은 아니다. 즉, 3개 이상의 트랜지스터(T)와 1개 이상의 커패시터(C)를 구비하는 3T1C구조 또는 3TDC구조의 화소 구동 회로를 이용할 수도 있다.
- [0023] 스위칭 트랜지스터(TS)는 스캔 라인(SL)에 스캔 펄스가 공급되면 턴-온되어 데이터 라인(DL)에 공급된 데이터 신호를 스토리지 캐패시터(Cst) 및 구동 트랜지스터(TD)의 게이트 전극으로 공급한다. 이를 위해, 스위칭 트랜지스터(TS)는 도 3에 도시된 바와 같이 스캔 라인(SL)에 접속된 게이트 전극(GE)과, 데이터 라인(DL)에 접속된 소스 전극(SE)과, 구동 트랜지스터에 접속된 드레인 전극(DE)과, 소스 및 드레인 전극 사이에 채널을 형성하는 반도체층(ACT)을 구비한다.
- [0024] 구동 트랜지스터(TD)는 그 구동 트랜지스터(TD)의 게이트 전극에 공급되는 데이터 신호에 응답하여 고전압(VDD) 공급 라인(VL)으로부터 발광 소자(130)로 공급되는 전류를 제어함으로써 발광 소자(100)의 발광량을 조절하게 된다. 그리고, 스위칭 트랜지스터(TS)가 턴-오프되더라도 스토리지 캐패시터(Cst)에 충전된 전압에 의해 구동

트랜지스터(TD)는 다음 프레임의 데이터 신호가 공급될 때까지 일정한 전류를 공급하여 발광 소자(130)가 발광을 유지하게 한다.

- [0025] 이를 위해, 구동 트랜지스터(TD)는 도 3 및 도 4에 도시된 바와 같이 액티브 버퍼층(114) 상에 배치되는 반도체층(104)과, 게이트 절연막(112)을 사이에 두고 반도체층(104)과 중첩되는 게이트 전극(102)과, 층간 절연막(116) 상에 형성되어 반도체층(104)과 접촉하는 소스 및 드레인 전극(106,108)을 구비한다.
- [0026] 반도체층(104)은 비정질 반도체 물질, 다결정 반도체 물질 및 산화물 반도체 물질 중 적어도 어느 하나로 형성된다. 반도체층(104)은 액티브 버퍼층(114) 상에 형성된다. 이러한 반도체층(104)은 채널 영역, 소스 영역 및 드레인 영역을 구비한다. 채널 영역은 게이트 절연막(112)을 사이에 두고 게이트 전극(102)과 중첩되어 소스 및 드레인 전극(106,108) 사이의 채널영역을 형성한다. 소스 영역은 게이트 절연막(112) 및 층간 절연막(116)을 관통하는 소스 콘택홀(110S)을 통해 소스 전극(106)과 전기적으로 접속된다. 드레인 영역은 게이트 절연막(112) 및 층간 절연막(116)을 관통하는 드레인 콘택홀(110D)을 통해 드레인 전극(108)과 전기적으로 접속된다. 이러한 반도체층(104)과 기판(101) 사이에는 멀티 버퍼층(140)과, 액티브 버퍼층(114)이 배치된다. 멀티 버퍼층(140)은 기판(101)에 침투한 수분 및/또는 산소가 확산되는 것을 지연시킨다. 액티브 버퍼층(114)은 반도체층(104)을 보호하며, 기판(101)으로부터 유입되는 다양한 종류의 결함을 차단하는 기능을 수행한다.
- [0027] 이 때, 액티브 버퍼층(114)과 접촉하는 멀티 버퍼층(140)의 최상층은 멀티 버퍼층(140)의 나머지 층들, 액티브 버퍼층(114), 게이트 절연막(112) 및 층간 절연막(116)과 식각 특성이 다른 재질로 형성된다. 액티브 버퍼층(114)과 접촉하는 멀티 버퍼층(140)의 최상층은 SiNx 및 SiOx 중 어느 하나로 형성되고, 멀티 버퍼층(140)의 나머지 층들, 액티브 버퍼층(114), 게이트 절연막(112) 및 층간 절연막(116)은 SiNx 및 SiOx 중 나머지 하나로 형성된다. 예를 들어, 액티브 버퍼층(114)과 접촉하는 멀티 버퍼층(140)의 최상층은 SiNx로 형성되고, 멀티 버퍼층(140)의 나머지 층들, 액티브 버퍼층(114), 게이트 절연막(112) 및 층간 절연막(116)은 SiOx로 형성된다.
- [0028] 게이트 전극(102)은 게이트 절연막(112) 상에 형성되며, 게이트 절연막(112)을 사이에 두고 반도체층(104)의 채널 영역과 중첩된다. 게이트 전극(102)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있으나, 이에 한정되지 않는다.
- [0029] 소스 전극(106)은 게이트 절연막(112) 및 층간 절연막(116)을 관통하는 소스 콘택홀(110S)을 통해 노출된 반도체층(104)의 소스 영역과 접속된다. 드레인 전극(108)은 소스 전극(106)과 마주하며, 게이트 절연막(112) 및 층간 절연막(116)을 관통하는 드레인 콘택홀(110D)을 통해 반도체층(104)의 드레인 영역과 접속된다. 이러한 소스 및 드레인 전극(106,108)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있으나, 이에 한정되지 않는다.
- [0030] 발광 소자(130)는 애노드 전극(132)과, 애노드 전극(132) 상에 형성되는 적어도 하나의 발광 스택(134)과, 발광 스택(134) 위에 형성된 캐소드 전극(136)을 구비한다.
- [0031] 애노드 전극(132)은 보호막(118) 및 평탄화층(128)을 관통하는 화소 콘택홀(120)을 통해 노출된 구동 트랜지스터(TD)의 드레인 전극(108)과 전기적으로 접속된다. 이외에도 애노드 전극(132)은 도 5에 도시된 바와 같이 화소 보조 전극(142)을 통해 드레인 전극(108)과 접속될 수도 있다. 도 5에 도시된 화소 보조 전극(142)은 보호막(118) 및 평탄화층(128)을 관통하는 화소 콘택홀(120)을 통해 노출된 구동 트랜지스터(TD)의 드레인 전극(108)과 전기적으로 접속되며, 애노드 전극(132)은 제2 평탄화층(148)을 관통하는 제2 화소 콘택홀(140)을 통해 노출된 화소 보조 전극(142)과 전기적으로 접속된다.
- [0032] 각 서브 화소의 애노드 전극(132)은 बैं크(138)에 의해 노출되도록 형성된다. 이러한 बैं크(138)는 인접한 서브 화소 간 광 간섭을 방지하도록 불투명 재질(예를 들어, 블랙)로 형성될 수도 있다. 이 경우, बैं크(138)는 칼라 안료, 유기 블랙 및 카본 중 적어도 어느 하나로 이루어진 차광재질을 포함한다.
- [0033] 적어도 하나의 발광 스택(134)은 बैं크(138)에 의해 마련된 발광 영역의 애노드 전극(132) 상에 형성된다. 적어도 하나의 발광 스택(134)은 애노드 전극(132) 상에 정공 관련층, 유기 발광층, 전자 관련층 순으로 또는 역순으로 적층되어 형성된다. 이외에도 발광 스택(134)은 전하 생성층을 사이에 두고 대향하는 제1 및 제2 발광 스택들을 구비할 수도 있다. 이 경우, 제1 및 제2 발광 스택 중 어느 하나의 유기 발광층은 청색광을 생성하고, 제1 및 제2 발광 스택 중 나머지 하나의 유기 발광층은 노란색-녹색광을 생성함으로써 제1 및 제2 발광 스택을 통해 백색광이 생성된다. 이 발광스택(134)에서 생성된 백색광은 발광 스택(134) 상부 또는 하부에 위치하는 길

러 필터에 입사되므로 컬러 영상을 구현할 수 있다. 이외에도 별도의 컬러 필터 없이 각 발광 스택(134)에서 각 서브 화소에 해당하는 컬러광을 생성하여 컬러 영상을 구현할 수도 있다. 즉, 적색(R) 서브 화소의 발광 스택(134)은 적색광을, 녹색(G) 서브 화소의 발광 스택(124)은 녹색광을, 청색(B) 서브 화소의 발광 스택(134)은 청색광을 생성할 수도 있다.

- [0034] 캐소드 전극(136)은 발광 스택(134)을 사이에 두고 애노드 전극(132)과 대향하도록 형성되며 저전압(VSS) 공급 라인과 접속된다.
- [0035] 비액티브 영역(NA)에는 데이터 라인(DL)과 접속되는 데이터 패드(DP), 스캔 라인(SL)과 접속되는 스캔 패드(SP), 저전압(VSS) 공급 라인 및 고전압(VDD) 공급 라인 각각과 접속되는 전원 패드(도시하지 않음)가 배치된다. 이러한 데이터 패드(DP), 스캔 패드(SP) 및 전원 패드는 기관(101)의 일측 및 타측 영역 중 적어도 어느 한 영역에 배치되는 비액티브 영역(NA)에 배치되거나, 데이터 패드(DP), 스캔 패드(SP) 및 전원 패드가 서로 다른 비액티브 영역(NA)에 배치될 수 있다. 한편, 데이터 패드(DP), 스캔 패드(SP) 및 전원 패드는 도 3의 구조에 한정되지 않고, 표시 장치의 설계사항에 따라 다양하게 변경 가능하다.
- [0036] 이러한 데이터 패드(DP), 스캔 패드(SP) 및 전원 패드가 배치되는 비액티브 영역(NA)은 기관(101)을 구부리거나 접을 수 있는 벤딩 영역(BA)을 포함한다.
- [0037] 벤딩 영역(BA)에는 그 벤딩 영역(BA)이 쉽게 벤딩되도록 벤딩 영역(BA)의 기관(101)을 노출시키는 개구부(126)가 형성된다. 개구부(126)는 유기 절연 재질에 비해 경도가 높아 벤딩 스트레스에 쉽게 크랙이 발생하는 무기 절연막들을 제거함으로써 형성된다. 예를 들어, 개구부(126)는 신호 링크(122) 하부에 배치되는 멀티 버퍼막(140), 액티브 버퍼층(114), 게이트 절연막(112) 및 층간 절연막(116)을 포함하는 하부 절연막(BIL)을 제거함으로써 형성된다. 이러한 개구부(126)에 의해 노출된 하부 절연막(BIL)의 측면인 멀티 버퍼막(140)의 측면 또는 기관(101)의 측면과, 개구부(126)에 의해 노출된 기관(101)의 상부면의 경계 라인인 벤딩 라인(BL)을 기준으로 벤딩 영역(BA)은 액티브 영역(AA)으로 벤딩된다.
- [0038] 이 개구부(126)에 의해 노출된 벤딩 영역의 기관(101) 상에는 기관(101)과 접촉하는 신호 링크(122)가 배치된다. 신호 링크(122)는 데이터 패드(DP), 스캔 패드(SP) 및 전원 패드 각각과, 액티브 영역(AA)에 배치되는 데이터 라인(DL), 스캔 라인(SL) 및 전원 라인(VL) 각각을 접속시킨다. 이러한 신호 링크(122)는 벤딩 방향(BD)을 따라 직선 형태로 형성되는 경우, 가장 큰 벤딩 스트레스를 받아 신호 링크(122)에는 크랙 또는 단선이 발생할 수 있다. 따라서, 본 발명의 신호 링크(122)는 벤딩 방향(BD)에 교차하는 방향으로 면적을 넓혀 벤딩 스트레스를 최소화하도록 한다.
- [0039] 이를 위해, 신호 링크(122)는 도 6a 및 도 6b에 도시된 바와 같이 벤딩 라인(BL)으로부터 소정 거리 이격된 가변지점(CP)까지 직선형태로 형성된다. 그리고, 신호 링크(122)는 가변지점(CP)부터 벤딩 영역(BA)의 종료지점까지 도 6a에 도시된 바와 같이 지그재그 형태 또는 정현파 형태로 형성되거나, 도 6b에 도시된 바와 같이 중앙영역이 빈 다각형 형상이 일렬로 서로 연결된 형태로 형성된다.
- [0040] 이러한 신호 링크들(122) 상에는 신호 링크(122)를 덮도록 액티브 영역(AA)에서 벤딩(BA) 영역으로 신장되는 보호막(118)이 형성된다. 보호막(118)은 벤딩 영역(BA)에서 신호 링크(122)를 따라 신호 링크(122) 상에 배치되는 돌출부(118a)와, 돌출부(118a)들 사이의 기관(101)을 노출시키는 트렌치(124)를 포함한다.
- [0041] 이 때, 보호막(118)이 신호 링크(122)의 상부면 상에만 배치되도록 형성되면, 보호막의 돌출부(118a)들의 이격거리는 신호 링크들(122)의 이격거리와 동일하다. 그리고, 보호막(118)이 신호 링크(122)의 상부면 및 측면 상에 배치되도록 형성되면, 보호막의 돌출부(118a)들의 이격거리는 신호 링크들(122)의 이격거리보다 작다. 한편, 보호막의 돌출부(118a)들의 이격거리가 신호 링크들(122)의 이격거리보다 크게 형성하면, 보호막의 돌출부(118a) 형성시 보호막(118)의 식각 가스에 의해 신호 링크(122)가 손상될 수 있다.
- [0042] 트렌치(124)는 벤딩 영역(BA)에 배치되는 신호 링크들(122) 사이의 기관(101)뿐만 아니라, 신호 링크들(122) 사이의 하부 절연막(BIL)의 측면을 노출시킨다. 이러한 트렌치(124)에 의해, 벤딩 라인(BL) 부근의 신호 링크들(122) 사이에 발생하는 도전 잔막을 제거할 수 있다. 이에 대해, 도 7a 및 도 7b를 결부하여 구체적으로 설명하기로 한다.
- [0043] 신호 링크들(122)은 도 7a에 도시된 바와 같이 층간 절연막(116) 상부와, 하부 절연막(BIL)의 측면과 기관(101)의 상부면 상에 형성된다. 이러한 신호 링크(122)는 기관(101) 상에 불투명 도전층을 전면 증착한 후, 포토 리소그래피 공정과 식각 공정을 통해 패터닝됨으로써 형성된다. 이 때, 기관 표면 상태 불량 또는/및 공정 마진(margin) 부족으로 인해 하부 절연막(BIL)의 측면과 기관(101)의 상부면 사이의 경계 라인인 벤딩 라인(BL) 부

근에 불투명 도전층의 도전 잔막(144)이 잔류하게 된다. 이 도전 잔막(144)에 의해 인접한 신호 링크들(122) 간의 저항이 낮아져 신호 링크들(122)이 단락(Short)되므로 라인 불량이 발생된다.

- [0044] 이 후, 도전 잔막(144)이 발생된 기판(101) 상에 무기 절연 물질을 전면 증착한 후, 포토리소그래피 공정과 식각 공정을 통해 무기 절연 물질이 패터닝된다. 이에 따라, 도 7b에 도시된 바와 같이 돌출부(118a) 및 트렌치(124)를 가지는 보호막(118)이 형성된다. 트렌치(124) 형성을 위해, 보호막(118)을 이루는 무기 절연 물질의 식각 공정시, 도전 잔막(144)도 보호막(118)의 건식 식각 가스와 반응하여 무기 절연 물질과 함께 제거된다. 이를 위해, 신호 링크(122) 형성시 발생되어 신호 링크(122)와 동일 재질인 도전 잔막(144) 및 보호막(118)은 건식 식각이 가능한 재질로 이루어진다. 이에 따라, 본 발명에서는 도전 잔막(144)에 의해 신호 링크들(122)이 단락되는 라인 불량을 방지할 수 있다.
- [0045] 한편, 돌출부(118a)는 도 7b에 도시된 바와 같이 층간 절연막(116)의 상부면을 덮도록 배치되는 보호막(118)으로부터 돌출된다. 이 경우, 트렌치(124)는 층간 절연막(116), 게이트 절연막(112), 액티브 버퍼층(114) 및 멀티 버퍼층(140)의 경사진 측면과, 돌출부들(118a) 사이의 기판(101)을 노출시킨다.
- [0046] 이외에도 돌출부(118a)는 층간 절연막(116)의 상부면 뿐만 아니라, 층간 절연막(116), 게이트 절연막(112) 및 액티브 버퍼층(114) 및 멀티 버퍼층(140) 중 적어도 어느 하나의 측면을 덮도록 배치되는 보호막(118)으로부터 돌출된다. 이 경우, 트렌치(124)는 게이트 절연막(112), 액티브 버퍼층(114) 및 멀티 버퍼층(140)의 경사진 측면과 돌출부들(118a) 사이의 기판(101)을 노출시키거나, 돌출부들(118a) 사이의 기판(101)만을 노출시킨다.
- [0047] 이와 같은 트렌치(124) 및 돌출부(118a)를 가지는 보호막(118) 상에는 액티브 영역(AA)으로부터 밴딩 영역(BA)으로 신장되는 평탄화층(128)이 배치된다. 이 평탄화층(128)은 트렌치(124)에 의해 노출된 돌출부들(118a) 사이의 기판(101) 상에 배치된다. 이러한 평탄화층(128)은 유기 절연 재질로 형성되므로, 밴딩 스트레스를 완화시키므로, 밴딩 스트레스가 밴딩 영역(BA)에 배치되는 보호막(118) 및 신호 링크(122)에 가해지는 것을 방지할 수 있다.
- [0048] 이와 같이, 본 발명에서는 신호 링크(122) 상에 신호 링크(122)를 따라 배치되는 돌출부(118a)와, 그 돌출부들(118a) 사이의 기판(101)을 노출시키는 트렌치(124)를 가지는 보호막(118)을 구비한다. 이 보호막(118)의 트렌치(124) 형성시, 신호 링크들(122) 사이에 잔류하는 도전 잔막(144)이 제거됨으로써 도전 잔막(144)으로 인해 신호 링크들(122)이 단락되는 불량을 방지할 수 있다.
- [0049] 도 8a 내지 도 8i은 도 4에 도시된 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도들이다.
- [0050] 도 8a를 참조하면, 기판(101) 상에 멀티 버퍼층(140), 액티브 버퍼층(114) 및 반도체층(104)이 순차적으로 형성된다.
- [0051] 구체적으로, 기판(101) 상에 SiO_x 및 SiN_x이 적어도 1회 교번적으로 적층됨으로써 멀티 버퍼층(140)이 형성된다. 그런 다음, 멀티 버퍼층(140) 상에 SiO_x 또는 SiN_x이 전면 증착됨으로써 액티브 버퍼층(114)이 형성된다. 그런 다음, 액티브 버퍼층(114)이 형성된 기판(101) 상에 LPCVD(Low Pressure Chemical Vapor Deposition), PECVD(Plasma Enhanced Chemical Vapor Deposition) 등의 방법을 통해 비정질 실리콘 박막이 형성된다. 그런 다음, 비정질 실리콘 박막을 결정화함으로써 다결정 실리콘 박막으로 형성된다. 그리고, 다결정 실리콘 박막을 제1 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 패터닝함으로써 반도체층(104)이 형성된다.
- [0052] 도 8b를 참조하면, 반도체층(104)이 형성된 기판(101) 상에 게이트 절연막(112)이 형성되고, 그 게이트 절연막(112) 상에 게이트 전극(102)이 형성된다.
- [0053] 구체적으로, 반도체층(104)이 형성된 기판(101) 상에 SiN_x 또는 SiO_x와 같은 무기 절연 물질이 전면 증착됨으로써 게이트 절연막(112)이 형성된다. 그런 다음, 게이트 절연막(112) 상에 제1 도전층이 전면 증착된 후 포토리소그래피 공정 및 식각 공정을 통해 제1 도전층이 패터닝됨으로써 게이트 전극(102)이 형성된다.
- [0054] 도 8c를 참조하면, 게이트 전극(102)이 형성된 기판(101) 상에 적어도 한 층의 층간 절연막(116)이 형성되고, 밴딩 영역(BA)에 개구부(126)가 형성된다.
- [0055] 구체적으로, 게이트 전극(102)이 형성된 기판(101) 상에 SiN_x 또는 SiO_x와 같은 무기 절연 물질이 전면 증착됨으로써 층간 절연막(116)이 형성된다. 그런 다음, 멀티 버퍼층(140), 액티브 버퍼층(114), 게이트 절연막(112) 및 층간 절연막(116)이 1번의 포토리소그래피 공정 및 다수번의 식각 공정을 통해 패터닝됨으로써 밴딩 영역(BA)에 개구부(126)가 형성된다. 이 때, 액티브 버퍼층(114)과 접촉하는 멀티 버퍼층(140)의 최상층은 멀티 버

퍼층(140)의 나머지 층들, 액티브 버퍼층(114), 게이트 절연막(112) 및 층간 절연막(116)과 식각 특성이 다른 재질로 형성된다. 이러한 멀티 버퍼층(140)의 최상층이, 멀티 버퍼층(140)의 나머지 층들, 액티브 버퍼층(114), 게이트 절연막(112) 및 층간 절연막(116)과 다른 식각 특성을 가지므로, 다수번의 식각 공정을 통해 비액티브 영역에서, 멀티 버퍼층(140), 액티브 버퍼층(114), 게이트 절연막(112) 및 층간 절연막(116)이 계단 형상의 측면을 이루도록 형성된다.

- [0056] 도 8d를 참조하면, 개구부(126)가 형성된 기판(101) 상에 소스 및 드레인 컨택홀(110S,110D)이 형성된다.
- [0057] 구체적으로, 개구부가 형성된 기판(101) 상에 포토리소그래피 공정을 통해 포토레지스트 패턴이 형성된다. 그 포토레지스트 패턴을 마스크로 이용한 식각 공정을 통해 게이트 절연막(112) 및 층간 절연막(116)이 패터닝됨으로써 소스 및 드레인 컨택홀(110S,110D)이 형성된다.
- [0058] 도 8e를 참조하면, 소스 및 드레인 컨택홀(110S,110D)이 형성된 기판(101) 상에 소스 및 드레인 전극(106,108)과, 신호 링크(122)가 형성된다.
- [0059] 구체적으로, 소스 및 드레인 컨택홀(110S,110D)이 형성된 기판(101) 상에 Mo, Ti, Cu, AlNd, Al 또는 Cr 또는 이들의 합금과 같은 제2 도전층이 전면 증착된다. 그런 다음, 포토리소그래피 공정 및 식각 공정을 통해 제2 도전층이 패터닝됨으로써 소스 및 드레인 전극(106,108)과, 신호 링크(122)가 형성된다.
- [0060] 도 8f를 참조하면, 소스 및 드레인 전극(106,108)과, 신호 링크(122)가 형성된 기판(101) 상에 화소 컨택홀(120)과 트렌치(124) 및 돌출부(118a)를 가지는 보호막(118)이 형성된다.
- [0061] 구체적으로, 소스 및 드레인 전극(106,108)과, 신호 링크(122)가 형성된 기판(101) 상에 SiNx 또는 SiOx와 같은 무기 절연 물질이 전면 증착됨으로써 보호막(118)이 형성된다. 그런 다음, 보호막(118)이 포토리소그래피 공정과 식각 공정을 통해 패터닝됨으로써 화소 컨택홀(120)과 트렌치(124) 및 돌출부(118a)가 형성된다. 돌출부(118a)는 벤딩 영역의 신호 링크 상에 신호 링크를 따라 형성되며, 화소 컨택홀(120)은 보호막(118)을 관통하여 드레인 전극(108)을 노출시키며, 트렌치(124)는 돌출부(118a)들 사이의 보호막(118)을 관통하여 기판(101)을 노출시킨다.
- [0062] 도 8g를 참조하면, 보호막(118)이 형성된 기판(101) 상에 평탄화층(128)이 형성된다.
- [0063] 구체적으로, 보호막(118)이 형성된 기판(101) 상에 아크릴계 수지와 같은 유기 절연 물질이 전면 증착됨으로써 평탄화층(128)이 형성된다. 그런 다음, 마스크를 이용한 포토리소그래피 공정을 통해 평탄화층(128)이 패터닝됨으로써 화소 컨택홀(120)은 평탄화층(128)을 관통하도록 형성된다.
- [0064] 도 8h를 참조하면, 평탄화층(128)이 형성된 기판(101) 상에 애노드 전극(132)이 형성된다.
- [0065] 구체적으로, 평탄화층(128)이 형성된 기판(101) 상에 제3 도전층이 전면 증착된다. 제3 도전층으로는 투명 도전막 및 불투명 도전막이 이용된다. 그런 다음, 포토리소그래피 공정과 식각 공정을 통해 제3 도전층이 패터닝됨으로써 애노드 전극(132)이 형성된다.
- [0066] 도 8i를 참조하면, 애노드 전극(132)이 형성된 기판(101) 상에 बैं크(138), 유기 발광 스택(134) 및 캐소드 전극(136)이 순차적으로 형성된다.
- [0067] 구체적으로, 애노드 전극(132)이 형성된 기판(101) 상에 감광성 유기막을 전면 도포한 다음, 그 감광성 유기막을 포토리소그래피 공정을 통해 패터닝함으로써 बैं크(138)가 형성된다. 그런 다음, 새도우마스크를 이용한 증착 공정을 통해 비액티브 영역(NA)을 제외한 액티브 영역(AA)에 발광 스택(134) 및 캐소드 전극(136)이 순차적으로 형성된다.
- [0068] 이상의 설명은 본 발명을 예시적으로 설명한 것에 불과하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술적 사상에서 벗어나지 않는 범위에서 다양한 변형이 가능할 것이다. 따라서 본 발명의 명세서에 개시된 실시 예들은 본 발명을 한정하는 것이 아니다. 본 발명의 범위는 아래의 특허청구범위에 의해 해석되어야 하며, 그와 균등한 범위 내에 있는 모든 기술도 본 발명의 범위에 포함되는 것으로 해석해야 할 것이다.

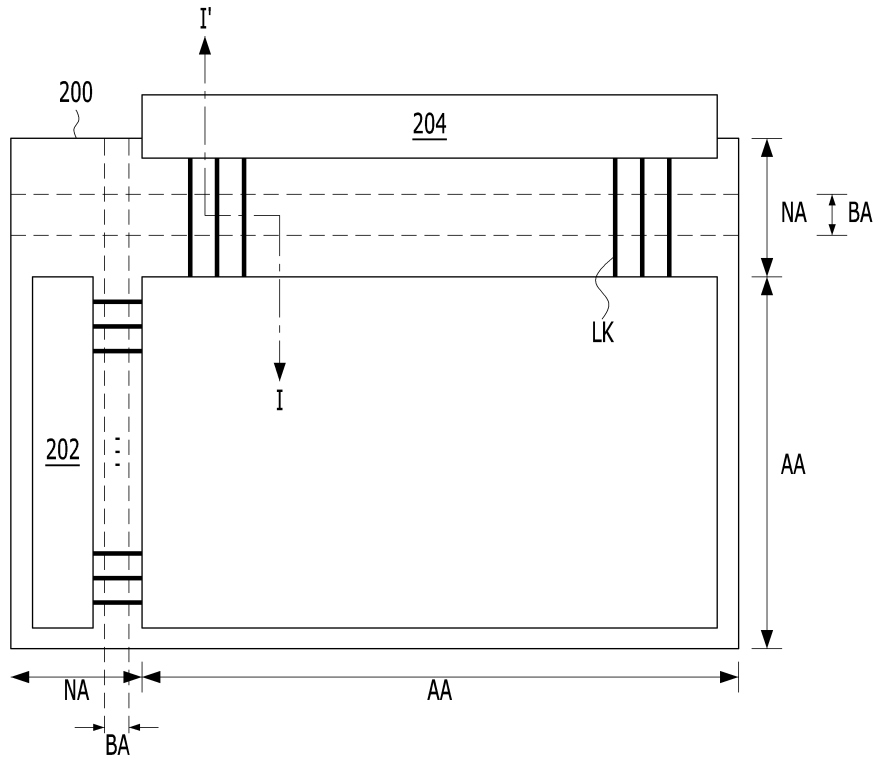
부호의 설명

- [0069] 102 : 게이트 전극 104 : 반도체층

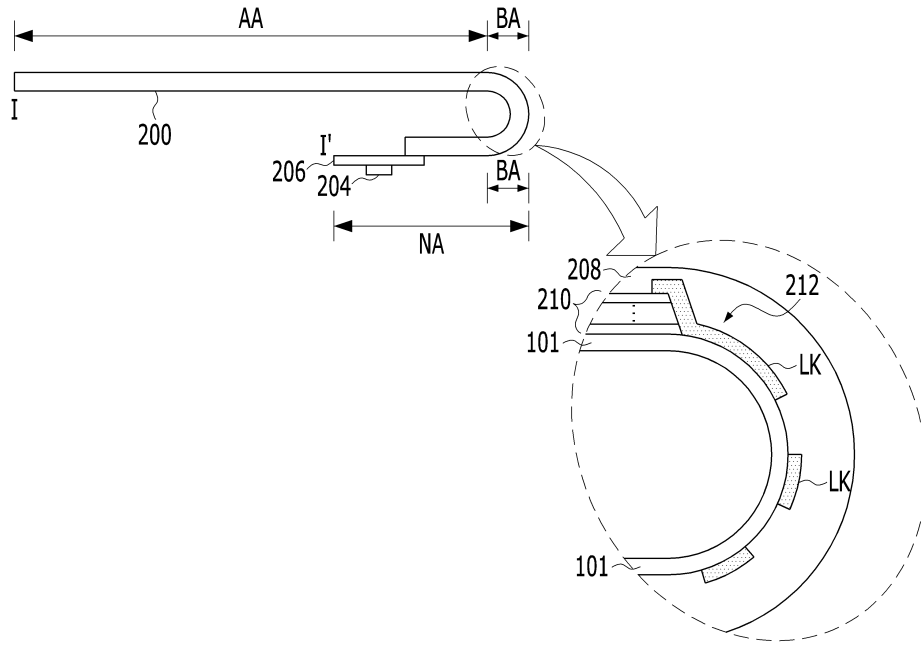
- 106 : 소스 전극 108 : 드레인 전극
- 122 : 신호 링크 124 : 트렌치
- 126 : 개구부 130 : 발광 소자

도면

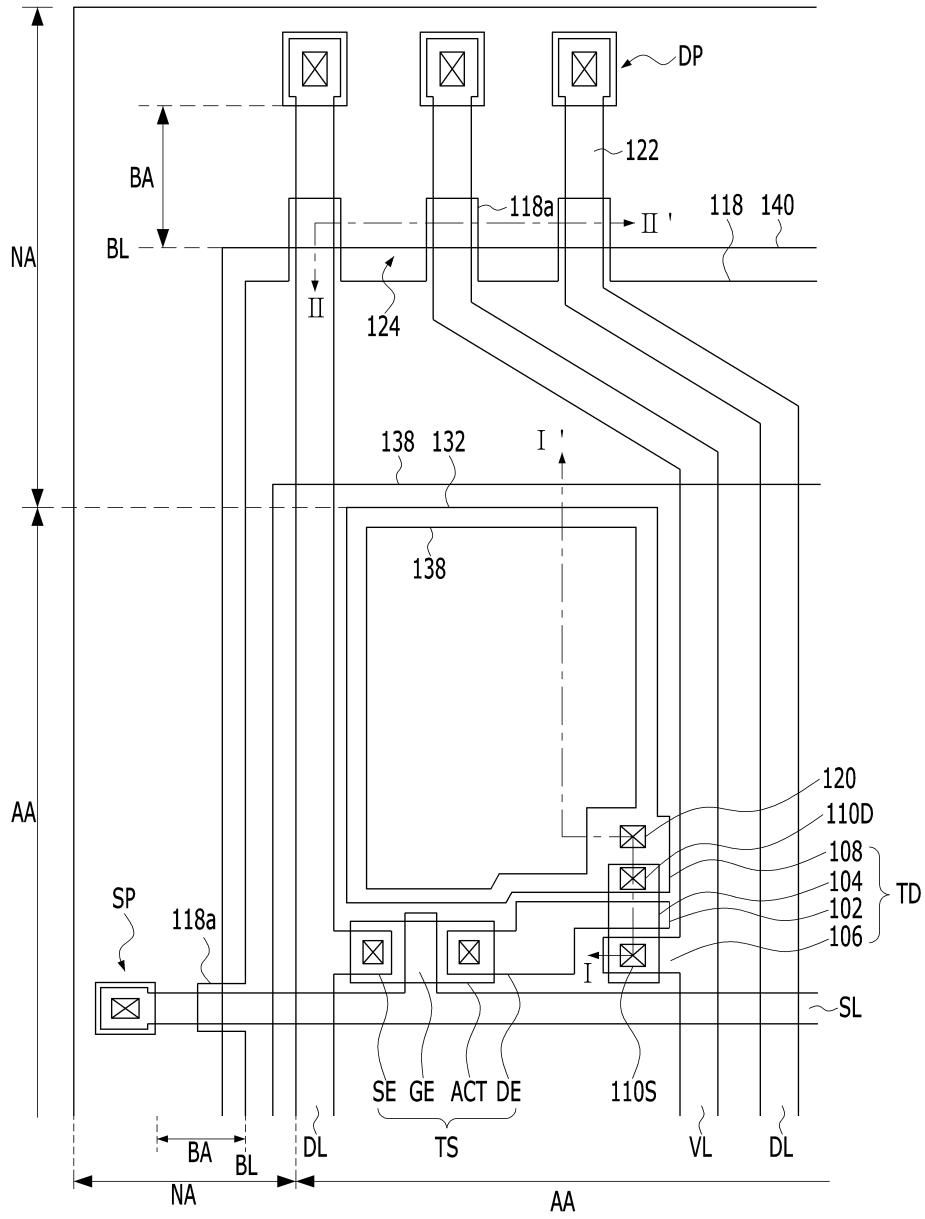
도면1



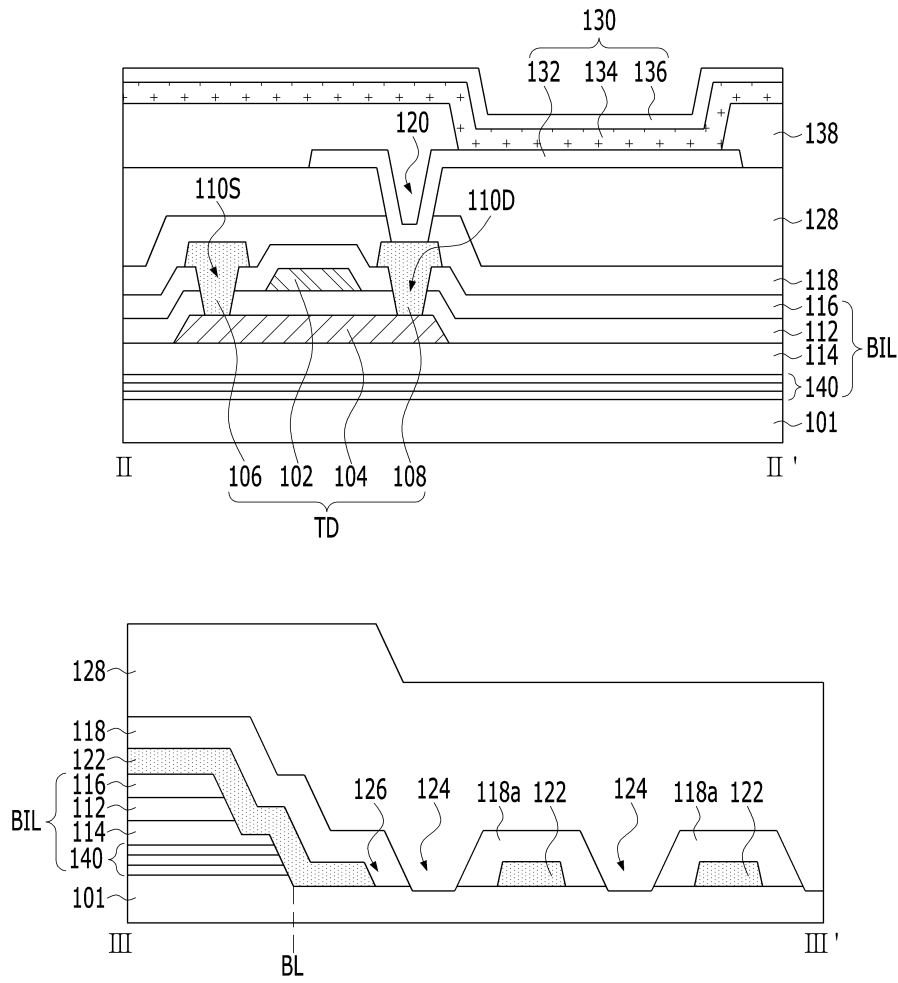
도면2



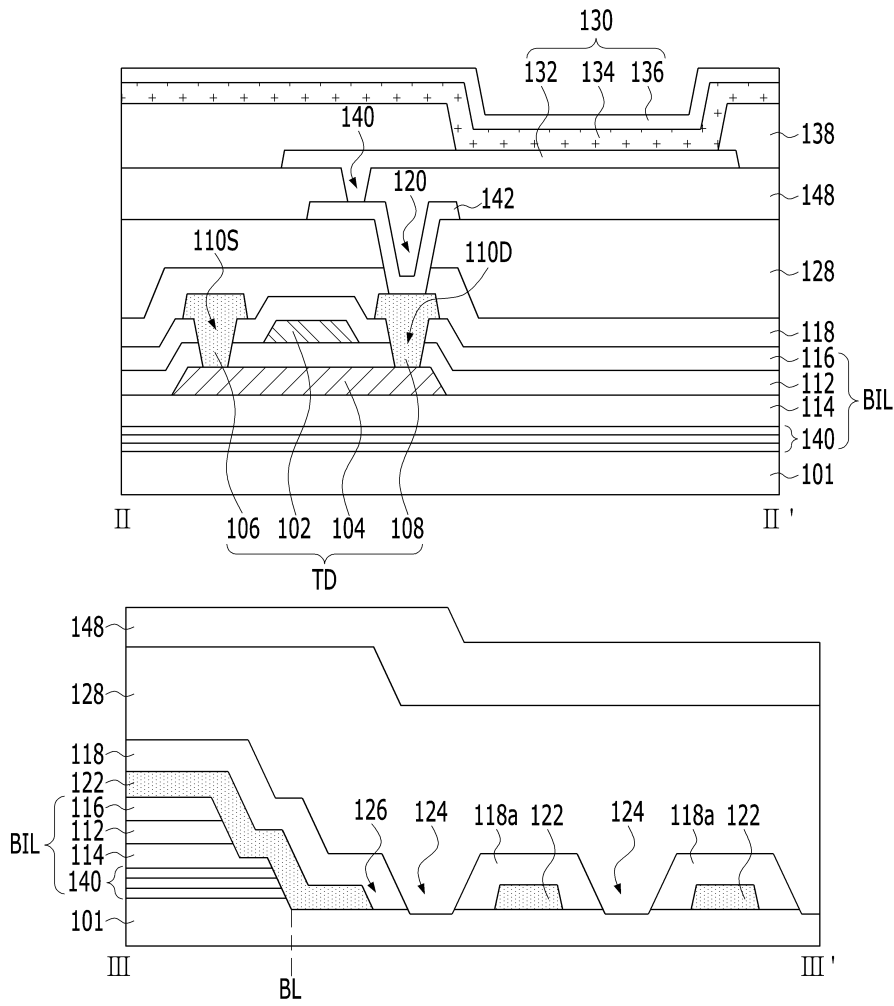
도면3



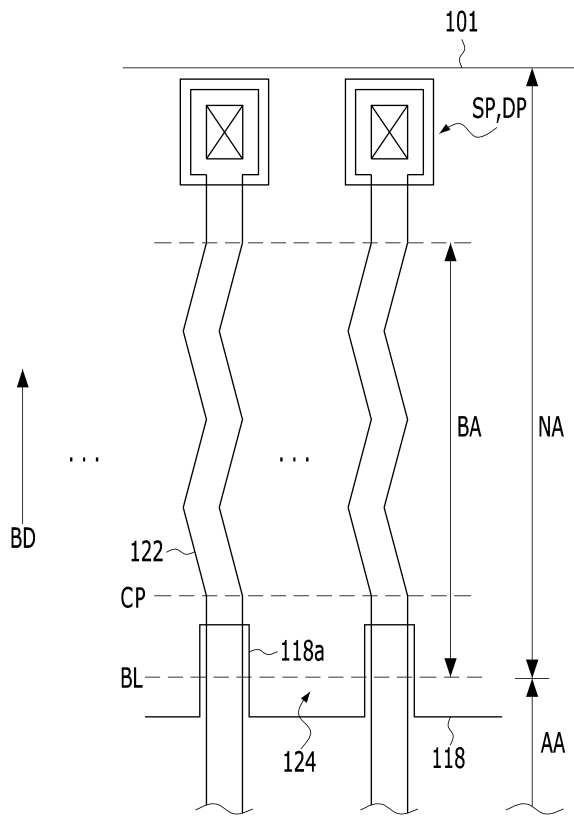
도면4



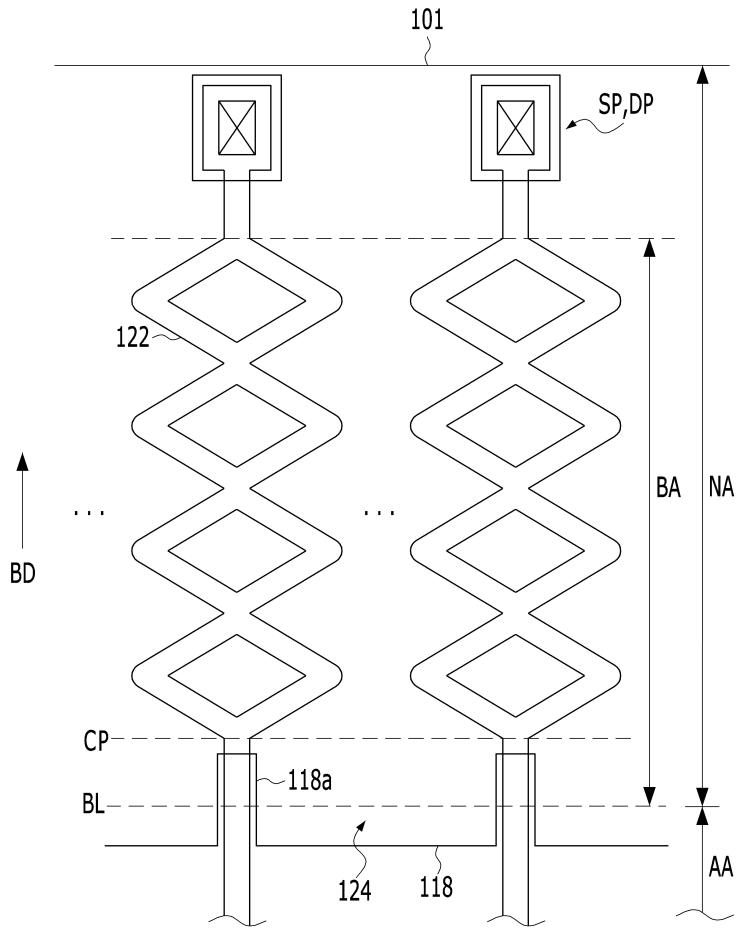
도면5



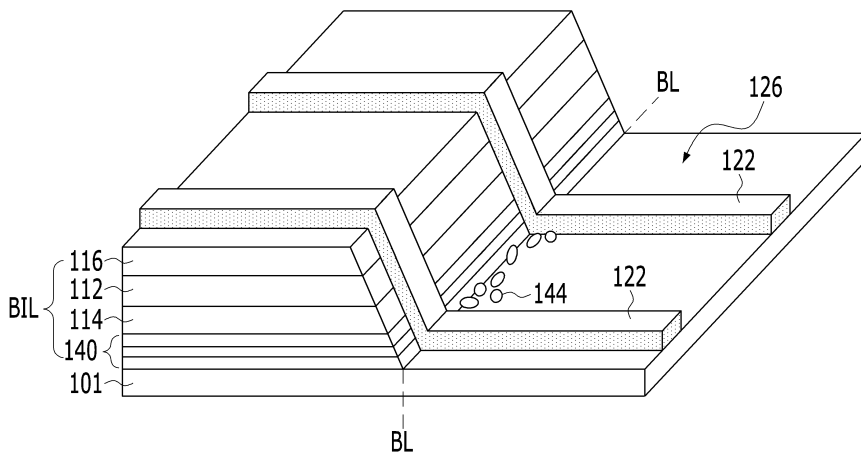
도면6a



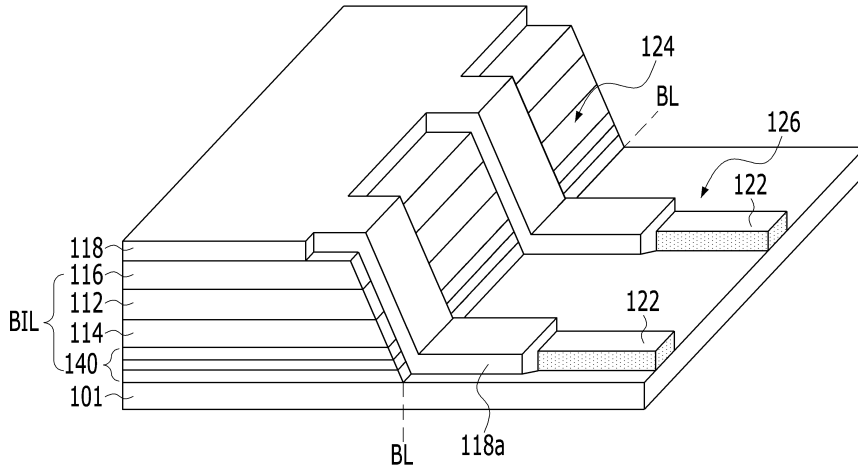
도면6b



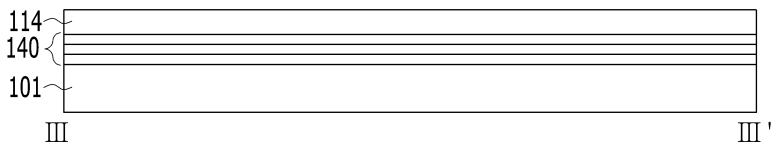
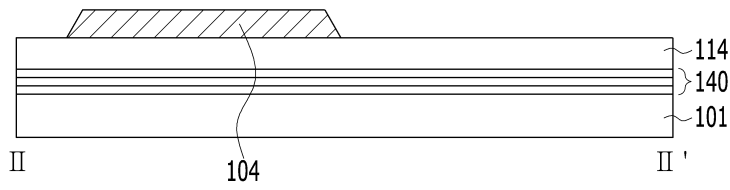
도면7a



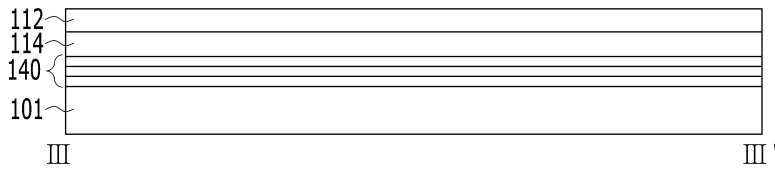
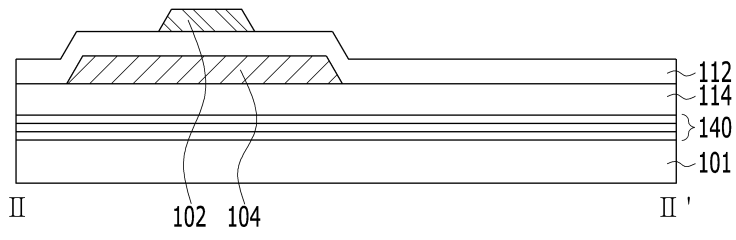
도면7b



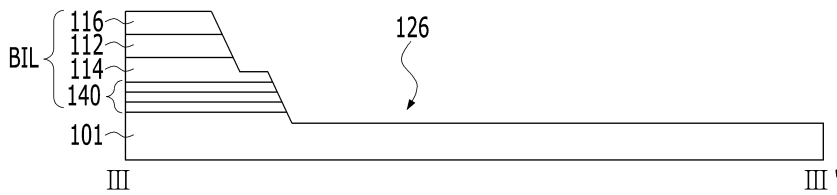
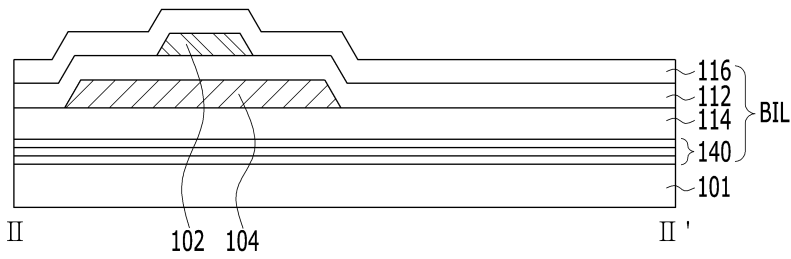
도면8a



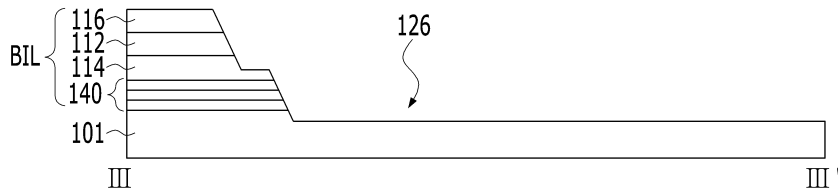
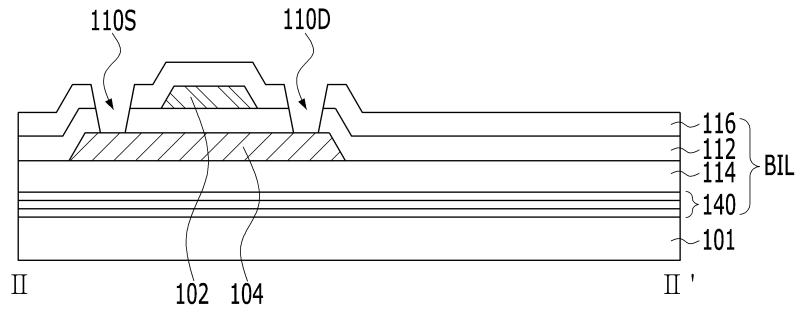
도면8b



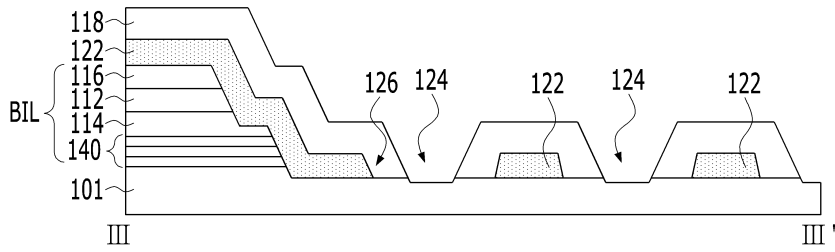
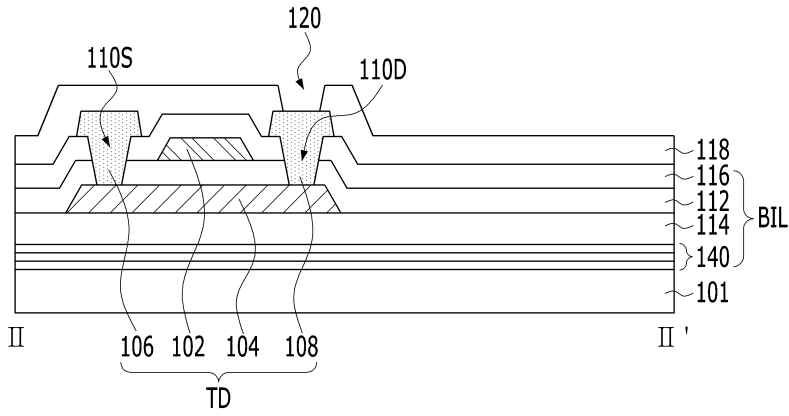
도면8c



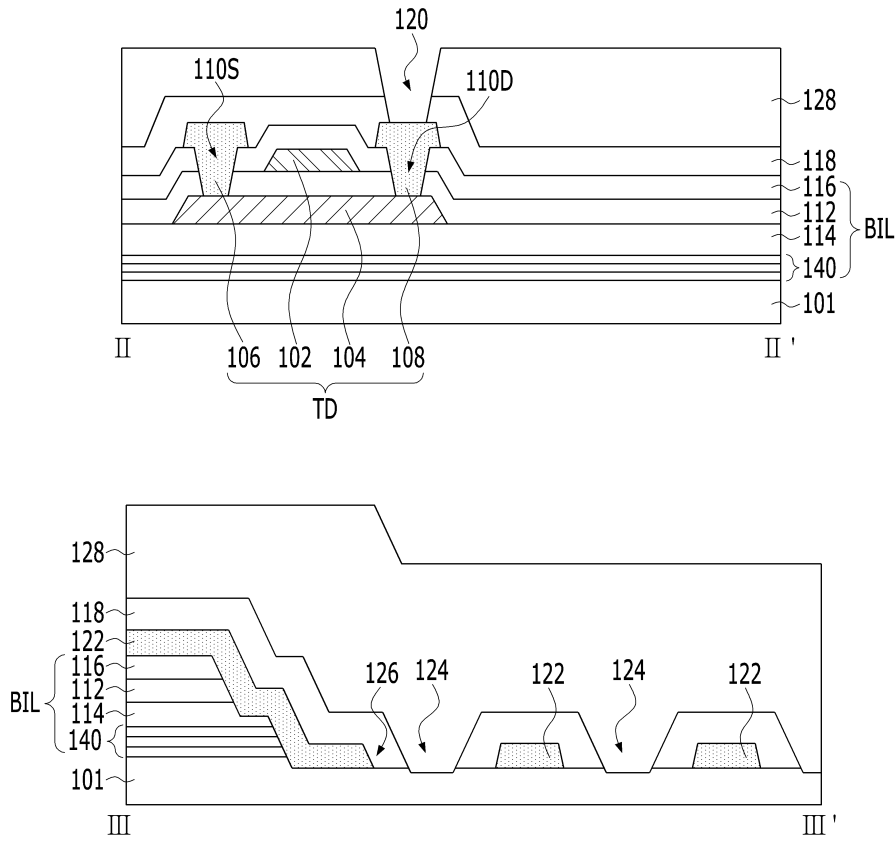
도면8d



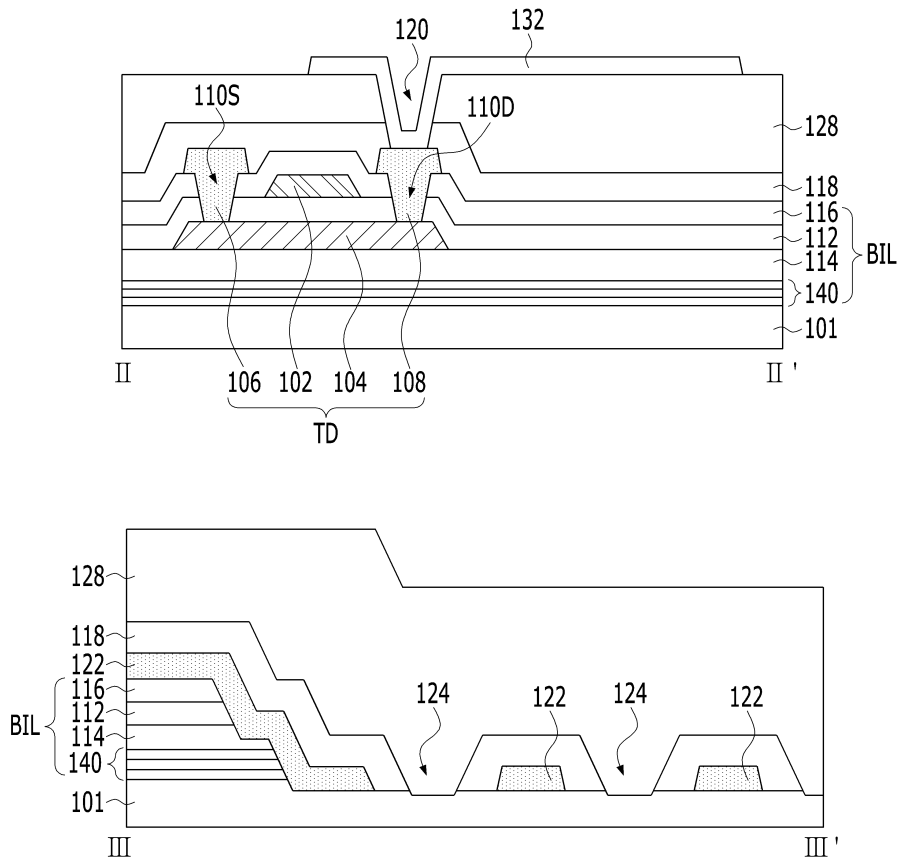
도면8f



도면8g



도면8h



도면8i

