



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0067295
(43) 공개일자 2019년06월17일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) H01L 27/32 (2006.01)
H01L 51/00 (2006.01)
(52) CPC특허분류
H01L 51/5203 (2013.01)
H01L 27/3211 (2013.01)
(21) 출원번호 10-2017-0166778
(22) 출원일자 2017년12월06일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
최상무
경기도 용인시 수지구 신봉2로 26, LG신봉자이1차
아파트 (신봉동)
김미혜
충청남도 아산시 탕정면 탕정면로 37, 탕정삼성트
라팰리스아파트 301동 2905호
(뒷면에 계속)
(74) 대리인
특허법인가산

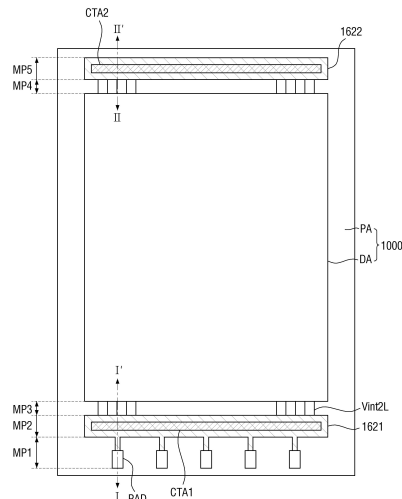
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

유기 발광 표시 장치가 제공된다. 유기 발광 표시 장치는 유기 발광 다이오드를 포함하는 복수의 화소가 배치된 표시 영역 및 상기 표시 영역을 둘러싸는 주변 영역이 정의된 기판, 상기 주변 영역에서 상기 기판 상에 배치된 패드 및 상기 패드와 전기적으로 연결된 제1 도전 패턴, 상기 주변 영역에서 상기 기판 상에 배치되며, 상기 표시 영역을 사이에 두고 상기 제1 도전 패턴의 반대편에 배치된 제2 도전 패턴, 상기 주변 영역에서 상기 제1 도전 패턴 및 상기 제2 도전 패턴 상에 배치되고, 상기 제1 도전 패턴과 전기적으로 연결된 제1 연결 전극 및 상기 제2 도전 패턴과 전기적으로 연결된 제2 연결 전극, 상기 제1 연결 전극 및 상기 제2 연결 전극 상에 배치되고, 상기 제1 연결 전극 및 상기 제2 연결 전극과 전기적으로 연결된 상기 유기 발광 다이오드의 캐소드 전극을 포함한다.

대표도 - 도4



(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 51/0014 (2013.01)

(72) 발명자

석상원

경기도 광명시 도덕공원로 17, 도덕파크타운 104동
1102호 (철산동)

장환수

충청남도 아산시 탕정면 탕정면로 37, 탕정삼성트
라팰리스아파트 301동 2604호

이수진

서울특별시 마포구 고산길 48, 3층 301호 (노고산
동)

명세서

청구범위

청구항 1

유기 발광 다이오드를 포함하는 복수의 화소가 배치된 표시 영역 및 상기 표시 영역을 둘러싸는 주변 영역이 정의된 기판;

상기 주변 영역에서 상기 기판 상에 배치된 패드 및 상기 패드와 전기적으로 연결된 제1 도전 패턴;

상기 주변 영역에서 상기 기판 상에 배치되며, 상기 표시 영역을 사이에 두고 상기 제1 도전 패턴의 반대편에 배치된 제2 도전 패턴;

상기 주변 영역에서 상기 제1 도전 패턴 및 상기 제2 도전 패턴 상에 배치되고, 상기 제1 도전 패턴과 전기적으로 연결된 제1 연결 전극 및 상기 제2 도전 패턴과 전기적으로 연결된 제2 연결 전극;

상기 제1 연결 전극 및 상기 제2 연결 전극 상에 배치되고, 상기 제1 연결 전극 및 상기 제2 연결 전극과 전기적으로 연결된 상기 유기 발광 다이오드의 캐소드 전극을 포함하는 유기 발광 표시 장치.

청구항 2

제1 항에 있어서,

상기 제1 도전 패턴과 상기 제2 도전 패턴은 상기 표시 영역을 통과하도록 배치된 복수의 도전 라인을 통하여 전기적으로 연결되며,

복수의 상기 도전 라인은 상기 제1 도전 패턴 및 상기 제2 도전 패턴과 동일층에 배치된 유기 발광 표시 장치.

청구항 3

제2 항에 있어서,

상기 유기 발광 다이오드의 애노드 전극은 상기 도전 라인에 제공된 전압 레벨로 초기화되는 유기 발광 표시 장치.

청구항 4

제2 항에 있어서,

상기 도전 라인은 상기 제1 도전 패턴 및 상기 제2 도전 패턴과 동일 물질로 이루어진 유기 발광 표시 장치.

청구항 5

제1 항에 있어서,

상기 제1 도전 패턴과 상기 제1 연결 전극은 제1 접촉 영역을 통하여 전기적으로 연결되며,

상기 제1 접촉 영역은 상기 제1 도전 패턴과 중첩하는 유기 발광 표시 장치.

청구항 6

제5 항에 있어서,

상기 제2 도전 패턴과 상기 제2 연결 전극은 제2 접촉 영역을 통하여 전기적으로 연결되며,

상기 제2 접촉 영역은 상기 제2 도전 패턴과 중첩하는 유기 발광 표시 장치.

청구항 7

제1 항에 있어서,

상기 제1 연결 전극 및 상기 제2 연결 전극은 상기 유기 발광 다이오드의 애노드 전극과 동일 층에 배치된 유기

발광 표시 장치.

청구항 8

제7 항에 있어서,

상기 제1 연결 전극 및 상기 제2 연결 전극은 상기 유기 발광 다이오드의 애노드 전극과 동일 물질로 이루어진 유기 발광 표시 장치.

청구항 9

제1 항에 있어서,

상기 패드와 상기 제1 도전 패턴은 상기 표시 영역의 일 단부에 배치되며,

상기 제2 도전 패턴은 상기 패드 및 상기 제1 도전 패턴이 배치된 상기 표시 영역의 일 단부의 맞은편 단부에 배치된 유기 발광 표시 장치.

청구항 10

제1 항에 있어서,

각각의 상기 화소는 제어 전극이 제1 노드에 접속되고, 제1 전극이 제2 노드에 접속되며, 제2 전극이 제3 노드에 접속된 구동 트랜지스터를 더 포함하고,

상기 유기 발광 다이오드는 상기 구동 트랜지스터의 드레인-소스간 전류에 따라 발광하는 유기 발광 표시 장치.

청구항 11

제10 항에 있어서,

상기 캐소드 전극은 제1 전원 전압을 제공받는 유기 발광 표시 장치.

청구항 12

제11 항에 있어서,

상기 유기 발광 다이오드의 애노드 전극은 상기 제1 전원 전압으로 초기화되는 유기 발광 표시 장치.

청구항 13

제12 항에 있어서,

상기 구동 트랜지스터의 제어 전극은 제1 초기화 전압으로 초기화되는 유기 발광 표시 장치.

청구항 14

제13 항에 있어서,

상기 제1 초기화 전압은 상기 제1 전원 전압보다 높은 전압 레벨을 갖는 유기 발광 표시 장치.

청구항 15

유기 발광 다이오드를 포함하는 복수의 화소가 배치된 표시 영역 및 상기 표시 영역을 둘러싸는 주변 영역이 정의된 기관;

상기 주변 영역에서 상기 기관 상에 배치된 패드 및 상기 패드와 전기적으로 연결되며, 상기 표시 영역을 둘러싸도록 배치된 도전 패턴;

상기 주변 영역에서 상기 도전 패턴 상에 배치되며 상기 도전 패턴과 전기적으로 연결된 제1 연결 전극 및 제2 연결 전극;

상기 제1 연결 전극 및 상기 제2 연결 전극 상에 배치되고, 상기 제1 연결 전극 및 상기 제2 연결 전극과 전기적으로 연결된 상기 유기 발광 다이오드의 캐소드 전극을 포함하되,

상기 제1 연결 전극은 상기 패드가 배치된 상기 표시 영역의 일 단부에 인접한 상기 주변 영역에 배치되고,
상기 제2 연결 전극은 상기 표시 영역을 사이에 두고 상기 제1 연결 전극의 맞은편 상기 주변 영역에 배치된 유기 발광 표시 장치.

청구항 16

제15 항에 있어서,
상기 도전 패턴은 상기 표시 영역을 통과하도록 배치된 복수의 도전 라인과 전기적으로 연결되며,
복수의 상기 도전 라인은 상기 도전 패턴과 동일층에 배치된 유기 발광 표시 장치.

청구항 17

제15 항에 있어서,
상기 도전 패턴과 상기 제1 연결 전극은 제1 접촉 영역을 통하여 전기적으로 연결되고,
상기 도전 패턴과 상기 제2 연결 전극은 제2 접촉 영역을 통하여 전기적으로 연결되며,
상기 제1 접촉 영역 및 상기 제2 접촉 영역은 상기 표시 영역을 사이에 두고 이격되며, 상기 도전 패턴과 중첩 배치된 유기 발광 표시 장치.

청구항 18

제15 항에 있어서,
각각의 상기 화소는 제어 전극이 제1 노드에 접속되고, 제1 전극이 제2 노드에 접속되며, 제2 전극이 제3 노드에 접속된 구동 트랜지스터를 더 포함하고,
상기 유기 발광 다이오드는 상기 구동 트랜지스터의 드레인-소스간 전류에 따라 발광하는 유기 발광 표시 장치.

청구항 19

제18 항에 있어서,
상기 캐소드 전극은 제1 전원 전압을 제공받는 유기 발광 표시 장치.

청구항 20

제19 항에 있어서,
상기 유기 발광 다이오드의 애노드 전극은 상기 제1 전원 전압으로 초기화되는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 유저 인터페이스의 하나로서 전자 디바이스에 표시 장치를 탑재하는 것은 필수가 되고 있으며, 이에 다양한 종류의 표시 장치가 개발되고 있다. 대표적으로, 유기 발광 표시 장치(Organic Light Emitting Diode, OLED)는 형광성 유기 화합물에 전류가 흐르면 빛을 내는 자체발광현상을 이용하여 화상을 표시하는 장치이다.

[0003] 유기 발광 표시 장치에서 화상이 표시되는 영역인 표시 영역에는 복수의 화소가 배치된다. 화소들 각각은 구동을 위한 복수의 트랜지스터를 포함한다.

[0004] 여기서, 상기 구동의 종류로는 각각의 화소의 발광 여부 제어 외에도, 각각의 화소들 간의 특성 차이에 의한 얼룩의 시인 방지를 위한 문턱전압 보상, 일부 노드들의 초기화 등을 예로 들 수 있다. 나아가, 상기 형광성 유기 화합물의 열화에 따른 얼룩 시인 방지를 위한 열화 보상에 사용되는 데이터의 수집 등이 포함될 수도 있다.

발명의 내용

해결하려는 과제

- [0005] 한편, 각각의 상기 화소는 상기 구동을 수행하기 위한 다수의 신호 및 전원 전압들을 제공받을 수 있다.
- [0006] 그러나, 다수의 상기 신호 및 상기 전원 전압들이 인가되는 부분으로부터 각각의 화소들 간의 거리가 모두 상이하며, 상기 신호 및 상기 전원 전압들이 제공되는 경로의 특성(예컨대, 저항)이 모두 상이할 수 있다. 따라서, 각각의 화소에 제공되는 신호 및 전원 전압간 편차가 발생하여 표시 품질이 저하될 우려가 있다.
- [0007] 이에, 본 발명이 해결하고자 하는 과제는, 각각의 화소에 제공되는 신호 및 전원 전압간의 편차가 최소화된 유기 발광 표시 장치를 제공하는 것이다.
- [0008] 본 발명의 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0009] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 유기 발광 다이오드를 포함하는 복수의 화소가 배치된 표시 영역 및 상기 표시 영역을 둘러싸는 주변 영역이 정의된 기판, 상기 주변 영역에서 상기 기판 상에 배치된 패드 및 상기 패드와 전기적으로 연결된 제1 도전 패턴, 상기 주변 영역에서 상기 기판 상에 배치되며, 상기 표시 영역을 사이에 두고 상기 제1 도전 패턴의 반대편에 배치된 제2 도전 패턴, 상기 주변 영역에서 상기 제1 도전 패턴 및 상기 제2 도전 패턴 상에 배치되고, 상기 제1 도전 패턴과 전기적으로 연결된 제1 연결 전극 및 상기 제2 도전 패턴과 전기적으로 연결된 제2 연결 전극, 상기 제1 연결 전극 및 상기 제2 연결 전극 상에 배치되고, 상기 제1 연결 전극 및 상기 제2 연결 전극과 전기적으로 연결된 상기 유기 발광 다이오드의 캐소드 전극을 포함한다.
- [0010] 또한, 상기 제1 도전 패턴과 상기 제2 도전 패턴은 상기 표시 영역을 통과하도록 배치된 복수의 도전 라인을 통하여 전기적으로 연결되되, 복수의 상기 도전 라인은 상기 제1 도전 패턴 및 상기 제2 도전 패턴과 동일층에 배치될 수 있다.
- [0011] 또한, 상기 유기 발광 다이오드의 애노드 전극은 상기 도전 라인에 제공된 전압 레벨로 초기화될 수 있다.
- [0012] 또한, 상기 도전 라인은 상기 제1 도전 패턴 및 상기 제2 도전 패턴과 동일 물질로 이루어질 수 있다.
- [0013] 또한, 상기 제1 도전 패턴과 상기 제1 연결 전극은 제1 접촉 영역을 통하여 전기적으로 연결되되, 상기 제1 접촉 영역은 상기 제1 도전 패턴과 중첩할 수 있다.
- [0014] 또한, 상기 제2 도전 패턴과 상기 제2 연결 전극은 제2 접촉 영역을 통하여 전기적으로 연결되되, 상기 제2 접촉 영역은 상기 제2 도전 패턴과 중첩할 수 있다.
- [0015] 또한, 상기 제1 연결 전극 및 상기 제2 연결 전극은 상기 유기 발광 다이오드의 애노드 전극과 동일 층에 배치될 수 있다.
- [0016] 또한, 상기 제1 연결 전극 및 상기 제2 연결 전극은 상기 유기 발광 다이오드의 애노드 전극과 동일 물질로 이루어질 수 있다.
- [0017] 또한, 상기 패드와 상기 제1 도전 패턴은 상기 표시 영역의 일 단부에 배치되되, 상기 제2 도전 패턴은 상기 패드 및 상기 제1 도전 패턴이 배치된 상기 표시 영역의 일 단부의 맞은편 단부에 배치될 수 있다.
- [0018] 또한, 각각의 상기 화소는 제어 전극이 제1 노드에 접속되고, 제1 전극이 제2 노드에 접속되며, 제2 전극이 제3 노드에 접속된 구동 트랜지스터를 더 포함하고, 상기 유기 발광 다이오드는 상기 구동 트랜지스터의 드레인-소스간 전류에 따라 발광할 수 있다.
- [0019] 또한, 상기 캐소드 전극은 제1 전원 전압을 제공받을 수 있다.
- [0020] 또한, 상기 유기 발광 다이오드의 애노드 전극은 상기 제1 전원 전압으로 초기화될 수 있다.
- [0021] 또한, 상기 구동 트랜지스터의 제어 전극은 제1 초기화 전압으로 초기화될 수 있다.
- [0022] 또한, 상기 제1 초기화 전압은 상기 제1 전원 전압보다 높은 전압 레벨을 가질 수 있다.

- [0023] 상기 과제를 해결하기 위한 본 발명의 다른 실시예에 따른 유기 발광 표시 장치는 유기 발광 다이오드를 포함하는 복수의 화소가 배치된 표시 영역 및 상기 표시 영역을 둘러싸는 주변 영역이 정의된 기관, 상기 주변 영역에서 상기 기관 상에 배치된 패드 및 상기 패드와 전기적으로 연결되며, 상기 표시 영역을 둘러싸도록 배치된 도전 패턴, 상기 주변 영역에서 상기 도전 패턴 상에 배치되며 상기 도전 패턴과 전기적으로 연결된 제1 연결 전극 및 제2 연결 전극, 상기 제1 연결 전극 및 상기 제2 연결 전극 상에 배치되고, 상기 제1 연결 전극 및 상기 제2 연결 전극과 전기적으로 연결된 상기 유기 발광 다이오드의 캐소드 전극을 포함하되, 상기 제1 연결 전극은 상기 패드가 배치된 상기 표시 영역의 일 단부에 인접한 상기 주변 영역에 배치되고, 상기 제2 연결 전극은 상기 표시 영역을 사이에 두고 상기 제1 연결 전극의 맞은편 상기 주변 영역에 배치된다.
- [0024] 또한, 상기 도전 패턴은 상기 표시 영역을 통과하도록 배치된 복수의 도전 라인과 전기적으로 연결되되, 복수의 상기 도전 라인은 상기 도전 패턴과 동일층에 배치될 수 있다.
- [0025] 또한, 상기 도전 패턴과 상기 제1 연결 전극은 제1 접촉 영역을 통하여 전기적으로 연결되고, 상기 도전 패턴과 상기 제2 연결 전극은 제2 접촉 영역을 통하여 전기적으로 연결되되, 상기 제1 접촉 영역 및 상기 제2 접촉 영역은 상기 표시 영역을 사이에 두고 이격되며, 상기 도전 패턴과 중첩 배치될 수 있다.
- [0026] 또한, 각각의 상기 화소는 제어 전극이 제1 노드에 접속되고, 제1 전극이 제2 노드에 접속되며, 제2 전극이 제3 노드에 접속된 구동 트랜지스터를 더 포함하고, 상기 유기 발광 다이오드는 상기 구동 트랜지스터의 드레인-소스 간 전류에 따라 발광할 수 있다.
- [0027] 또한, 상기 캐소드 전극은 제1 전원 전압을 제공받을 수 있다.
- [0028] 또한, 상기 유기 발광 다이오드의 애노드 전극은 상기 제1 전원 전압으로 초기화될 수 있다.
- [0029] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

- [0030] 본 발명의 실시예들에 의하면 각각의 화소에 제공되는 신호 및 전원 전압간의 편차가 최소화된 유기 발광 표시 장치를 제공할 수 있다.
- [0031] 본 발명의 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

- [0032] 도 1은 일 실시예에 따른 유기 발광 표시 장치의 블록도이다.
- 도 2는 일 실시예에 따른 화소의 등가 회로도이다.
- 도 3은 일 실시예에 따른 화소에 입력되는 신호 중 일부의 타이밍도이다.
- 도 4는 일 실시예에 따른 유기 발광 표시 장치의 레이아웃도이다.
- 도 5는 도 4의 I-I'로 도시된 선을 따라 절단한 단면도이다.
- 도 6은 도 4의 II-II'로 도시된 선을 따라 절단한 단면도이다.
- 도 7은 다른 실시예에 따른 유기 발광 표시 장치의 레이아웃도이다.
- 도 8은 다른 실시예에 따른 유기 발광 표시 장치의 레이아웃도이다.
- 도 9는 도 8의 III-III'로 도시된 선을 따라 절단한 단면도이다.
- 도 10은 도 8의 IV-IV'로 도시된 선을 따라 절단한 단면도이다.
- 도 11은 다른 실시예에 따른 유기 발광 표시 장치의 레이아웃도이다.

발명을 실시하기 위한 구체적인 내용

- [0033] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는

기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

- [0034] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)"로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0035] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다.
- [0036] 이하, 첨부된 도면을 참고로 하여 본 발명의 실시예들에 대해 설명한다.
- [0037] 도 1은 일 실시예에 따른 유기 발광 표시 장치의 블록도이다.
- [0038] 도 1을 참조하면, 일 실시예에 따른 유기 발광 표시 장치(1000)는 복수의 화소(PX), 데이터 구동부(20), 스캔 구동부(30), 타이밍 제어부(40) 및 전원 공급부(50)를 포함한다.
- [0039] 복수의 화소(PX)들은 표시 영역(DA)에 배치된다. 표시 영역(DA)에는 데이터 라인들(DL1~DLm, m은 2 이상의 자연수)과 스캔 라인들(SL1~SLn, n은 2 이상의 자연수)이 서로 교차하도록 배치된다. 또한, 표시 영역(DA)에는 스캔 라인들(SL1~SLn)과 나란하게 발광 라인들(EML1~EMLn)이 배치될 수 있다. 다만, 이에 한정되지 않고, 표시 영역(DA)에는 스캔 라인들(SL1~SLn)과 발광 라인들(EML1~EMLn) 외에 이들과 나란하게 또 다른 라인들이 추가로 배치될 수도 있다. 예를 들면, 각각의 화소의 특정 노드를 초기화시키기 위한 구동을 수행하는 초기화 라인(미도시) 등이 추가로 배치될 수 있다.
- [0040] 데이터 구동부(20)는 다수의 소스 드라이브 IC(Integrated Circuit)들을 포함한다. 데이터 구동부(20)는 타이밍 제어부(40)로부터 디지털 비디오 데이터(DATA)를 제공받을 수 있다. 데이터 구동부(20)는 타이밍 제어부(40)로부터 제공받은 소스 타이밍 제어신호(DCS)에 응답하여 디지털 비디오 데이터(DATA)를 감마 보상 전압으로 변환하여 데이터 신호를 생성하고, 상기 데이터 신호를 스캔 신호에 동기되도록 데이터 라인(DL1~DLm)에 공급할 수 있다.
- [0041] 스캔 구동부(30)는 스캔 신호를 생성하고 출력하는 회로 및 발광 신호를 생성하고 출력하는 회로 등을 포함한다. 스캔 신호 및 발광 신호를 생성하고 출력하는 회로들은 쉬프트 레지스터, 레벨 쉬프터 및 출력 버퍼 등으로 구성될 수 있다. 스캔 구동부(30)는 스캔 라인(SL1~SLn)에 스캔 신호를 순차적으로 제공할 수 있으며, 발광 라인(EML1~EMLn)에 발광 신호를 순차적으로 출력할 수 있다.
- [0042] 한편, 표시 영역(DA)에 스캔 라인(SL1~SLn)과 나란한 또 다른 라인들이 형성되는 경우, 스캔 구동부(30)는 또 다른 라인들에 신호를 출력하기 위한 적어도 하나의 출력 회로를 더 포함할 수도 있다.
- [0043] 타이밍 제어부(40)는 LVDS(Low Voltage Differential Signaling) 인터페이스, TMDs(Transition Minimized differential Signaling) 인터페이스 등의 인터페이스를 통해 호스트 시스템(미도시)으로부터 디지털 비디오 데이터(DATA)를 입력받는다. 또한, 타이밍 제어부(40)는 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호(Data Enable), 도트 클럭(Dot Clock) 등의 타이밍 신호를 입력받는다. 타이밍 제어부(40)는 타이밍 신호에 기초하여 데이터 구동부(20)와 스캔 구동부(30)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 생성할 수 있다. 타이밍 제어신호들은 스캔 구동부(30)의 동작 타이밍을 제어하기 위한 스캔 타이밍 제어신호(SCS), 데이터 구동부(20)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DCS)를 포함할 수 있다. 타이밍 제어부(40)는 스캔 타이밍 제어신호(SCS)를 스캔 구동부(30)에 제공할 수 있고, 데이터 타이밍 제어신호(DCS)를 데이터 구동부(20)에 제공할 수 있다.
- [0044] 전원 공급부(50)는 각각의 화소(PX)들에 제1 전원 라인(VSSL)을 통하여 제1 전원 전압(ELVSS)을 제공하고, 제2 전원 라인(VSSL)을 통하여 제2 전원 전압(ELVDD)을 제공하며, 제1 초기화 라인(Vint1L)을 통하여 제1 초기화 전압(Vint1)을 제공한다. 이하에서는, 제1 전원 전압(ELVSS)은 저전위 전압이고, 제2 전원 전압(ELVDD)을 고전위 전압이며, 제1 초기화 전압(Vint1)은 저전위 전압보다 높고 고전위 전압보다 낮은 레벨의 전압인 경우를 중심으로 설명하기로 한다.
- [0045] 또한, 전원 공급부(50)는 소정의 로직 레벨 전압들을 타이밍 제어부(40)에 제공하고, 게이트 온 전압과 게이트

오프 전압을 스캔 구동부(30)에 제공할 수도 있다.

[0046] 이하에서는, 각각의 화소(PX)의 구조에 대하여 구체적으로 설명하기로 한다.

[0047] 도 2는 일 실시예에 따른 화소의 등가 회로도이다.

[0048] 도 2를 참조하면, 일 실시예에 따른 화소(PX)는 구동 트랜지스터(DT), 유기 발광 다이오드(Organic Light Emitting Diode, OLED), 제어 회로, 커패시터(C) 등을 포함한다. 제어 회로는 제1 내지 제6 트랜지스터(ST1~ST6)를 포함한다.

[0049] 화소(PX)는 제 k-1 스캔 라인(SLk-1)(여기서, k는 $2 \leq k \leq n+1$ 을 만족하는 양의 정수), 제k 스캔 라인(SLk), 제k 발광 라인(EMLk) 및 제j 데이터 라인(Dj)(여기서, j는 $1 \leq j \leq m$ 을 만족하는 양의 정수)에 접속될 수 있다. 또한, 화소(PX)는 제1 전원 전압(ELVSS)이 제공되는 제1 전원 라인(VSSL), 제2 전원 전압(ELVDD)이 제공되는 제2 전원 라인(VDDL) 및 제1 초기화 전압(Vint1)이 제공되는 제1 초기화 라인(Vint1L)에 접속될 수 있다.

[0050] 구동 트랜지스터(DT)는 제어 전극의 전압에 따라 드레인-소스간 전류가 제어될 수 있다. 구동 트랜지스터(DT)의 제어 전극은 제1 노드(N1)에 접속되고, 제1 전극은 제2 노드(N2)에 접속되며, 제2 전극은 제3 노드(N3)에 접속된다. 여기서, 여기서, 제어 전극은 게이트 전극일 수 있다. 또한, 제1 전극은 소스 전극 또는 드레인 전극, 제2 전극은 제1 전극과 다른 전극일 수 있다. 예를 들어, 제1 전극이 소스 전극인 경우, 제2 전극은 드레인 전극일 수 있다.

[0051] 유기 발광 다이오드(OLED)는 구동 트랜지스터(DT)의 드레인-소스간 전류에 따라 발광한다. 유기 발광 다이오드(OLED)의 애노드 전극은 제1 트랜지스터(ST1)의 제1 전극과 제6 트랜지스터(ST6)의 제2 전극에 접속되며, 캐소드 전극은 제1 전원 라인(VSSL)에 접속될 수 있다.

[0052] 제1 트랜지스터(ST1)는 유기 발광 다이오드(OLED)의 애노드 전극에 접속된다. 제1 트랜지스터(ST1)는 제k-1 스캔 라인(SLk-1)의 스캔 신호(SSk-1)에 의해 턴-온 되어 유기 발광 다이오드(OLED)의 애노드 전극과 제2 초기화 전원 전압(Vint2)을 제공받는 라인을 연결할 수 있다. 이로 인해, 유기 발광 다이오드(OLED)의 애노드 전극은 제2 초기화 전압(Vint2)으로 방전될 수 있다. 여기서, 제2 초기화 전압(Vint2)은 제1 전원 전압(ELVSS)과 동일한 전압일 수 있다. 다시 말하면, 제1 전원 전압(ELVSS)은 제1 전원 라인(VSSL)을 통하는 경로와는 다른 경로를 통하여 제1 트랜지스터(ST1)의 제2 전극에 제공될 수 있으며, 제2 초기화 전압(Vint2)은 제1 전원 전압(ELVSS)과 실질적으로 동일한 신호일 수 있다. 제1 트랜지스터(ST1)의 제어 전극은 제k-1 스캔 라인(SLk-1)에 접속되고, 제1 전극은 유기 발광 다이오드(OLED)의 애노드 전극에 접속될 수 있다.

[0053] 한편, 각각의 화소(PX)에 제1 전원 전압(ELVSS)이 제공되는 경로와 제2 초기화 전압(Vint2)이 제공되는 경로가 서로 상이하며, 상기 경로의 특성(예를 들어, 저항값)이 서로 다르므로, 제1 전원 전압(ELVSS)과 제2 초기화 전압(Vint2)의 전압 레벨에 차이가 발생할 수 있다. 제1 전원 전압(ELVSS)이 제공되는 영역과 멀리 떨어지도록 배치된 화소(PX)일수록 더 많은 전압 레벨의 차이를 보일 수 있다. 다만, 후술할 제1 전원 전압(ELVSS) 및 제2 초기화 전압(Vint2)의 인가 구조에 따른 경우, 이러한 전압 레벨 차이는 최소화될 수 있다. 상기 구조에 대하여는 후술하기로 한다.

[0054] 제2 트랜지스터(ST2)는 제2 노드(N2)와 데이터 라인(DLj) 사이에 접속된다. 제2 트랜지스터(ST2)는 제k 스캔 라인(SLk)의 스캔 신호(SSk)에 의해 턴-온 되어 제2 노드(N2)와 제j 데이터 라인(Dj)을 연결할 수 있다. 이로 인해, 제2 노드(N2)에는 제j 데이터 라인(Dj)의 데이터 신호(DSk)가 제공될 수 있다. 제2 트랜지스터(ST2)의 제어 전극은 제k 스캔 라인(SLk)에 접속되고, 제1 전극은 제j 데이터 라인(DLj)에 접속되며, 제2 전극은 제2 노드(N2)에 접속될 수 있다.

[0055] 제3 트랜지스터(ST3)는 제1 노드(N1)와 제1 초기화 라인(Vint1L) 사이에 접속된다. 제3 트랜지스터(ST3)는 제k-1 스캔 라인(SLk-1)의 스캔 신호(SSk-1)에 의해 턴-온 되어 제1 노드(N1)와 제1 초기화 라인(Vint1L)을 연결할 수 있다. 이로 인해, 제1 노드(N1)는 제1 초기화 전압(Vint1)로 초기화될 수 있다. 제3 트랜지스터(ST3)의 제어 전극은 제k-1 스캔 라인(SLk-1)에 접속되고, 제1 전극은 제1 노드(N1)에 접속되며, 제2 전극은 제1 초기화 라인(Vint1L)에 접속될 수 있다.

[0056] 제4 트랜지스터(ST4)는 제1 노드(N1)와 제3 노드(N3) 사이에 접속된다. 제4 트랜지스터(ST4)는 제k 스캔 라인(SLk)의 스캔 신호(SSk)에 의해 턴-온 되며, 제1 노드(N1)와 제3 노드(N3)를 연결할 수 있다. 이 경우, 구동 트랜지스터(DT)의 게이트 전극과 제2 전극이 접속되므로, 구동 트랜지스터(DT)는 다이오드(diode)로 구동할 수 있다. 제4 트랜지스터(ST4)의 게이트 전극은 제k 스캔 라인(SLk)에 접속되고, 제1 전극은 제3 노드(N3)에 접속되

며, 제2 전극은 제1 노드(N1)에 접속될 수 있다.

- [0057] 제5 트랜지스터(ST5)는 제2 전원 라인(VDDL)과 제2 노드(N2) 사이에 접속될 수 있다. 제5 트랜지스터(ST5)는 제k 발광 라인(EMLk)의 발광 신호(EMk)에 의하여 턴-온 되어 제2 노드(N2)와 제2 전원 라인(VDDL)을 연결할 수 있다. 이로 인해, 제2 노드(N2)에는 제2 전원 전압(ELVDD)이 제공될 수 있다. 제5 트랜지스터(ST5)의 제어 전극은 제k 발광 라인(EMLk)에 접속되고, 제1 전극은 제2 전원 라인(VDDL)에 접속되며, 제2 전극은 제2 노드(N2)에 접속될 수 있다.
- [0058] 제6 트랜지스터(ST6)는 제3 노드(N3)와 유기 발광 다이오드(OLED)의 애노드 전극 사이에 접속된다. 제6 트랜지스터(ST6)는 제k 발광 라인(EMLk)의 발광 신호에 의해 턴-온 되어 제3 노드(N3)와 유기 발광 다이오드(OLED)의 애노드 전극을 연결할 수 있다. 제6 트랜지스터(ST6)의 제어 전극은 제k 발광 라인(EMLk)에 접속될 수 있고, 제1 전극은 제3 노드(N3)에 접속될 수 있으며, 제2 전극은 유기 발광 다이오드(OLED)의 애노드 전극에 접속될 수 있다. 제5 및 제6 트랜지스터(T5, T6)의 턴-온에 의하여, 구동 트랜지스터(DT)의 드레인-소스간 전류가 유기 발광 다이오드(OLED)에 공급될 수 있다.
- [0059] 유지 커패시터(C)는 제1 노드(N1)와 제2 전원 라인(VDDL) 사이에 접속되어 제1 노드(N1)의 전압을 유지한다. 유지 커패시터(Cst)의 일측 전극은 제1 노드(N1)에 접속되고, 타측 전극은 제2 전원 라인(VDDL)에 접속될 수 있다.
- [0060] 제1 노드(N1)는 구동 트랜지스터(DT)의 제어 전극에 접속된다. 동시에, 제1 노드(N1)는 제3 트랜지스터(ST3)의 제1 전극, 제4 트랜지스터(ST4)의 제2 전극 및 유지 커패시터(Cst)의 일측 전극 간의 접점일 수 있다.
- [0061] 제2 노드(N2)는 구동 트랜지스터(DT)의 제1 전극에 접속된다. 동시에, 제2 노드(N2)는 구동 트랜지스터(DT)의 제2 전극에 접속될 수 있다.
- [0062] 제3 노드(N3)는 구동 트랜지스터(DT)의 제2 전극에 접속된다. 동시에, 제3 노드(N3)는 구동 트랜지스터(DT)의 제2 전극, 제4 트랜지스터(ST4)의 제1 전극 및 제6 트랜지스터(ST6)의 제1 전극의 접점일 수 있다.
- [0063] 제1 내지 제6 트랜지스터(ST1~ST6) 및 구동 트랜지스터(DT) 각각의 반도체층은 폴리 실리콘(Poly Silicon)으로 형성될 수 있으나, 이에 한정되지 않으며, a-Si, 및 산화물 반도체, 특히 옥사이드(Oxide) 중 어느 하나로 형성될 수도 있다. 제1 내지 제6 트랜지스터(ST1~ST6) 및 구동 트랜지스터(DT) 각각의 반도체 층이 폴리 실리콘으로 형성되는 경우, 그를 형성하기 위한 공정은 저온 폴리 실리콘(Low Temperature Poly Silicon: LTPS) 공정일 수 있다.
- [0064] 또한, 제1 내지 제6 트랜지스터(ST1~ST6) 및 구동 트랜지스터(DT)가 P 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)으로 형성된 것을 중심으로 설명하였으나, 이에 한정되지 않으며, N 타입 MOSFET으로 형성될 수도 있다.
- [0065] 제1 내지 제1 초기화 전압(ELVSS, ELVDD, Vint1)은 구동 트랜지스터(DT)의 특성, 유기 발광 다이오드(OLED)의 특성 등을 고려하여 설정될 수 있다.
- [0066] 도 3은 일 실시예에 따른 화소에 입력되는 신호 중 일부의 타이밍도이다.
- [0067] 도 3에서는 제N 프레임(여기서, N은 양의 정수) 및 제N+1 프레임 기간(FRN, FRN+1) 동안 제k-1 스캔 라인(SLk-1)에 공급되는 제k-1 스캔 신호(SSk-1), 제k 스캔 라인(SLk)에 공급되는 제k 스캔 신호(SSk) 및 제k 발광 라인(EMLk)에 공급되는 제k 발광 신호(EMk)가 도시된다.
- [0068] 도 3을 참조하면, 제k-1 스캔 신호(SSk-1)는 제1 및 제3 트랜지스터(ST1, ST3)를 제어하기 위한 신호이고, 제k 스캔 신호(SSk)는 제2 및 제4 트랜지스터(ST2, ST4)를 제어하기 위한 신호이며, 및 제k 발광 신호(EMk)는 제5 및 제6 트랜지스터(ST5, ST6)를 제어하기 위한 신호이다. 스캔 신호(SS1~SSn)들과 발광 신호(EM1~EMn)들 각각은 1 프레임 기간을 주기로 발생하는 스캔 신호(SS1~SSn)들 각각은 도 3과 같이 1 수평 기간(1H) 동안 게이트 온 전압(Von)으로 발생할 수 있다. 1 수평 기간(1H)은 어느 한 스캔 라인(SL1~SLn)에 접속된 화소(PX)들 각각에 데이터 신호(DS1~DSm)가 공급되는 1 수평 라인 스캐닝 기간을 지시한다. 데이터 신호(DS1~DSm)들은 스캔 신호(SS1~SSn)들에 동기하여 데이터 라인들(DL1~DLm)에 공급될 수 있다.
- [0069] 1 프레임 기간은 제1 내지 제4 기간(t1~t4)으로 구분될 수 있다. 제1 기간(t1)은 구동 트랜지스터(DT)의 제어 전극에 접속된 제1 노드(N1)를 초기화하고 구동 트랜지스터(DT)에 온 바이어스를 인가하는 기간일 수 있다. 또한, 기간(t2)은 구동 트랜지스터(DT)의 제어 전극에 접속된 제1 노드(N1)와 유기 발광 다이오드(OLED)의 애노드

전극을 초기화하는 기간일 수 있다. 제3 기간(t_3)은 데이터 신호(DS1~DSj)가 공급되고 구동 트랜지스터(DT)의 문턱전압을 센싱하는 기간일 수 있다. 제4 기간(t_4)은 유기 발광 다이오드(OLED)가 발광하는 기간이다. 제1 및 제2 기간(t_1 , t_2)은 초기화 기간(t_{ini})으로 정의될 수 있다.

- [0070] 제k-1 스캔 신호(SSk-1)는 제1 및 제2 기간(t_1 , t_2) 동안 게이트 온 전압(Von)으로 발생하고, 제k 스캔 신호(SSk)는 제3 기간(t_3) 동안 게이트 온 전압(Von)으로 발생한다. 제k 발광 신호(EMk)는 제1 및 제4 기간(t_1 , t_4) 동안 게이트 온 전압(Von)으로 발생한다. 제1 내지 제3 기간(t_1 , t_2 , t_3) 각각은 사전에 적절하게 결정될 수 있다. 게이트 온 전압(Von)은 제1 내지 제6 트랜지스터(ST1~ST6) 각각을 턴-온시킬 수 있는 턴-온 전압에 해당한다. 게이트 오프 전압(Voff)은 제1 내지 제6 트랜지스터(ST1~ST6) 각각을 턴-오프시킬 수 있는 턴-오프 전압에 해당한다.
- [0071] 이하에서는, 제1 전원 전압(ELVSS) 및 제2 초기화 전압(Vint2)의 인가 구조에 대하여 보다 구체적으로 설명하기로 한다.
- [0072] 도 4는 일 실시예에 따른 유기 발광 표시 장치의 레이아웃도이다.
- [0073] 도 4에서는 유기 발광 표시 장치의 주변 영역(PA)에 배치된 제1 전원 라인(VSSL)의 모양 및 배치를 중점적으로 설명하기로 한다.
- [0074] 도 4를 참조하면, 일 실시예에 따른 유기 발광 표시 장치는 도 4의 시점에서 표시 영역(DA) 및 주변 영역(PA)으로 구분될 수 있다. 주변 영역(PA)은 표시 영역(DA)을 감싸는 형태로 배치될 수 있다. 표시 영역(DA) 및 주변 영역(PA)은 유기 발광 표시 장치(1000)의 하부 기판(100) 상에 정의될 수 있다.
- [0075] 표시 영역(DA)은 화상이 실제로 표시되는 영역이며, 복수의 화소(PX)들이 배치된다.
- [0076] 주변 영역(PA)에는 복수의 패드(PAD), 제1 도전 패턴(1621), 제2 도전 패턴(1622) 및 복수의 제2 초기화 라인(Vint2L)이 배치된다.
- [0077] 패드(PAD)는 표시 영역(DA)의 일 단부에 대응하는 주변 영역(PA) 상에 배치될 수 있다. 또한, 도시된 것보다 더 많거나 작은 수가 배치될 수 있다. 패드(PAD)는 절연 물질에 형성된 개구를 통해 외부로 노출되며, 각각의 패드(PAD) 상에는 FPCB(Flexible Printed Circuit Board)가 부착될 수 있다.
- [0078] 각각의 패드(PAD)에는 전원 공급부(50)으로부터 제1 전원 전압(ELVSS)이 제공될 수 있다. 제공된 제1 전원 전압(ELVSS)은 제1 도전 패턴(1621)으로 전달될 수 있다.
- [0079] 제1 도전 패턴(1621)은 패드(PAD)가 배치된 방향의 표시 영역(DA)의 일 단부에 대응하는 주변 영역(PA) 상에 배치될 수 있다. 보다 구체적으로, 제1 도전 패턴(1621)은 복수의 패드(PAD)와 표시 영역(DA) 사이의 영역에 표시 영역(DA)의 일변을 따라 연장되는 모양으로 배치될 수 있다. 제1 도전 패턴(1621)은 패드(PAD)로부터 제공받은 제1 전원 전압(ELVSS)을 제2 초기화 라인(Vint2L)으로 전달하는 역할을 수행할 수 있다.
- [0080] 또한, 제1 도전 패턴(1621)이 배치된 영역 상에는 제1 접촉 영역(CTA1)이 배치될 수 있다. 다시 말하면, 제1 접촉 영역(CTA1)은 제1 도전 패턴(1621)에 의하여 오버랩될 수 있다. 제1 접촉 영역(CTA1)은 제1 도전 패턴(1621)과 후술할 제1 연결 전극(2501)이 접촉되어 전기적으로 연결되는 영역으로 정의될 수 있다. 제1 도전 패턴(1621)에 제공된 제1 전원 전압(ELVSS)은 제1 접촉 영역(CTA1)을 통하여 전기적으로 연결된 제1 연결 전극(2501)으로 제공될 수 있고, 제1 연결 전극(2501)으로 제공된 제1 전원 전압(ELVSS)은 유기 발광 다이오드(OLED)의 캐소드 전극(230)으로 제공될 수 있다. 도시되지는 않았으나, 캐소드 전극(230)은 표시 영역(DA)의 전면을 오버랩하는 모양으로 배치될 수 있다.
- [0081] 제2 도전 패턴(1621)은 제1 도전 패턴(1621)이 배치된 표시 영역(DA)의 일 단부의 맞은편 일 단부에 대응하는 주변 영역(PA) 상에 배치될 수 있다. 보다 구체적으로, 제2 도전 패턴(1622)은 표시 영역(DA)을 사이에 두고 제1 도전 패턴(1621)과 대향하도록 배치되며, 표시 영역(DA)의 일변을 따라 연장되는 모양으로 형성될 수 있다. 제2 도전 패턴(1622)은 표시 영역(DA)을 통과한 복수의 제2 초기화 라인(Vint2L)과 연결될 수 있다. 제2 도전 패턴(1622)은 제2 초기화 라인(Vint2L)들로부터 제2 초기화 전압(Vint2)을 제공받을 수 있다.
- [0082] 또한, 제2 도전 패턴(1622)이 배치된 영역 상에는 제2 접촉 영역(CTA2)이 배치될 수 있다. 다시 말하면, 제2 접촉 영역(CTA2)은 제1 도전 패턴(1622)에 의하여 오버랩될 수 있다. 제2 접촉 영역(CTA2)은 제2 도전 패턴(1622)과 후술할 제2 연결 전극(2501)이 접촉되어 전기적으로 연결되는 영역으로 정의될 수 있다. 제2 도전 패턴(1622)은 제2 연결 전극(2501)을 통하여 유기 발광 다이오드(OLED)의 캐소드 전극(230)과 전기적으로 연결될 수

있다. 이에, 제2 도전 패턴(1622)은 유기 발광 다이오드(OLED)의 캐소드 전극(230)으로부터 제1 전원 전압(ELVSS)을 제공받을 수도 있다.

- [0083] 보다 구체적으로, 전술한 바에 따르면 제2 도전 패턴(1622)에는 복수의 제2 초기화 라인(Vint2L)들로부터 제2 초기화 전압(Vint2)을 제공받을 수 있으며, 유기 발광 다이오드(OLED)의 캐소드 전극(230)으로부터 제1 전원 전압(ELVSS)을 제공받을 수 있다. 이에 따라, 제2 도전 패턴(1622)은 복수의 제2 초기화 라인(Vint2L)과 유기 발광 다이오드(OLED)의 캐소드 전극(230)이 동일한 전압 레벨을 공유하도록 전기적으로 연결할 수 있다.
- [0084] 제1 전원 전압(ELVSS)과 제2 초기화 전압(Vint2)은 전달 경로 및 상기 전달 경로의 구성 물질이 상이하므로, 전압 레벨 차이가 발생할 수 있음은 전술한 바 있다. 이에, 제2 도전 패턴(1622)을 최초로 제1 전원 전압(ELVSS)이 인가되고 제2 초기화 전압(Vint2)으로 분지되는 영역, 다시 말하면, 패드(PAD)가 배치된 표시 영역(DA)의 일 단부의 맞은편 일 단부에 배치되는 바, 제2 도전 패턴(1622)이 배치된 영역에 인접하여 배치된 표시 영역(DA)의 각 화소에서 제1 전원 전압(ELVSS)과 제2 초기화 전압(Vint2)의 전압 레벨 차이를 최소화할 수 있다.
- [0085] 나아가, 제2 도전 패턴(1622)은 패드(PAD)로부터 멀리 배치된 화소에 제공되는 제1 전원 전압(ELVSS)이 강하되는 정도를 최소화할 수 있다. 후술하겠지만, 제1 전원 전압(ELVSS)을 전달하는 캐소드 전극(230)은 투명성의 저항이 높은 물질로 구성될 수 있다. 이에 따라, 도전성이 상대적으로 높은 금속 물질로 형성된 복수의 제2 초기화 라인(Vint2)을 통하는 경로보다 저항이 높을 수 있다. 그럼에도 불구하고, 제2 도전 패턴(1622)은 인접하여 배치된 캐소드 전극(230)에 전압 강하 이전의 제1 전원 전압(ELVSS)에 보다 가까운 전압값을 갖는 제2 초기화 전압(Vint2)을 제공하는 바, 제1 전원 전압(ELVSS)의 전압 강하를 최소화할 수 있다.
- [0086] 도 5는 도 4의 I-I'로 도시된 선을 따라 절단한 단면도이며, 도 6은 도 4의 II-II'로 도시된 선을 따라 절단한 단면도이다.
- [0087] 도 5 및 도 6을 참조하면, 표시 영역(DA) 및 주변 영역(PA)은 하부 기판(100) 상에 정의된다. 하부 기판(100)은 절연 기판일 수 있다. 하부 기판(100)은 유리 기판, 석영 기판, 세라믹 기판 또는 플라스틱 기판을 포함할 수 있다. 하부 기판(100)은 다른 실시예로 벤딩(bending), 폴딩(folding)이나 롤링(rolling)이 가능한 플렉서블(flexible) 기판일 수 있다. 이 경우 하부 기판(100)은 폴리이미드(polyimide)를 포함하여 이루어질 수 있으나, 이에 제한되는 것은 아니다.
- [0088] 먼저, 하부 기판(100) 상에 정의된 표시 영역(DA) 및 주변 영역(PA) 중 표시 영역(DA)의 단면 구조에 대하여 상세히 설명하기로 한다.
- [0089] 먼저, 하부 기판(100) 상에는 하부 기판(100)의 상면을 평탄화하고, 후술할 반도체층(120)으로 불순물 등이 침투하는 것을 차단하기 위하여, 실리콘옥사이드 또는 실리콘나이트라이드 등으로 형성되는 버퍼층(110)이 배치된다.
- [0090] 버퍼층(110) 상에는 반도체층(120)이 배치된다. 반도체층(120)은 비정질 실리콘, 다결정 실리콘, 단결정 실리콘, 저온 다결정 실리콘 중 선택되는 한 또는 적어도 두 개 이상이 혼합되어 형성될 수 있다. 몇몇 실시예에서, 반도체층(120)은 산화물 반도체를 포함할 수도 있다.
- [0091] 반도체층(120) 상에는 제1 절연층(130)이 배치된다. 제1 절연층(130)은 반도체층(120)과 후술할 게이트 전극(140)과의 절연성을 확보하기 위하여, 절연 물질로 구성될 수 있다. 예컨대, 실리콘옥사이드 및/또는 실리콘나이트라이드 등과 같은 무기 절연 물질이나, 아크릴계 유기물 또는 BCB(Benzocyclobutene) 등과 같은 유기 절연 물질로 형성될 수 있다.
- [0092] 반도체층(120) 상에는 게이트 전극(140)이 배치된다. 게이트 전극(140)에 인가되는 신호에 따라 소스 전극(161s) 및 드레인 전극(161d)이 전기적으로 소통될 수 있다. 게이트 전극(140)은 인접층과의 밀착성, 적층되는 층의 표면 평탄성, 그리고 가공성 등을 고려하여, 예컨대 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 물질을 이용하여 단층 또는 다층으로 형성될 수 있다.
- [0093] 반도체층(120) 상에는 제2 절연층(150)이 배치될 수 있다. 제2 절연층(150)은 게이트 전극(140)과 소스 전극(161s) 및 드레인 전극(161d)의 절연성을 확보하기 위해 게이트 전극(140)과 소스 전극(160s) 및 드레인 전극(160d) 사이에 개재될 수 있다. 제2 절연층(150)은 예컨대 아크릴계 유기물 또는 BCB(Benzocyclobutene) 등과 같은 유기 절연 물질로 단층으로 형성되거나 또는 다층으로 형성될 수 있다.
- [0094] 제2 절연층(150) 상에는 소스 전극(161s) 및 드레인 전극(161d)이 배치된다. 소스 전극(161s) 및 드레인 전극

(161d)은 제2 절연층(150)과 제1 절연층(130)에 형성된 콘택홀들을 통하여 반도체층(120)에 각각 전기적으로 연결될 수 있다. 소스 전극(160s) 및 드레인 전극(160d)은 도전성 등을 고려하여 예컨대 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 물질로 단층 또는 다층으로 형성될 수 있다.

[0095] 한편 도면에는 도시되지 않았으나, 이러한 구조의 박막 트랜지스터(TFT)의 보호를 위해 박막 트랜지스터(TFT)를 덮는 보호막(미도시)이 배치될 수 있다. 보호막은 예컨대 실리콘옥사이드, 실리콘나이트라이드 또는 실리콘옥시 나이트라이드 등과 같은 무기물로 형성될 수 있다.

[0096] 소스 전극(161s) 및 드레인 전극(161d) 상에는 평탄화층(170)이 배치될 수 있다. 이 경우, 평탄화층(170)은 보호막일 수도 있다. 평탄화층(170)은 박막 트랜지스터(TFT) 상부에 유기발광소자(200)가 배치되는 경우 박막 트랜지스터(TFT)의 상면을 대체로 평탄화하게 하고, 박막 트랜지스터(TFT) 및 각종 소자들을 보호하는 역할을 한다. 평탄화층(170)은 예컨대 아크릴계 유기물 또는 BCB(Benzocyclobutene) 등으로 형성될 수 있다.

[0097] 반도체층(120), 게이트 전극(140), 소스 전극(161s) 및 드레인 전극(161d)으로 구성되는 박막 트랜지스터(TFT)는 화소(PX)를 구성하는 구동 트랜지스터(DT) 및 제1 내지 제6 트랜지스터(ST1~ST6)의 구조에 대응될 수 있다.

[0098] 박막 트랜지스터(TFT) 상에는 화소 정의막(180)이 배치될 수 있다. 화소 정의막(180)은 상술한 평탄화층(170) 상에 위치할 수 있으며, 개구를 가질 수 있다. 이러한 화소 정의막(180)은 하부 기판(100) 상에 화소(PX)가 배치되는 영역을 정의하는 역할을 한다. 화소 정의막(180)은 예컨대 유기 절연 물질로 구비될 수 있다. 상기 유기 절연 물질로는 예컨대 폴리메틸메타크릴레이트(PMMA)와 같은 아크릴계 고분자, 폴리스티렌(PS), phenol그룹을 갖는 고분자 유도체, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 혼합물 등을 포함할 수 있다.

[0099] 화소 정의막(180) 상에는 유기 발광 다이오드(OLED)가 배치될 수 있다. 유기 발광 다이오드(OLED)는 애노드 전극(210), 발광층(EML: Emission Layer)을 포함하는 중간층(220) 및 캐소드 전극(230)을 포함할 수 있다.

[0100] 애노드 전극(210)은 (반)투명 전극 또는 반사형 전극으로 형성될 수 있다. (반)투명 전극으로 형성될 때에는 예컨대 ITO, IZO, ZnO, In₂O₃, IGO 또는 AZO로 형성될 수 있다. 반사형 전극으로 형성될 때에는 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr 및 이들의 화합물 등으로 형성된 반사막과, ITO, IZO, ZnO, In₂O₃, IGO 또는 AZO로 형성된 층을 가질 수 있다. 물론 본 발명이 이에 한정되는 것은 아니고 다양한 재질로 형성될 수 있으며, 그 구조 또한 단층 또는 다층이 될 수 있는 등 다양한 변형이 가능하다.

[0101] 화소 정의막(180)에 의해 정의된 화소 영역에는 중간층(220)이 각각 배치될 수 있다. 중간층(220)은 전기적 신호에 의해 빛을 발광하는 발광층(EML: Emission Layer)을 포함하며, 발광층(EML)을 이외에도 발광층(EML)과 애노드 전극(210) 사이에 배치되는 홀 주입층(HIL: Hole Injection Layer), 홀 수송층(HTL: Hole Transport Layer) 및 발광층(EML)과 캐소드 전극(230) 사이에 배치되는 전자 수송층(ETL: Electron Transport Layer), 전자 주입층(EIL: Electron Injection Layer) 등이 단일 혹은 복합의 구조로 적층되어 형성될 수 있다. 물론 중간층(220)은 반드시 이에 한정되는 것은 아니고, 다양한 구조를 가질 수도 있음은 물론이다.

[0102] 발광층(EML)을 포함하는 중간층(220)을 덮으며 애노드 전극(210)에 대향하는 캐소드 전극(230)이 기판(100) 전면(全面)에 걸쳐서 배치될 수 있다. 캐소드 전극(230)은 (반)투명 전극 또는 반사형 전극으로 형성될 수 있다.

[0103] 캐소드 전극(230)이 (반)투명 전극으로 형성될 때에는 일함수가 작은 금속 즉, Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg 및 이들의 화합물로 형성된 층과 ITO, IZO, ZnO 또는 In₂O₃ 등의 (반)투명 도전층을 가질 수 있다. 캐소드 전극(230)이 반사형 전극으로 형성될 때에는 Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg 및 이들의 화합물로 형성된 층을 가질 수 있다. 물론 캐소드 전극(230)의 구성 및 재료가 이에 한정되는 것은 아니며 다양한 변형이 가능함은 물론이다. 나아가, 본 실시예에서는 중간층(220)의 하부에 배치된 전극을 애노드 전극(210)으로, 상부에 배치된 전극을 캐소드 전극(230)으로 예시하였으나, 이의 반대의 경우도 가능할 수 있음은 물론이다.

[0104] 캐소드 전극(230) 상에는 박막 봉지층(300)이 배치될 수 있다. 도시하지는 않았으나, 박막 봉지층(300)은 하나 이상의 유기막과 무기막이 교번하여 적층된 다층 구조일 수 있다.

[0105] 박막 봉지층(300)은 유기 발광 다이오드(OLED)를 덮도록 표시 영역(DA) 전면에 형성될 수 있으며, 표시 영역(DA)에 인접한 주변 영역(PA)의 일부 영역까지 연장되도록 배치될 수 있다.

- [0106] 이하에서는, 하부 기관(100) 상에 정의된 주변 영역(PA)의 단면 구조에 대하여 상세히 설명하기로 한다.
- [0107] 주변 영역(PA)에서, 하부 기관(100) 상에는 버퍼층(110)이 배치된다.
- [0108] 버퍼층(110) 상에는 제1 절연층(130)이 배치된다. 비록 도시하지는 않았으나, 버퍼층(110)과 제1 절연층(130) 사이에는 표시 영역(DA)에 배치된 화소에 각종 신호를 제공하는 라인들이 추가 배치될 수 있다. 상기 라인은 게이트 전극(140)과 동일한 물질로 구성될 수 있다.
- [0109] 제1 절연층(130) 상에는 제2 절연층(150)이 배치된다.
- [0110] 제2 절연층(150) 상에는 제1 도전 패턴(1621) 및 제2 도전 패턴(1622)이 배치된다. 제1 도전 패턴(1621) 및 제2 도전 패턴(1622)은 전술한 소스 전극(161s) 및 드레인 전극(161d)과 동일 물질로 이루어질 수 있다.
- [0111] 제1 도전 패턴(1621) 및 제2 도전 패턴(1622) 상에는 평탄화층(170)이 배치된다. 평탄화층(170)은 주변 영역(PA)의 외곽부로 향할수록 높이가 낮아지는 경향성을 가지며, 패드(PAD)가 배치된 영역에서는 패드(PAD)를 상부로 노출시키기 위한 개구를 포함할 수도 있다.
- [0112] 평탄화층(170) 상에는 제1 연결 전극(2501), 제2 연결 전극(2502) 및 패드(PAD)가 배치된다.
- [0113] 제1 연결 전극(2501)은 제1 접촉 영역(CTA1)에서 제1 도전 패턴(1621)과 전기적으로 연결되며, 제2 연결 전극(2502)은 제2 접촉 영역(CTA2)에서 제2 도전 패턴(1622)과 전기적으로 연결될 수 있다. 제1 연결 전극(2501) 및 제2 연결 전극(2502)은 유기 발광 다이오드(OLED)의 애노드 전극(210)과 동일한 물질로 형성될 수 있다.
- [0114] 본 실시예에서 제1 연결 전극(2501) 및 제2 연결 전극(2502)은 평탄화층(170)의 높이가 감소하는 부분의 측벽을 따라 배치될 수 있다.
- [0115] 한편, 주변 영역(PA)은 제1 내지 제5 패턴 영역(MP1~MP5)을 포함할 수 있다. 여기서, 제1 패턴 영역(MP1)에서는 제1 도전 패턴(1621)과 각각의 패드(PAD)가 전기적으로 연결될 수 있다. 제2 패턴 영역(MP2)에서는 제1 도전 패턴(1621)과 제1 연결 전극(2501)이 전기적으로 연결될 수 있다. 다시 말하면, 제2 패턴 영역(MP2)에는 제1 접촉 영역(CTA1)이 배치될 수 있다. 제3 패턴 영역(MP3)에는 제2 초기화 라인(Vint2L)이 배치될 수 있다. 제2 초기화 라인(Vint2L)은 제1 도전 패턴(1621)과 일체로 형성될 수 있다.
- [0116] 제4 패턴 영역(MP4)에는 제3 패턴 영역(MP3)으로부터 연장되어 표시 영역(DA)을 가로질러 배치된 제2 초기화 라인(Vint2L)이 배치될 수 있다.
- [0117] 제5 패턴 영역(MP5)에는 제2 초기화 라인(Vint2L)과 전기적으로 연결된 제2 도전 패턴(1602)이 배치될 수 있다. 또한, 제5 패턴 영역(MP5)에는 제2 도전 패턴(1602)과 제2 연결 전극(2502)이 접촉하여 전기적으로 연결되는 제2 접촉 영역(CTA2)이 배치될 수 있다.
- [0118] 도 7은 다른 실시예에 따른 유기 발광 표시 장치의 레이아웃도이다.
- [0119] 도 7에서는 도 1 내지 도 6에서 설명한 내용과 중복되는 구성 및 도면 부호에 대한 설명은 생략하기로 한다.
- [0120] 도 7을 참조하면, 본 실시예에 따른 유기 발광 표시 장치는 표시 영역(DA) 및 주변 영역(PA)으로 구분될 수 있다.
- [0121] 주변 영역(PA)에는 복수의 패드(PAD), 제1 도전 패턴(1621), 제2 도전 패턴(1622) 및 복수의 제2 초기화 라인(Vint2L)이 배치된다.
- [0122] 제1 도전 패턴(1621)이 배치된 영역 상에는 복수의 제1 서브 접촉 영역(CTA1_1~CTA1_5)을 포함하는 제1 접촉 영역(CTA1)이 배치된다. 본 실시예에 도시된 구조는, 도 4에 도시된 구조와는 달리, 제1 도전 패턴(1621)과 제1 연결 전극(2501)이 여러 개의 구분된 영역을 통하여 접촉함으로써 전기적으로 연결될 수 있다.
- [0123] 마찬가지로, 제2 도전 패턴(1621)이 배치된 영역 상에는 복수의 제2 서브 접촉 영역(CTA2_1~CTA2_5)을 포함하는 제2 접촉 영역(CTA2)이 배치된다. 본 실시예에 도시된 구조는, 도 4에 도시된 구조와는 달리, 제2 도전 패턴(1622)과 제2 연결 전극(2502)이 여러 개의 구분된 영역을 통하여 접촉함으로써 전기적으로 연결될 수 있다.
- [0124] 도 8은 다른 실시예에 따른 유기 발광 표시 장치의 레이아웃도이고, 도 9는 도 8의 III-III'로 도시된 선을 따라 절단한 단면도이며, 도 10은 도 8의 IV-IV'로 도시된 선을 따라 절단한 단면도이다.
- [0125] 도 8 내지 도 10에서는 도 1 내지 도 7에서 설명한 내용과 중복되는 구성 및 도면부호에 대한 설명은 생략하기

로 한다.

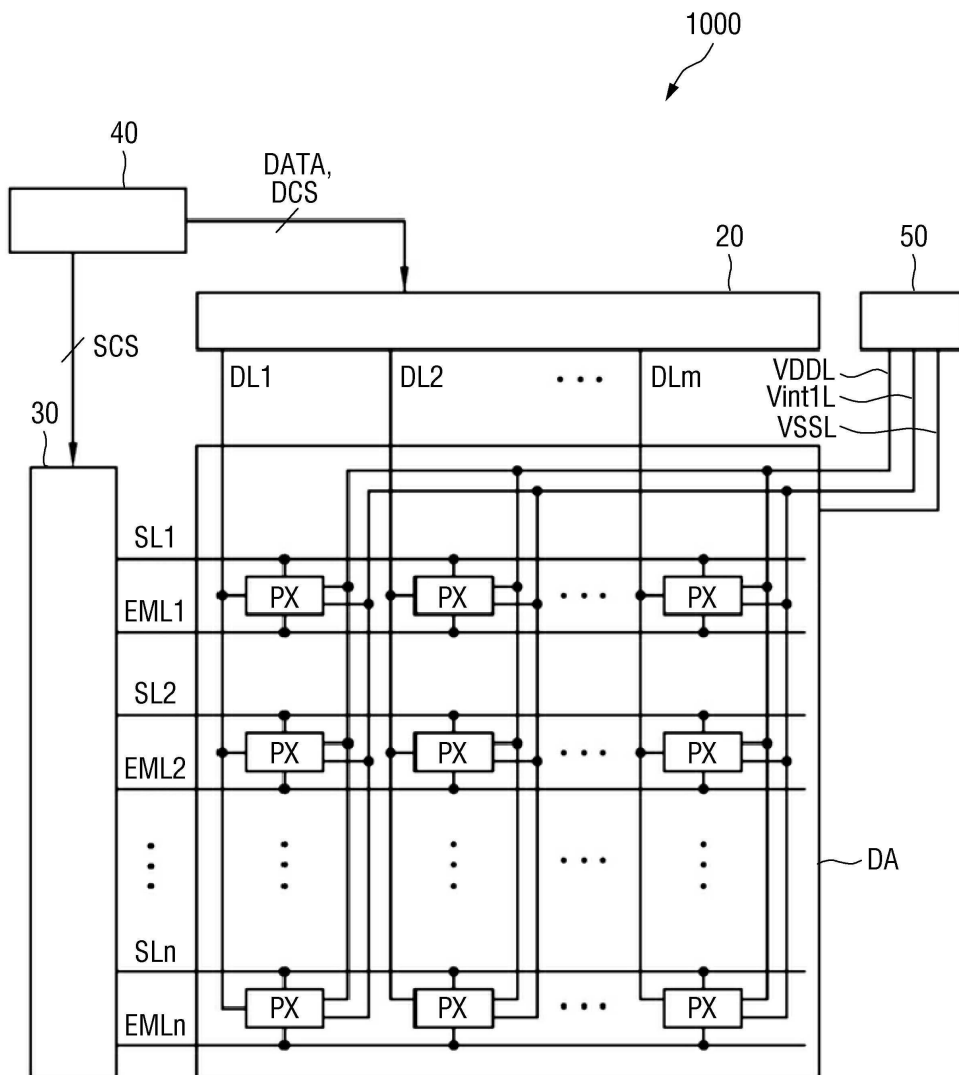
- [0126] 도 8 내지 도 10을 참조하면, 주변 영역(PA)에는 복수의 패드(PAD), 제1 도전 컨택홀(CNT1), 제2 도전 컨택홀(CNT2) 및 복수의 제2 초기화 라인(Vint2L)이 배치된다.
- [0127] 제1 도전 컨택홀(CNT1)은 복수의 제1 서브 도전 컨택홀들(CNT1_1~CNT1_p)(여기서, p는 1보다 큰 자연수)로 구성된다. 또한, 제2 도전 컨택홀(CNT2)은 복수의 제2 서브 도전 컨택홀들(CNT2_1~CNT2_p)로 구성된다.
- [0128] 즉, 평탄화층(170)의 측벽을 따라 배치된 제1 연결 전극(2501)과 제1 접촉 영역(CTA1)에서 전기적으로 연결된 도 4에 도시된 실시예의 제1 도전 패턴(1621)과는 달리, 본 실시예에 따른 제1 도전 패턴(1621)은 평탄화층(170)을 관통하는 복수의 제1 서브 도전 컨택홀들(CNT1_1~CNT1_p)을 통하여 제1 연결 전극(2501)과 전기적으로 연결될 수 있다.
- [0129] 마찬가지로, 본 실시예에 따른 제2 도전 패턴(1622)은 평탄화층(170)을 관통하는 복수의 제2 서브 도전 컨택홀들(CNT2_1~CNT2_p)을 통하여 제2 연결 전극(2502)과 전기적으로 연결될 수 있다.
- [0130] 도 11은 다른 실시예에 따른 유기 발광 표시 장치의 레이아웃도이다.
- [0131] 도 11에서는 도 1 내지 도 6에서 설명한 내용과 중복되는 구성 및 도면 부호에 대한 설명은 생략하기로 한다.
- [0132] 도 11을 참조하면, 본 실시예에 따른 유기 발광 표시 장치는 표시 영역(DA) 및 주변 영역(PA)으로 구분될 수 있다.
- [0133] 주변 영역(PA)에는 복수의 패드(PAD), 도전 패턴(162) 및 복수의 제2 초기화 라인(Vint2L)이 배치된다.
- [0134] 도전 패턴(162)은 도 4에 도시된 실시예에 따른 유기 발광 표시 장치(1000)의 제1 도전 패턴(1621) 및 제2 도전 패턴(1622)과 동일 층에 동일 물질로 형성될 수 있으나, 이와는 달리 표시 영역(DA)을 둘러싸는 모양으로 주변 영역(PA)에 일체형으로 배치될 수 있다. 이에, 복수의 제2 초기화 라인(Vint2L)을 패드(PAD)가 배치되지 않은 표시 영역(DA)의 일 단부 및 이와 마주보는 일 단부를 관통하도록 배치할 수 있다.
- [0135] 다만, 본 실시예의 경우에도, 도 4에 도시된 실시예와 공통적으로, 패드(PAD)가 배치된 표시 영역(DA)의 일 단부와 이와 맞은편 일 단부에 각각 제1 접촉 영역(CTA1) 및 제2 접촉 영역(CTA2)이 각각 배치될 수 있다.
- [0136] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

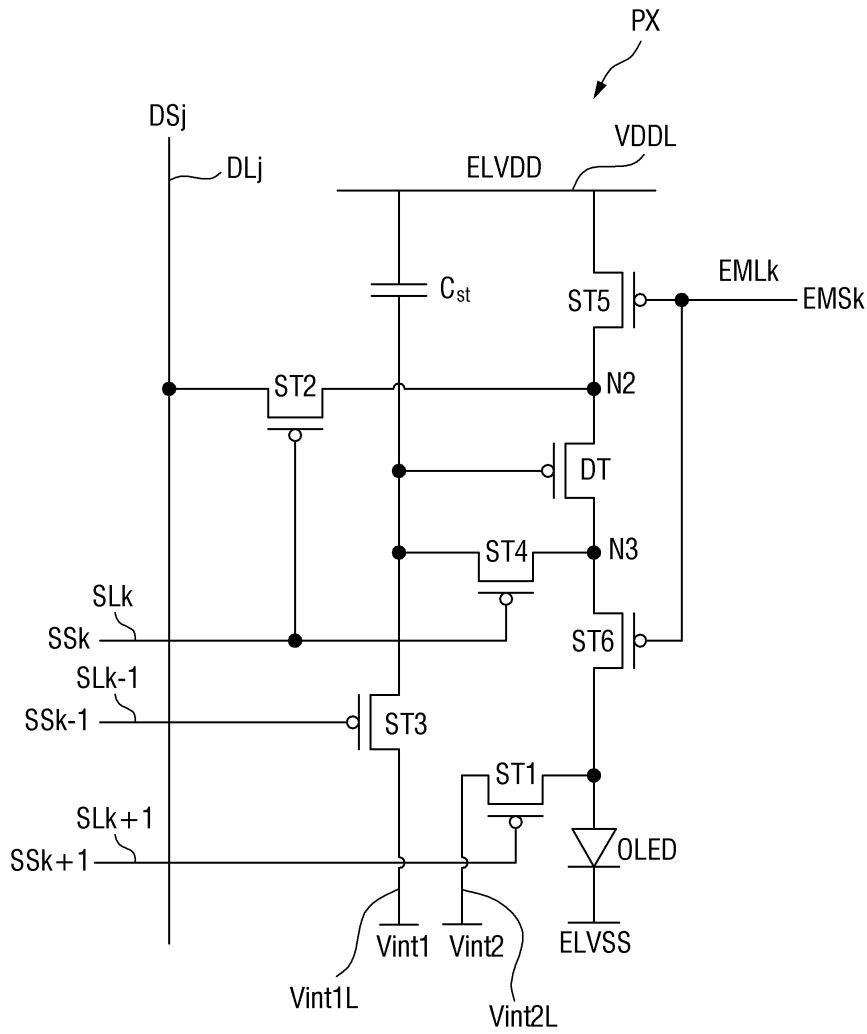
- [0137] 1000: 유기 발광 표시 장치
- DA: 표시 영역
- PA: 주변 영역
- 1621: 제1 도전 패턴
- 1622: 제2 도전 패턴
- CTA1: 제1 접촉 영역
- CTA2: 제2 접촉 영역
- 2501: 제1 연결 전극
- 2502: 제2 연결 전극

도면

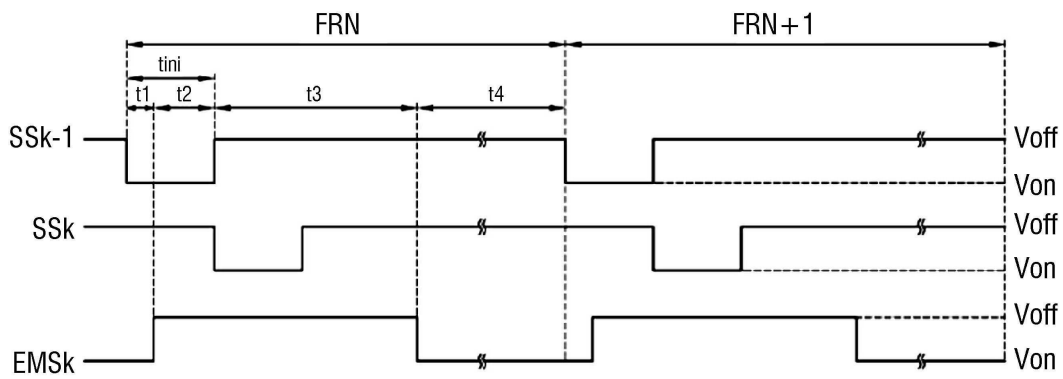
도면1



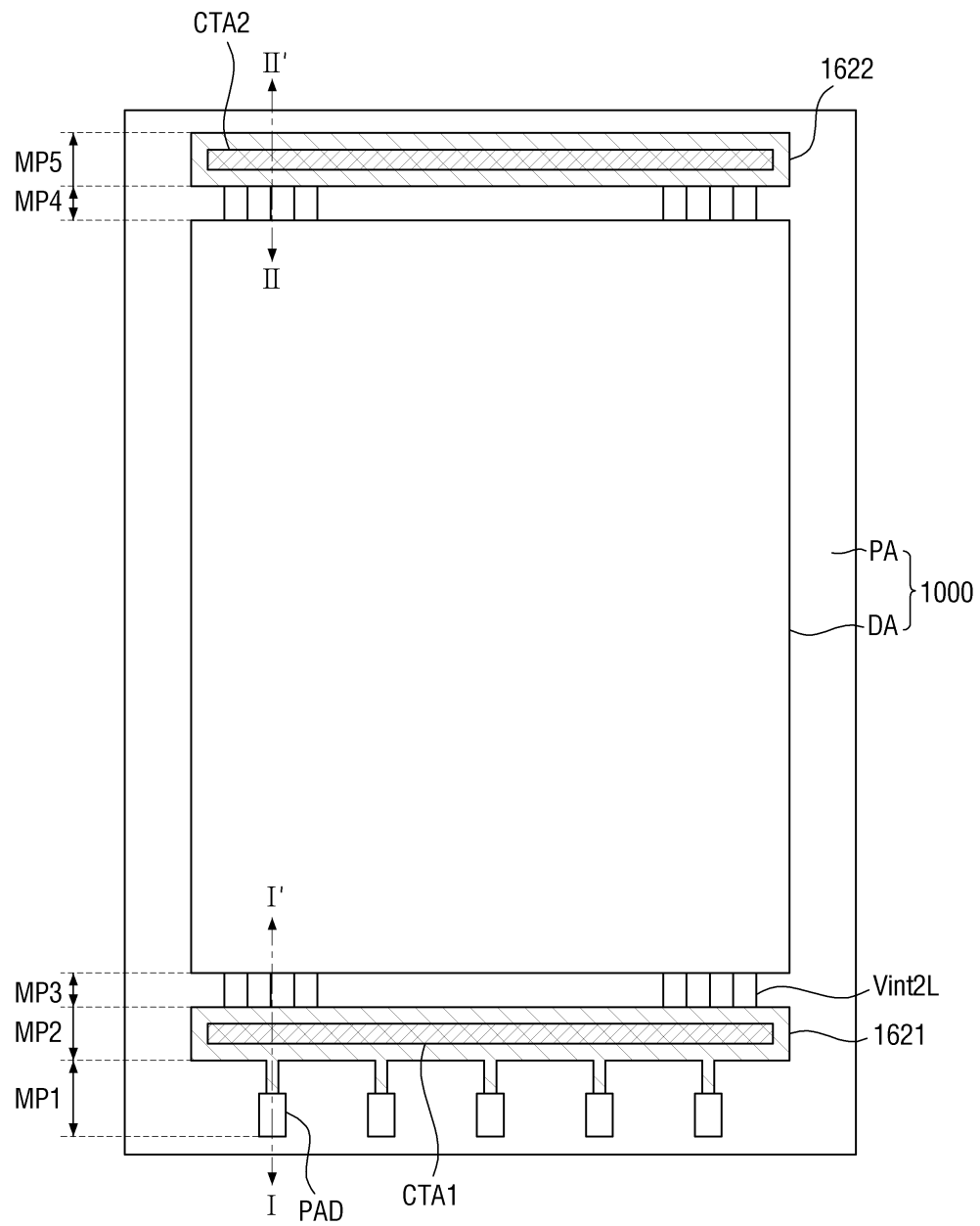
도면2



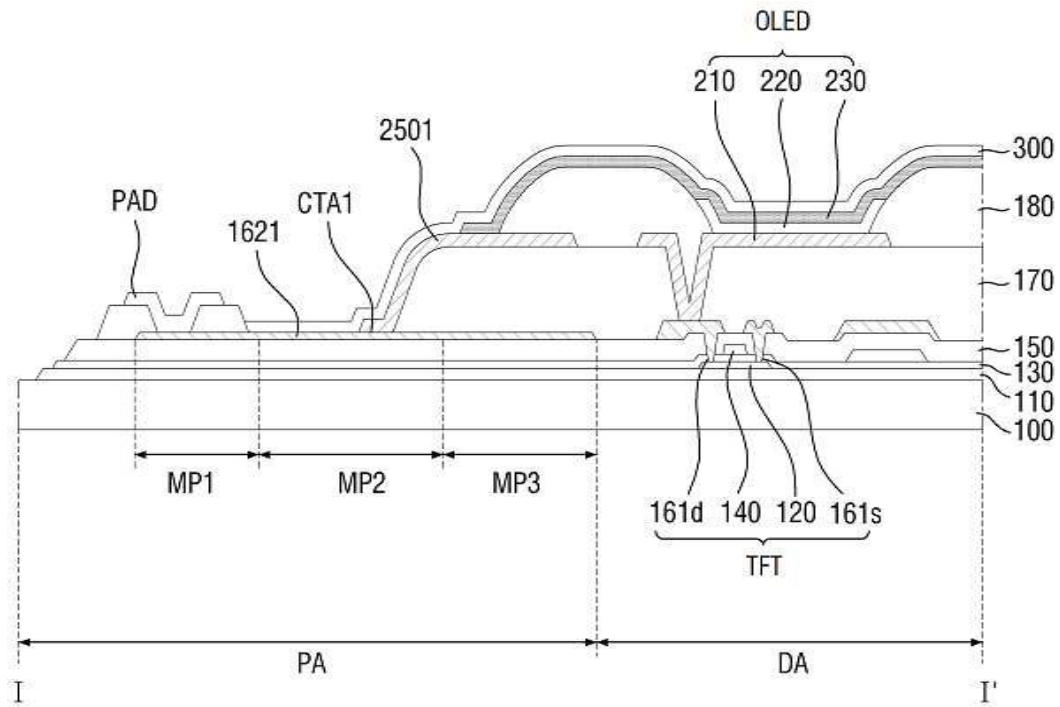
도면3



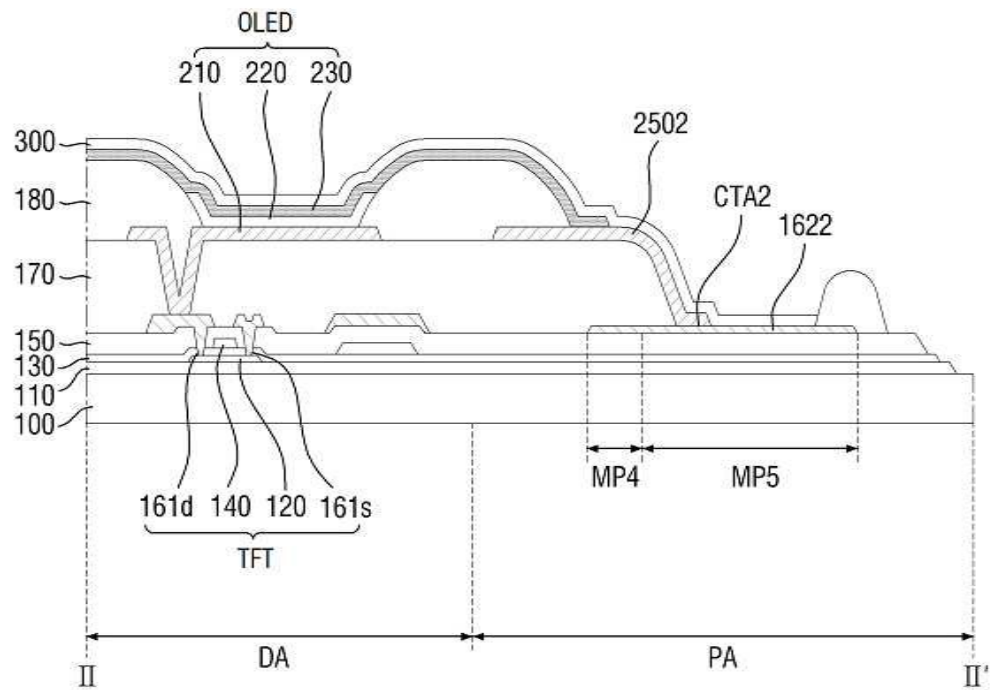
도면4



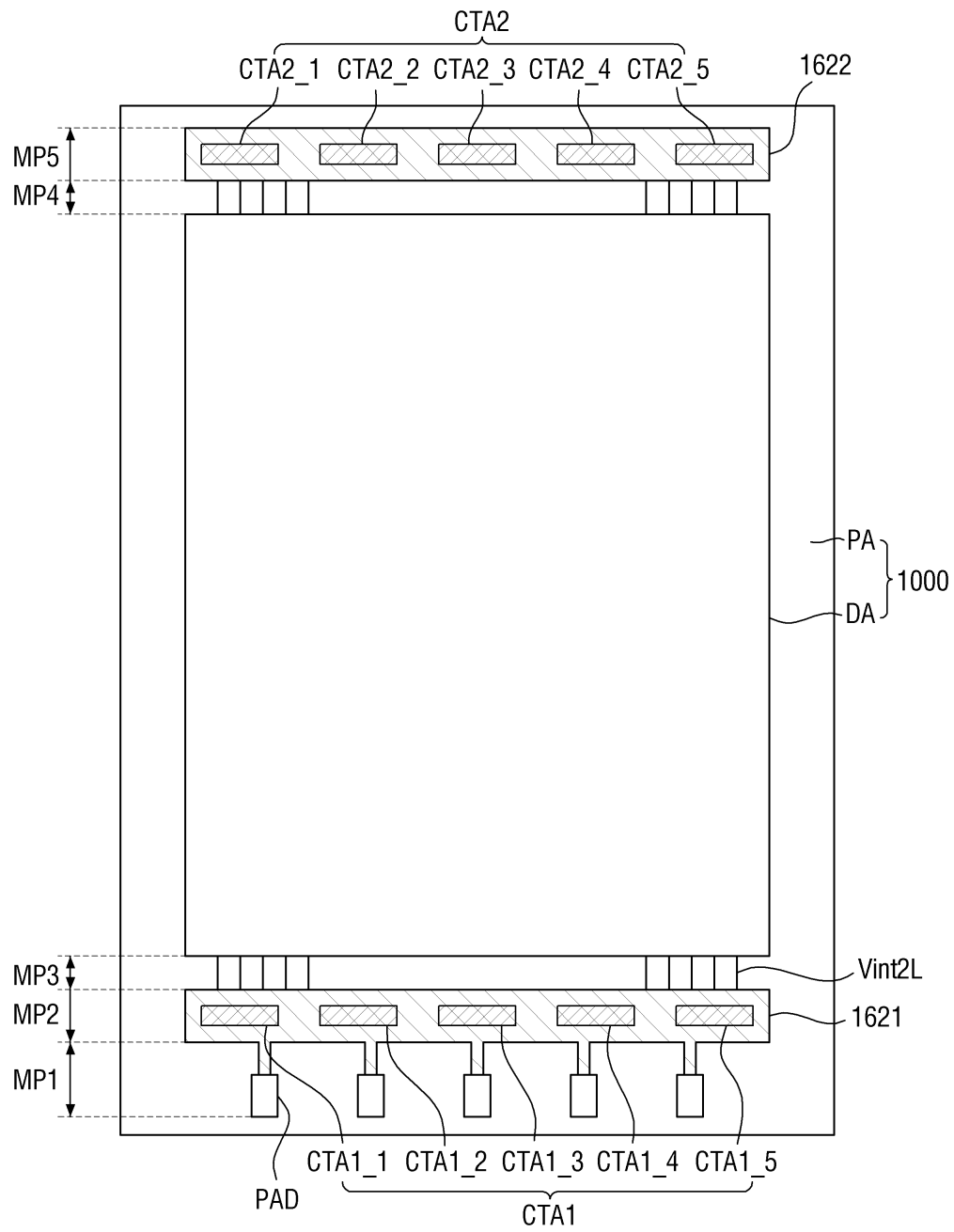
도면5



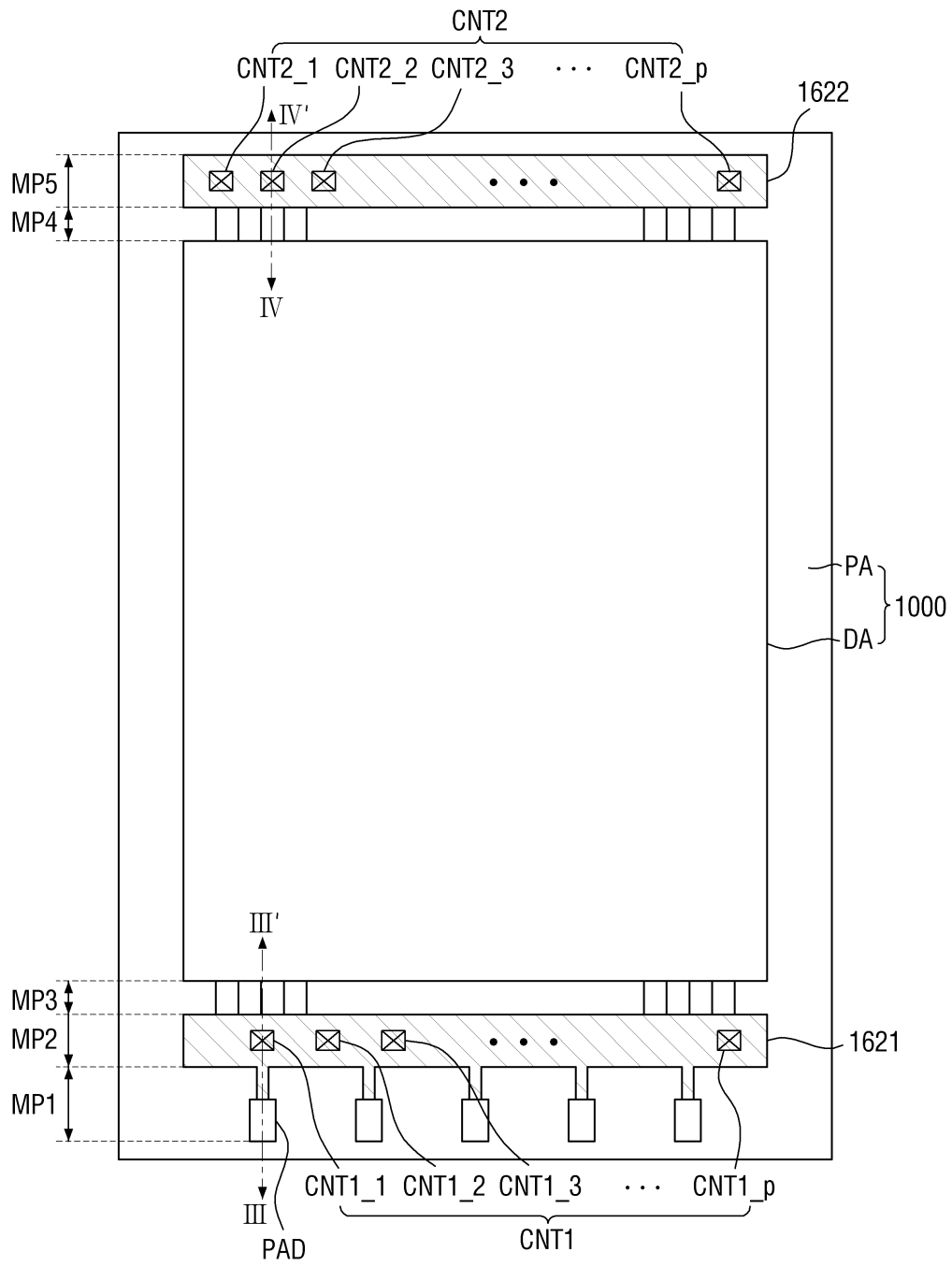
도면6



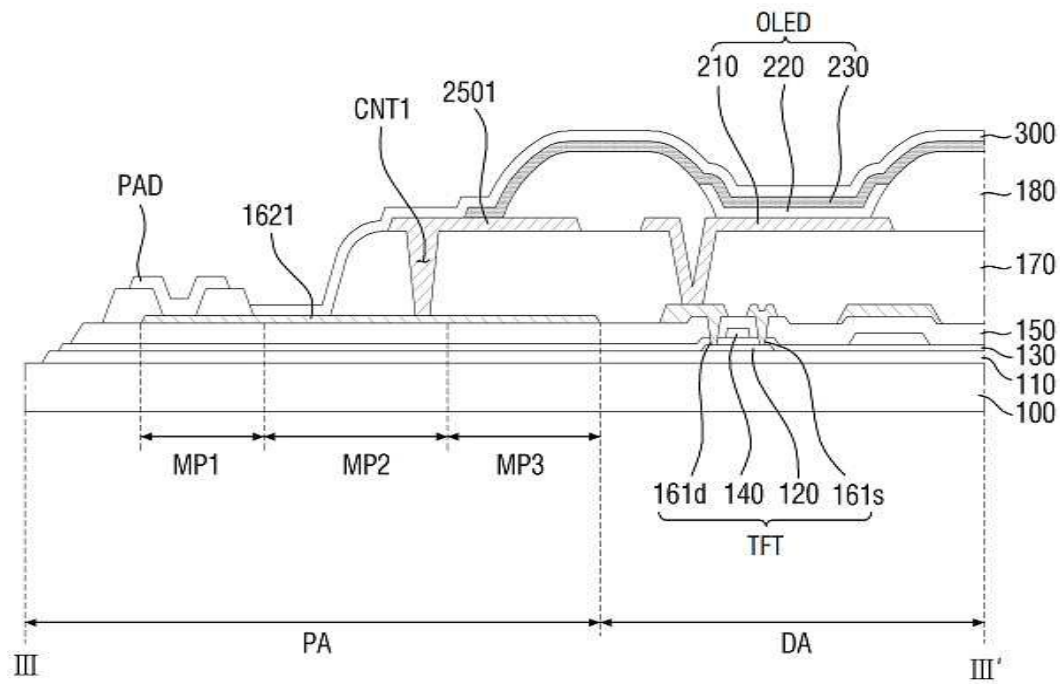
도면7



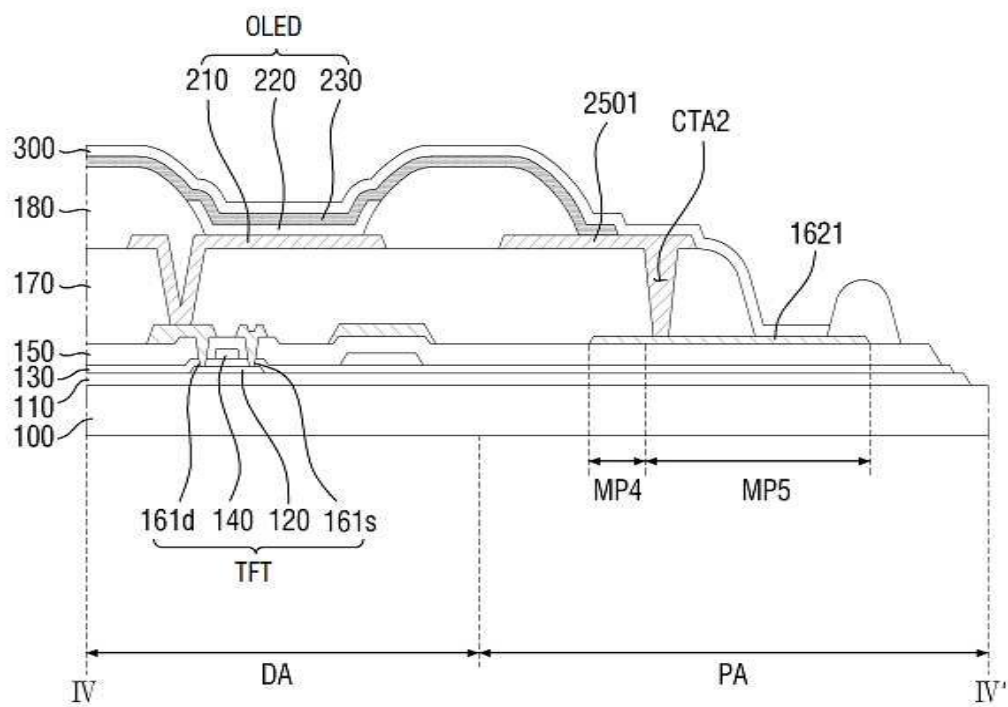
도면8



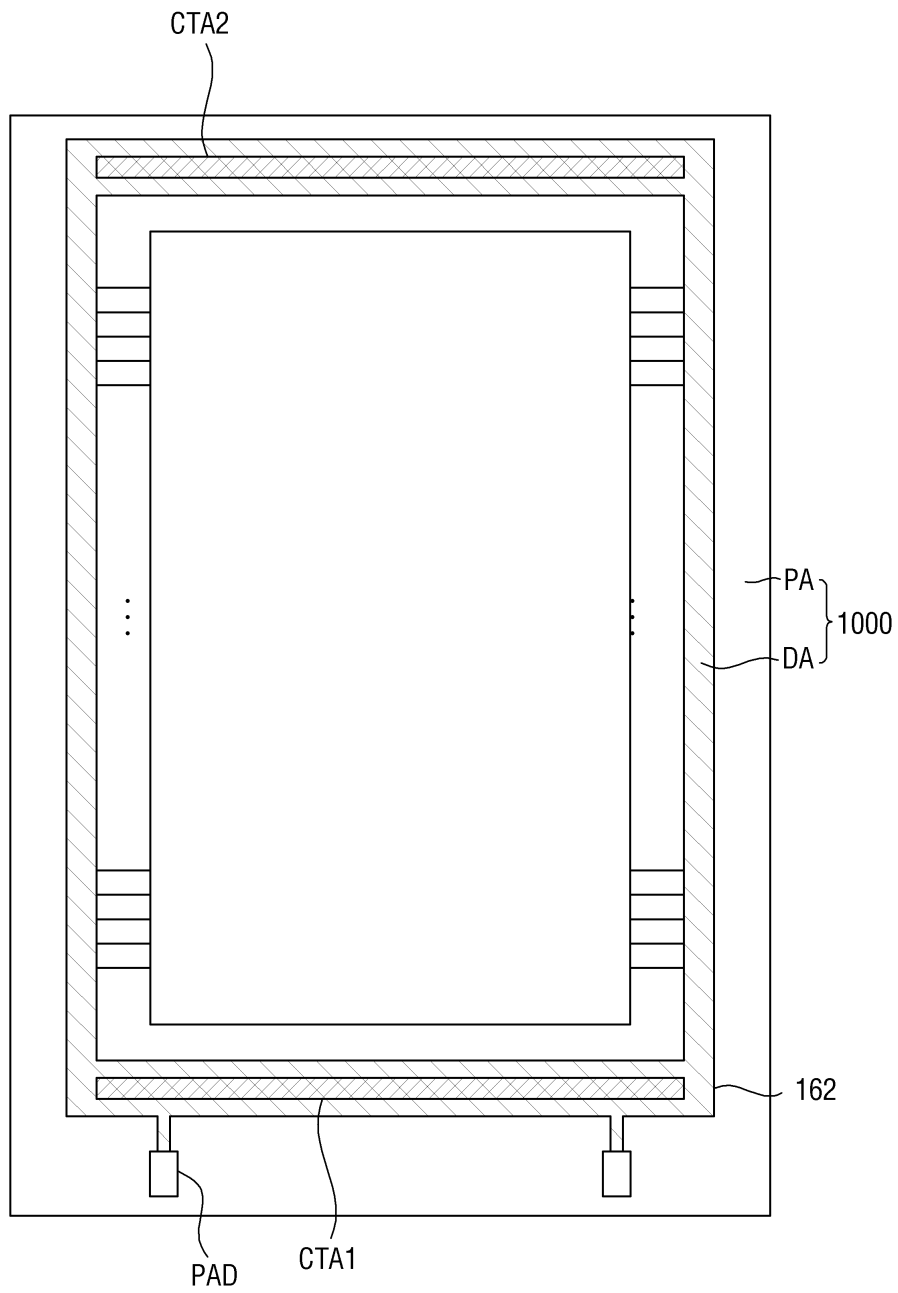
도면9



도면10



도면11



专利名称(译)	有机发光显示器		
公开(公告)号	KR1020190067295A	公开(公告)日	2019-06-17
申请号	KR1020170166778	申请日	2017-12-06
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	최상무 김미해 석상원 장환수 이수진		
发明人	최상무 김미해 석상원 장환수 이수진		
IPC分类号	H01L51/52 H01L27/32 H01L51/00		
CPC分类号	H01L51/5203 H01L27/3211 H01L27/3262 H01L51/0014 H01L27/3244 H01L27/3276 G09G3/3233 G09G3/3266 G09G3/3291 G09G2300/0426 G09G2300/0842 G09G2310/0251 G09G2310/0262 G09G3/3258 H01L27/3246 H01L27/3258 H01L51/5218 H01L51/5234		
外部链接	Espacenet		

摘要(译)

提供了一种有机发光显示装置。有机发光二极管显示器包括：显示区域，其中布置有包括有机发光二极管的多个像素；基板，在基板中限定了围绕显示区域的外围区域；焊盘，布置在外围区域中的基板上；以及焊盘和焊盘。第一导电图案，连接至基板，第二导电图案设置在基板上的外围区域中，并与第一导电图案相对，隔着显示区域，第一导电图案和第一导电图案位于外围区域中；第一连接电极设置在第二导电图案上并电连接到第一导电图案，第二连接电极电连接到第二导电图案，第一连接电极和第二连接电极。有机发光二极管的阴极设置在第一连接电极和第二连接电极中。

