



(11) 공개번호 10-2019-0061357
(43) 공개일자 2019년06월05일

- (51) 국제특허분류(Int. Cl.)
G09G 3/3266 (2016.01) *G09G 3/3233* (2016.01)
H01L 27/32 (2006.01)

(52) CPC특허분류
G09G 3/3266 (2013.01)
G09G 3/3233 (2013.01)

(21) 출원번호 10-2017-0159651

(22) 출원일자 2017년11월27일
 심사청구일자 없음

(71) 출원인
 엘지디스플레이 주식회사
 서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
 김인준
 경기도 파주시 월롱면 엘지로 245
 신현기
 경기도 파주시 월롱면 엘지로 245
 반명호
 경기도 파주시 월롱면 엘지로 245

(74) 대리인
 박영복

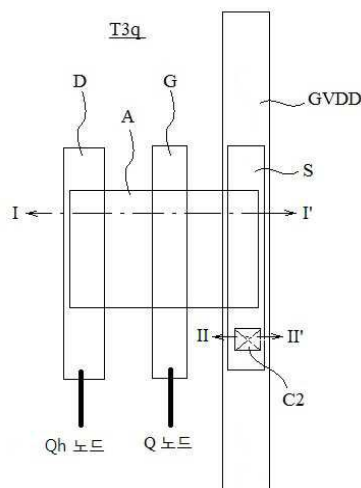
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 OLED 표시패널

(57) 요약

본 발명은 베젤을 최소화하기 위하여 GIP 구동회로를 표시 영역에 배치하고, 인접 화소 간 휘도 편차를 최소화하기 위한 OLED 표시패널에 관한 것으로, 데이터 라인들과 스캔 라인들이 교차되고, 상기 각 교차부에 배치된 서브 화소들을 포함한 표시 영역; 및 상기 표시 영역 내의 단위 화소 영역들에 분산 배치되어 해당 게이트 라인에 스캔 펄스를 공급하는 복수개의 스테이지를 구비한 GIP 구동회로를 구비하고, 상기 단위 화소 영역은, 적어도 3개의 서브 화소부와, GIP 구동회로를 구성하는 하나의 소자가 배치되는 GIP부와, GIP 구동회로의 각 소자들을 연결하는 연결 배선들이 배치되는 GIP 내부 연결 배선부를 구비하고, 상기 GIP부에는 상기 GIP 구동회로를 구동하기 위한 신호 라인이 배치되고, 상기 GIP 구동회로를 구성하는 소자의 전극 중 하나가 상기 신호 라인과 중첩하여 배치됨을 특징으로 한다.

대표도 - 도9



(52) CPC특허분류

H01L 27/3211 (2013.01)

H01L 27/3276 (2013.01)

G09G 2230/00 (2013.01)

G09G 2300/0408 (2013.01)

G09G 2300/0426 (2013.01)

G09G 2300/0842 (2013.01)

G09G 2310/0262 (2013.01)

G09G 2320/0233 (2013.01)

명세서

청구범위

청구항 1

데이터 라인들과 스캔 라인들이 교차되고, 상기 각 교차부에 배치된 서브 화소들을 포함한 표시 영역; 및
상기 표시 영역 내의 단위 화소 영역들에 분산 배치되어 해당 게이트 라인에 스캔 펄스를 공급하는 복수개의 스테이지를 구비한 GIP 구동회로를 구비하고,

상기 단위 화소 영역은, 적어도 3개의 서브 화소부와, 상기 GIP 구동회로를 구성하는 하나의 소자가 배치되는 GIP부와, GIP 구동회로의 각 소자들을 연결하는 연결 배선들이 배치되는 GIP 내부 연결 배선부를 구비하고,

상기 GIP부에는 상기 GIP 구동회로를 구동하기 위한 신호 라인이 배치되고, 상기 GIP 구동회로를 구성하는 소자의 전극 중 하나가 상기 신호 라인과 중첩하여 배치되는 OLED 표시 패널.

청구항 2

제 1 항에 있어서,

상기 신호 라인은 상기 데이터 라인들과 평행하게 배치되는 OLED 표시 패널.

청구항 3

제 1 항에 있어서,

상기 신호 라인은, 라인 선택 신호 라인, 실시간 보상용 신호 라인, 캐리 펄스 출력용 클럭 신호 라인, 스캔 펄스 출력용 클럭 신호 라인, 리셋 신호 라인, 스타트 펄스 신호 라인 및 정전압 라인들을 포함하는 OLED 표시 패널.

청구항 4

제 1 항에 있어서,

상기 GIP부에 배치되는 상기 GIP 구동회로를 구성하는 소자는,

상기 신호 라인을 포함한 기관 전면에 형성되는 버퍼층과,

상기 버퍼층 상에 상기 신호 라인에 중첩되도록 형성되는 활성층과,

상기 활성층을 포함한 기관 전면에 형성되는 게이트 절연막과,

상기 활성층 상측의 게이트 절연막 상에 형성되는 게이트 전극과,

상기 게이트 전극(G) 양측의 상기 활성층(A)에 형성되는 소오스 및 드레인 영역과,

상기 게이트 전극을 포함한 기관 전면에 형성되는 층간 절연막과,

상기 소오스 및 드레인 영역에 전기적으로 연결되어 상기 층간 절연막 상에 형성되는 소오스 전극 및 드레인 전극을 구비하고,

상기 소오스 전극이 상기 신호 라인에 중첩되는 OLED 표시 패널.

청구항 5

제 1 항에 있어서,

상기 GIP부에 배치되는 상기 GIP 구동회로를 구성하는 소자는,

상기 신호 라인을 포함한 기관 전면에 형성되는 버퍼층과,

상기 버퍼층 상에 상기 신호 라인에 중첩되도록 형성되는 활성층과,

상기 활성층을 포함한 기관 전면에 형성되는 게이트 절연막과,
 상기 활성층 상층의 게이트 절연막 상에 형성되는 게이트 전극과,
 상기 게이트 전극(G) 양측의 상기 활성층(A)에 형성되는 소오스 및 드레인 영역과,
 상기 게이트 전극을 포함한 기관 전면에 형성되는 층간 절연막과,
 상기 소오스 및 드레인 영역에 전기적으로 연결되어 상기 층간 절연막 상에 형성되는 소오스 전극 및 드레인 전극을 구비하고,
 상기 드레인 전극이 상기 신호 라인에 중첩되는 OLED 표시 패널.

청구항 6

제 1 항에 있어서,
 상기 GIP부에 배치되는 상기 GIP 구동회로를 구성하는 소자는,
 상기 신호 라인을 포함한 기관 전면에 형성되는 버퍼층과,
 상기 버퍼층 상에 상기 신호 라인에 중첩되도록 형성되는 활성층과,
 상기 활성층을 포함한 기관 전면에 형성되는 게이트 절연막과,
 상기 활성층 상층의 게이트 절연막 상에 형성되는 게이트 전극과,
 상기 게이트 전극(G) 양측의 상기 활성층(A)에 형성되는 소오스 및 드레인 영역과,
 상기 게이트 전극을 포함한 기관 전면에 형성되는 층간 절연막과,
 상기 소오스 및 드레인 영역에 전기적으로 연결되어 상기 층간 절연막 상에 형성되는 소오스 전극 및 드레인 전극을 구비하고,
 상기 게이트 전극이 상기 신호 라인에 중첩되는 OLED 표시 패널.

발명의 설명

기술 분야

[0001] 본 발명은 화소 어레이 내에 GIP 구동 회로의 스테이지가 배치되는 OLED 표시 패널에 있어서, 인접 화소 간 휘도 편차를 저감하기 위한 OLED 표시패널에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전하고, 이동통신 단말기 및 노트북 컴퓨터와 같은 각종 휴대용 전자기기가 발전함에 따라 이에 적용할 수 있는 평판 표시 장치(Flat Panel Display Device)에 대한 요구가 점차 증대되고 있다.

[0003] 이와 같은 평판 표시 장치로는, 액정을 이용한 액정 표시 장치(LCD: Liquid Crystal Display)와 유기 발광 다이오드(Organic Light Emitting Diode; 이하 OLED)를 이용한 OLED 표시 장치가 활용되고 있다.

[0004] 이러한 평판 표시 장치들은 영상을 표시하기 위해 복수개의 게이트 라인들 및 복수개의 데이터 라인들을 구비한 표시 패널과, 상기 표시 패널을 구동하기 위한 구동회로로 구성된다.

[0005] 상기와 같은 표시 장치들 중 액정 표시 장치의 표시 패널은, 유리 기판상에 박막트랜지스터 어레이가 형성되는 박막트랜지스터 어레이 기판과, 유리 기판상에 칼라 필터 어레이가 형성되는 칼라 필터 어레이 기판과, 상기 박막트랜지스터 어레이 기판과 상기 칼라 필터 어레이 기판 사이에 충진된 액정층을 구비한다.

[0006] 상기 박막 트랜지스터 어레이 기판은, 제1방향으로 연장되는 복수개의 게이트 라인들(GL)과, 제1방향과 수직인 제2방향으로 연장되는 복수개의 데이터 라인들(DL)을 포함하며, 각 게이트 라인과 각 데이터 라인에 의하여 하나의 서브 화소 영역(Pixel; P)이 정의된다. 하나의 서브 화소 영역(P) 내에는 하나의 박막 트랜지스터와 화소 전극이 형성된다.

[0007] 이러한 액정 표시 장치의 표시 패널은, 전기장 생성 전극 (화소 전극 및 공통 전극)에 전압을 인가하여 상기 액

정층에 전기장을 생성하고, 상기 전기장에 의해 액정층의 액정 분자들의 배열 상태를 조절하여 입사광의 편광을 제어함으로써 영상을 표시한다.

- [0008] 또한, 상기와 같은 표시 장치들 중 OLED 표시 장치의 표시 패널은, 상기 복수개의 게이트 라인들과 복수개의 데이터 라인들이 교차하여 서브 화소가 정의되고, 각 서브 화소들은, 애노드 및 캐소드와 상기 애노드 및 캐소드 사이의 유기 발광층으로 구성된 OLED와, 상기 OLED를 독립적으로 구동하는 화소 회로를 구비한다.
- [0009] 상기 화소 회로는 다양하게 구성될 수 있으나, 적어도 하나의 스위칭 TFT, 커패시터 및 구동 TFT를 포함한다.
- [0010] 상기 적어도 하나의 스위칭 TFT는 스캔 펄스에 응답하여 데이터 전압을 상기 커패시터에 충전한다. 상기 구동 TFT는 상기 커패시터에 충전된 데이터 전압에 따라 OLED로 공급되는 전류량을 제어하여 OLED의 발광량을 조절한다.
- [0011] 이러한 표시 장치용 표시 패널은, 사용자에게 이미지를 제공하는 표시 영역(active area, AA)과 상기 표시영역(AA)의 주변 영역인 비표시 영역(non-active area, NA)으로 정의된다.
- [0012] 또한, 상기 표시 패널을 구동하기 위한 상기 구동회로는 상기 표시 패널의 상기 복수개의 게이트 라인(스캔 라인)들에 게이트 펄스(또는 스캔 펄스)를 순차적으로 공급하는 게이트 구동 회로와, 상기 표시 패널의 상기 복수개의 데이터 라인들에 데이터 전압을 공급하는 데이터 구동 회로와, 상기 게이트 구동 회로와 상기 데이터 구동 회로에 영상 데이터 및 각종 제어신호를 공급하는 타이밍 콘트롤러 등으로 이루어진다.
- [0013] 상기 게이트 구동 회로는, 적어도 하나의 게이트 드라이브 IC로 구성될 수도 있지만, 상기 표시 패널의 상기 복수개의 신호 라인(게이트 라인들 및 데이터 라인들)과 서브 화소를 형성하는 과정에서 상기 표시 패널의 비표시 영역상에 동시에 형성될 수 있다.
- [0014] 즉, 상기 게이트 구동 회로를 상기 표시 패널에 직접화시키는 게이트-인-패널(Gate-In-Panel; 이하 "GIP 구동회로"라고 함) 방식이 적용되고 있다.
- [0015] 도 1은 종래의 OLED 표시 장치의 구동회로 및 구동회로의 관계를 나타내는 블록도이다.
- [0016] 도 1을 참조하면, OLED 표시 장치(100)는 OLED 표시 패널(PNL)과 상기 OLED 표시 패널(PNL)의 화소 어레이(pixel array)(110)에 입력 영상의 데이터를 입력하기 위한 구동회로를 포함한다.
- [0017] 상기 OLED 표시패널(PNL)은 서로 교차하여 배열되는 복수의 게이트 라인(149, 스캔 라인) 및 복수의 데이터 라인(139)과, 상기 복수의 게이트 라인(149) 및 복수의 데이터 라인(139)에 의해 정의된 매트릭스 형태의 서브 화소들이 배치된 화소 어레이(110)를 포함한다.
- [0018] 상기 각 서브 화소는, 애노드 및 캐소드와 상기 애노드 및 캐소드 사이의 유기 발광층으로 구성된 유기 발광 다이오드(Organic Light Emitting Diode; OLED)와, 상기 OLED를 독립적으로 구동하는 화소 회로를 구비한다.
- [0019] 상기 화소 회로는 다양하게 구성될 수 있으나, 적어도 하나의 스위칭 TFT, 커패시터 및 구동 TFT를 포함한다.
- [0020] 상기 OLED 표시패널(PNL)을 구동하는 구동회로는 비표시 영역에 형성되어 복수의 데이터 라인(139)에 데이터 전압을 공급하는 데이터 구동회로(130)와, 상기 비표시 영역에 형성되어 상기 데이터 전압에 동기되는 게이트(스캔) 신호를 복수의 게이트 라인(149)에 순차적으로 공급하는 GIP(Gate In Panel) 구동회로(140), 그리고 타이밍 콘트롤러(Timing Controller, TCON)(120)를 포함한다.
- [0021] 상기 타이밍 콘트롤러(120)는, 인쇄회로기판(PCB)에 배치되고, 외부의 호스트 시스템으로부터 수신된 입력 영상의 데이터를 정렬하여 데이터 구동회로(130)에 공급한다. 또한, 상기 타이밍 콘트롤러(120)는 상기 외부의 시스템으로부터 입력 영상에 동기되는 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호 및 도트 클럭 등의 타이밍 신호를 수신하여 상기 데이터 구동회로(130)와 상기 GIP 구동회로(140)의 동작 타이밍을 제어하기 위한 제어 신호(Data Driver Control signal; DDC, Gate Driver Control signal; GDC)를 생성한다.
- [0022] 상기 데이터 구동회로(130)는 타이밍 콘트롤러(120)로부터 입력 영상의 데이터와 데이터 드라이버 제어 신호(DDC)를 수신하여 입력된 영상의 데이터를 감마 보상 전압으로 변환하여 데이터 전압을 생성하고, 데이터 전압을 복수의 데이터 라인(150)으로 출력한다.
- [0023] 상기 데이터 구동회로(130)는 복수의 소스 전극 드라이버 IC(Integrated Circuit)를 포함하고, 각 소스 전극 드라이버 IC는 COF(Chip On Film)으로 구성되어 상기 타이밍 콘트롤러(120)가 실장되는 상기 인쇄회로기판의 패드부와 상기 표시패널(PNL)의 패드부 사이에 연결된다.

- [0024] 상기 GIP 구동회로(140)는 구동방식에 따라 표시 패널(PNL)의 일측 가장자리에 배치되거나 양측 가장자리에 배치될 수 있다. 도 1에 도시된 게이트 구동회로는, 인터레이스(Interlace) 방식의 GIP 구동회로(140)로서, 표시 패널(PNL)의 좌측에 배치된 제1 GIP 구동회로(140L) 및 표시 패널(PNL)의 우측에 배치된 제2 GIP 구동회로(140R)를 구비한다.
- [0025] 상기 GIP 구동회로(140)는 적어도 하나의 게이트 드라이브 IC로 구성될 수도 있지만, 상기 OLED 표시패널(PNL)의 화소 어레이(110)를 구성하는 상기 복수개의 신호 라인 (게이트 라인들 및 데이터 라인들)과 서브 화소를 형성하는 과정에서 상기 표시 패널의 비표시 영역상에 동시에 형성될 수 있다.
- [0026] 상기 GIP 구동회로(140)는 상기 타이밍 컨트롤러(120)로부터 전송된 제어 신호(GDC)에 따라 각 게이트 라인(149)에 순차적으로 게이트(스캔) 신호를 공급한다.
- [0027] 상기와 같은 GIP 구동회로(140)는 각 게이트 라인들에 스캔 펄스를 순차적으로 공급하기 위하여, 게이트 라인의 개수 이상의 복수개의 스테이지(stage; 이하 "GIP"로 표현한다)를 포함하여 구성되고, 구동 특성을 향상시키기 위하여 산화물 반도체 박막트랜지스터들을 이용한다.
- [0028] 즉, 상기 GIP 구동회로(140)는 종속적으로 접속된 복수개의 스테이지(GIP)를 포함한다. 그리고, 각 스테이지(GIP)는 각 게이트 라인에 연결되어, 상기 타이밍 컨트롤러로부터 인가되는 클럭신호, 게이트 스타트 신호, 게이트 하이 전압 및 게이트 로우 전압을 수신하여, 하나의 캐리 펄스와 하나의 스캔 펄스를 생성하는 출력부를 포함한다.
- [0029] 도2는 일반적인 (n)번째 스테이지(GIP)의 구성 블록도이다.
- [0030] 상기 각 스테이지(GIP)는, 도 2에 도시한 바와 같이, 스타트 펄스(start pulse) 또는 전단의 스테이지(GIP)에서 출력되는 캐리 펄스(SET)에 의해 셋팅되고, 후단의 스테이지(GIP)에서 출력되는 캐리 펄스(RST)에 의해 리셋팅되어 제 1 및 제 2 노드(Q, Qb)의 전압을 제어하는 노드 제어부(100)와, 다수의 스캔 펄스 출력용 클럭신호(SCCLKs) 중 하나의 스캔 펄스 출력용 클럭신호와 상기 다수의 캐리 펄스 출력용 클럭신호(CRCLKs) 중 하나의 캐리 펄스 출력용 클럭 신호를 수신하여, 상기 제 1 및 제 2 노드(Q, Qb)의 전압 레벨에 따라 하나의 스캔 펄스((So(n)) 및 하나의 캐리 펄스(Co(n))를 출력하는 출력부(200)를 포함하여 구성된다.
- [0031] 6상의 클럭 신호에 의해 구동되는 스테이지(GIP)의 경우, 상기 노드 제어부(100)는 3번째 전단의 스테이지(GIP)에서 출력되는 캐리 펄스(Co(n-3))에 의해 셋팅되고, 3번째 후단의 스테이지(GIP)에서 출력되는 캐리 펄스(Co(n+3))에 의해 리셋팅되어 제 1 및 제 2 노드(Q, Qb)의 전압을 제어한다.
- [0032] 도면에는 도시되지 않았지만, 상기 스테이지(GIP)의 출력부(200)는, 캐리 펄스 출력부 및 스캔 펄스 출력부를 구비하여 구성된다.
- [0033] 상기 캐리 펄스 출력부는 복수개의 캐리용 클럭 신호 중 하나의 캐리 펄스 출력용 클럭 신호가 인가되는 캐리 펄스 출력용 클럭 신호 단과 제 1 게이트 로우 전압단(VGL1) 사이에 직렬 연결되는 제 1 풀업 트랜지스터 및 제 1 풀다운 트랜지스터를 구비하여 구성된다.
- [0034] 상기 제 1 풀업 트랜지스터는 상기 제 1 노드(Q)의 전압 레벨에 따라 온/오프되고, 상기 제 1 풀다운 트랜지스터는 상기 제 2 노드(Qb)의 전압 레벨에 따라 온/오프되어 상기 입력된 캐리 펄스 출력용 클럭 신호를 캐리 펄스(Co(n))로 출력한다.
- [0035] 상기 스캔 펄스 출력부는 복수개의 스캔 펄스 출력용 클럭 신호 중 하나의 스캔 펄스 출력용 클럭 신호가 인가되는 스캔 펄스 출력용 클럭 신호 단과 제 2 게이트 로우 전압단(VGL2) 사이에 직렬 연결되는 제 2 풀업 트랜지스터 및 제 2 풀다운 트랜지스터와, 상기 제 2 풀업 트랜지스터의 게이트 전극과 소오스 전극 사이에 연결되는 부트스트랩(bootstrap) 커패시터를 구비하여 구성된다.
- [0036] 상기 제 2 풀업 트랜지스터는 상기 제 1 노드(Q)의 전압 레벨에 따라 온/오프되고, 상기 제 2 풀다운 트랜지스터는 상기 제 2 노드(Qb)의 전압 레벨에 따라 온/오프되어 상기 입력된 스캔 펄스 출력용 클럭 신호를 스캔 펄스(So(n))로 출력한다.
- [0037] 도 3은 도 2에 도시된 (n) 번째 스테이지(GIP)의 동작을 보여 주는 파형도이다.
- [0038] 도 3에서는, 상술한 바와 같이, 상기 노드 제어부(100)는 3번째 전단의 스테이지(GIP)에서 출력되는 캐리 펄스(Co(n-3))에 의해 셋팅되고, 3번째 후단의 스테이지(GIP)에서 출력되는 캐리 펄스(Co(n+3))에 의해 리셋팅되어

제 1 및 제 2 노드(Q, Qb)의 전압을 제어함을 도시한 것이다.

- [0039] 상기 (n)번째 스테이지(GIP(n))는 3번째 전단의 스테이지(GIP)에서 출력되는 캐리 펄스(Co(n-3))에 의해 셋팅되어 상기 제 1 노드(Q)를 게이트 하이 전압(VGH)으로 충전하고, 상기 제 2 노드(Qb)를 게이트 로우 전압(VGL) 상태로 방전한다. 따라서, 상기 캐리 펄스 출력부의 제 1 풀업 트랜지스터와 상기 스캔 펄스 출력부의 제 2 풀업 트랜지스터는 턴-온 되고, 상기 캐리 펄스 출력부의 제 1 풀다운 트랜지스터와 상기 스캔 펄스 출력부의 제 2 풀다운 트랜지스터는 턴-오프 된다.
- [0040] 그리고, 상기 캐리 펄스 출력부의 제 1 풀업 트랜지스터의 드레인 전극과 상기 스캔 펄스 출력부의 제 2 풀업 트랜지스터의 드레인 전극에는 동일 위상을 갖는 클럭 신호(CRCLK, SCCLK)가 인가된다.
- [0041] 상기 제 1 풀업 트랜지스터의 드레인 전극과 상기 제 2 풀업 트랜지스터의 드레인 전극에 하이 레벨의 클럭 신호(CRCLK, SCCLK)가 인가되면, 상기 부트스트랩 커패시터에 의해 상기 플로팅된 제 1 노드(Q)의 전압이 부트스트래핑되어 2VGH 만큼 상승된다.
- [0042] 이와 같이 상기 제 1 노드(Q)가 부트스트래핑된 상태에서, 상기 캐리 펄스 출력부 및 상기 스캔 펄스 출력부는 입력되는 클럭 펄스(CRCLK, SCCLK)를 각각 캐리 펄스(Co(n)) 및 스캔 펄스(So(n))로 출력한다.
- [0043] 그리고, 상기 3번째 후단 스테이지(GIP)에서 출력되는 캐리 펄스(Co(n+3))에 의해 리셋되어 상기 제 1 노드(Q)는 로우 상태가 되고, 상기 제 2 노드(Qb)를 하이 상태가 된다. 따라서, 상기 캐리 펄스 출력부의 제 1 풀업 트랜지스터와 상기 스캔 펄스 출력부의 제 2 풀업 트랜지스터는 턴-오프 되고, 상기 캐리 펄스 출력부의 제 1 풀다운 트랜지스터와 상기 스캔 펄스 출력부의 제 2 풀다운 트랜지스터는 턴-온 되어, 캐리 펄스(Co(n)) 및 스캔 펄스(So(n))로 게이트 로우 전압(VGL)을 출력한다.
- [0044] 그러나, 이와 같이 종래의 OLED 표시패널은 상기 GIP 구동회로가 상기 표시 패널의 비표시 영역에 직접화되므로, 표시 장치의 네로우 베젤(Narrow bezel) 설계가 어렵다.

발명의 내용

해결하려는 과제

- [0045] 본 발명은 상기와 같은 종래의 문제점을 해결하기 위한 것으로, 베젤을 최소화하기 위하여 GIP 구동회로를 표시 영역에 배치하고, 인접 화소 간 휘도 편차를 최소화 하기 위한 OLED 표시패널을 제공하는데 그 목적이 있다.

과제의 해결 수단

- [0046] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 OLED 표시 패널은, 데이터 라인들과 스캔 라인들이 교차되고, 상기 각 교차부에 배치된 서브 화소들을 포함한 표시 영역; 및 상기 표시 영역 내의 단위 화소 영역들에 분산 배치되어 해당 게이트 라인에 스캔 펄스를 공급하는 복수개의 스테이지를 구비한 GIP 구동회로를 구비하고, 상기 단위 화소 영역은, 적어도 3개의 서브 화소부와, GIP 구동회로를 구성하는 하나의 소자가 배치되는 GIP부와, GIP 구동회로의 각 소자들을 연결하는 연결 배선들이 배치되는 GIP 내부 연결 배선부를 구비하고, 상기 GIP부에는 상기 GIP 구동회로를 구동하기 위한 신호 라인이 배치되고, 상기 GIP 구동회로를 구성하는 소자의 전극 중 하나가 상기 신호 라인과 중첩하여 배치됨에 그 특징이 있다.
- [0047] 상기 신호 라인은 상기 데이터 라인들과 평행하게 배치됨을 특징으로 한다.
- [0048] 상기 신호 라인은, 라인 선택 신호 라인, 실시간 보상용 신호 라인, 캐리 펄스 출력용 클럭 신호 라인, 스캔 펄스 출력용 클럭 신호 라인, 리셋 신호 라인, 스타트 펄스 신호 라인 및 정전압 라인들을 포함함을 특징으로 한다.
- [0049] 상기 GIP부에 배치되는 상기 GIP 구동회로를 구성하는 소자의 게이트 전극, 소오스 전극 및 드레인 전극 중 하나가 상기 신호 라인에 중첩됨을 특징으로 한다.

발명의 효과

- [0050] 상기와 같은 특징을 갖는 본 발명에 따른 OLED 표시패널에 있어서는 다음과 같은 효과가 있다.
- [0051] 즉, GIP 구동회로를 구동하기 위한 신호 라인에 중첩되도록 상기 GIP 구동회로를 구성하는 소자가 GIP부에 배치되므로, 상기 GIP부가 차지하는 면적을 줄일 수 있다.

[0052] 따라서, 상기 GIP부가 차지하는 면적을 줄일 수 있으므로, 적어도 3개의 서브 화소부와 상기 GIP부 사이의 간격을 더 늘릴 수 있으므로, 상기 적어도 3개의 서브 화소부와 상기 GIP부 간의 커패시턴스 발생을 방지할 수 있고, 더불어 상기 적어도 3개의 서브 화소부와 상기 GIP부 간의 커패시턴스 편차를 최소화하고 인접 화소 간의 휘도 편차를 방지할 수 있다.

도면의 간단한 설명

[0053] 도 1은 종래의 OLED 표시 장치의 구동회로 및 구동회로의 관계를 나타내는 블록도
 도 2는 종래의 (n)번째 스테이지(GIP)의 구성 블록도
 도 3은 도 2에 도시된 (n) 번째 스테이지(GIP)의 동작을 보여 주는 파형도
 도 4는 본 발명의 실시예에 따른 OLED 표시패널에서 하나의 서브 화소의 회로 구성도
 도 5는 본 발명의 실시예에 따른 GIP구동회로의 (k)번째 스테이지의 회로 구성도
 도 6은 본 발명의 제 1 실시예에 따른 OLED 표시 패널의 표시 영역 구성도
 도 7은 도 6의 OLED 표시 패널의 표시 영역에 배치된 인접한 2개의 단위 화소 영역을 보다 구체적으로 도시한 구성도
 도 8은 본 발명의 제 1 실시예에 따른 상기 GIP부(31)에 형성되는 GIP 구동회로의 하나의 스테이지를 구성하는 임의의 소자의 레이 아웃도
 도 9는 본 발명의 제 2 실시예에 따른 상기 GIP부(31)에 형성되는 GIP 구동회로의 하나의 스테이지를 구성하는 임의의 소자의 레이 아웃도
 도 10은 도 9의 I-I'선상의 단면도
 도 11은 도 9의 II-II'선상의 단면도

발명을 실시하기 위한 구체적인 내용

[0054] 먼저, 본 출원인은 표시 패널의 베젤을 최소화하기 위하여 표시 패널의 표시 영역에 GIP 구동회로를 분산 배치하는 발명에 관하여 기 출원한 바 있다 (한국 특허출원번호: 10-2017-0125355호(출원일: 2017년 09월 27일) 참고).

[0055] 상기 기 출원된 특허 출원(10-2017-0125355호)의 발명을 간단하게 설명하면 다음과 같다.

[0056] 도 4는 본 발명의 실시예에 따른 OLED 표시패널에서 하나의 서브 화소의 회로 구성도이고, 도 5는 본 발명의 실시예에 따른 GIP구동회로의 (k)번째 스테이지의 회로 구성도이다.

[0057] 즉, 도 4는 상기 기 출원된 상기 특허 출원(10-2017-000000호)의 도 4에 해당되고, 도 5는 상기 기 출원된 상기 특허 출원(10-2017-000000호)의 도 5에 해당된다.

[0058] 본 발명의 실시예에 따른 OLED 표시패널의 각 서브 화소는, 도 4에 도시한 바와 같이, 유기 발광 다이오드(OLED: Organic Light Emitting Diode)와, 상기 유기 발광 다이오드는 구동하는 화소 회로를 구비한다.

[0059] 상기 화소 회로는 제 1 및 제 2 스위칭 TFT(T1, T2), 스토리지 커패시터(Cst), 및 구동 TFT(DT)를 포함한다.

[0060] 상기 제 1스위칭 TFT(T1)는 스캔 펄스(Scan)에 응답하여 데이터(DATA) 전압을 상기 스토리지 커패시터(Cst)에 충전한다. 상기 구동 TFT(DT)는 상기 스토리지 커패시터(Cst)에 충전된 데이터 전압에 따라 OLED로 공급되는 전류량을 제어하여 OLED의 발광량을 조절한다. 상기 제 2 스위칭 TFT(T2)는 센싱(Sense) 신호에 응답하여 상기 구동 TFT(DT)의 문턱 전압 및 이동도를 센싱한다.

[0061] 상기 유기 발광 다이오드(OLED)는 제1전극(예: 애노드 전극 또는 캐소드 전극), 유기 발광층 및 제2전극(예: 캐소드 전극 또는 애노드 전극) 등으로 이루어질 수 있다.

[0062] 상기 스토리지 커패시터(Cst)는 상기 구동 TFT(DT)의 게이트 전극(gate)과 소오스 전극(source) 사이에 전기적으로 연결되어, 영상 신호 전압에 해당하는 데이터 전압 또는 이에 대응되는 전압을 한 프레임 시간 동안 유지해줄 수 있다.

- [0063] 도 4에서는 3개의 TFT(T1, T2, DT)와 하나의 스토리지 커패시터(Cst)로 구성되는 3T1C 서브 화소의 구성을 도시하였으나, 이에 한정되지 않고, 본 발명에 따른 OLED 표시패널의 각 서브 화소는 4T1C, 4T2C, 5T1C, 5T2C 등의 서브 화소를 갖을 수 있다.
- [0064] 한편, 본 발명의 실시예에 따른 GIP구동회로의 (k)번째 스테이지의 회로는, 도 5에 도시한 바와 같이, 트랜지스터(TA, TB, T3qA, T1B, T1C, T5A, T5B) 및 커패시터(C1)를 구비하여 구성되며, 라인 선택 신호(LSP; Line select pulse)에 따라 세트 신호(CP(k))를 선택적으로 저장하고, 해당 스테이지를 블랭크 구간(Blank time)에 실시간 보상용 신호(VRT; Vertical real time)에 따라 제 1 노드(Q)를 제 1 정전압(GVDD)으로 충전하고 제 2 노드(Qb)를 제 2 정전압(GVSS2)으로 방전하는 블랭크 구간 제 1 및 제 2 노드(Q, Qb) 제어부(21, 26); 트랜지스터(T1, T1A, T3n, T3nA, T3q, T3, T3A, T5)를 구비하여 구성되며 해당 스테이지를 구동 구간에 3번째 전단의 캐리 펄스(CP(k-3))에 따라 상기 제 1 노드(Q)를 상기 캐리 펄스(CP(k-3)) 전압으로 충전하고 3번째 후단의 캐리 펄스(CP(k+3))에 따라 상기 제 1 노드(Q) 및 제 3 노드(Qh)를 제 2 정전압(GVSS2)으로 방전하며, 상기 제 1 노드(Q)의 전압에 따라 제 3노드(Qh)를 상기 제 1정전압(GVDD)으로 충전하는 구동 구간 제 1 내지 제 3 노드 제어부(23, 25); 트랜지스터(T4, T4l, T4q, T5q) 및 커패시터(C2)를 구비하여 구성되며 상기 제 1 노드(Q)의 전압을 반전하여 제 2 노드(Qb)에 인가하는 인버터부(24); 풀업 트랜지스터(T6cr, T6) 및 풀다운 트랜지스터(T7cr, T7) 및 부트스트랩핑 커패시터(C3)를 구비하여 구성되며 복수개의 캐리 펄스 출력용 클럭 신호 중 하나의 클럭 신호(CRCLK(k)) 및 복수개의 스캔 펄스 출력용 클럭 신호 중 하나의 클럭 신호(SCCLK(k))을 수신하여 상기 제 1 노드(Q) 및 상기 제 2 노드(Qb)의 전압에 따라 캐리 펄스(CP(k)) 및 스캔 펄스(SP(k))를 출력하는 출력 버퍼부(27); 그리고, 트랜지스터(T3nB, T3nC)를 구비하여 구성되며 상기 블랭크 구간(Blank time)에 상기 타이밍 컨트롤러에서 출력되는 리세트 신호(RST)에 따라 상기 제 1 노드(Q)를 제 2 정전압(GVSS2)으로 방전하는 리세트부(22)를 구비하여 구성된다.
- [0065] 상기 블랭크 구간 제 1 및 제 2 노드(Q, Qb) 제어부(21, 26)는 상기 라인 선택 신호(LSP)가 하이 레벨일 때 상기 트랜지스터(TA, TB, T3q)가 턴-온 되어 세트 신호(CP(k))를 상기 커패시터(C1)에 저장한다.
- [0066] 그리고, 상기 블랭크 구간에 상기 실시간 보상용 신호(VRT)가 하이 레벨일 때 상기 트랜지스터(T1C, T5B)가 턴-온 되어 상기 제 1 노드(Q)를 제 1 정전압(GVDD)으로 충전하고, 상기 제 2 노드(Qb)를 제 2 정전압(GVSS2)으로 방전한다.
- [0067] 상기 구동 구간 제 1 내지 제 3 노드 제어부(23, 25)는 구동 구간에 상기 3번째 전단의 캐리 펄스(CP(k-3))가 하이 레벨일 때 상기 트랜지스터(T1, T1A, T5)가 턴-온되어 상기 제 1 노드(Q)를 상기 3번째 전단의 캐리 펄스(CP(k-3)) 전압으로 충전하고 상기 제 2 노드(Qb)를 제 2 정전압(GVSS2)으로 방전한다. 이와 같이 상기 제 1 노드(Q)가 충전되고 상기 제 2 노드(Qb)가 방전 될 때 상기 트랜지스터(T3q)가 턴-온되어 상기 제 3 노드(Qh)를 제 1 정전압(GVDD)으로 충전한다.
- [0068] 그리고 3번째 후단의 캐리 펄스(CP(k+3))가 하이 레벨일 때 상기 트랜지스터(T3n, T3nA)가 턴-온되어 상기 제 1 노드(Q) 및 상기 제 3 노드(Qh)를 제 2 정전압(GVSS2)으로 방전한다.
- [0069] 상기 인버터부(24)는 상기 제 1 노드(Q)의 전압을 반전하여 제 2 노드(Qb)에 인가한다.
- [0070] 상기 출력 버퍼부(27)는 상기 제 1 노드(Q)가 하이 레벨이고 상기 제 2 노드(Qb)가 로우 레벨일 때 상기 풀업 트랜지스터(T6cr)가 턴-온되고 상기 풀다운 트랜지스터(T7cr)가 턴-오프되어 상기 복수개의 캐리 펄스 출력용 클럭 신호 중 하나의 클럭 신호(CRCLK(k))를 캐리 펄스(CP(k))로 출력한다. 또한 상기 제 1 노드(Q)가 하이 레벨이고 상기 제 2 노드(Qb)가 로우 레벨일 때 상기 풀업 트랜지스터(T6)가 턴-온되고 상기 풀다운 트랜지스터(T7)가 턴-오프되어 상기 복수개의 스캔 펄스 출력용 클럭 신호 중 하나의 클럭 신호(SCCLK(k))을 스캔 펄스(SP(k))로 출력한다.
- [0071] 이 때, 상기 스캔 펄스 출력용 클럭 신호(SCCLK(k))가 하이 레벨로 인가되면 상기 출력 버퍼부(27)의 상기 부트스트랩핑 커패시터(C3)에 의해 상기 제 1노드(Q)는 부트스트랩핑(또는 커플링(Coupling))되어 더 높은 전위를 갖는다.
- [0072] 이와 같이 상기 제 1 노드(Q)가 부트스트랩핑된 상태에서, 상기 출력 버퍼부(27)는 각각 입력된 캐리 펄스 출력용 클럭 신호(CRCLK(k)) 및 스캔 펄스 출력용 클럭 신호(SCCLK(k))를 캐리 펄스(CP(k)) 및 스캔 펄스(SP(k))로 출력하므로 출력 손실(Loss)을 방지할 수 있다.
- [0073] 상기 리세트부(22)는 상기 블랭크 구간(Blank time)에 상기 타이밍 컨트롤러(4)에서 출력되는 리세트 신호(RS

T)가 하이 레벨일 때 상기 트랜지스터(T3nB, T3nC)가 턴-온되어 상기 제 1 노드(Q)를 제 2 정전압(GVSS2)으로 방전한다.

- [0074] 상기 도 5에서는 6상(Phase)으로 구동되는 GIP구동회로의 스테이지를 도시하였으나, 이에 한정되지 않고, 본 발명에 따른 GIP구동회로의 스테이지는 다양하게 구성될 수 있다.
- [0075] 상기 도 5에 도시한 바와 같이, 상기 GIP구동회로의 각 스테이지는 25개의 트랜지스터와 3개의 커패시터를 구비하여 구성된다.
- [0076] 따라서, 하나의 단위 화소 영역에 상기 GIP구동회로의 스테이지를 구성하는 하나의 단위 소자(트랜지스터 또는 커패시터)를 분산 배치하면, 하나의 게이트 라인(스캔 라인)을 구동하기 위한 하나의 스테이지의 회로를 배치할 수 있다.
- [0077] 도 6은 본 발명의 제 1 실시예에 따른 OLED 표시 패널의 표시 영역 구성도이고, 도 7은 도 6의 OLED 표시 패널의 표시 영역에 배치된 인접한 2개의 단위 화소 영역을 보다 구체적으로 도시한 구성도이다.
- [0078] 즉, 도 6은 상기 기 출원된 상기 특허 출원(10-2017-000000호)의 도 6에 해당되고, 도 7은 상기 기 출원된 상기 특허 출원(10-2017-000000호)의 도 7에 해당된다.
- [0079] 도 6 및 도 7에 도시한 바와 같이, OLED 표시 패널의 표시 영역에 GIP 구동회로를 배치함에 있어, 표시 영역의 단위 화소 영역은 적어도 3개의 서브 화소부(R, G, B, W)(33), GIP부(31), 및 GIP 내부 연결 배선부(32) 등으로 구분된다.
- [0080] 상기 적어도 3개의 서브 화소부(R, G, B, W)(33)들은 복수개의 데이터 라인(DL1~DL8), 복수개의 기준 전압 라인(Vref) 및 제 1 및 제 2 정전압 라인(EVDD, EVSS) 등이 수직 방향으로 배열되고, 복수개의 게이트 라인(스캔 라인, SCAN)이 수평 방향으로 배열되어 구성된다.
- [0081] 상기 GIP부(31)는 GIP 구동회로의 하나의 스테이지를 구성하는 하나의 단위 소자(트랜지스터 또는 커패시터)에 해당된다. 즉, 적색(R), 녹색(G), 청색(B), 및 백색(W) 서브 화소들로 구성되는 단위 화소 영역에, GIP구동회로의 하나의 스테이지를 구성하는 하나의 단위 소자(트랜지스터 또는 커패시터)가 분산 배치된다.
- [0082] 즉, 하나의 게이트 라인(스캔 라인)을 구동하기 위한 GIP 구동회로의 적어도 하나의 스테이지(ST)가 하나의 게이트 라인(스캔 라인)에 의해 구동되는 복수개의 단위 화소 영역에 분산하여 배치된다.
- [0083] 그리고, 상기 GIP부(31)는 GIP 구동회로의 하나의 스테이지를 구성하는 하나의 단위 소자(트랜지스터 또는 커패시터)에 해당되므로, 상기 GIP부(31)에, 도 5에 도시한 바와 같은 LSP, VRT, GVDD, GVSS0, GVSS1, GVSS2, VST, CRCLK, SCCLK 신호들 중 하나가 인가된다.
- [0084] 상기 GIP 내부 연결 배선부(32)는, GIP 구동회로의 하나의 스테이지에서 각 소자들을 연결하는 연결 배선들(Q 노드, Qb 노드, Qh 노드, 전단 스테이지의 캐리 펄스 출력단 및 후단 스테이지의 캐리 펄스 출력단과의 연결 라인 등)이 배치되는 영역이다.
- [0085] 이와 같이, GIP 구동회로를 표시 영역에 배치함에 따라, 도 7에 도시한 바와 같이, 상기 서브 화소부(R, G, B, W)(33)들을 구동하기 위한 복수개의 데이터 라인들(DL1~DL8), 기준 전압 라인(Vref) 정전압 라인(EVDD)뿐만 아니라 상기 GIP 구동회로를 구동하기 위한 LSP, VRT, GVDD, GVSS0, GVSS1, GVSS2, VST, CRCLK, SCCLK 등의 신호 라인들이 수직 방향으로 배치된다. 즉, 상기 GIP부(31)에 인접한 영역에, 상기 복수개의 데이터 라인들(DL1~DL8)과 평행하게 상기 신호 라인들이 배치된다.
- [0086] 즉, 상기 GIP부(31)에 도 5에 도시된 트랜지스터들(T3qA, T1B, T3q, T4 T41) 중 하나가 배치된다고 가정할 경우, 상기 GIP부(31)에는 GVDD 신호가 인가되어야 한다.
- [0087] 상기 GIP부(31)에 도 5에 도시된 트랜지스터들(T3nC, T3nA, T3A, T5q T5, T5B, T7cr) 중 하나가 배치된다고 가정할 경우, 상기 GIP부(31)에는 GVSS2 신호가 인가되어야 한다.
- [0088] 상기 GIP부(31)에 도 5에 도시된 트랜지스터(T6cr)가 배치된다고 가정할 경우, 상기 GIP부(31)에는 CRCLK(k) 신호가 인가되어야 한다.
- [0089] 상기 GIP부(31)에 도 5에 도시된 트랜지스터(T6)가 배치된다고 가정할 경우, 상기 GIP부(31)에는 SCCLK(k) 신호가 인가되어야 한다.
- [0090] 상기 GIP부(31)에 도 5에 도시된 트랜지스터(T7)가 배치된다고 가정할 경우, 상기 GIP부(31)에는 GVSS0 신호가

인가되어야 한다.

- [0091] 상기 GIP부(31)에 도 5에 도시된 트랜지스터(T4q)가 배치된다고 가정할 경우, 상기 GIP부(31)에는 GVSS1 신호가 인가되어야 한다.
- [0092] 상기 GIP부(31)에 도 5에 도시된 트랜지스터들(TA, TB) 중 하나가 배치된다고 가정할 경우, 상기 GIP부(31)에는 LSP 신호가 인가되어야 한다.
- [0093] 상기 GIP부(31)에 도 5에 도시된 트랜지스터(T5A)가 배치된다고 가정할 경우, 상기 GIP부(31)에는 VRT 신호가 인가되어야 한다.
- [0094] 도 7에서는, 상기 GIP 구동회로를 구동하기 위한 신호 라인들 중 일 예로GVDD 신호 라인만 도시하였다.
- [0095] 이와 같이, GIP 구동회로를 표시 영역에 배치함에 있어, GIP 구동회로의 하나의 스테이지를 구성하는 각 소자들을 연결하는 연결 배선들(Q 노드, Qb 노드, Qh 노드, 전단 스테이지의 캐리 펄스 출력단 및 후단 스테이지의 캐리 펄스 출력단)은 상기 GIP 내부 연결 배선부(32)에 배치되고, 상기 LSP, VRT, GVDD, GVSS0, GVSS1, GVSS2, VST, CRCLK, SCCLK 등의 신호 라인들은 상기 서브 화소부(R, G, B, W)들을 구동하기 위한 복수개의 데이터 라인들(DL1~DL8) 및 기준 전압 라인(Vref)과 같이 수직 방향으로 배치되어야 한다.
- [0096] 이와 같이 구성되는 본 발명에 따른 OLED 표시 패널에서, 상기 GIP부(31)에 구성되는 GIP 구동회로의 하나의 스테이지를 구성하는 임의의 소자를 구체적으로 설명하면 다음과 같다.
- [0097] 도 8은 본 발명의 제 1 실시예에 따른 상기 GIP부(31)에 형성되는 GIP 구동회로의 하나의 스테이지를 구성하는 임의의 소자의 레이 아웃도이다.
- [0098] 도 8에서는, 도 5에서 설명한 GIP구동회로의 (k)번째 스테이지의 회로 중 트랜지스터(T3q)를 예들들어 도시하였다.
- [0099] 도 5에서, 상기 트랜지스터(T3q)의 게이트 전극은 Q 노드에 연결되고, 상기 트랜지스터(T3q)의 드레인 전극은 Qh 노드에 연결되며, 상기 트랜지스터(T3q)의 소오스 전극은 제 1 정전압 라인(GVDD)에 연결된다.
- [0100] 따라서, 도 8에는 GIP 구동회로의 트랜지스터(T3q)의 레이 아웃을 도시하였다.
- [0101] 도 8에 도시한 바와 같이, 기관상에 활성층(A)이 형성되고, 상기 활성층(A)을 포함한 기관 전면에 게이트 절연막(도면에는 도시되지 않음)이 형성되고, 상기 활성층(A) 상측의 게이트 절연막 상에 게이트 전극(G)이 형성된다.
- [0102] 상기 게이트 전극(G) 양측의 상기 활성층(A)에는 불순물 이온 주입 등으로 소오스 영역 및 드레인 영역(도면에는 도시되지 않음)이 형성되고, 상기 게이트 전극(G)을 포함한 기관 전면에 층간 절연막(도면에는 도시되지 않음)이 형성되고, 상기 소오스 영역 및 드레인 영역 상측의 상기 층간 절연막 및 상기 게이트 절연막이 선택적으로 제거되어 각각 콘택 홀이 형성된다.
- [0103] 그리고, 상기 콘택 홀을 통해 상기 소오스 영역 및 드레인 영역에 연결되도록 상기 층간 절연막위에 소오스 전극(S) 및 드레인 전극(D)이 형성된다.
- [0104] 여기서, 상술한 바와 같이, 상기 게이트 전극(G)은 Q 노드에 연결되고, 상기 소오스 전극(S)은 제 1 정전압 라인(GVDD)에 연결되고, 상기 드레인 전극(D)은 Qh 노드에 연결된다.
- [0105] 즉, 상기 서브 화소부(R, G, B, W)들을 구동하기 위한 복수개의 데이터 라인들(DL1~DL8) 및 기준 전압 라인(Vref)과 평행하게 수직 방향으로 배치되는 제 1 정전압 라인(GVDD)은 상기 GIP부(31)로 돌출된 연장 전극부를 구비하고, 상기 연장 전극부와 상기 트랜지스터(T3q)의 상기 소오스 전극(S)이 전기적을 연결된다.
- [0106] 이와 같이, 상기 GIP 구동회로의 스테이지를 구동하기 위한 신호 라인에 연장 전극부가 형성되어, 상기 연장 전극부를 통해 상기 GIP부(31)에 형성되는 GIP 구동회로의 하나의 스테이지를 구성하는 임의의 소자와 전기적으로 연결되므로 상기 GIP부(31)가 차지하는 면적이 크다.
- [0107] 따라서, 상기 적어도 3개의 서브 화소부(33)와 상기 GIP부(31) 사이의 간격을 확보하는데 한계가 있고, 상기 적어도 3개의 서브 화소부(33)와 상기 GIP부(31) 간에 커패시턴스가 발생하게 된다.
- [0108] 그런데, 제조 공정 상, OLED 표시 패널의 전 영역에서 상기 적어도 3개의 서브 화소부(33)와 상기 GIP부(31) 사이의 간격을 일정하게 유지하기 곤란하므로, 상기 적어도 3개의 서브 화소부(33)와 상기 GIP부(31) 간의 커패시

턴스 편차가 발생하게 되고, 이와 같은 커패시턴스의 편차로 인하여 인접 화소 간의 휘도 편차가 야기된다.

- [0109] 이와 같은 상기 적어도 3개의 서브 화소부(33)와 상기 GIP부(31) 간의 커패시턴스의 편차를 줄이기 위해서는, OLED 표시 패널의 전 영역에서 상기 적어도 3개의 서브 화소부(33)와 상기 GIP부(31) 사이의 간격을 일정하게 유지하면 되지만, 제조 공정상 어려움이 있다. 따라서, 상기 적어도 3개의 서브 화소부(33)와 상기 GIP부(31) 사이의 간격을 최대한 넓게 하여야 한다.
- [0110] 따라서, 상기 GIP부의 면적을 줄여서 상기 적어도 3개의 서브 화소부(33)와 상기 GIP부(31) 사이의 간격을 최대한 확보할 수 있는 방안을 제안한다.
- [0111] 도 9는 본 발명의 제 2 실시예에 따른 상기 GIP부(31)에 형성되는 GIP 구동회로의 하나의 스테이지를 구성하는 임의의 소자의 레이아웃도이고, 도 10은 도 9의 I-I'선상의 단면도이며, 도 11은 도 9의 II-II'선상의 단면도이다.
- [0112] 마찬가지로, 도 5에서 설명한 GIP구동회로의 (k)번째 스테이지의 회로 중 트랜지스터(T3q)를 예를 들어 도시하였다.
- [0113] 본 발명의 제 2 실시예에 따른 상기 GIP부에 형성되는 GIP 구동회로의 하나의 스테이지를 구성하는 임의의 소자는, 도 9 내지 도 11에 도시한 바와 같이, 기판(Substrate)상에 GIP 구동회로를 구동하기 위한 LSP, VRT, GVDD, GVSS0, GVSS1, GVSS2, VST, CRCLK, SCCLK 등의 신호 라인들이 수직된 방향으로 형성된다. 도 9 내지 도 11에서는, 상기 신호 라인들의 일 예로 제 1 정전압 라인(GVDD)를 도시하였다.
- [0114] 상기 신호 라인들을 포함한 기판(substrate) 전면에 버퍼층(Buffer)이 형성되고, 상기 GIP부(31) 상의 상기 버퍼층(Buffer) 상에 활성층(A)이 형성되고, 상기 활성층(A)을 포함한 기판 전면에 게이트 절연막(GI)이 형성되며, 상기 활성층(A) 상측의 게이트 절연막(GI) 상에 트랜지스터(T3q)의 게이트 전극(G)이 형성된다. 이때, 상기 활성층(A)은 상기 신호 라인(GVDD)에 중첩되도록 형성된다.
- [0115] 상기 게이트 전극(G) 양측의 상기 활성층(A)에는 불순물 이온 주입 등으로 소오스 영역 및 드레인 영역(N+)이 형성되고, 상기 게이트 전극(G)을 포함한 기판 전면에 층간 절연막(ILD)이 형성되고, 상기 소오스 및 드레인 영역(N+) 상측의 상기 층간 절연막(ILD) 및 상기 게이트 절연막(GI)이 선택적으로 제거되어 각각 제 1콘택 홀(C1)이 형성된다.
- [0116] 그리고, 상기 제 1 콘택 홀(C1)을 통해 상기 소오스 및 드레인 영역(N+)에 연결되도록 상기 층간 절연막(ILD)위에 트랜지스터(T3q)의 소오스 전극(S) 및 트랜지스터(T3q)의 드레인 전극(D)이 형성된다.
- [0117] 여기서, 상술한 바와 같이, 상기 게이트 전극(G)은 Q 노드에 연결되고, 상기 소오스 전극(S)은 제 1 정전압 라인(GVDD)에 연결되고, 상기 드레인 전극(D)은 Qh 노드에 연결된다.
- [0118] 이 때, 상기 소오스 전극(S)은 상기 신호 라인(GVDD)에 중첩되도록 형성되고, 상기 활성층(A)과 중첩되지 않은 영역의 상기 신호 라인(GVDD) 상의 상기 층간 절연막(ILD) 및 상기 게이트 절연막(GI)이 선택적으로 제거되어 제 2 콘택 홀(C2)이 형성되고, 상기 제 2 콘택 홀(C2)를 통해 상기 신호 라인(GVDD)과 상기 소오스 전극(S)이 전기적으로 연결된다.
- [0119] 상기 제 1 콘택 홀(C1)과 상기 제 2 콘택 홀(C2)는 동시에 형성된다.
- [0120] 이와 같이, 상기 GIP 구동회로의 스테이지를 구동하기 위한 신호 라인에 중첩되도록 상기 활성층(A)이 형성되고, 상기 소오스 전극(S)도 상기 신호 라인(GVDD)에 중첩되도록 형성되므로, 상기 GIP부(31)가 차지하는 면적을 본 발명의 제 1 실시예보다 더 줄일 수 있다.
- [0121] 따라서, 본 발명의 제 2 실시예에서는 상기 GIP부(31)가 차지하는 면적을 줄일 수 있으므로, 상기 적어도 3개의 서브 화소부(33)와 상기 GIP부(31) 사이의 간격을 본 발명의 제 1 실시예보다 더 늘릴 수 있다.
- [0122] 이와 같이, 상기 적어도 3개의 서브 화소부(33)와 상기 GIP부(31) 사이의 간격을 늘릴 수 있으므로, 상기 적어도 3개의 서브 화소부(33)와 상기 GIP부(31) 간의 커패시턴스 발생을 방지할 수 있고, 더불어 상기 적어도 3개의 서브 화소부(33)와 상기 GIP부(31) 간의 커패시턴스 편차를 최소화하고 인접 화소 간의 휘도 편차를 방지할 수 있다.
- [0123] 상기 도 9 내지 도 11에서는 상기 트랜지스터(T3q)의 소오스 전극(S)이 상기 제 1 정전압 라인(GVDD)에 중첩됨을 도시하였지만, 이에 한정되지 않는다.

- [0124] 즉, 상기 GIP부(31)에서, GIP 구동회로를 구동하기 위한 LSP, VRT, GVDD, GVSS0, GVSS1, GVSS2, VST, CRCLK, SCCLK 등의 신호 라인들 중 하나와, 상기 표시 영역 내의 단위 화소 영역들에 분산 배치되는 GIP 구동회로의 소자의 임의의 전극이 서로 중첩되도록 설계된다.
- [0125] 예를들면, 상기 GIP부(31)에 도 5에 도시된 트랜지스터들(T3qA, T1B, T3q, T4 T41) 중 하나가 배치된다고 가정할 경우, 상기 GIP부(31)에서, 제 1 정전압 라인(GVDD)과 상기 트랜지스터들이 중첩된다.
- [0126] 구체적으로, 트랜지스터들(T3qA, T1B, T4)는 소오스 전극이 상기 제 1 정전압 라인(GVDD)에 중첩되고, 트랜지스터들(T3q, T41)은 게이트 전극 또는 소오스 전극이 상기 제 1 정전압 라인(GVDD)에 중첩된다.
- [0127] 상기 GIP부(31)에 도 5에 도시된 트랜지스터들(T3nC, T3nA, T3A, T5q T5, T5B, T7cr) 중 하나가 배치된다고 가정할 경우, 상기 트랜지스터들(T3nC, T3nA, T3A, T5q T5, T5B, T7cr)은 제 2 정전압 라인(GVSS2)에 중첩된다.
- [0128] 구체적으로, 상기 트랜지스터들(T3nC, T3nA, T3A, T5q T5, T5B, T7cr)의 드레인 전극들이 제 2 정전압 라인(GVSS2)에 중첩된다.
- [0129] 상기 GIP부(31)에 도 5에 도시된 트랜지스터(T6cr)가 배치된다고 가정할 경우, 상기 트랜지스터(T6cr)는 캐리 펄스 출력용 클럭 신호 라인(CRCLK(k))에 중첩된다.
- [0130] 구체적으로, 상기 트랜지스터(T6cr)의 소오스 전극이 상기 캐리 펄스 출력용 클럭 신호 라인(CRCLK(k))에 중첩된다.
- [0131] 상기 GIP부(31)에 도 5에 도시된 트랜지스터(T6)가 배치된다고 가정할 경우, 상기 트랜지스터(T6)가 스캔 펄스 출력용 클럭 신호 라인(SCCLK(k))에 중첩된다.
- [0132] 구체적으로, 상기 트랜지스터(T6)의 소오스 전극이 상기 스캔 펄스 출력용 클럭 신호 라인(SCCLK(k))에 중첩된다.
- [0133] 상기 GIP부(31)에 도 5에 도시된 트랜지스터(T7)가 배치된다고 가정할 경우, 상기 GIP부(31)에는 GVSS0 신호가 인가되어야 한다.
- [0134] 상기 GIP부(31)에 도 6에 도시된 트랜지스터(T4q)가 배치된다고 가정할 경우, 상기 트랜지스터(T7)가 제 3 정전압 라인(GVSS1)에 중첩된다.
- [0135] 구체적으로, 상기 트랜지스터(T7)의 드레인 전극이 상기 제 3 정전압 라인(GVSS1)에 중첩된다.
- [0136] 상기 GIP부(31)에 도 5에 도시된 트랜지스터들(TA, TB) 중 하나가 배치된다고 가정할 경우, 상기 트랜지스터들(TA, TB)은 라인 선택 신호 라인(LSP)에 중첩된다.
- [0137] 구체적으로, 상기 트랜지스터들(TA, TB)의 게이트 전극들이 상기 라인 선택 신호 라인(LSP)에 중첩된다.
- [0138] 상기 GIP부(31)에 도 5에 도시된 트랜지스터(T5A)가 배치된다고 가정할 경우, 상기 트랜지스터(T5A)가 실시간 보상용 신호 라인(VRT)에 중첩된다.
- [0139] 구체적으로, 상기 트랜지스터(T5A)의 게이트 전극이 상기 실시간 보상용 신호 라인(VRT)에 중첩된다.
- [0140] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

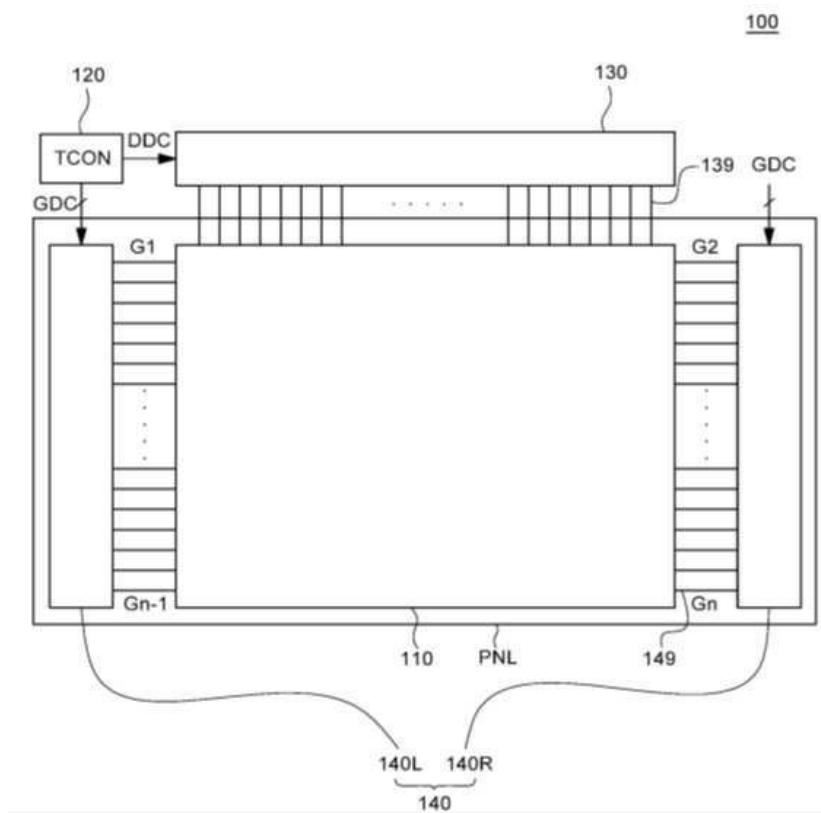
부호의 설명

- [0141] A: 활성층 G: 게이트 전극
D: 드레인 전극 S: 소오스 전극
C1, C2: 콘택 홀 GI: 게이트 절연막
Buffer: 버퍼층 GVDD: 정전압 라인
ILD: 층간 절연막 Substrate: 기판
31: GIP부 32: GIP 내부 연결 배선부

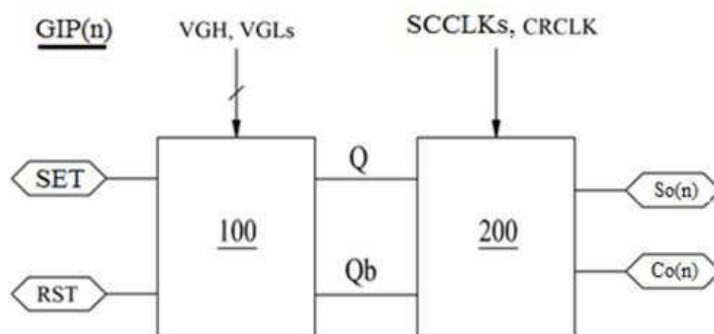
33: 적어도 3개의 서브 화소부

도면

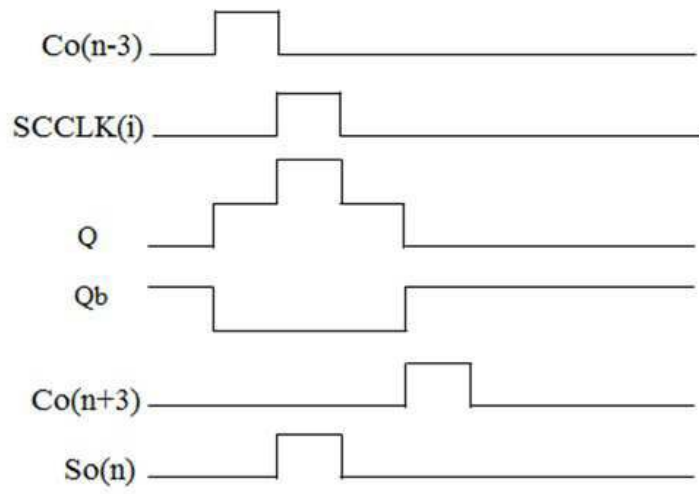
도면1



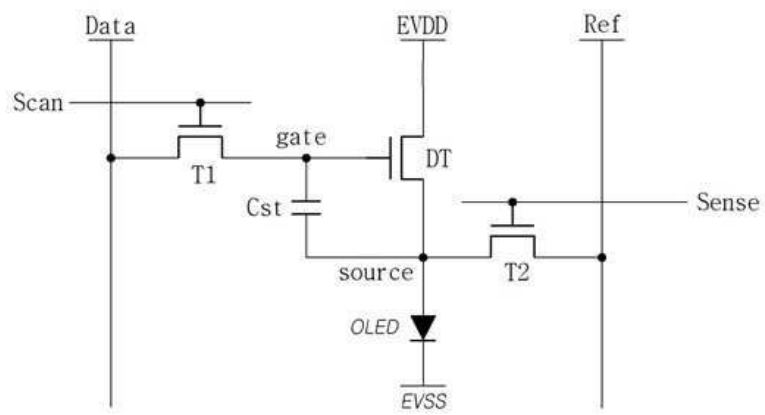
도면2



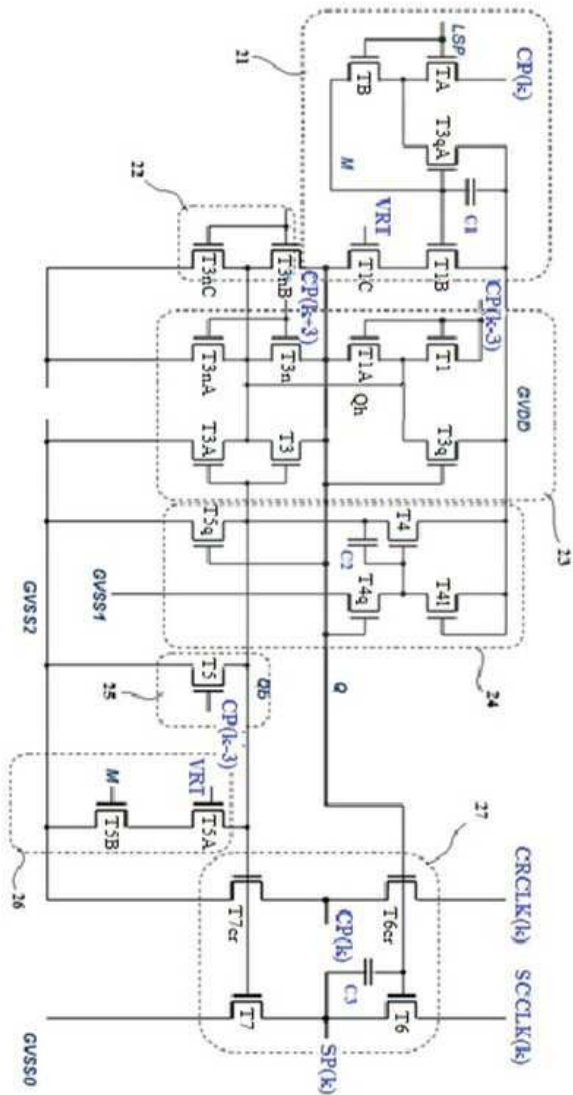
도면3



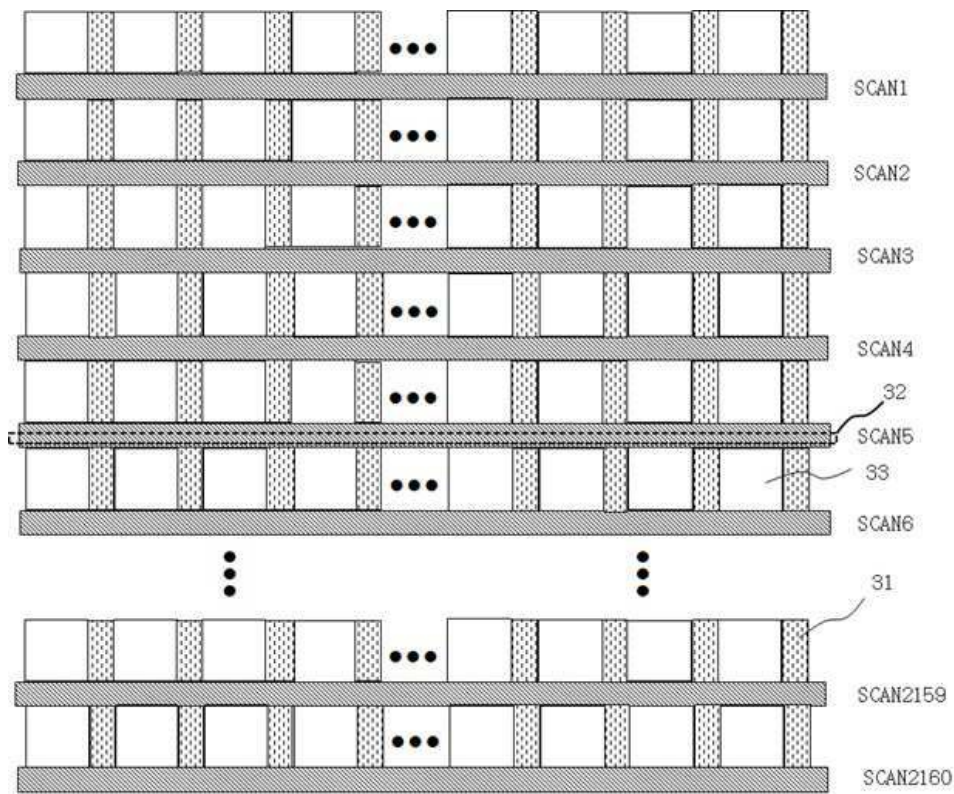
도면4



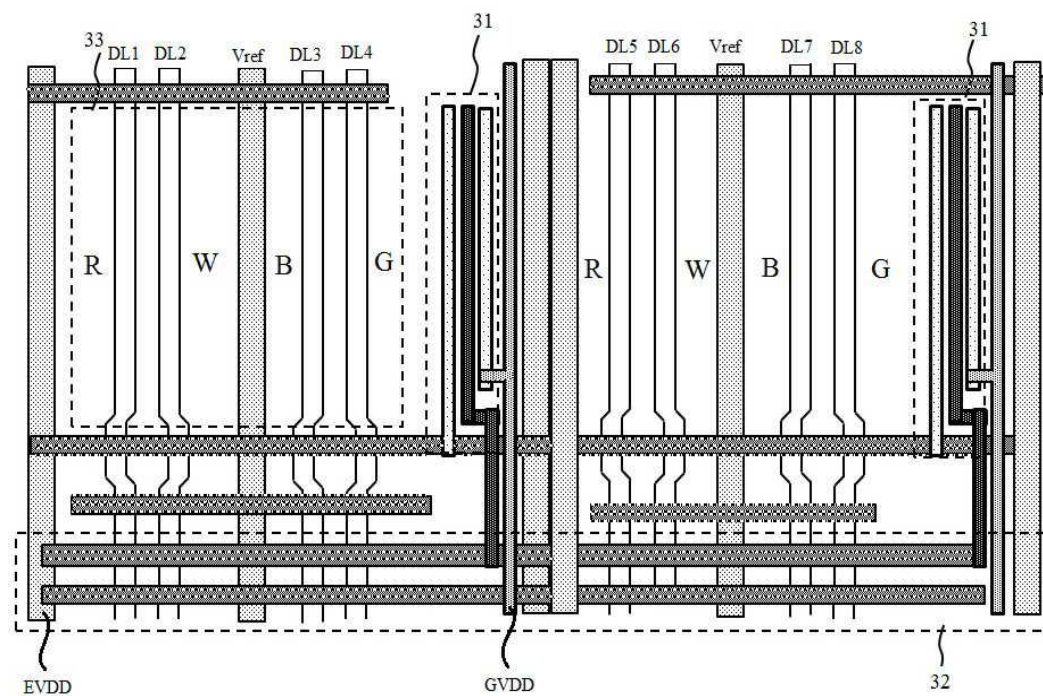
도면5



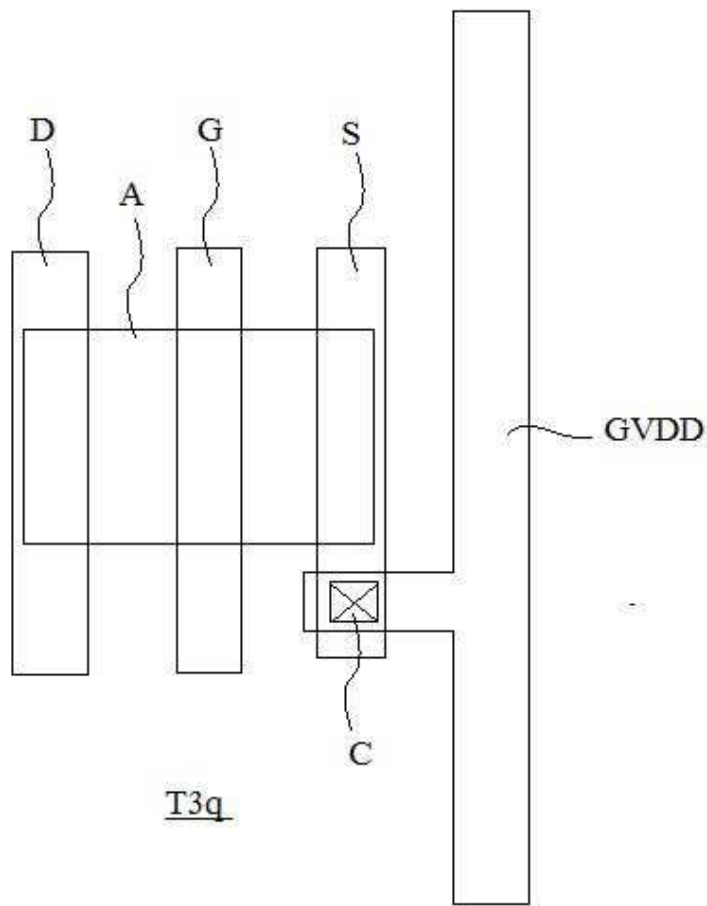
도면6



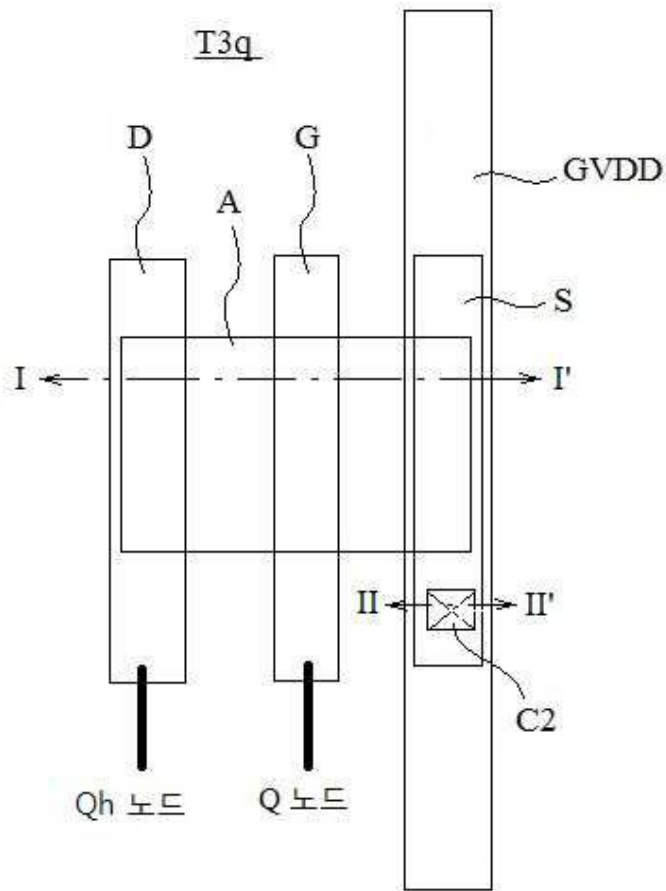
도면7



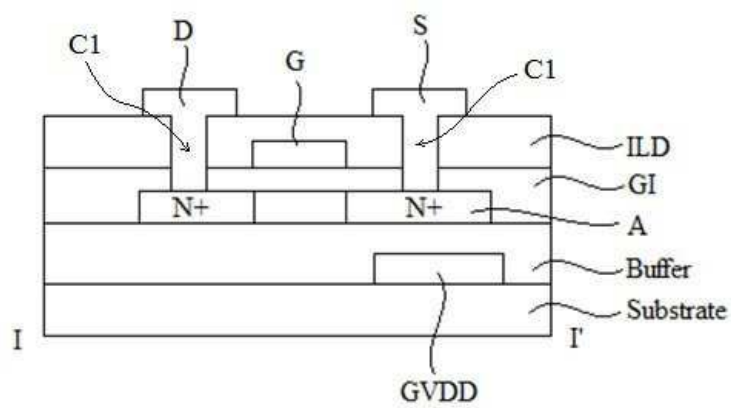
도면8



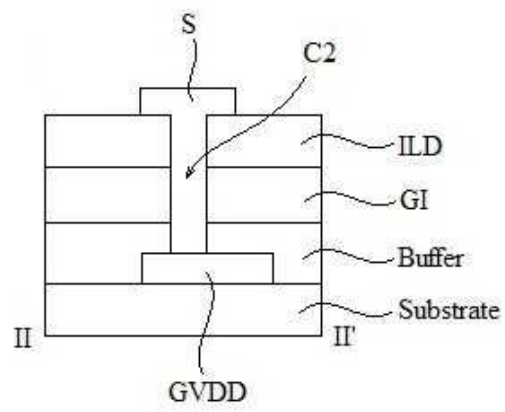
도면9



도면10



도면11



专利名称(译)	OLED显示屏		
公开(公告)号	KR1020190061357A	公开(公告)日	2019-06-05
申请号	KR1020170159651	申请日	2017-11-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김인준 신헌기 반명호		
发明人	김인준 신헌기 반명호		
IPC分类号	G09G3/3266 G09G3/3233 H01L27/32		
CPC分类号	G09G3/3266 G09G3/3233 H01L27/3211 H01L27/3276 G09G2230/00 G09G2300/0408 G09G2300/0426 G09G2300/0842 G09G2310/0262 G09G2320/0233		
代理人(译)	Bakyoungbok		
外部链接	Espacenet		

摘要(译)

OLED显示面板技术领域本发明涉及一种OLED显示面板，其中在显示区域中布置GIP驱动电路以最小化边框，并且最小化相邻像素之间的亮度偏差，并且在每个交叉点处相交并布置数据线和扫描线。显示区域包括子像素；以及一种GIP驱动电路，其具有分布在显示区域的单位像素区域中的多个级并且向对应的栅极线提供扫描脉冲，其中，单位像素区域包括至少三个子像素部分和GIP。并且，在其中布置有构成驱动电路的一个元件的GIP部分，以及在其中布置了连接GIP驱动电路的元件的连接线的GIP内部连接布线部分，并且该GIP部分具有用于驱动该GIP驱动电路的信号。布置线，并且构成GIP驱动电路的装置的电极之一布置为与信号线交叠。

