(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0061356
(43) 공개일자 2019년06월05일

(51) 국제특허분류(Int. Cl.)
G09G 3/3266 (2016.01) *G09G 3/3233* (2016.01)
(52) CPC특허분류
G09G 3/3266 (2013.01)
G09G 3/3233 (2013.01)
(21) 출원번호 10-2017-0159650
(22) 출원일자 2017년11월27일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김경민
경기도 파주시 월롱면 엘지로 245
한인효
경기도 파주시 월롱면 엘지로 245
신헌기
경기도 파주시 월롱면 엘지로 245
(74) 대리인
박영복

전체 청구항 수 : 총 9 항

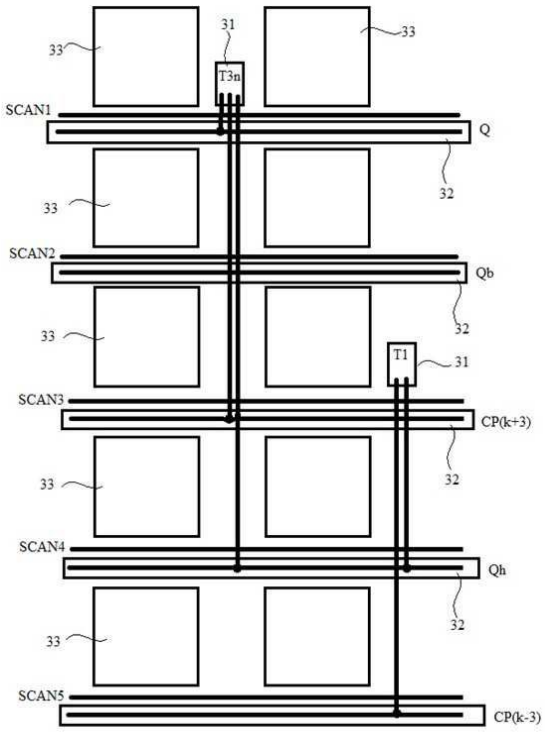
(54) 발명의 명칭 **OLED 표시패널**

(57) 요 약

본 발명은 베젤을 최소화하기 위하여 GIP 구동회로를 표시 영역에 배치하고, 상기 GIP 구동회로를 구성하기 위한 신호 연결 라인을 최소화 하기 위한 OLED 표시패널에 관한 것으로, 데이터 라인들과 스캔 라인들이 교차되고, 상기 각 교차부에 배치된 서브 화소들을 포함한 표시 영역; 및 상기 표시 영역 내의 m개(m은 자연수)의 스캔 라인

(뒷면에 계속)

대 표 도 - 도10



들에 의해 구동되는 단위 화소 영역들에 분산 배치되어 해당 스캔 라인에 스캔 펄스를 공급하는 GIP구동회로의 스테이지를 구비하고, 상기 스테이지는 전단의 캐리 펄스 및 후단의 캐리 펄스에 의해 제 1 노드 및 제 2 노드의 전압 레벨을 제어하는 논리부와, 상기 제 1 노드 및 상기 제 2 노드의 전압 레벨에 따라 입력되는 캐리 펄스 출력용 클럭 신호를 캐리 펄스로 출력하는 캐리 펄스 출력부와, 상기 제 1 노드 및 상기 제 2 노드의 전압 레벨에 따라 입력되는 스캔 펄스 출력용 클럭 신호를 스캔 펄스로 상기 m개의 스캔 라인에 각각 출력하는 m개의 스캔 펄스 출력부를 구비함에 그 특징이 있다.

(52) CPC특허분류
G09G 2230/00 (2013.01)
G09G 2300/0408 (2013.01)
G09G 2300/0842 (2013.01)
G09G 2310/0262 (2013.01)

명 세 서

청구범위

청구항 1

데이터 라인들과 스캔 라인들이 교차되고, 상기 각 교차부에 배치된 서브 화소들을 포함한 표시 영역; 및

상기 표시 영역 내의 m개(m은 자연수)의 스캔 라인들에 의해 구동되는 단위 화소 영역들에 분산 배치되어 해당 스캔 라인에 스캔 펄스를 공급하는 GIP구동회로의 스테이지를 구비하고,

상기 스테이지는 전단의 캐리 펄스 및 후단의 캐리 펄스에 의해 제 1 노드 및 제 2 노드의 전압 레벨을 제어하는 논리부와,

상기 제 1 노드 및 상기 제 2 노드의 전압 레벨에 따라 입력되는 캐리 펄스 출력용 클럭 신호를 캐리 펄스로 출력하는 캐리 펄스 출력부와,

상기 제 1 노드 및 상기 제 2 노드의 전압 레벨에 따라 입력되는 스캔 펄스 출력용 클럭 신호를 스캔 펄스로 상기 m개의 스캔 라인에 각각 출력하는 m개의 스캔 펄스 출력부를 구비하는 OLED 표시패널.

청구항 2

제 1 항에 있어서,

상기 m개의 스캔 라인들 각각에 인접한 영역에 m개의 GIP 내부 연결 배선부가 구비되고,

상기 스테이지를 구성하는 단위 소자들 간의 연결하기 위한 복수개의 내부 연결 라인이 상기 m개의 GIP 내부 연결 배선부에 분산 배치되는 OLED 표시패널.

청구항 3

제 1 항에 있어서,

상기 단위 화소 영역은 적어도 3개의 서브 화소부와, 상기 GIP 구동회로의 스테이지를 구성하는 하나의 소자가 배치되는 GIP부를 구비하고,

상기 m개의 GIP 내부 연결 배선부에 배치되는 상기 복수개의 내부 연결 라인들은 상기 GIP부 영역으로 연장되어 상기 스테이지를 구성하는 단위 소자들과 전기적을 연결되는 OLED 표시패널.

청구항 4

데이터 라인들과 스캔 라인들이 교차되고, 상기 각 교차부에 배치된 서브 화소들을 포함한 표시 영역; 및

상기 표시 영역 내의 5개의 스캔 라인들에 의해 구동되는 단위 화소 영역들에 분산 배치되어 해당 스캔 라인에 스캔 펄스를 공급하는 GIP구동회로의 스테이지를 구비하고,

상기 스테이지는 전단의 캐리 펄스 및 후단의 캐리 펄스에 의해 제 1 노드 및 제 2 노드의 전압 레벨을 제어하는 논리부와,

상기 제 1 노드 및 상기 제 2 노드의 전압 레벨에 따라 입력되는 캐리 펄스 출력용 클럭 신호를 캐리 펄스로 출력하는 캐리 펄스 출력부와,

상기 제 1 노드 및 상기 제 2 노드의 전압 레벨에 따라 입력되는 제 1 내지 제 5 스캔 펄스 출력용 클럭 신호들 각각 스캔 펄스로 상기 5개의 스캔 라인에 각각 출력하는 제 1 내지 제 5 스캔 펄스 출력부를 구비하는 OLED 표시패널.

청구항 5

제 4 항에 있어서,

상기 5개의 스캔 라인들 각각에 인접한 영역에 5개의 GIP 내부 연결 배선부가 구비되고,

상기 GIP 내부 연결 배선부 각각에 상기 스테이지를 구성하는 단위 소자들 간의 연결하기 위한 Q 노드, Qb 노드, Qh 노드, 전단 스테이지의 캐리 펄스 출력단 및 후단 스테이지의 캐리 펄스 출력단이 분산 배치되는 OLED 표시패널.

청구항 6

제 4 항에 있어서,

상기 단위 화소 영역은 적어도 3개의 서브 화소부와, 상기 GIP 구동회로의 스테이지를 구성하는 하나의 소자가 배치되는 GIP부를 구비하고,

상기 5개의 GIP 내부 연결 배선부에 배치되는 상기 Q 노드, 상기 Qb 노드, 상기 Qh 노드, 상기 전단 스테이지의 캐리 펄스 출력단 및 상기 후단 스테이지의 캐리 펄스 출력단은 상기 GIP부 영역으로 연장되어 상기 스테이지를 구성하는 단위 소자들과 전기적을 연결되는 OLED 표시패널.

청구항 7

데이터 라인들과 스캔 라인들이 교차되고, 상기 각 교차부에 배치된 서브 화소들을 포함한 표시 영역; 및

상기 표시 영역 내의 2개의 스캔 라인들에 의해 구동되는 단위 화소 영역들에 분산 배치되어 해당 스캔 라인에 스캔 펄스를 공급하는 GIP구동회로의 스테이지를 구비하고,

상기 스테이지는 전단의 캐리 펄스 및 후단의 캐리 펄스에 의해 제 1 노드 및 제 2 노드의 전압 레벨을 제어하는 논리부와,

상기 제 1 노드 및 상기 제 2 노드의 전압 레벨에 따라 입력되는 캐리 펄스 출력용 클럭 신호를 캐리 펄스로 출력하는 캐리 펄스 출력부와,

상기 제 1 노드 및 상기 제 2 노드의 전압 레벨에 따라 입력되는 제 1 내지 제 2 스캔 펄스 출력용 클럭 신호들 각각 스캔 펄스로 상기 2개의 스캔 라인에 각각 출력하는 제 1 내지 제 2 스캔 펄스 출력부를 구비하는 OLED 표시패널.

청구항 8

제 7 항에 있어서,

상기 2개의 스캔 라인들 각각에 인접한 영역에 2개의 GIP 내부 연결 배선부가 구비되고,

상기 2개의 GIP 내부 연결 배선부에 상기 스테이지를 구성하는 단위 소자들 간의 연결하기 위한 Q 노드, Qb 노드, Qh 노드, 전단 스테이지의 캐리 펄스 출력단 및 후단 스테이지의 캐리 펄스 출력단이 분산 배치되는 OLED 표시패널.

청구항 9

데이터 라인들과 스캔 라인들이 교차되고, 상기 각 교차부에 배치된 서브 화소들을 포함한 표시 영역; 및

상기 표시 영역 내의 3개의 스캔 라인들에 의해 구동되는 단위 화소 영역들에 분산 배치되어 해당 스캔 라인에 스캔 펄스를 공급하는 GIP구동회로의 스테이지를 구비하고,

상기 스테이지는 전단의 캐리 펄스 및 후단의 캐리 펄스에 의해 제 1 노드 및 제 2 노드의 전압 레벨을 제어하는 논리부와,

상기 제 1 노드 및 상기 제 2 노드의 전압 레벨에 따라 입력되는 캐리 펄스 출력용 클럭 신호를 캐리 펄스로 출력하는 캐리 펄스 출력부와,

상기 제 1 노드 및 상기 제 2 노드의 전압 레벨에 따라 입력되는 제 1 내지 제 3 스캔 펄스 출력용 클럭 신호들 각각 스캔 펄스로 상기 3개의 스캔 라인에 각각 출력하는 제 1 내지 제 3 스캔 펄스 출력부를 구비하는 OLED 표시패널.

발명의 설명

기 술 분 야

[0001] 본 발명은 화소 어레이 내에 GIP구동 회로의 스테이지가 배치되는 OLED 표시 패널에 있어서, 상기 GIP구동회로를 구성하기 위한 신호 연결 라인을 갖는 OLED 표시패널에 관한 것이다.

배 경 기 술

[0002] 정보화 사회가 발전하고, 이동통신 단말기 및 노트북 컴퓨터와 같은 각종 휴대용 전자기기가 발전함에 따라 이에 적용할 수 있는 평판 표시 장치(Flat Panel Display Device)에 대한 요구가 점차 증대되고 있다.

[0003] 이와 같은 평판 표시 장치로는, 액정을 이용한 액정 표시 장치(LCD: Liquid Crystal Display)와 유기 발광 다이오드(Organic Light Emitting Diode; 이하 OLED)를 이용한 OLED 표시 장치가 활용되고 있다.

[0004] 이러한 평판 표시 장치들은 영상을 표시하기 위해 복수개의 게이트 라인들 및 복수개의 데이터 라인들을 구비한 표시 패널과, 상기 표시 패널을 구동하기 위한 구동회로로 구성된다.

[0005] 상기와 같은 표시 장치들 중 액정 표시 장치의 표시 패널은, 유리 기판상에 박막트랜지스터 어레이가 형성되는 박막트랜지스터 어레이 기판과, 유리 기판상에 칼라 필터 어레이가 형성되는 칼라 필터 어레이 기판과, 상기 박막트랜지스터 어레이 기판과 상기 칼라 필터 어레이 기판 사이에 충진된 액정층을 구비한다.

[0006] 상기 박막 트랜지스터 어레이 기판은, 제1방향으로 연장되는 복수개의 게이트 라인들(GL)과, 제1방향과 수직인 제2방향으로 연장되는 복수개의 데이터 라인들(DL)을 포함하며, 각 게이트 라인과 각 데이터 라인에 의하여 하나의 서브 화소 영역(Pixel; P)이 정의된다. 하나의 서브 화소 영역(P) 내에는 하나의 박막 트랜지스터와 화소 전극이 형성된다.

[0007] 이러한 액정 표시 장치의 표시 패널은, 전기장 생성 전극 (화소 전극 및 공통 전극)에 전압을 인가하여 상기 액정층에 전기장을 생성하고, 상기 전기장에 의해 액정층의 액정 분자들의 배열 상태를 조절하여 입사광의 편광을 제어함으로써 영상을 표시한다.

[0008] 또한, 상기와 같은 표시 장치들 중 OLED 표시 장치의 표시 패널은, 상기 복수개의 게이트 라인들과 복수개의 데이터 라인들이 교차하여 서브 화소가 정의되고, 각 서브 화소들은, 애노드 및 캐소드와 상기 애노드 및 캐소드 사이의 유기 발광층으로 구성된 OLED와, 상기 OLED를 독립적으로 구동하는 화소 회로를 구비한다.

[0009] 상기 화소 회로는 다양하게 구성될 수 있으나, 적어도 하나의 스위칭 TFT, 커패시터 및 구동 TFT를 포함한다.

[0010] 상기 적어도 하나의 스위칭 TFT는 스캔 펄스에 응답하여 데이터 전압을 상기 커패시터에 충전한다. 상기 구동 TFT는 상기 커패시터에 충전된 데이터 전압에 따라 OLED로 공급되는 전류량을 제어하여 OLED의 발광량을 조절한다.

[0011] 이러한 표시 장치용 표시 패널은, 사용자에게 이미지를 제공하는 표시 영역(active area, AA)과 상기 표시영역(AA)의 주변 영역인 비표시 영역(non-active area, NA)으로 정의된다.

[0012] 또한, 상기 표시 패널을 구동하기 위한 상기 구동회로는 상기 표시 패널의 상기 복수개의 게이트 라인(스캔 라인)들에 게이트 펄스(또는 스캔 펄스)를 순차적으로 공급하는 게이트 구동 회로와, 상기 표시 패널의 상기 복수개의 데이터 라인들에 데이터 전압을 공급하는 데이터 구동 회로와, 상기 게이트 구동 회로와 상기 데이터 구동 회로에 영상 데이터 및 각종 제어신호를 공급하는 타이밍 콘트롤러 등으로 이루어진다.

[0013] 상기 게이트 구동 회로는, 적어도 하나의 게이트 드라이브 IC로 구성될 수도 있지만, 상기 표시 패널의 상기 복수개의 신호 라인 (게이트 라인들 및 데이터 라인들)과 서브 화소를 형성하는 과정에서 상기 표시 패널의 비표시 영역상에 동시에 형성될 수 있다.

[0014] 즉, 상기 게이트 구동 회로를 상기 표시 패널에 직접화시키는 게이트-인-패널(Gate-In-Panel; 이하 "GIP"라고도 함) 방식이 적용되고 있다.

[0015] 상기와 같은 게이트 구동 회로는 각 게이트 라인들에 스캔 펄스를 순차적으로 공급하기 위하여, 게이트 라인의 개수 이상의 복수개의 스테이지(stage)를 포함하여 구성되고, 구동 특성을 향상시키기 위하여 산화물 반도체 박막트랜지스터들을 이용한다.

[0016] 즉, 상기 게이트 구동 회로는 종속적으로 접속된 복수개의 스테이지를 포함한다. 그리고, 각 스테이지(GIP)는 각 게이트 라인(스캔 라인)에 연결되어, 상기 타이밍 콘트롤러로부터 인가되는 클럭신호, 게이트 스타트 신호,

게이트 하이 전압 및 게이트 로우 전압을 수신하여, 하나의 캐리 펄스와 하나의 스캔 펄스를 생성하는 출력부를 포함한다.

[0017] 도 1은 종래의 OLED 표시 장치의 구동회로 및 구동회로의 관계를 나타내는 블록도이다.

[0018] 도 1을 참조하면, OLED 표시 장치(100)는 OLED 표시 패널(PNL)과 상기 OLED 표시 패널(PNL)의 화소 어레이(pixel array)(110)에 입력 영상의 데이터를 입력하기 위한 구동회로를 포함한다.

[0019] 상기 OLED 표시패널(PNL)은 서로 교차하여 배열되는 복수의 게이트 라인(149) 및 복수의 데이터 라인(139)과, 상기 복수의 게이트 라인(149) 및 복수의 데이터 라인(139)에 의해 정의된 매트릭스 형태의 서브 화소들이 배치된 화소 어레이(110)를 포함한다.

[0020] 상기 각 서브 화소는, 애노드 및 캐소드와 상기 애노드 및 캐소드 사이의 유기 발광층으로 구성된 유기 발광 다이오드(Organic Light Emitting Diode; OLED)와, 상기 OLED를 독립적으로 구동하는 화소 회로를 구비한다.

[0021] 상기 화소 회로는 다양하게 구성될 수 있으나, 적어도 하나의 스위칭 TFT, 커패시터 및 구동 TFT를 포함한다.

[0022] 상기 OLED 표시패널(PNL)를 구동하는 구동회로는 비표시 영역에 형성되어 복수의 데이터 라인(139)에 데이터 전압을 공급하는 데이터 구동회로(130)와, 상기 비표시 영역에 형성되어 상기 데이터 전압에 동기되는 게이트(스캔) 신호를 복수의 게이트 라인(149)에 순차적으로 공급하는 GIP(Gate In Panel) 구동회로(140), 그리고 타이밍 콘트롤러(Timing Controller, TCON)(120)를 포함한다.

[0023] 상기 타이밍 콘트롤러(120)는, 인쇄회로기판(PCB)에 배치되고, 외부의 호스트 시스템으로부터 수신된 입력 영상의 데이터를 정렬하여 데이터 구동회로(130)에 공급한다. 또한, 상기 타이밍 콘트롤러(120)는 상기 외부의 시스템으로부터 입력 영상에 동기되는 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호 및 도트 클럭 등의 타이밍 신호를 수신하여 상기 데이터 구동회로(130)와 상기 GIP 구동회로(140)의 동작 타이밍을 제어하기 위한 제어 신호(Data Driver Control signal; DDC, Gate Driver Control signal; GDC)를 생성한다.

[0024] 상기 데이터 구동회로(130)는 타이밍 콘트롤러(120)로부터 입력 영상의 데이터와 데이터 드라이버 제어 신호(DDC)를 수신하여 입력된 영상의 데이터를 감마 보상 전압으로 변환하여 데이터 전압을 생성하고, 데이터 전압을 복수의 데이터 라인(150)으로 출력한다.

[0025] 상기 데이터 구동회로(130)는 복수의 소스 전극 드라이버 IC(Integrated Circuit)를 포함하고, 각 소스 전극 드라이브IC는 COF(Chip On Film)으로 구성되어 상기 타이밍 콘트롤러(120)가 실장되는 상기 인쇄회로기판의 패드부와 상기 표시패널(PNL)의 패드부 사이에 연결된다.

[0026] 상기 GIP 구동회로(140)는 구동방식에 따라 표시 패널(PNL)의 일측 가장자리에 배치되거나 양측 가장자리에 배치될 수 있다. 도 1에 도시된 게이트 구동회로는, 인터레이스(Interlace) 방식의 GIP 구동회로(140)로서, 표시 패널(PNL)의 좌측에 배치된 제1 GIP 구동회로(140L) 및 표시 패널(PNL)의 우측에 배치된 제2 GIP 구동회로(140R)를 구비한다.

[0027] 상기 GIP 구동회로(140)는 적어도 하나의 게이트 드라이브 IC로 구성될 수도 있지만, 상기 OLED 표시패널(PNL)의 화소 어레이(110)를 구성하는 상기 복수개의 신호 라인 (게이트 라인들 및 데이터 라인들)과 서브 화소를 형성하는 과정에서 상기 표시 패널의 비표시 영역상에 동시에 형성될 수 있다.

[0028] 즉, 상기 게이트 구동 회로를 상기 표시 패널에 직접화시키는 게이트-인-패널(Gate-In-Panel; 이하 "GIP"라고도 함) 방식이 적용되고 있다.

[0029] 상기 GIP 구동회로(140)는 상기 타이밍 컨트롤러(120)로부터 전송된 제어 신호(GDC)에 따라 각 게이트 라인(149)에 순차적으로 게이트(스캔) 신호를 공급한다.

[0030] 상기와 같은 GIP 구동회로(140)는 각 게이트 라인들에 스캔 펄스를 순차적으로 공급하기 위하여, 게이트 라인의 개수 이상의 복수개의 스테이지(stage; 이하 "GIP"로 표현한다)를 포함하여 구성되고, 구동 특성을 향상시키기 위하여 산화물 반도체 박막트랜지스터들을 이용한다.

[0031] 즉, 상기 GIP 구동회로(140)는 종속적으로 접속된 복수개의 스테이지(GIP)를 포함한다. 그리고, 각 스테이지(GIP)는 각 게이트 라인에 연결되어, 상기 타이밍 콘트롤러로부터 인가되는 클럭신호, 게이트 스타트 신호, 게이트 하이 전압 및 게이트 로우 전압을 수신하여, 하나의 캐리 펄스와 하나의 스캔 펄스를 생성하는 출력부를 포함한다.

[0032] 도2는 일반적인 (n)번째 스테이지(GIP)의 구성 블럭도이다.

[0033] 상기 각 스테이지(GIP)는, 도 2에 도시한 바와 같이, 스타트 펄스(start pulse) 또는 전단의 스테이지(GIP)에서 출력되는 캐리 펄스(SET)에 의해 셋팅되고, 후단의 스테이지(GIP)에서 출력되는 캐리 펄스(RST)에 의해 리셋팅되어 제 1 및 제 2 노드(Q, Qb)의 전압을 제어하는 노드 제어부(100)와, 다수의 스캔 펄스 출력용 클럭신호(SCCLKs) 중 하나의 스캔 펄스 출력용 클럭신호와 상기 다수의 캐리 펄스 출력용 클럭신호(CRCLKs) 중 하나의 캐리 펄스 출력용 클럭 신호를 수신하여, 상기 제 1 및 제 2 노드(Q, Qb)의 전압 레벨에 따라 하나의 스캔 펄스((So(n)) 및 하나의 캐리 펄스(Co(n))를 출력하는 출력부(200)를 포함하여 구성된다.

[0034] 6상의 클럭 신호에 의해 구동되는 스테이지(GIP)의 경우, 상기 노드 제어부(100)는 3번째 전단의 스테이지(GIP)에서 출력되는 캐리 펄스(Co(n-3))에 의해 셋팅되고, 3번째 후단의 스테이지(GIP)에서 출력되는 캐리 펄스(Co(n+3))에 의해 리셋팅되어 제 1 및 제 2 노드(Q, Qb)의 전압을 제어한다.

[0035] 도면에는 도시되지 않았지만, 상기 스테이지(GIP)의 출력부(200)는, 캐리 펄스 출력부 및 스캔 펄스 출력부를 구비하여 구성된다.

[0036] 상기 캐리 펄스 출력부는 복수개의 캐리용 클럭 신호 중 하나의 캐리 펄스 출력용 클럭 신호가 인가되는 캐리 펄스 출력용 클럭 신호 단과 제 1 게이트 로우 전압단(VGL1) 사이에 직렬 연결되는 제 1 풀업 트랜지스터 및 제 1 풀다운 트랜지스터를 구비하여 구성된다.

[0037] 상기 제 1 풀업 트랜지스터는 상기 제 1 노드(Q)의 전압 레벨에 따라 온/오프되고, 상기 제 1 풀다운 트랜지스터는 상기 제 2 노드(Qb)의 전압 레벨에 따라 온/오프되어 상기 입력된 캐리 펄스 출력용 클럭 신호를 캐리 펄스(Co(n))로 출력한다.

[0038] 상기 스캔 펄스 출력부는 복수개의 스캔 펄스 출력용 클럭 신호 중 하나의 스캔 펄스 출력용 클럭 신호가 인가되는 스캔 펄스 출력용 클럭 신호 단과 제 2 게이트 로우 전압단(VGL2) 사이에 직렬 연결되는 제 2 풀업 트랜지스터 및 제 2 풀다운 트랜지스터와, 상기 제 2 풀업 트랜지스터의 게이트 전극과 소오스 전극 사이에 연결되는 부트스트랩(bootstrap) 커패시터를 구비하여 구성된다.

[0039] 상기 제 2 풀업 트랜지스터는 상기 제 1 노드(Q)의 전압 레벨에 따라 온/오프되고, 상기 제 2 풀다운 트랜지스터는 상기 제 2 노드(Qb)의 전압 레벨에 따라 온/오프되어 상기 입력된 스캔 펄스 출력용 클럭 신호를 스캔 펄스(So(n))로 출력한다.

[0040] 도 3은 도 2에 도시된 (n) 번째 스테이지(GIP)의 동작을 보여 주는 파형도이다.

[0041] 도 3에서는, 상술한 바와 같이, 상기 노드 제어부(100)는 3번째 전단의 스테이지(GIP)에서 출력되는 캐리 펄스(Co(n-3))에 의해 셋팅되고, 3번째 후단의 스테이지(GIP)에서 출력되는 캐리 펄스(Co(n+3))에 의해 리셋팅되어 제 1 및 제 2 노드(Q, Qb)의 전압을 제어함을 도시한 것이다.

[0042] 상기 (n)번째 스테이지(GIP(n))는 3번째 전단의 스테이지(GIP)에서 출력되는 캐리 펄스(Co(n-3))에 의해 셋팅되어 상기 제 1 노드(Q)를 게이트 하이 전압(VGH)으로 충전하고, 상기 제 2 노드(Qb)를 게이트 로우 전압(VGL) 상태로 방전한다. 따라서, 상기 캐리 펄스 출력부의 제 1 풀업 트랜지스터와 상기 스캔 펄스 출력부의 제 2 풀업 트랜지스터는 턴-온 되고, 상기 캐리 펄스 출력부의 제 1 풀다운 트랜지스터와 상기 스캔 펄스 출력부의 제 2 풀다운 트랜지스터는 턴-오프 된다.

[0043] 그리고, 상기 캐리 펄스 출력부의 제 1 풀업 트랜지스터의 드레인 전극과 상기 스캔 펄스 출력부의 제 2 풀업 트랜지스터의 드레인 전극에는 동일 위상을 갖는 클럭 신호(CRCLK, SCCLK)가 인가된다.

[0044] 상기 제 1 풀업 트랜지스터의 드레인 전극과 상기 제 2 풀업 트랜지스터의 드레인 전극에 하이 레벨의 클럭 신호(CRCLK, SCCLK)가 인가되면, 상기 부트스트랩 커패시터에 의해 상기 플로팅된 제 1 노드(Q)의 전압이 부트스트래핑되어 2VGH 만큼 상승된다.

[0045] 이와 같이 상기 제 1 노드(Q)가 브트스트랩핑된 상태에서, 상기 캐리 펄스 출력부 및 상기 스캔 펄스 출력부는 입력되는 클럭 펄스(CRCLK, SCCLK)를 각각 캐리 펄스(Co(n)) 및 스캔 펄스(So(n))로 출력한다.

[0046] 그리고, 상기 3번째 후단 스테이지(GIP)에서 출력되는 캐리 펄스(Co(n+3))에 의해 리셋되어 상기 제 1 노드(Q)는 로우 상태가 되고, 상기 제 2 노드(Qb)를 하이 상태가 된다. 따라서, 상기 캐리 펄스 출력부의 제 1 풀업 트랜지스터와 상기 스캔 펄스 출력부의 제 2 풀업 트랜지스터는 턴-오프 되고, 상기 캐리 펄스 출력부의 제 1 풀다운 트랜지스터와 상기 스캔 펄스 출력부의 제 2 풀다운 트랜지스터는 턴-온 되어, 캐리 펄스(Co(n)) 및 스캔

펄스(So(n))로 게이트 로우 전압(VGL)을 출력한다.

[0047] 그러나, 이와 같이 종래의 OLED 표시패널은 상기 GIP 구동 회로가 상기 표시 패널의 비표시 영역에 직접화되므로, 표시장치의 네로우 베젤(Narrow bezel) 설계가 어렵다.

발명의 내용

해결하려는 과제

[0048] 본 발명은 상기와 같은 종래의 문제점을 해결하기 위한 것으로, 베젤을 최소화하기 위하여 GIP 구동회로를 표시 영역에 배치하고, 상기 GIP 구동회로를 구성하기 위한 신호 연결 라인을 최소화 하기 위한 OLED 표시패널을 제공하는데 그 목적이 있다.

과제의 해결 수단

[0049] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 OLED 표시 패널은, 데이터 라인들과 스캔 라인들이 교차되고, 상기 각 교차부에 배치된 서브 화소들을 포함한 표시 영역; 및 상기 표시 영역 내의 m개(m은 자연수)의 스캔 라인들에 의해 구동되는 단위 화소 영역들에 분산 배치되어 해당 스캔 라인에 스캔 펄스를 공급하는 GIP구동회로의 스테이지를 구비하고, 상기 스테이지는 전단의 캐리 펄스 및 후단의 캐리 펄스에 의해 제 1 노드 및 제 2 노드의 전압 레벨을 제어하는 논리부와, 상기 제 1 노드 및 상기 제 2 노드의 전압 레벨에 따라 입력되는 캐리 펄스 출력용 클럭 신호를 캐리 펄스로 출력하는 캐리 펄스 출력부와, 상기 제 1 노드 및 상기 제 2 노드의 전압 레벨에 따라 입력되는 스캔 펄스 출력용 클럭 신호를 스캔 펄스로 상기 m개의 스캔 라인에 각각 출력하는 m개의 스캔 펄스 출력부를 구비함에 그 특징이 있다.

[0050] 여기서, 상기 m개의 스캔 라인들 각각에 인접한 영역에 m개의 GIP 내부 연결 배선부가 구비되고, 상기 스테이지를 구성하는 단위 소자들 간의 연결하기 위한 복수개의 내부 연결 라인이 상기 m개의 GIP 내부 연결 배선부에 분산 배치됨을 특징으로 한다.

[0051] 상기 단위 화소 영역은 적어도 3개의 서브 화소부와, 상기 GIP 구동회로의 스테이지를 구성하는 하나의 소자가 배치되는 GIP부를 구비하고, 상기 m개의 GIP 내부 연결 배선부에 배치되는 상기 복수개의 내부 연결 라인들은 상기 GIP부 영역으로 연장되어 상기 스테이지를 구성하는 단위 소자들과 전기적을 연결됨을 특징으로 한다.

발명의 효과

[0052] 상기와 같은 특징을 갖는 본 발명에 따른 OLED 표시패널에 있어서는 다음과 같은 효과가 있다.

[0053] 즉, 본 발명의 제 2 실시예에 따른 OLED 표시패널은, 출력 버퍼부에 복수개의 스캔 펄스 출력부를 구비하고, 상기 복수개의 스캔 펄스 출력부의 개수 만큼의 스캔 라인들에 의해 구동되는 단위 화소들에 GIP 소자를 분산 배치하고, 해당 스캔 라인들에 인접한 GIP 내부 연결 배선부들에 내부 연결 라인들((Q 노드, Qb 노드, Qh 노드, 전단 스테이지의 캐리 펄스 출력단 및 후단 스테이지의 캐리 펄스 출력단과의 연결 라인)이 분산 배치되므로, GIP 내부 연결 배선부에 배치되는 내부 연결 라인 수를 줄일 수 있다.

[0054] 따라서, 본 발명의 제 2 실시예에 따른 OLED 표시 패널은 개구율이 증가되고, 상기 GIP 내부 연결 배선부가 차지하는 면적을 줄일 수 있으므로 고해상도 표시 패널을 제공할 수 있다.

도면의 간단한 설명

[0055] 도 1은 종래의 OLED 표시 장치의 구동회로 및 구동회로의 관계를 나타내는 블록도

도 2는 일반적인 (n)번째 스테이지(GIP)의 구성 블럭도

도 3은 도 2에 도시된 (n) 번째 스테이지(GIP)의 동작을 보여 주는 파형도

도 4는 본 발명의 실시예에 따른 OLED 표시패널에서 하나의 서브 화소의 회로 구성도

도 5는 본 발명의 실시예에 따른 GIP구동회로의 (k)번째 스테이지의 회로 구성도

도 6은 본 발명의 제 1 실시예에 따른 OLED 표시 패널의 표시 영역 구성도

도 7은 도 6의 OLED 표시 패널의 표시 영역에 배치된 인접한 2개의 단위 화소 영역을 보다 구체적으로 도시한

구성도

도 8은 본 발명의 제 1 실시예에 따른 상기 GIP 내부 연결 배선부에 배치되는 내부 연결 배선 설명도

도 9는 본 발명의 제 2 실시예에 따른 (n)번째 스테이지(GIP)의 구성 블럭도

도 10은 본 발명의 제 2 실시예에 따른 상기 GIP 내부 연결 배선부에 배치되는 내부 연결 배선 설명도

발명을 실시하기 위한 구체적인 내용

[0056] 먼저, 본 출원인은 표시 패널의 베젤을 최소화하기 위하여 표시 패널의 표시 영역에 GIP 구동회로를 분산 배치하는 발명에 관하여 기 출원한 바 있다 (한국 특허출원번호: 10-2017-0125355호(출원일: 2017년 09월 27일) 참고).

[0057] 상기 기 출원된 특허 출원(10-2017-0125355호)의 발명을 간단하게 설명하면 다음과 같다.

[0058] 도 4는 본 발명의 실시예에 따른 OLED 표시패널에서 하나의 서브 화소의 회로 구성도이고, 도 5는 본 발명의 실시예에 따른 GIP구동회로의 (k)번째 스테이지의 회로 구성도이다.

[0059] 즉, 도 4는 상기 기 출원된 상기 특허 출원(10-2017-000000호)의 도 4에 해당되고, 도 5는 상기 기 출원된 상기 특허 출원(10-2017-000000호)의 도 5에 해당된다.

[0060] 본 발명의 실시예에 따른 OLED 표시패널의 각 서브 화소는, 도 4에 도시한 바와 같이, 유기 발광 다이오드(OLED: Organic Light Emitting Diode)와, 상기 유기 발광 다이오드는 구동하는 화소 회로를 구비한다.

[0061] 상기 화소 회로는 제 1 및 제 2 스위칭 TFT(T1, T2), 스토리지 커패시터(Cst), 및 구동 TFT(DT)를 포함한다.

[0062] 상기 제 1스위칭 TFT(T1)는 스캔 펄스(Scan)에 응답하여 데이터(DATA) 전압을 상기 스토리지 커패시터(Cst)에 충전한다. 상기 구동 TFT(DT)는 상기 스토리지 커패시터(Cst)에 충전된 데이터 전압에 따라 OLED로 공급되는 전류량을 제어하여 OLED의 발광량을 조절한다. 상기 제 2 스위칭 TFT(T2)는 센싱(Sense) 신호에 응답하여 상기 구동 TFT(DT)의 문턱 전압 및 이동도를 센싱한다.

[0063] 상기 유기 발광 다이오드(OLED)는 제1전극(예: 애노드 전극 또는 캐소드 전극), 유기 발광층 및 제2전극(예: 캐소드 전극 또는 애노드 전극) 등으로 이루어질 수 있다.

[0064] 상기 스토리지 커패시터(Cst)는 상기 구동 TFT(DT)의 게이트 전극(gate)과 소오스 전극(source) 사이에 전기적으로 연결되어, 영상 신호 전압에 해당하는 데이터 전압 또는 이에 대응되는 전압을 한 프레임 시간 동안 유지해줄 수 있다.

[0065] 도 4에서는 3개의 TFT(T1, T2, DT)와 하나의 스토리지 커패시터(Cst)로 구성되는 3T1C 서브 화소의 구성을 도시하였으나, 이에 한정되지 않고, 본 발명에 따른 OLED 표시패널의 각 서브 화소는 4T1C, 4T2C, 5T1C, 5T2C 등의 서브 화소를 갖을 수 있다.

[0066] 한편, 본 발명의 실시예에 따른 GIP구동회로의 (k)번째 스테이지의 회로는, 도 5에 도시한 바와 같이, 트랜지스터(TA, TB, T3qA, T1B, T1C, T5A, T5B) 및 커패시터(C1)를 구비하여 구성되어, 라인 선택 신호(LSP; Line select pulse)에 따라 세트 신호(CP(k))를 선택적으로 저장하고, 해당 스테이지를 블랭크 구간(Blank time)에 실시간 보상용 신호(VRT; Vertical real time)에 따라 제 1 노드(Q)를 제 1 정전압(GVDD)으로 충전하고 제 2 노드(Qb)를 제 2 정전압(GVSS2)으로 방전하는 블랭크 구간 제 1 및 제 2 노드(Q, Qb) 제어부(21, 26); 트랜지스터(T1, T1A, T3n, T3nA, T3q, T3, T3A, T5)를 구비하여 구성되어 해당 스테이지를 구동 구간에 3번째 전단의 캐리 펄스(CP(k-3))에 따라 상기 제 1 노드(Q)를 상기 캐리 펄스(CP(k-3)) 전압으로 충전하고 3번째 후단의 캐리 펄스(CP(k+3))에 따라 상기 제 1 노드(Q) 및 제 3 노드(Qh)를 제 2 정전압(GVSS2)으로 방전하며, 상기 제 1 노드(Q)의 전압에 따라 제 3노드(Qh)를 상기 제 1정전압(GVDD)으로 충전하는 구동 구간 제 1 내지 제 3 노드 제어부(23, 25); 트랜지스터(T4, T41, T4q, T5q) 및 커패시터(C2)를 구비하여 구성되어 상기 제 1 노드(Q)의 전압을 반전하여 제 2 노드(Qb)에 인가하는 인버터부(24); 풀업 트랜지스터(T6cr, T6) 및 풀다운 트랜지스터(T7cr, T7) 및 부트스트랩핑 커패시터(C3)를 구비하여 구성되어 복수개의 캐리 펄스 출력용 클럭 신호 중 하나의 클럭 신호(CRCLK(k)) 및 복수개의 스캔 펄스 출력용 클럭 신호 중 하나의 클럭 신호(SCCLK(k))을 수신하여 상기 제 1 노드(Q) 및 상기 제 2 노드(Qb)의 전압에 따라 캐리 펄스(CP(k)) 및 스캔 펄스(SP(k))를 출력하는 출력 버퍼부(27); 그리고, 트랜지스터(T3nB, T3nC)를 구비하여 구성되어 상기 블랭크 구간(Blank time)에 상기 타이밍 컨트롤러에서 출력되는 리세트 신호(RST)에 따라 상기 제 1 노드(Q)를 제 2 정전압(GVSS2)으로 방전하는

리세트부(22)를 구비하여 구성된다.

[0067] 상기 블랭크 구간 제 1 및 제 2 노드(Q, Qb) 제어부(21, 26)는 상기 라인 선택 신호(LSP)가 하이 레벨일 때 상기 트랜지스터(TA, TB, T3q)가 턴-온 되어 세트 신호(CP(k))를 상기 커패시터(C1)에 저장한다.

[0068] 그리고, 상기 블랭크 구간에 상기 실시간 보상용 신호(VRT)가 하이 레벨일 때 상기 트랜지스터(T1C, T5B)가 턴-온 되어 상기 제 1 노드(Q)를 제 1 정전압(GVDD)으로 충전하고, 상기 제 2 노드(Qb)를 제 2 정전압(GVSS2)으로 방전한다.

[0069] 상기 구동 구간 제 1 내지 제 3 노드 제어부(23, 25)는 구동 구간에 상기 3번째 전단의 캐리 펄스(CP(k-3))가 하이 레벨일 때 상기 트랜지스터(T1, T1A, T5)가 턴-온되어 상기 제 1 노드(Q)를 상기 3번째 전단의 캐리 펄스(CP(k-3)) 전압으로 충전하고 상기 제 2 노드(Qb)를 제 2 정전압(GVSS2)으로 방전한다. 이와 같이 상기 제 1 노드(Q)가 충전되고 상기 제 2 노드(Qb)가 방전 될 때 상기 트랜지스터(T3q)가 턴-온되어 상기 제 3 노드(Qh)를 제 1 정전압(GVDD)으로 충전한다.

[0070] 그리고 3번째 후단의 캐리 펄스(CP(k+3))가 하이 레벨일 때 상기 트랜지스터(T3n, T3nA)가 턴-온되어 상기 제 1 노드(Q) 및 상기 제 3 노드(Qh)를 제 2 정전압(GVSS2)으로 방전한다.

[0071] 상기 인버터부(24)는 상기 제 1 노드(Q)의 전압을 반전하여 제 2 노드(Qb)에 인가한다.

[0072] 상기 출력 버퍼부(27)는 상기 제 1 노드(Q)가 하이 레벨이고 상기 제 2 노드(Qb)가 로우 레벨일 때 상기 풀업 트랜지스터(T6cr)가 턴-온되고 상기 풀다운 트랜지스터(T7cr)가 턴-오프되어 상기 복수개의 캐리 펄스 출력용 클럭 신호 중 하나의 클럭 신호(CRCLK(k))를 캐리 펄스(CP(k))로 출력한다. 또한 상기 제 1 노드(Q)가 하이 레벨이고 상기 제 2 노드(Qb)가 로우 레벨일 때 상기 풀업 트랜지스터(T6)가 턴-온되고 상기 풀다운 트랜지스터(T7)가 턴-오프되어 상기 복수개의 스캔 펄스 출력용 클럭 신호 중 하나의 클럭 신호(SCCLK(k))을 스캔 펄스(SP(k))로 출력한다.

[0073] 이 때, 상기 스캔 펄스 출력용 클럭 신호(SCCLK(k))가 하이 레벨로 인가되면 상기 출력 버퍼부(27)의 상기 부트스트랩핑 커패시터(C3)에 의해 상기 제 1노드(Q)는 부트스트랩핑(또는 커플링(Coupling))되어 더 높은 전위를 갖는다.

[0074] 이와 같이 상기 제 1 노드(Q)가 브트스트랩핑된 상태에서, 상기 출력 버퍼부(27)는 각각 입력된 캐리 펄스 출력용 클럭 신호(CRCLK(k)) 및 스캔 펄스 출력용 클럭 신호(SCCLK(k))를 캐리 펄스(CP(k)) 및 스캔 펄스(SP(k))로 출력하므로 출력 손실(Loss)을 방지할 수 있다.

[0075] 상기 리세트부(22)는 상기 블랭크 구간(Blank time)에 상기 타이밍 컨트롤러(4)에서 출력되는 리세트 신호(RST)가 하이 레벨일 때 상기 트랜지스터(T3nB, T3nC)가 턴-온되어 상기 제 1 노드(Q)를 제 2 정전압(GVSS2)으로 방전한다.

[0076] 상기 도 5에서는 6상(Phase)으로 구동되는 GIP구동회로의 스테이지를 도시하였으나, 이에 한정되지 않고, 본 발명에 따른 GIP구동회로의 스테이지는 다양하게 구성될 수 있다.

[0077] 상기 도 5에 도시한 바와 같이, 상기 GIP구동회로의 각 스테이지는 25개의 트랜지스터와 3개의 커패시터를 구비하여 구성된다.

[0078] 따라서, 하나의 단위 화소 영역에 상기 GIP구동회의 스테이지를 구성하는 하나의 단위 소자(트랜지스터 또는 커패시터)를 분산 배치하면, 하나의 게이트 라인(스캔 라인)을 구동하기 위한 하나의 스테이지의 회로를 배치할 수 있다.

[0079] 도 6은 본 발명의 제 1 실시예에 따른 OLED 표시 패널의 표시 영역 구성도이고, 도 7은 도 6의 OLED 표시 패널의 표시 영역에 배치된 인접한 2개의 단위 화소 영역을 보다 구체적으로 도시한 구성도이다.

[0080] 즉, 도 6은 상기 기 출원된 상기 특허 출원(10-2017-000000호)의 도 6에 해당되고, 도 7은 상기 기 출원된 상기 특허 출원(10-2017-000000호)의 도 7에 해당된다.

[0081] 도 6 및 도 7에 도시한 바와 같이, OLED 표시 패널의 표시 영역에 GIP 구동회로를 배치함에 있어, 표시 영역의 단위 화소 영역은 적어도 3개의 서브 화소부(R, G, B, W)(33), GIP부(31), 및 GIP 내부 연결 배선부(32) 등으로 구분된다.

[0082] 상기 적어도 3개의 서브 화소부(R, G, B, W)(33)들은 복수개의 데이터 라인(DL1~DL8), 복수개의 기준 전압 라인

(Vref) 및 제 1 및 제 2 정전압 라인(EVDD, EVSS) 들이 수직 방향으로 배열되고, 복수개의 게이트 라인(스캔 라인, SCAN)이 수평 방향으로 배열되어 구성된다.

[0083] 상기 GIP부(31)는 GIP 구동회로의 하나의 스테이지를 구성하는 하나의 단위 소자(트랜지스터 또는 커패시터)에 해당된다. 즉, 적색(R), 녹색(G), 청색(B), 및 백색(W) 서브 화소들로 구성되는 단위 화소 영역에, GIP구동회로의 하나의 스테이지를 구성하는 하나의 단위 소자(트랜지스터 또는 커패시터)가 분산 배치된다.

[0084] 즉, 하나의 게이트 라인(스캔 라인)을 구동하기 위한 GIP 구동회로의 적어도하나의 스테이지(ST)가 하나의 게이트 라인(스캔 라인)에 의해 구동되는 복수개의 단위 화소 영역에 분산하여 배치된다.

[0085] 상기 GIP 내부 연결 배선부(32)는, GIP 구동회로의 하나의 스테이지에서 각 소자들을 연결하는 연결 배선들(Q 노드, Qb 노드, Qh 노드, 전단 스테이지의 캐리 펄스 출력단, 후단 스테이지의 캐리 펄스 출력단, 및 소자와 소자 간의 연결 라인 등)이 배치되는 영역이다.

[0086] 이와 같이, GIP 구동회로를 표시 영역에 배치함에 따라, 도 7에 도시한 바와 같이, 상기 서브 화소부(R, G, B, W)들을 구동하기 위한 복수개의 데이터 라인들(DL1~DL8) 및 기준 전압 라인(Vref)은 수직 방향으로 배치된다.

[0087] 그리고, 상기 GIP부(31)는 GIP 구동회로의 하나의 스테이지를 구성하는 하나의 단위 소자(트랜지스터 또는 커패시터)에 해당되므로, 상기 GIP부(31)에도, 도 5에 도시한 바와 같은 LSP, VRT, GVDD, GVSS0, GVSS1, GVSS2, VST, CRCLK, SCCLK 신호들 중 하나가 인가된다.

[0088] 또한, 본 발명의 제 1 실시예에 따른 OLED 표시 패널에서는, 하나의 게이트 라인(스캔 라인)을 구동하기 위한 하나의 스테이지의 회로를 해당 게이트 라인(스캔 라인)에 의해 구동되는 단위 화소 영역들에 분산 배치하므로, 하나의 게이트 라인(스캔 라인)에 상응하는 상기 GIP 내부 연결 배선부(32)에는 GIP 구동회로의 하나의 스테이지에서 각 소자들을 연결하는 연결 배선들(Q 노드, QB 노드, Qh 노드, 전단 스테이지의 캐리 펄스 출력단, 후단 스테이지의 캐리 펄스 출력단, 및 소자와 소자 간의 연결 라인 등)이 모두 배치되어야 한다.

[0089] 도 8은 본 발명의 제 1 실시예에 따른 상기 GIP 내부 연결 배선부(32)에 배치되는 내부 연결 배선을 도시한 것이다.

[0090] 도 5에서, 예를들면, 트랜지스터(T3n)의 게이트 전극에는 3번째 후단 스테이지에서 출력되는 캐리 펄스를 인가하는 신호 라인(CP(k+3)이 연결되고, 상기 트랜지스터(T3n)의 소오스 전극에는 Q 노드가 연결되고, 상기 트랜지스터(T3n)의 드레인 전극에는 Qh 노드가 연결된다.

[0091] 따라서, 상기 GIP부(31)에 도 5에 도시된 트랜지스터(T3n)가 배치된다고 가정할 경우, 상기 GIP 내부 연결 배선부(32)에는 최소한 3번째 후단 스테이지에서 출력되는 캐리 펄스를 인가하는 신호 라인(CP(k+3), Q 노드 및 Qh 노드가 배치되어야 한다.

[0092] 이와 같이, 본 발명의 제 1 실시예에 따른 OLED 표시 패널에 있어서는, 하나의 게이트 라인(스캔 라인)을 구동하기 위한 하나의 스테이지의 회로를 해당 게이트 라인(스캔 라인)에 의해 구동되는 단위 화소 영역들에 분산 배치하므로, 각 라인의 상기 상기 GIP 내부 연결 배선부(32)에는 최대 4개의 GIP 내부 연결 라인(Q 노드, Qb 노드, Qh 노드, 전단 스테이지의 캐리 펄스 출력단, 후단 스테이지의 캐리 펄스 출력단 및 소자와 소자의 연결 라인 등)이 배치되어야 한다. 예를 들면, 상기 소자와 소자 간의 연결 라인은, 도 5에서 트랜지스터(T4)의 게이트 전극과 트랜지스터(T41)의 드레인 전극 간의 연결 라인에 해당된다.

[0093] 따라서, 본 발명의 제 1 실시예에 따른 OLED 표시 패널은 개구율이 저하되고, 상기 GIP 내부 연결 배선부(32)가 차지하는 면적이 증가하므로 고해상도에 적합하지 못하는 단점이 있다.

[0094] 이와 같은 단점을 해결하기 위해, 본 발명의 제 2 실시예에 따른 OLED 표시패널 및 OLED 표시 장치는 화소 어레이 내에 GIP구동 회로의 스테이지를 배치하여 네로우 베젤을 구현하면서, OLED 표시 패널은 개구율을 향상시키고, 더불어 상기 GIP 내부 연결 배선부가 차지하는 면적을 감소시켜 고해상도를 구현할 수 있도록 한다.

[0095] 도 9는 본 발명의 제 2 실시예에 따른 (n)번째 스테이지(GIP)의 구성 블록도이다.

[0096] 먼저, 본 발명의 제 2 실시예에 따른 OLED 표시패널은 화소 어레이 내에 GIP구동 회로의 스테이지를 배치하되, 복수개의 스캔 라인에 의해 구동되는 단위 화소들에 복수개의 스캔 펄스 출력부를 구비한 하나의 스테이지를 구성한 것이다.

[0097] 즉, 본 발명의 실시예의 GIP구동회로의 (k)번째 스테이지의 회로는, 도 5에 도시한 바와 같이, 블랭크 구간 제

1 및 제 2 노드(Q, Qb) 제어부(21, 26); 구동 구간 제 1 내지 제 3 노드 제어부(23, 25); 인버터부(24); 출력 버퍼부(27); 그리고, 리세트부(22)를 구비하여 구성됨을 설명하였다.

[0098] 그러나, 본 발명의 제 2 실시예에 따른 OLED 표시패널은, 도 9에 도시한 바와 같이, 화소 어레이 내에 GIP구동 회로의 스테이지를 배치하되, 복수개의 스캔 라인에 의해 구동되는 단위 화소들에 도 5에서 설명한 블랭크 구간 제 1 및 제 2 노드(Q, Qb) 제어부(21, 26), 구동 구간 제 1 내지 제 3 노드 제어부(23, 25), 인버터부(24), 및 리세트부(22)와, 하나의 캐리 펄스 출력부와 복수개의 스캔 펄스 출력부를 구비한 출력 버퍼부(27)를 구비한 것이다.

[0099] 도 9에서는, 도 5에서 설명한 블랭크 구간 제 1 및 제 2 노드(Q, Qb) 제어부(21, 26), 구동 구간 제 1 내지 제 3 노드 제어부(23, 25), 인버터부(24), 및 리세트부(22)를 논리부(S/R1)로 나타내었다.

[0100] 상기 논리부(S/R1)는, 도 5에서 설명한 바와 같이, 상기 라인 선택 신호(LSP), 상기 세트 신호(CP(k)), 상기 실시간 보상용 신호(VRT), 상기 m번째 전단의 캐리 펄스(CP(k-3)), 상기 m번째 후단의 캐리 펄스(CP(k+3)) 및 상기 리세트 신호(RST) 등에 의해 상기 제 1 노드(Q) 및 상기 제 2 노드(Qb)의 전압 레벨을 제어한다.

[0101] 그리고, 출력 버퍼부(27)는, 하나의 캐리 펄스 출력부와 복수개의 스캔 펄스 출력부를 구비한다.

[0102] 즉, 출력 버퍼부(27)는, 풀업 트랜지스터(T6cr) 및 풀다운 트랜지스터(T7cr)로 구성되어, 상기 제 1 노드(Q)가 하이 레벨이고 상기 제 2 노드(Qb)가 로우 레벨일 때 상기 풀업 트랜지스터(T6cr)가 턴-온되고 상기 풀다운 트랜지스터(T7cr)가 턴-오프되어 상기 복수개의 캐리 펄스 출력용 클럭 신호 중 하나의 클럭 신호(CRCLK1)를 캐리 펄스(CP(1))로 출력하는 캐리 펄스 출력부와, 제 1 풀업 트랜지스터(T6-1), 제 1 풀다운 트랜지스터(T7-1) 및 제 1 부스트랩핑 커패시터(Cq1) 등으로 구성되어, 상기 제 1 노드(Q)가 하이 레벨이고 상기 제 2 노드(Qb)가 로우 레벨일 때 상기 제 1 풀업 트랜지스터(T6-1)가 턴-온되고 상기 제 1 풀다운 트랜지스터(T7-1)가 턴-오프되어 상기 복수개의 스캔 펄스 출력용 클럭 신호 중 하나의 클럭 신호(SCCLK(1))을 스캔 펄스(SP(1))로 출력하는 제 1 스캔 펄스 출력부와, 제 2 풀업 트랜지스터(T6-2), 제 2 풀다운 트랜지스터(T7-2) 및 제 2 부스트랩핑 커패시터(Cq2) 등으로 구성되어, 상기 제 1 노드(Q)가 하이 레벨이고 상기 제 2 노드(Qb)가 로우 레벨일 때 상기 제 2 풀업 트랜지스터(T6-2)가 턴-온되고 상기 제 2 풀다운 트랜지스터(T7-2)가 턴-오프되어 상기 복수개의 스캔 펄스 출력용 클럭 신호 중 하나의 클럭 신호(SCCLK(2))을 스캔 펄스(SP(2))로 출력하는 제 2 스캔 펄스 출력부와, 제 3 풀업 트랜지스터(T6-3), 제 3 풀다운 트랜지스터(T7-3) 및 제 3 부스트랩핑 커패시터(Cq3) 등으로 구성되어, 상기 제 1 노드(Q)가 하이 레벨이고 상기 제 2 노드(Qb)가 로우 레벨일 때 상기 제 3 풀업 트랜지스터(T6-3)가 턴-온되고 상기 제 3 풀다운 트랜지스터(T7-3)가 턴-오프되어 상기 복수개의 스캔 펄스 출력용 클럭 신호 중 하나의 클럭 신호(SCCLK(3))을 스캔 펄스(SP(3))로 출력하는 제 3 스캔 펄스 출력부와, 제 4 풀업 트랜지스터(T6-4), 제 4 풀다운 트랜지스터(T7-4) 및 제 4 부스트랩핑 커패시터(Cq4) 등으로 구성되어, 상기 제 1 노드(Q)가 하이 레벨이고 상기 제 2 노드(Qb)가 로우 레벨일 때 상기 제 4 풀업 트랜지스터(T6-4)가 턴-온되고 상기 제 4 풀다운 트랜지스터(T7-4)가 턴-오프되어 상기 복수개의 스캔 펄스 출력용 클럭 신호 중 하나의 클럭 신호(SCCLK(4))을 스캔 펄스(SP(4))로 출력하는 제 4 스캔 펄스 출력부와, 제 5 풀업 트랜지스터(T6-5), 제 5 풀다운 트랜지스터(T7-5) 및 제 5 부스트랩핑 커패시터(Cq5) 등으로 구성되어, 상기 제 1 노드(Q)가 하이 레벨이고 상기 제 2 노드(Qb)가 로우 레벨일 때 상기 제 5 풀업 트랜지스터(T6-5)가 턴-온되고 상기 제 5 풀다운 트랜지스터(T7-5)가 턴-오프되어 상기 복수개의 스캔 펄스 출력용 클럭 신호 중 하나의 클럭 신호(SCCLK(5))을 스캔 펄스(SP(5))로 출력하는 제 5 스캔 펄스 출력부를 구비한다.

[0103] 만약 도 9에 도시한 바와 같이, 상기 출력 버퍼부(27)가 하나의 캐리 펄스 출력부와 5개의 스캔 펄스 출력부를 구비할 경우, 본 발명의 제 2 실시예에 따른 OLED 표시패널은, 도 9에 도시한 논리부(S/R1) 및 출력 버퍼부(27)를 갖는 스테이지를 구성하는 단위 소자들이 5개의 스캔 라인에 의해 구동되는 단위 화소들에 분산 배치된다.

[0104] 또한, 도 9에서는 상기 출력 버퍼부(27)가 하나의 캐리 펄스 출력부와 5개의 스캔 펄스 출력부를 구비함을 도시하였지만, 이에 한정되지 않고, 하나의 캐리 펄스 출력부와 적어도 2개의 스캔 펄스 출력부를 구비하여도 된다.

[0105] 만약, 상기 출력 버퍼부(27)가 하나의 캐리 펄스 출력부와 2개의 스캔 펄스 출력부를 구비할 경우, 본 발명의 제 2 실시예에 따른 OLED 표시패널은, 도 9에 도시한 논리부(S/R1) 및 출력 버퍼부(27)를 갖는 스테이지를 구성하는 단위 소자들이 2개의 스캔 라인에 의해 구동되는 단위 화소들에 분산 배치된다.

[0106] 또한, 상기 출력 버퍼부(27)가 하나의 캐리 펄스 출력부와 3개의 스캔 펄스 출력부를 구비할 경우, 본 발명의 제 2 실시예에 따른 OLED 표시패널은, 도 9에 도시한 논리부(S/R1) 및 출력 버퍼부(27)를 갖는 스테이지를 구성하는 단위 소자들이 3개의 스캔 라인에 의해 구동되는 단위 화소들에 분산 배치된다.

[0107] 즉, 본 발명의 제 2 실시예에 따른 OLED 표시패널은, 도 9에 도시한 논리부(S/R1) 및 출력 버퍼부(27)를 갖는 스테이지를 구성하는 단위 소자들이 상기 출력 버퍼부(27)에 구비되는 스캔 펄스 출력부의 개수만큼의 스캔 라인들에 의해 구동되는 단위 화소들에 분산 배치된다.

[0108] 이와 같은 구성을 갖는 스테이지를 해당 영역에 배치할 경우, GIP 내부 연결 배선부의 라인 배치를 설명하면 다음과 같다.

[0109] 도 10은 본 발명의 제 2 실시예에 따른 상기 GIP 내부 연결 배선부에 배치되는 내부 연결 배선 설명도이다.

[0110] 도 10은 도 9와 같이 상기 출력 버퍼부(27)가 하나의 캐리 펄스 출력부와 5개의 스캔 펄스 출력부를 구비한 경우의 내부 연결 배선을 설명한 것이다.

[0111] 즉, 제 1 내지 제 5 스캔 라인(SCAN1 ~ SCAN5)에 의해 구동되는 단위 화소들 중 임의의 단위 화소들에 도 9에서 설명한 논리부(S/R1) 및 출력 버퍼부(27)를 갖는 스테이지를 구성하는 단위 소자들이 분산 배치된다.

[0112] 그리고, 각 스캔 라인(SCAN1 ~ SCAN5)에 인접하게 배치되는 각 GIP 내부 연결 배선부(32)에는 내부 연결 라인들((Q 노드, Qb 노드, Qh 노드, 전단 스테이지의 캐리 펄스 출력단, 후단 스테이지의 캐리 펄스 출력단, 소자와 소자 간의 연결 라인 등) 중 하나가 배치된다.

[0113] 즉, 제 1 스캔 라인(SCAN1)에 인접한 GIP 내부 연결 배선부(32)에는 Q 노드가 배치되고, 제 2 스캔 라인(SCAN2)에 인접한 GIP 내부 연결 배선부(32)에는 Qb 노드가 배치되고, 제 3 스캔 라인(SCAN3)에 인접한 GIP 내부 연결 배선부(32)에는 후단 스테이지의 캐리 펄스 출력단과의 연결 라인(CP(k+3))이 배치되고, 제 4 스캔 라인(SCAN4)에 인접한 GIP 내부 연결 배선부(32)에는 Qh 노드가 배치되고, 제 5 스캔 라인(SCAN5)에 인접한 GIP 내부 연결 배선부(32)에는 전단 스테이지의 캐리 펄스 출력단과의 연결 라인(CP(k-3))이 배치된다.

[0114] 그리고, 상술한 바와 같이, 도 9에서 설명한 논리부(S/R1) 및 출력 버퍼부(27)를 갖는 스테이지를 구성하는 단위 소자들이 제 1 내지 제 5 스캔 라인(SCAN1 ~ SCAN5)에 의해 구동되는 단위 화소들 중 임의의 단위 화소들에 분산 배치된다.

[0115] 예를들면, 도 9에서 설명한 논리부(S/R1) 및 출력 버퍼부(27)를 갖는 스테이지를 구성하는 단위 소자들 중 트랜지스터(T3n, 도 5 참조)의 게이트 전극에는 3번째 후단 스테이지에서 출력되는 캐리 펄스를 인가하는 신호 라인(CP(k+3)이 연결되고, 상기 트랜지스터(T3n)의 소오스 전극에는 Q 노드가 연결되고, 상기 트랜지스터(T3n)의 드레인 전극에는 Qh 노드가 연결된다.

[0116] 따라서, 상기 GIP부(31)에 도 5에 도시된 트랜지스터(T3n)가 배치된다고 가정할 경우, 상기 트랜지스터(T3n)에는, 도 10에 도시한 바와 같이, 상기 제 1 스캔 라인(SCAN1)에 인접한 GIP 내부 연결 배선부(32)에 배치된 Q 노드와, 상기 제 3 스캔 라인(SCAN3)에 인접한 GIP 내부 연결 배선부(32)에 배치된 후단 스테이지의 캐리 펄스 출력단에 연결된 연결 라인(CP(k+3))과, 상기 제 4 스캔 라인(SCAN4)에 인접한 GIP 내부 연결 배선부(32)에 배치된 Qh 노드가 연결된다.

[0117] 또한, 도 9에서 설명한 논리부(S/R1) 및 출력 버퍼부(27)를 갖는 스테이지를 구성하는 단위 소자들 중 트랜지스터(T1, 도 5 참조)의 게이트 전극 및 드레인 전극에는 3번째 전단 스테이지에서 출력되는 캐리 펄스를 인가하는 신호 라인(CP(k-3))이 연결되고, 상기 트랜지스터(T1)의 소오스 전극에는 Qh 노드가 연결된다.

[0118] 따라서, 상기 GIP부(31)에 도 5에 도시된 상기 트랜지스터(T1)가 배치된다고 가정할 경우, 상기 트랜지스터(T1)에는, 도 10에 도시한 바와 같이, 상기 제 4 스캔 라인(SCAN4)에 인접한 GIP 내부 연결 배선부(32)에 배치된 Qh 노드와, 상기 제 5 스캔 라인(SCAN5)에 인접한 GIP 내부 연결 배선부(32)에 배치된 전단 스테이지의 캐리 펄스 출력단에 연결된 연결 라인(CP(k-3))이 연결된다.

[0119] 상술한 바와 같이, 도 9에서 설명한 논리부(S/R1) 및 출력 버퍼부(27)를 갖는 스테이지를 구성하는 단위 소자들이 제 1 내지 제 5 스캔 라인(SCAN1 ~ SCAN5)에 의해 구동되는 단위 화소들 중 임의의 단위 화소들에 분산 배치되므로, 모든 단위 화소의 GIP부(31)에 GIP의 소자가 배치되지 않으므로, 상기 GIP부(31) 영역으로 연장되어 상기 GIP 내부 연결 배선부(32)에 배치되는 신호 라인들과 GIP의 소자를 연결할 수 있다.

[0120] 또한, 도 10에서는 도 9에서 설명한 논리부(S/R1) 및 출력 버퍼부(27)를 갖는 스테이지를 구성하는 단위 소자들이 제 1 내지 제 5 스캔 라인(SCAN1 ~ SCAN5)에 의해 구동되는 단위 화소들 중 임의의 단위 화소들에 분산 배치됨을 설명하였지만, 이에 한정되지 않고, 적어도 2개의 스캔 라인에 의해 구동되는 단위 화소들 중 임의의 단위 화소들에 스테이지를 구성하는 단위 소자들이 분산 배치될 수 있다.

[0121] 만약, 도 9에서 설명한 상기 출력 버퍼부(27)가 하나의 캐리 펄스 출력부와 2개의 스캔 펄스 출력부를 구비할 경우, 본 발명의 제 2 실시예에 따른 OLED 표시패널은, 도 9에 도시한 논리부(S/R1) 및 출력 버퍼부(27)를 갖는 스테이지를 구성하는 단위 소자들이 제 1 및 제 2 스캔 라인(SCAN1, SCAN2)에 의해 구동되는 단위 화소들에 분산 배치된다. 그리고, 상기 제 1 및 제 2 스캔 라인(SCAN1, SCAN2)에 인접한 2개의 GIP 내부 연결 배선부(32)에 상기 내부 연결 라인들((Q 노드, Qb 노드, Qh 노드, 전단 스테이지의 캐리 펄스 출력단, 후단 스테이지의 캐리 펄스 출력단, 및 소자와 소자 간의 연결 라인 등)이 분산 배치된다.

[0122] 또한, 상기 출력 버퍼부(27)가 하나의 캐리 펄스 출력부와 3개의 스캔 펄스 출력부를 구비할 경우, 본 발명의 제 2 실시예에 따른 OLED 표시패널은, 도 9에 도시한 논리부(S/R1) 및 출력 버퍼부(27)를 갖는 스테이지를 구성하는 단위 소자들이 제 1 내지 제 3 스캔 라인(SCAN1 ~ SCAN3)에 의해 구동되는 단위 화소들에 분산 배치된다. 그리고, 상기 제 1 내지 제 3 스캔 라인(SCAN1, SCAN2, SCAN3)에 인접한 3개의 GIP 내부 연결 배선부(32)에 상기 내부 연결 라인들((Q 노드, Qb 노드, Qh 노드, 전단 스테이지의 캐리 펄스 출력단, 후단 스테이지의 캐리 펄스 출력단, 및 소자와 소자 간의 연결 라인 등)이 분산 배치된다.

[0123] 즉, 본 발명의 제 2 실시예에 따른 OLED 표시패널은, 도 9에 도시한 논리부(S/R1) 및 출력 버퍼부(27)를 갖는 스테이지를 구성하는 단위 소자들이 상기 출력 버퍼부(27)에 구비되는 스캔 펄스 출력부의 개수만큼의 스캔 라인들에 의해 구동되는 단위 화소들에 분산 배치되고, 해당 스캔 라인들에 인접한 GIP 내부 연결 배선부(32)들에 상기 내부 연결 라인들((Q 노드, Qb 노드, Qh 노드, 전단 스테이지의 캐리 펄스 출력단, 후단 스테이지의 캐리 펄스 출력단, 및 소자와 소자 간의 연결 라인 등)이 분산 배치된다.

[0124] 이와 같이, 본 발명의 제 2 실시예에 따른 OLED 표시패널은, 도 9에서 설명한 상기 출력 버퍼부(27)에 복수개의 스캔 펄스 출력부를 구비하고, 상기 복수개의 스캔 펄스 출력부의 개수 만큼의 스캔 라인들에 의해 구동되는 단위 화소들에 GIP 소자를 분산 배치하고, 해당 스캔 라인들에 인접한 GIP 내부 연결 배선부(32)들에 상기 내부 연결 라인들((Q 노드, Qb 노드, Qh 노드, 전단 스테이지의 캐리 펄스 출력단, 후단 스테이지의 캐리 펄스 출력단, 및 소자와 소자 간의 연결 라인 등)이 분산 배치되므로, GIP 내부 연결 배선부(32)에 배치되는 내부 연결 라인 수를 줄일 수 있다.

[0125] 따라서, 본 발명의 제 2 실시예에 따른 OLED 표시 패널은 개구율이 증가되고, 상기 GIP 내부 연결 배선부(32)가 차지하는 면적을 줄일 수 있으므로 고해상도 표시 패널을 제공할 수 있다.

[0126] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

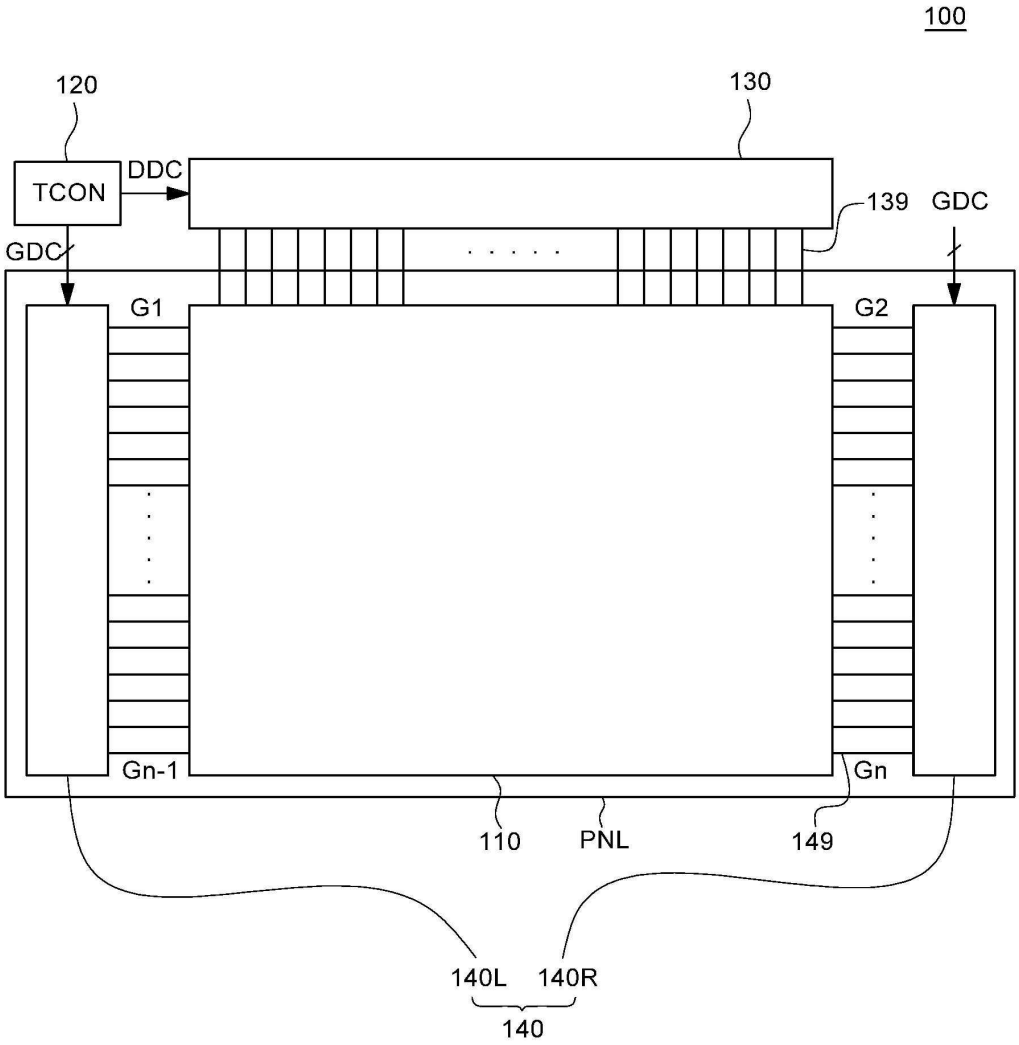
[0127] PNL: 표시패널 S-IC: 소스 드라이브 IC

31: GIP부 32: GIP 내부 연결 배선부

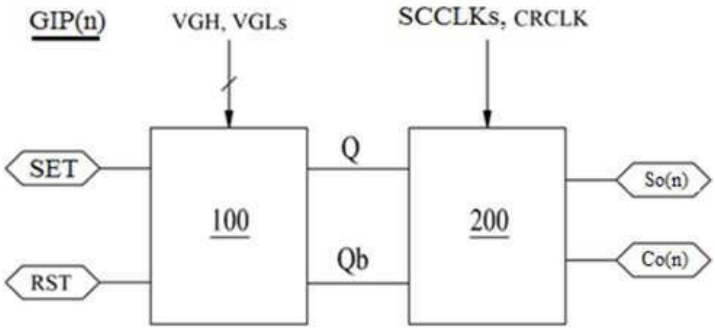
33: 적어도 3개의 서브 화소부

도면

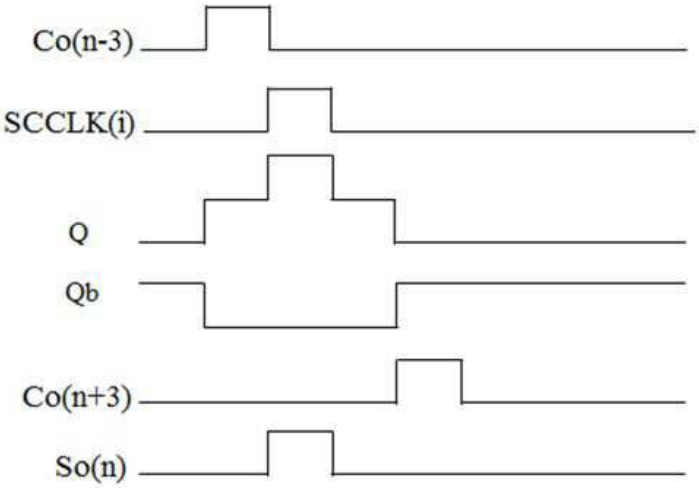
도면1


100
120
130
TCON
DDC
139
GDC
GDC
G1
G2
Gn-1
Gn
110
PNL
149
140L
140R
140

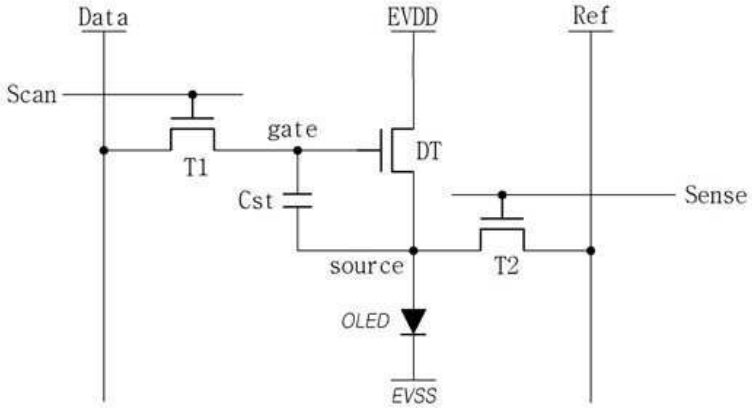
도면2


GIP(n)
VGH, VGLs
SCCLKs, CRCLK
SET
RST
100
Q
Qb
200
So(n)
Co(n)

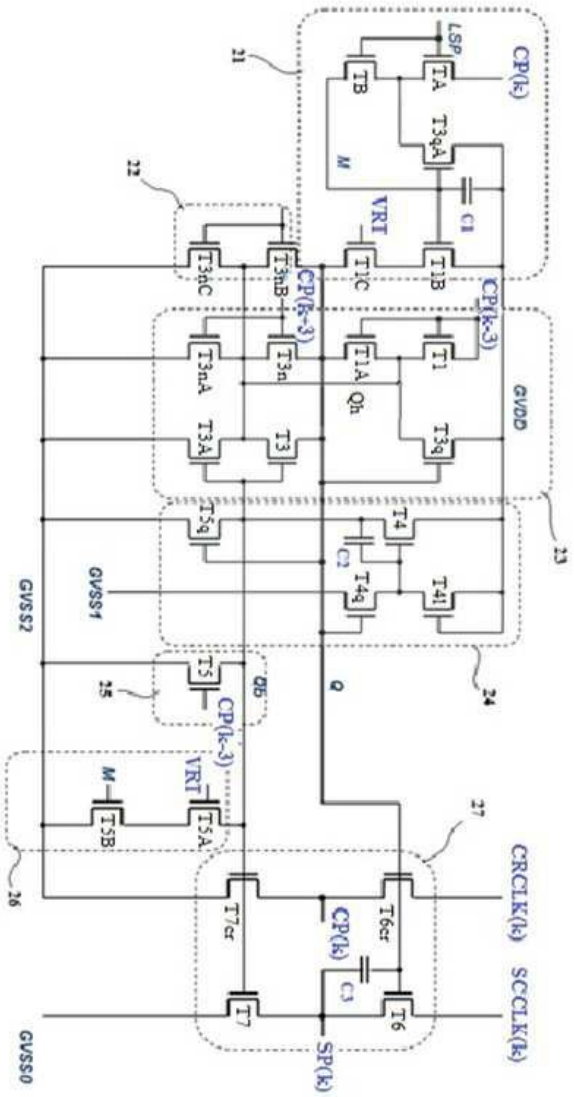
도면3


Co(n-3)
SCCLK(i)
Q
Qb
Co(n+3)
So(n)

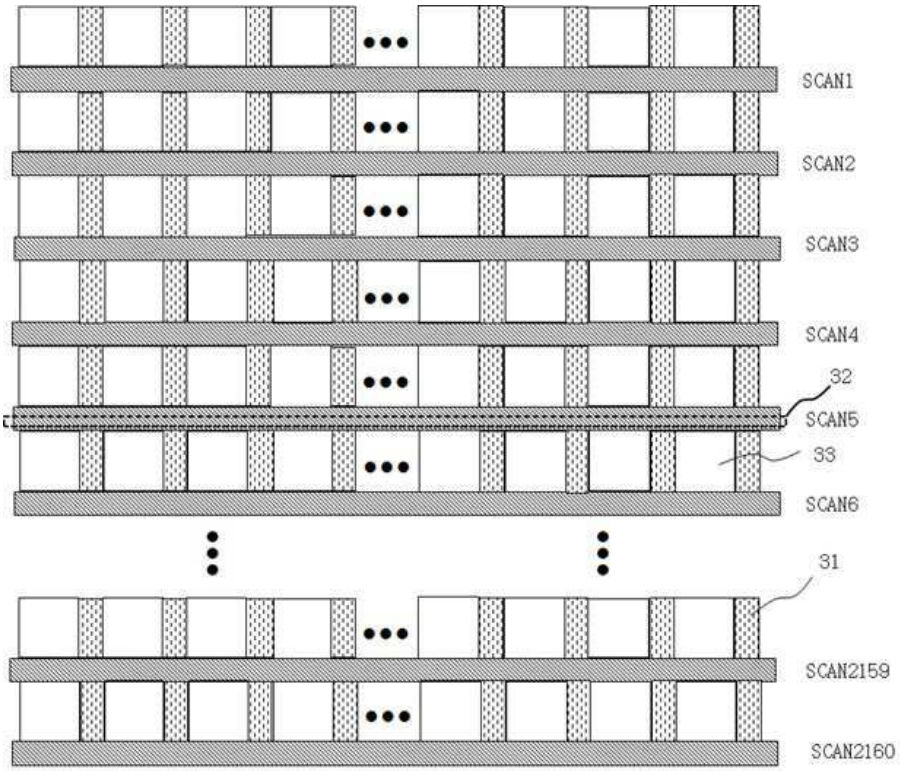
도면4


Data
EVDD
Ref
Scan
gate
DT
T1
Cst
Sense
source
T2
OLED
EVSS

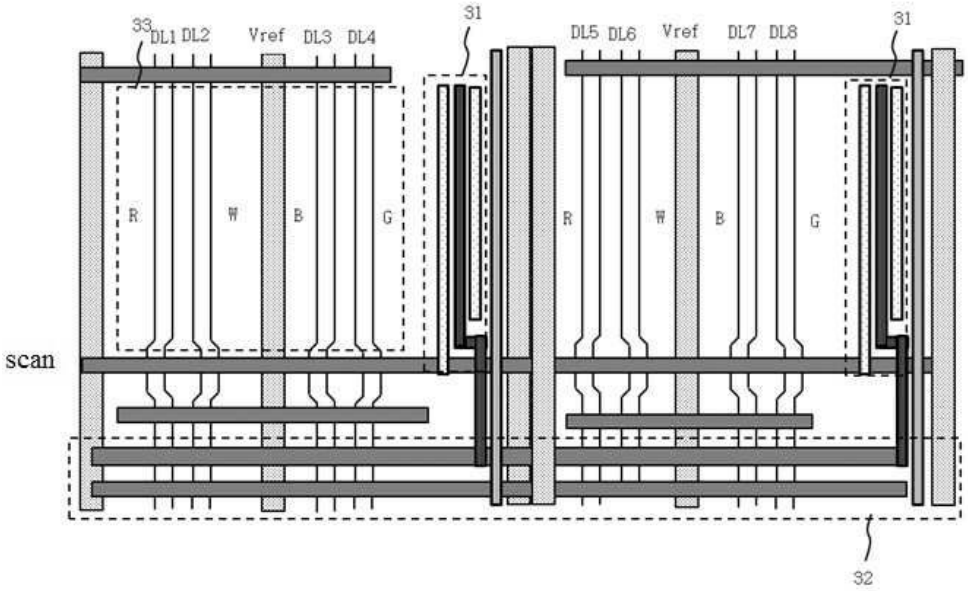
도면5


LSP
CP(k)
TB
T1A
T3qA
M
C1
VRT
T1C
T1B
CP(k-3)
T3nC
T3nB
T3n
T1
T1A
Qn
GVDD
T3nA
T3A
T3
T3q
T5q
T4
C2
T4q
T41
GVSS2
GVSS1
T5
Q5
CP(k-3)
M
VRT
T5B
T5A
T7cr
T6cr
CP(k)
C3
CRCLK(k)
SCCLK(k)
T7
T6
GVSS0
SP(k)
21
22
23
24
25
26
27

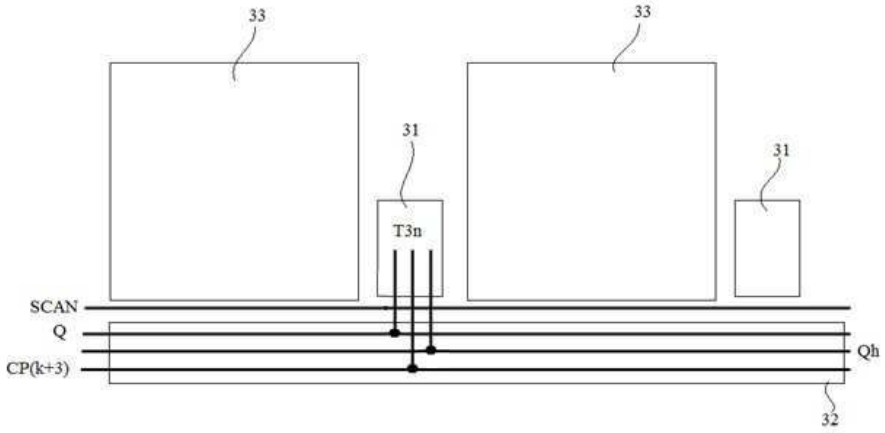
도면6


SCAN1
SCAN2
SCAN3
SCAN4
32
SCAN5
33
SCAN6
31
SCAN2159
SCAN2160

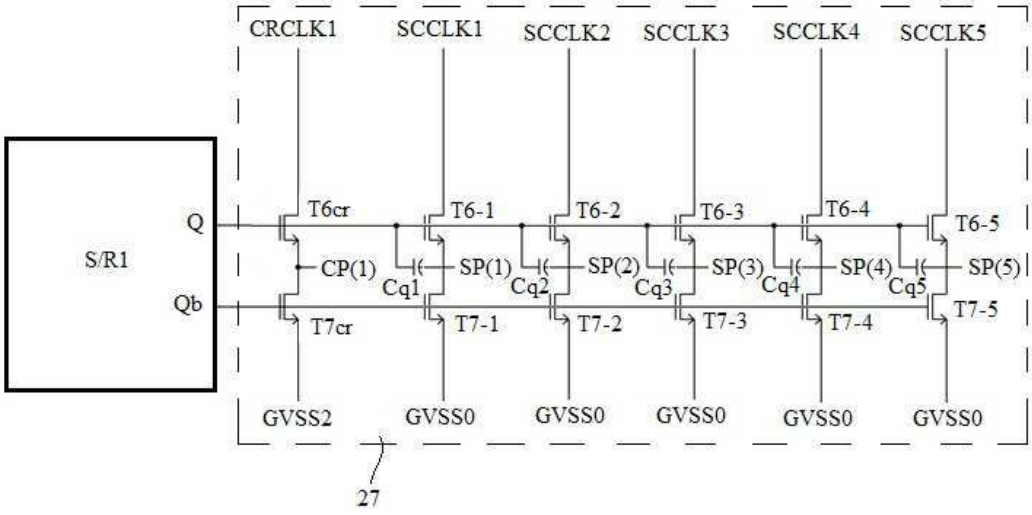
도면7


33
DL1 DL2
Vref
DL3 DL4
31
DL5 DL6
Vref
DL7 DL8
31
R
W
B
G
R
W
B
G
scan
32

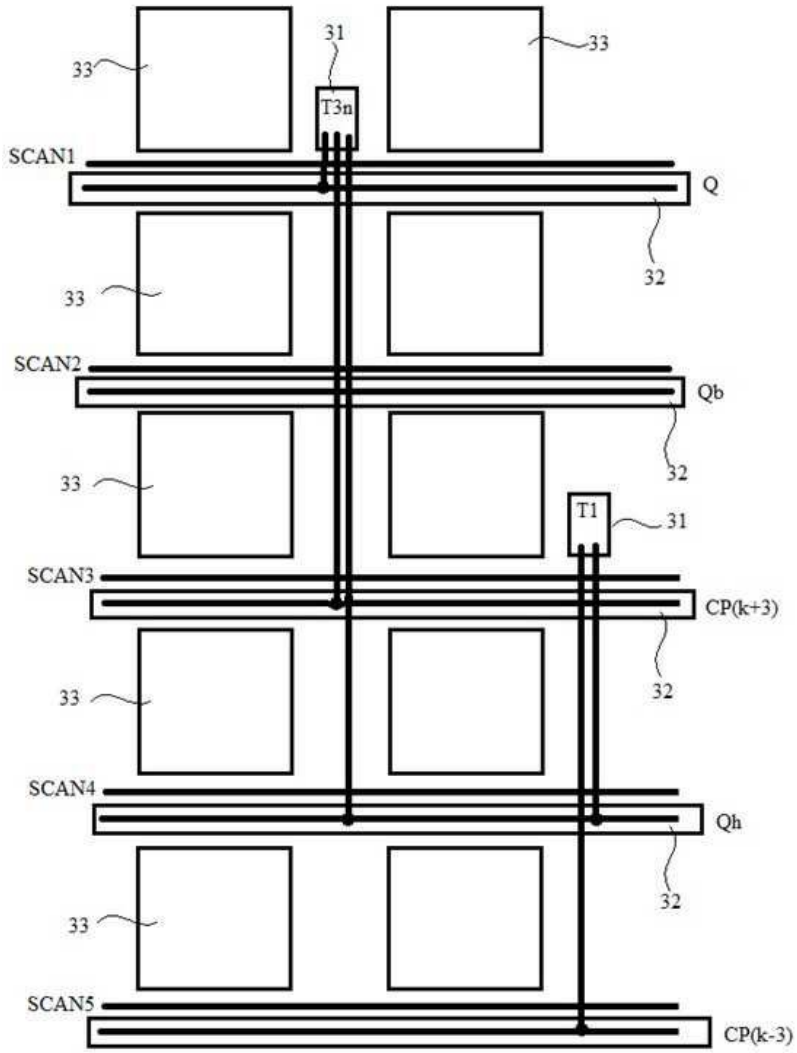
도면8


33
33
31
31
T3n
SCAN
Q
CP(k+3)
Qh
32

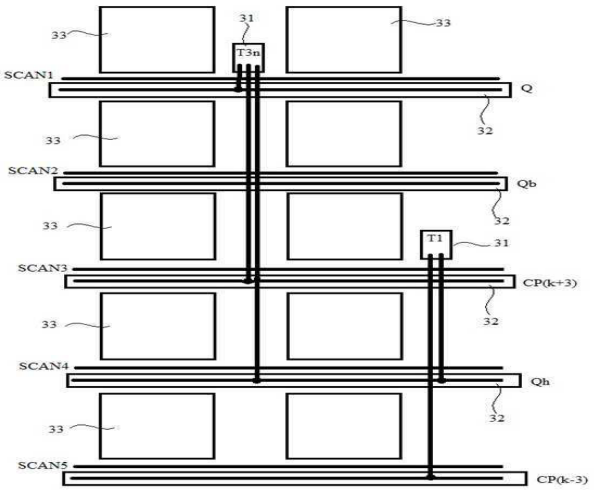
도면9


CRCLK1
SCCLK1
SCCLK2
SCCLK3
SCCLK4
SCCLK5
S/R1
Q
Qb
T6cr
T6-1
T6-2
T6-3
T6-4
T6-5
CP(1)
SP(1)
SP(2)
SP(3)
SP(4)
SP(5)
Cq1
Cq2
Cq3
Cq4
Cq5
T7cr
T7-1
T7-2
T7-3
T7-4
T7-5
GVSS2
GVSS0
GVSS0
GVSS0
GVSS0
GVSS0
27

도면10


31
33
33
T3n
SCAN1
Q
32
33
SCAN2
Qb
32
33
T1
31
SCAN3
CP(k+3)
32
33
SCAN4
Qh
32
33
SCAN5
CP(k-3)

专利名称(译)	OLED显示屏		
公开(公告)号	KR1020190061356A	公开(公告)日	2019-06-05
申请号	KR1020170159650	申请日	2017-11-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김경민 한인효 신헌기		
发明人	김경민 한인효 신헌기		
IPC分类号	G09G3/3266 G09G3/3233		
CPC分类号	G09G3/3266 G09G3/3233 G09G2230/00 G09G2300/0408 G09G2300/0842 G09G2310/0262		
代理人(译)	Bakyoungbok		
外部链接	Espacenet		

摘要(译)

OLED显示面板技术领域本发明涉及一种OLED显示面板，该OLED显示面板用于在显示区域中布置GIP驱动电路，以最小化边框并最小化用于构成GIP驱动电路的信号连接线。显示区域包括在每个交叉点处设置的子像素；并且，GIP驱动电路的级分布在显示区域中的由m条扫描线（m是自然数）驱动的单位像素区域中，并且向对应的扫描线提供扫描脉冲。进位部分，用于通过后级的进位脉冲和进位脉冲来控制第一节点和第二节点的电压电平，以及根据第一节点和第二节点的电压电平输入的进位脉冲输出时钟信号。根据第一节点和第二节点的电压电平，输出用于输出脉冲的进位脉冲输出单元和用于输出输入到m条扫描线的扫描脉冲输出时钟信号的m条扫描脉冲输出单元，作为扫描脉冲它的特点是它的存在。