



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0038727  
(43) 공개일자 2019년04월09일

(51) 국제특허분류(Int. Cl.)  
H01L 27/32 (2006.01)

(52) CPC특허분류  
H01L 27/3276 (2013.01)  
H01L 27/3211 (2013.01)

(21) 출원번호 10-2017-0128142  
(22) 출원일자 2017년09월29일  
심사청구일자 없음

(71) 출원인  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자  
소동윤  
충청남도 아산시 탕정면 탕정면로 37, 303동 101호  
김태곤  
충청남도 천안시 서북구 불당17길 14, 104동 305호

(74) 대리인  
박영우

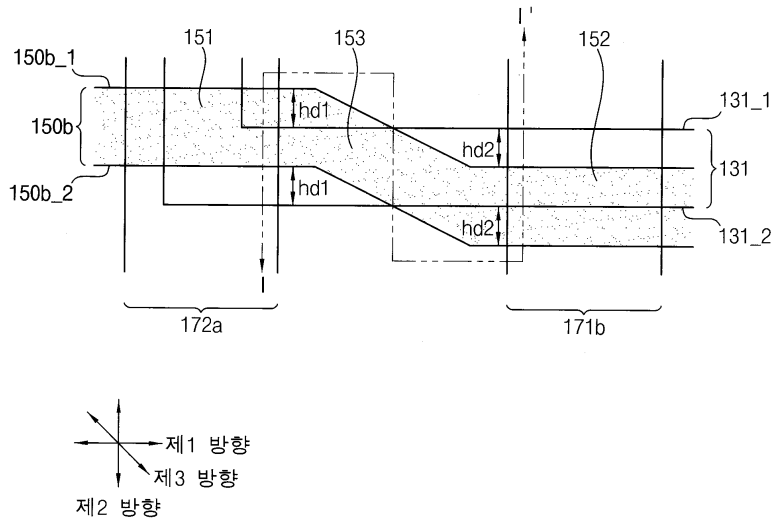
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 표시 기관 및 이를 포함하는 유기 발광 표시 장치

**(57) 요약**

표시 기관은 제1 방향으로 연장되는 제1 도전 라인 및 제1 도전 라인과 제1 절연층을 사이에 두고 중첩하는 제2 도전 라인을 포함할 수 있다. 제2 도전 라인은 제1 방향으로 연장되는 제1 직선부 및 제2 직선부, 그리고 제1 직선부와 제2 직선부 사이에 배치되고, 적어도 하나의 측면이 제2 방향으로 연장되는 사선부를 포함할 수 있다.

**대표도 - 도4**



(52) CPC특허분류

*H01L 27/3258* (2013.01)

*H01L 27/3262* (2013.01)

*H01L 27/3265* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

제1 방향으로 연장되는 제1 도전 라인; 및

상기 제1 도전 라인과 제1 절연층을 사이에 두고 중첩하는 제2 도전 라인을 포함하고,

상기 제2 도전 라인은:

상기 제1 방향으로 연장되는 제1 직선부 및 제2 직선부; 및

상기 제1 직선부와 상기 제2 직선부 사이에 배치되고, 적어도 하나의 측면이 제2 방향으로 연장되는 사선부를 포함하는, 표시 기관.

#### 청구항 2

제1항에 있어서,

상기 사선부의 상기 적어도 하나의 측면은 상기 제1 도전 라인의 일 측면과 교차하는, 표시 기관.

#### 청구항 3

제1항에 있어서,

상기 사선부의 양 측면들은 상기 제2 방향으로 연장되는, 표시 기관.

#### 청구항 4

제1항에 있어서,

상기 사선부의 일 측면은 상기 제2 방향으로 연장되고,

상기 사선부의 다른 측면은 제3 방향으로 연장되는, 표시 기관.

#### 청구항 5

제1항에 있어서,

상기 사선부의 일 측면은 상기 제2 방향으로 연장되고,

상기 사선부의 다른 측면은 상기 제1 방향으로 연장되는, 표시 기관.

#### 청구항 6

제1항에 있어서,

서로 대응하는 상기 제1 도전 라인의 일 측면과 상기 제2 도전 라인의 상기 제1 직선부의 일 측면 사이의 제1 수평 거리는  $0.45\ \mu\text{m}$ 보다 큰, 표시 기관.

#### 청구항 7

제6항에 있어서,

상기 제1 수평 거리는  $1.48\ \mu\text{m}$ 보다 큰, 표시 기관.

#### 청구항 8

제6항에 있어서,

서로 대응하는 상기 제1 도전 라인의 일 측면과 상기 제2 도전 라인의 상기 제2 직선부의 일 측면 사이의 제2

수평 거리는 0.45  $\mu\text{m}$ 보다 큰, 표시 기관.

**청구항 9**

제8항에 있어서,

상기 제2 수평 거리는 1.48  $\mu\text{m}$ 보다 큰, 표시 기관.

**청구항 10**

제1항에 있어서,

상기 제2 도전 라인과 제2 절연층을 사이에 두고 각각 교차하는 제3 도전 라인 및 제4 도전 라인을 더 포함하고,

상기 제2 도전 라인의 상기 사선부는 상기 제3 도전 라인 및 상기 제4 도전 라인의 사이에 위치하는, 표시 기관.

**청구항 11**

제1 방향으로 연장되는 액티브 라인을 포함하는 액티브 패턴;

상기 액티브 라인과 게이트 절연막을 사이에 두고 중첩하는 초기화 전압 라인, 상기 제1 방향으로 연장되는 게이트 라인 및 초기화 라인, 상기 제1 방향에 교차하는 제2 방향으로 연장되는 데이터 라인 및 전원 라인을 포함하는 신호 라인; 및

상기 신호 라인에 각각 연결되고, 상기 액티브 패턴을 따라 형성되는 복수의 박막 트랜지스터들, 상기 전원 라인에 연결되는 커패시터 및 유기 발광 다이오드를 각각 포함하는 복수의 화소들을 포함하고,

상기 초기화 전압 라인은:

상기 제1 방향으로 연장되는 제1 직선부 및 제2 직선부; 및

상기 제1 직선부와 상기 제2 직선부 사이에 배치되고, 적어도 하나의 측면이 제3 방향으로 연장되는 사선부를 포함하는, 유기 발광 표시 장치.

**청구항 12**

제11항에 있어서,

상기 사선부의 상기 적어도 하나의 측면은 상기 액티브 라인의 일 측면과 교차하는, 유기 발광 표시 장치.

**청구항 13**

제11항에 있어서,

상기 사선부의 양 측면들은 상기 제3 방향으로 연장되는, 유기 발광 표시 장치.

**청구항 14**

제11항에 있어서,

상기 사선부의 일 측면은 상기 제3 방향으로 연장되고,

상기 사선부의 다른 측면은 제4 방향으로 연장되는, 유기 발광 표시 장치.

**청구항 15**

제11항에 있어서,

상기 사선부의 일 측면은 상기 제3 방향으로 연장되고,

상기 사선부의 다른 측면은 상기 제1 방향으로 연장되는, 유기 발광 표시 장치.

**청구항 16**

제11항에 있어서,

각각의 상기 복수의 화소들은 상기 게이트 라인 및 상기 데이터 라인에 연결되는 스위칭 박막 트랜지스터, 상기 스위칭 박막 트랜지스터의 드레인에 연결되는 구동 박막 트랜지스터, 상기 초기화 라인을 통해 전달된 초기화 신호에 의해 턴-온되어 상기 구동 박막 트랜지스터의 게이트로 상기 초기화 전압 라인을 통해 전달된 초기화 전압을 인가하는 초기화 박막 트랜지스터 및 상기 유기 발광 다이오드의 애노드에 연결되는 바이패스 박막 트랜지스터를 포함하고,

상기 액티브 라인은 제  $i$  행 화소의 상기 바이패스 박막 트랜지스터와 제  $i+1$  행 화소의 상기 초기화 박막 트랜지스터의 사이에 위치하는, 유기 발광 표시 장치.

#### 청구항 17

제16항에 있어서,

상기 액티브 라인은 제  $j$  열 화소의 상기 바이패스 박막 트랜지스터와 제  $j+1$  열 화소의 상기 초기화 박막 트랜지스터의 사이에 위치하는, 유기 발광 표시 장치.

#### 청구항 18

제11항에 있어서,

상기 데이터 라인 및 상기 전원 라인은 층간 절연막을 사이에 두고 상기 초기화 전압 라인과 각각 교차하고,

상기 초기화 전압 라인의 상기 사선부는 상기 데이터 라인 및 상기 전원 라인의 사이에 위치하는, 유기 발광 표시 장치.

#### 청구항 19

제18항에 있어서,

상기 전원 라인은 제  $j$  열 화소의 상기 커패시터와 연결되고, 상기 데이터 라인은 제  $j+1$  열 화소의 상기 스위칭 박막 트랜지스터와 연결되는, 유기 발광 표시 장치.

#### 청구항 20

제11항에 있어서,

상기 게이트 절연막은 제1 게이트 절연막 및 제2 게이트 절연막을 포함하고,

상기 게이트 라인 및 상기 초기화 라인은 상기 제1 게이트 절연막을 사이에 두고 상기 액티브 패턴 상에 배치되며,

상기 초기화 전압 라인은 상기 제2 게이트 절연막을 사이에 두고 상기 게이트 라인 및 상기 초기화 라인 상에 배치되는, 유기 발광 표시 장치.

### 발명의 설명

#### 기술 분야

[0001] 본 발명은 표시 장치에 관한 것이다. 보다 상세하게는, 본 발명은 도전 라인을 포함하는 표시 기관 및 이러한 표시 기관을 포함하는 유기 발광 표시 장치에 관한 것이다.

#### 배경 기술

[0002] 유기 발광 표시 장치는 전류 또는 전압에 의해 휘도가 제어되는 유기 발광 다이오드(Organic Light Emitting Diode, OLED)를 포함한다. 유기 발광 표시 장치는 높은 콘트라스트 및 빠른 응답과 같은 특징을 가지므로, 휴대폰, 스마트폰(smartphone), 노트북 컴퓨터(laptop computer), 디지털방송용 단말기, PDA(personal digital assistants), PMP(portable multimedia player), 내비게이션, 슬레이트 PC(slate PC), 태블릿 PC(tablet PC), 울트라북(ultrabook), 웨어러블 디바이스(wearable device), 디지털 TV, 데스크탑 컴퓨터, 디지털 사이니지 등

에 사용되고 있다.

[0003] 유기 발광 표시 장치는 복수의 게이트 라인들, 복수의 데이터 라인들 및 복수의 전원 라인들과, 상기 라인들에 연결되어 매트릭스 형태로 배열되는 복수의 화소 회로들을 포함할 수 있다. 또한, 상기 각 화소 회로는 통상적으로 유기 발광 다이오드, 복수의 트랜지스터들(예를 들면, 데이터 전압을 전달하기 위한 스위칭 트랜지스터 및 상기 데이터 전압에 따라 상기 유기 발광 다이오드를 구동시키기 위한 구동 트랜지스터), 그리고 상기 데이터 전압을 유지시키기 위한 커패시터를 포함할 수 있다.

**발명의 내용**

**해결하려는 과제**

[0004] 본 발명의 일 목적은 도전막의 식각 공정에서 잔류 도전막이 형성되지 않는 표시 기판을 제공하는 것이다.  
 [0005] 본 발명의 일 목적은 데이터 라인 및 전원 라인을 형성하는 도전막의 식각 공정에서 그 사이에 잔류 도전막이 형성되지 않는 유기 발광 표시 장치를 제공하는 것이다.  
 [0006] 다만, 본 발명의 목적이 이와 같은 목적들에 한정되는 것은 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

**과제의 해결 수단**

[0007] 전술한 본 발명의 일 목적을 달성하기 위하여, 일 실시예에 따른 표시 기판은 제1 방향으로 연장되는 제1 도전 라인 및 상기 제1 도전 라인과 제1 절연층을 사이에 두고 중첩하는 제2 도전 라인을 포함할 수 있다. 상기 제2 도전 라인은 상기 제1 방향으로 연장되는 제1 직선부 및 제2 직선부, 그리고 상기 제1 직선부와 상기 제2 직선부 사이에 배치되고, 적어도 하나의 측면이 제2 방향으로 연장되는 사선부를 포함할 수 있다.  
 [0008] 일 실시예에 있어서, 상기 사선부의 상기 적어도 하나의 측면은 상기 제1 도전 라인의 일 측면과 교차할 수 있다.  
 [0009] 일 실시예에 있어서, 상기 사선부의 양 측면들은 상기 제2 방향으로 연장될 수 있다.  
 [0010] 일 실시예에 있어서, 상기 사선부의 일 측면은 상기 제2 방향으로 연장되고, 상기 사선부의 다른 측면은 제3 방향으로 연장될 수 있다.  
 [0011] 일 실시예에 있어서, 상기 사선부의 일 측면은 상기 제2 방향으로 연장되고, 상기 사선부의 다른 측면은 상기 제1 방향으로 연장될 수 있다.  
 [0012] 일 실시예에 있어서, 서로 대응하는 상기 제1 도전 라인의 일 측면과 상기 제2 도전 라인의 상기 제1 직선부의 일 측면 사이의 제1 수평 거리는 약 0.45  $\mu\text{m}$ 보다 클 수 있다.  
 [0013] 일 실시예에 있어서, 상기 제1 수평 거리는 약 1.48  $\mu\text{m}$ 보다 클 수 있다.  
 [0014] 일 실시예에 있어서, 서로 대응하는 상기 제1 도전 라인의 일 측면과 상기 제2 도전 라인의 상기 제2 직선부의 일 측면 사이의 제2 수평 거리는 약 0.45  $\mu\text{m}$ 보다 클 수 있다.  
 [0015] 일 실시예에 있어서, 상기 제2 수평 거리는 약 1.48  $\mu\text{m}$ 보다 클 수 있다.  
 [0016] 일 실시예에 있어서, 상기 표시 기판은 상기 제2 도전 라인과 제2 절연층을 사이에 두고 각각 교차하는 제3 도전 라인 및 제4 도전 라인을 더 포함하고, 상기 제2 도전 라인의 상기 사선부는 상기 제3 도전 라인 및 상기 제4 도전 라인의 사이에 위치할 수 있다.  
 [0017] 전술한 본 발명의 다른 목적을 달성하기 위하여, 일 실시예에 따른 유기 발광 표시 장치는 제1 방향으로 연장되는 액티브 라인을 포함하는 액티브 패턴, 상기 액티브 라인과 게이트 절연막을 사이에 두고 중첩하는 초기화 전압 라인, 상기 제1 방향으로 연장되는 게이트 라인 및 초기화 라인, 상기 제1 방향에 교차하는 제2 방향으로 연장되는 데이터 라인 및 전원 라인을 포함하는 신호 라인, 그리고 상기 신호 라인에 각각 연결되고, 상기 액티브 패턴을 따라 형성되는 복수의 박막 트랜지스터들, 상기 전원 라인에 연결되는 커패시터 및 유기 발광 다이오드를 각각 포함하는 복수의 화소들을 포함할 수 있다. 상기 초기화 전압 라인은 상기 제1 방향으로 연장되는 제1 직선부 및 제2 직선부, 그리고 상기 제1 직선부와 상기 제2 직선부 사이에 배치되고, 적어도 하나의 측면이 제3 방향으로 연장되는 사선부를 포함할 수 있다.

- [0018] 일 실시예에 있어서, 상기 사선부의 상기 적어도 하나의 측면은 상기 액티브 라인의 일 측면과 교차할 수 있다.
- [0019] 일 실시예에 있어서, 상기 사선부의 양 측면들은 상기 제3 방향으로 연장될 수 있다.
- [0020] 일 실시예에 있어서, 상기 사선부의 일 측면은 상기 제3 방향으로 연장되고, 상기 사선부의 다른 측면은 제4 방향으로 연장될 수 있다.
- [0021] 일 실시예에 있어서, 상기 사선부의 일 측면은 상기 제3 방향으로 연장되고, 상기 사선부의 다른 측면은 상기 제1 방향으로 연장될 수 있다.
- [0022] 일 실시예에 있어서, 각각의 상기 복수의 화소들은 상기 게이트 라인 및 상기 데이터 라인에 연결되는 스위칭 박막 트랜지스터, 상기 스위칭 박막 트랜지스터의 드레인에 연결되는 구동 박막 트랜지스터, 상기 초기화 라인을 통해 전달된 초기화 신호에 의해 턴-온되어 상기 구동 박막 트랜지스터의 게이트로 상기 초기화 전압 라인을 통해 전달된 초기화 전압을 인가하는 초기화 박막 트랜지스터, 그리고 상기 유기 발광 다이오드의 애노드에 연결되는 바이패스 박막 트랜지스터를 포함할 수 있다. 상기 액티브 라인은 제 $i$  행 화소의 상기 바이패스 박막 트랜지스터와 제 $i+1$  행 화소의 상기 초기화 박막 트랜지스터의 사이에 위치할 수 있다.
- [0023] 일 실시예에 있어서, 상기 액티브 라인은 제 $j$  열 화소의 상기 바이패스 박막 트랜지스터와 제 $j+1$  열 화소의 상기 초기화 박막 트랜지스터의 사이에 위치할 수 있다.
- [0024] 일 실시예에 있어서, 상기 데이터 라인 및 상기 전원 라인은 층간 절연막을 사이에 두고 상기 초기화 전압 라인 과 각각 교차하고, 상기 초기화 전압 라인의 상기 사선부는 상기 데이터 라인 및 상기 전원 라인의 사이에 위치할 수 있다.
- [0025] 일 실시예에 있어서, 상기 전원 라인은 제 $j$  열 화소의 상기 커패시터와 연결되고, 상기 데이터 라인은 제 $j+1$  열 화소의 상기 스위칭 박막 트랜지스터와 연결될 수 있다.
- [0026] 일 실시예에 있어서, 상기 게이트 절연막은 제1 게이트 절연막 및 제2 게이트 절연막을 포함하고, 상기 게이트 라인 및 상기 초기화 라인은 상기 제1 게이트 절연막을 사이에 두고 상기 액티브 패턴 상에 배치되며, 상기 초기화 전압 라인은 상기 제2 게이트 절연막을 사이에 두고 상기 게이트 라인 및 상기 초기화 라인 상에 배치될 수 있다.

**발명의 효과**

- [0027] 본 발명의 일 실시예에 따른 표시 기관에 있어서, 제1 방향으로 연장되는 제1 도전 라인에 중첩하는 제2 도전 라인이 적어도 하나의 측면이 제2 방향으로 연장되는 사선부를 포함함으로써, 제2 도전 라인 상에 원치 않는 잔류 도전막이 형성되는 것을 방지할 수 있다.
- [0028] 본 발명의 일 실시예에 따른 유기 발광 표시 장치에 있어서, 제1 방향으로 연장되는 액티브 라인에 중첩하는 초기화 전압 라인이 적어도 하나의 측면이 제2 방향으로 연장되는 사선부를 포함함으로써, 초기화 전압 라인 상에 원치 않는 잔류 도전막이 형성되는 것을 방지할 수 있다.
- [0029] 다만, 본 발명의 효과가 전술한 효과에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

**도면의 간단한 설명**

- [0030] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 나타내는 블록도이다.
- 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소를 나타내는 등가 회로도이다.
- 도 3은 본 발명의 일 실시예에 따른 표시 기관의 복수의 박막 트랜지스터들 및 커패시터를 개략적으로 나타내는 도면이다.
- 도 4는 본 발명의 일 실시예에 따른 표시 기관의 도전 라인들을 구체적으로 나타내는 도면이다.
- 도 5는 도 4의 표시 기관을 I-I' 선을 따라 자른 단면도이다.
- 도 6은 본 발명의 일 실시예에 따른 표시 기관의 도전 라인들을 구체적으로 나타내는 도면이다.
- 도 7은 본 발명의 일 실시예에 따른 표시 기관의 도전 라인들을 구체적으로 나타내는 도면이다.

도 8은 본 발명의 일 실시예에 따른 표시 기관의 도전 라인들을 구체적으로 나타내는 도면이다.

도 9는 본 발명의 일 실시예에 따른 표시 기관의 도전 라인들을 구체적으로 나타내는 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0031] 이하, 첨부한 도면들을 참조하여, 본 발명의 실시예들에 따른 표시 기관들 및 유기 발광 표시 장치들을 보다 상세하게 설명한다. 첨부된 도면들 상의 동일한 구성 요소들에 대해서는 동일하거나 유사한 참조 부호들을 사용한다.
- [0032] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 나타내는 블록도이다.
- [0033] 도 1을 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 표시부(10), 게이트 구동부(21), 초기화 구동부(22), 데이터 구동부(30), 발광 구동부(40), 전원 공급부(50) 및 신호 제어부(60)를 포함할 수 있다. 도 1에 도시된 구성요소들은 유기 발광 표시 장치를 구현하는데 있어서 필수적인 것은 아니므로, 본 명세서에서 설명되는 유기 발광 표시 장치는 위에서 열거된 구성요소들 보다 많거나, 또는 적은 구성요소들을 가질 수 있다.
- [0034] 표시부(10)는 복수의 게이트 라인들 중에서 대응하는 게이트 라인, 복수의 초기화 라인들 중에서 대응하는 초기화 라인, 복수의 데이터 라인들 중에서 대응하는 데이터 라인 및 복수의 발광 제어 라인들 중에서 대응하는 발광 제어 라인에 각각 연결되는 복수의 화소들(PX)을 포함할 수 있다. 화소들(PX)은 데이터 라인들로부터 전달되는 데이터 전압들에 따라 영상을 표시할 수 있다.
- [0035] 화소들(PX)은 상기 게이트 라인들, 상기 초기화 라인들, 상기 데이터 라인들 및 상기 발광 제어 라인들에 연결되어 대략 행렬의 형태로 배열될 수 있다. 일 실시예에 있어서, 화소들(PX)은 m행 및 n열의 행렬 구조를 가질 수 있다(여기서, m 및 n은 자연수).
- [0036] 상기 게이트 라인들은 제1 방향(예를 들면, 행 방향)으로 연장되어 서로가 거의 평행할 수 있다. 상기 초기화 라인들과 상기 발광 제어 라인들도 제1 방향으로 연장되어 서로가 거의 평행할 수 있다. 상기 데이터 라인들은 제1 방향과 교차하는 제2 방향(예를 들면, 열 방향)으로 연장되어 서로가 거의 평행할 수 있다.
- [0037] 게이트 구동부(21)는 상기 게이트 라인들을 통해 표시부(10)에 연결될 수 있다. 게이트 구동부(21)는 제어 신호(CONT2)에 따라 복수의 게이트 신호들(GW[1], GW[2], ..., GW[m])을 생성하여 상기 게이트 라인들 중에서 대응하는 게이트 라인에 전달할 수 있다.
- [0038] 초기화 구동부(22)는 상기 초기화 라인들을 통해 표시부(10)에 연결될 수 있다. 초기화 구동부(22)는 제어 신호(CONT3)에 따라 복수의 초기화 신호들(GI[1], GI[2], ..., GI[m])을 생성하여 상기 초기화 라인들 중에서 대응하는 초기화 라인에 전달할 수 있다.
- [0039] 제어 신호들(CONT2, CONT3)은 신호 제어부(60)에서 생성되어 각각 게이트 구동부(21) 및 초기화 구동부(22)에 전달되는 동작 제어 신호들일 수 있다. 제어 신호들(CONT2, CONT3)은 각각 게이트 시작 신호, 서로 다른 종류의 클럭 신호들 등을 포함할 수 있다. 상기 게이트 시작 신호는 하나의 프레임의 영상을 표시하기 위한 첫 번째 게이트 신호(GW[1])를 발생시키는 신호일 수 있다. 상기 클럭 신호들 중에서 어느 하나는 상기 게이트 라인들에 순차적으로 게이트 신호들(GW[1], GW[2], ..., GW[m])을 인가시키기 위한 동기 신호이고, 상기 클럭 신호들 중에서 다른 하나는 복수의 초기화 라인들에 동시에 초기화 신호들(GI[1], GI[2], ..., GI[m])을 인가시키기 위한 동기 신호일 수 있다.
- [0040] 데이터 구동부(30)는 상기 데이터 라인들을 통해 표시부(10)의 화소들(PX)과 연결될 수 있다. 데이터 구동부(30)는 영상 데이터 신호(IMAGE)를 전달받아 제어 신호(CONT1)에 따라서 상기 데이터 라인들 중에서 대응하는 데이터 라인에 복수의 데이터 전압들(DATA[1], DATA[2], ..., DATA[n])을 전달할 수 있다. 제어 신호(CONT1)는 신호 제어부(60)에서 생성되어 데이터 구동부(30)에 전달되는 동작 제어 신호일 수 있다.
- [0041] 데이터 구동부(30)는 영상 데이터 신호(IMAGE)에 따른 계조 전압을 선택하여 데이터 전압들(DATA[1], DATA[2], ..., DATA[n])을 상기 데이터 라인들에 전달할 수 있다. 데이터 구동부(30)는 제어 신호(CONT1)에 따라 입력된 영상 데이터 신호(IMAGE)를 샘플링 및 홀딩하고, 상기 데이터 라인들 각각에 데이터 전압들(DATA[1], DATA[2], ..., DATA[n])을 전달할 수 있다. 예를 들면, 데이터 구동부(30)는 게이트 온 전압의 게이트 신호들(GW[1], GW[2], ..., GW[m])에 대응하여 상기 데이터 라인들에 소정의 전압 범위를 갖는 데이터 전압들(DATA[1], DATA[2], ..., DATA[n])을 인가할 수 있다.

- [0042] 발광 구동부(40)는 제어 신호(CONT4)에 따라 복수의 발광 제어 신호들(EM[1], EM[2], ..., EM[m])을 생성할 수 있다. 발광 구동부(40)는 제어 신호(CONT4)에 따라 상기 발광 제어 라인들 각각에 발광 제어 신호들(EM[1], EM[2], ..., EM[m])을 전달할 수 있다.
- [0043] 전원 공급부(50)는 제어 신호(CONT5)에 따라 초기화 전압(VINT), 제1 구동전압(ELVDD) 및 제2 구동 전압(ELVSS)을 표시부(10)의 화소들(PX)에 공급할 수 있다.
- [0044] 신호 제어부(60)는 외부로부터 입력되는 영상 신호(IS) 및 이의 표시를 제어하는 입력 제어 신호들을 수신할 수 있다. 영상 신호(IS)는 표시부(10)의 화소들(PX) 각각의 계조(gray)로 구분되는 휘도(luminance) 정보를 포함할 수 있다. 한편, 신호 제어부(60)에 전달되는 상기 입력 제어 신호들의 예로는 수평 동기 신호(HSYNC), 수직 동기 신호(VSYNC), 메인 클럭 신호(MCLK) 등이 있을 수 있다.
- [0045] 신호 제어부(60)는 영상 신호(IS), 수평 동기 신호(HSYNC), 수직 동기 신호(VSYNC) 및 메인 클럭 신호(MCLK)에 따라 제어 신호들(CONT1, CONT2, CONT3, CONT4, CONT5) 및 영상 데이터 신호(IMAGE)를 생성할 수 있다. 신호 제어부(60)는 입력되는 영상 신호(IS)와 상기 입력 제어 신호들을 기초로 영상 신호(IS)를 표시부(10) 및 데이터 구동부(30)의 동작 조건에 맞게 적절히 영상 처리할 수 있다. 구체적으로, 신호 제어부(60)는 영상 신호(IS)에 대하여 감마 보정, 휘도 보상 등의 영상 처리 과정을 거쳐 영상 데이터 신호(IMAGE)를 생성할 수 있다.
- [0046] 예를 들면, 신호 제어부(60)는 데이터 구동부(30)의 동작을 제어하는 제어 신호(CONT1)를 생성하고, 상기 영상 처리 과정을 거친 영상 데이터 신호(IMAGE)와 함께 데이터 구동부(30)에 전달할 수 있다. 그리고, 신호 제어부(60)는 게이트 구동부(21)의 동작을 제어하는 제어 신호(CONT2)를 게이트 구동부(21)에 전달할 수 있다. 또한, 신호 제어부(60)는 초기화 구동부(22)의 동작을 제어하는 제어 신호(CONT3)를 초기화 구동부(22)에 전달할 수 있다. 또한, 신호 제어부(60)는 제어 신호(CONT4)를 발광 구동부(40)에 전달하여 발광 구동부(40)를 구동시킬 수 있다.
- [0047] 그리고, 신호 제어부(60)는 전원 공급부(50)의 구동을 제어할 수 있다. 전원 공급부(50)는 표시부(10)의 각 화소(PX)에 포함되는 구동 트랜지스터의 게이트와 유기 발광 다이오드의 애노드를 소정의 전압으로 초기화하는 초기화 전압(VINT) 및 각 화소(PX)의 구동을 위한 전원 전압들(ELVDD, ELVSS)을 공급할 수 있다. 예를 들면, 신호 제어부(60)는 제어 신호(CONT5)를 전원 공급부(50)에 전달하여 전원 공급부(50)를 구동시킬 수 있다.
- [0048] 다음으로, 도 2를 참조하여 일 실시예에 따른 유기 발광 표시 장치의 화소에 대해 구체적으로 설명한다.
- [0049] 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소를 나타내는 등가 회로도이다.
- [0050] 도 2를 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 인접한 두 화소들(PX1, PX2)은 복수의 신호 라인들(121a, 121b, 122a, 122b, 123a, 123b, 150a, 150b, 171a, 171b, 172a, 172b), 복수의 신호 라인들에 연결되어 있는 복수의 박막 트랜지스터들(T1, T2, T3, T4, T5, T6, T7), 스토리지 커패시터(storage capacitor, CST) 및 유기 발광 다이오드(organic light emitting diode, OLED)를 포함할 수 있다. 일 실시예에 있어서, 제1 화소(PX1)는 i행에 위치한 화소이고, 제2 화소(PX2)는 i+1행에 위치한 화소일 수 있다(여기서, i는 m보다 작은 자연수). 일 실시예에 있어서, 제1 화소(PX1)는 j열에 위치한 화소이고, 제2 화소(PX2)는 j+1열에 위치한 화소일 수 있다(여기서, j는 n보다 작은 자연수). 예를 들면, 제1 화소(PX1)는 i행 및 j열에 위치한 화소이고, 제2 화소(PX2)는 i+1행 및 j+1열에 위치한 화소일 수 있다.
- [0051] 박막 트랜지스터들(T1, T2, T3, T4, T5, T6, T7)은 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 동작 제어 박막 트랜지스터(T5), 발광 제어 박막 트랜지스터(T6) 및 바이패스 박막 트랜지스터(T7)를 포함할 수 있다.
- [0052] 신호 라인들(121a, 121b, 122a, 122b, 123a, 123b, 150a, 150b, 171a, 171b, 172a, 172b)은 게이트 신호(GW[i], GW[i+1])를 전달하는 게이트 라인(121a, 121b), 초기화 박막 트랜지스터(T4) 및 바이패스 박막 트랜지스터(T7)에 초기화 신호(GI[i], GI[i+1])를 전달하는 초기화 라인(122a, 122b), 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)에 발광 제어 신호(EM[i], EM[i+1])를 전달하는 발광 제어 라인(123a, 123b), 구동 박막 트랜지스터(T1) 및 유기 발광 다이오드(OLED)를 초기화하는 초기화 전압(VINT)을 전달하는 초기화 전압 라인(150a, 150b), 게이트 라인(121a, 121b)과 교차하며 데이터 전압(DATA[j], DATA[j+1])을 전달하는 데이터 라인(171a, 171b), 그리고 제1 전원 전압(ELVDD)을 전달하며 데이터 라인(171a, 171b)과 거의 평행하게 형성되는 전원 라인(172a, 172b)을 포함할 수 있다.
- [0053] i행에 위치하는 제1 화소(PX1)를 살펴보면, 구동 박막 트랜지스터(T1)의 게이트(GATE)는 스토리지 커패시터

(CST)의 일단과 연결되고, 구동 박막 트랜지스터(T1)의 소스(SOURCE)는 동작 제어 박막 트랜지스터(T5)를 경유하여 전원 라인(172a)과 연결되며, 구동 박막 트랜지스터(T1)의 드레인(DRAIN)은 발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 다이오드(OLED)의 애노드(ANODE)와 전기적으로 연결될 수 있다. 구동 박막 트랜지스터(T1)는 스위칭 박막 트랜지스터(T2)의 스위칭 동작에 따라 데이터 전압(DATA[j])을 전달받아 유기 발광 다이오드(OLED)에 구동 전류(ID)를 공급할 수 있다.

- [0054] 스위칭 박막 트랜지스터(T2)의 게이트는 게이트 라인(121a)과 연결되고, 스위칭 박막 트랜지스터(T2)의 소스는 데이터 라인(171a)과 연결되며, 스위칭 박막 트랜지스터(T2)의 드레인은 구동 박막 트랜지스터(T1)의 소스(SOURCE)와 연결되면서 동작 제어 박막 트랜지스터(T5)를 경유하여 전원 라인(172a)과 연결될 수 있다.
- [0055] 이러한 스위칭 박막 트랜지스터(T2)는 게이트 라인(121a)을 통해 전달받은 게이트 신호(GW[i])에 따라 턴-온되어 데이터 라인(171a)으로부터 전달된 데이터 전압(DATA[j])을 구동 박막 트랜지스터(T1)의 소스(SOURCE)로 전달하는 스위칭 동작을 수행할 수 있다.
- [0056] 보상 박막 트랜지스터(T3)는 더블 게이트 트랜지스터(T3-1, T3-2)로 형성되어 누설 전류(leakage current)를 방지할 수 있다. 보상 박막 트랜지스터(T3-1, T3-2)의 게이트는 게이트 라인(121a)에 연결되고, 보상 박막 트랜지스터(T3-2)의 소스는 구동 박막 트랜지스터(T1)의 드레인(DRAIN)과 연결되면서 발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 다이오드(OLED)의 애노드(ANODE)와 연결되며, 보상 박막 트랜지스터(T3-1)의 드레인은 스토리지 커패시터(CST)의 일단, 초기화 박막 트랜지스터(T4)의 드레인 및 구동 박막 트랜지스터(T1)의 게이트(GATE)와 함께 연결될 수 있다. 그리고, 보상 박막 트랜지스터(T3-2)의 드레인과 보상 박막 트랜지스터(T3-1)의 소스가 서로 연결될 수 있다. 이러한 보상 박막 트랜지스터(T3)는 게이트 라인(121a)을 통해 전달받은 게이트 신호(GW[i])에 따라 턴-온되어 구동 박막 트랜지스터(T1)의 게이트(GATE)와 드레인(DRAIN)을 서로 연결하여 구동 박막 트랜지스터(T1)를 다이오드-연결시킬 수 있다.
- [0057] 초기화 박막 트랜지스터(T4)는 더블 게이트 트랜지스터(T4-1, T4-2)로 형성되어 누설 전류(leakage current)를 방지할 수 있다. 초기화 박막 트랜지스터(T4-1)의 게이트는 초기화 라인(122a)과 연결되고, 초기화 박막 트랜지스터(T4-1)의 드레인은 초기화 박막 트랜지스터(T4-2)의 소스와 연결되며, 초기화 박막 트랜지스터(T4-1)의 소스는 스토리지 커패시터(CST)의 일단, 보상 박막 트랜지스터(T3-1)의 드레인 및 구동 박막 트랜지스터(T1)의 게이트(GATE)와 함께 연결될 수 있다.
- [0058] 초기화 박막 트랜지스터(T4-2)의 게이트는 초기화 라인(122a)과 연결되고, 초기화 박막 트랜지스터(T4-2)의 드레인은 초기화 전압 라인(150a)과 연결되며, 초기화 박막 트랜지스터(T4-2)의 소스는 초기화 박막 트랜지스터(T4-1)의 드레인과 연결될 수 있다.
- [0059] 이러한 초기화 박막 트랜지스터(T4)는 초기화 라인(122a)을 통해 전달받은 초기화 신호(GI[i])에 따라 턴-온되어 초기화 전압(VINT)을 구동 박막 트랜지스터(T1)의 게이트(GATE)에 전달하여 구동 박막 트랜지스터(T1)의 게이트(GATE)의 전압을 초기화시키는 초기화 동작을 수행할 수 있다.
- [0060] 동작 제어 박막 트랜지스터(T5)의 게이트는 발광 제어 라인(123a)과 연결되고, 동작 제어 박막 트랜지스터(T5)의 소스는 전원 라인(172a)과 연결되며, 동작 제어 박막 트랜지스터(T5)의 드레인은 구동 박막 트랜지스터(T1)의 소스(SOURCE) 및 스위칭 박막 트랜지스터(T2)의 드레인과 연결될 수 있다.
- [0061] 발광 제어 박막 트랜지스터(T6)의 게이트는 발광 제어 라인(123a)과 연결되고, 발광 제어 박막 트랜지스터(T6)의 소스는 구동 박막 트랜지스터(T1)의 드레인(DRAIN) 및 보상 박막 트랜지스터(T3)의 소스와 연결되며, 발광 제어 박막 트랜지스터(T6)의 드레인은 유기 발광 다이오드(OLED)의 애노드(ANODE) 및 바이패스 박막 트랜지스터(T7)의 소스와 함께 전기적으로 연결될 수 있다.
- [0062] 이러한 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)는 발광 제어 라인(123a)을 통해 전달받은 발광 제어 신호(EM[i])에 따라 동시에 턴-온되며, 이때 제1 전원 전압(ELVDD)이 유기 발광 다이오드(OLED)에 전달되어 유기 발광 다이오드(OLED)에 구동 전류(ID)가 흐를 수 있다.
- [0063] 바이패스 박막 트랜지스터(T7)의 게이트는 i+1행의 초기화 라인(122b)과 연결되고, 바이패스 박막 트랜지스터(T7)의 드레인은 i+1행의 초기화 전압 라인(150b)과 연결되며, 바이패스 박막 트랜지스터(T7)의 소스는 유기 발광 다이오드(OLED)의 애노드(ANODE) 및 발광 제어 박막 트랜지스터(T6)의 드레인과 함께 전기적으로 연결될 수 있다.
- [0064] 이러한 바이패스 박막 트랜지스터(T7)는 i+1행의 초기화 라인(122b)을 통해 전달받은 초기화 신호(GI[i+1])에

따라 턴-온되어 초기화 전압(VINT)으로 유기 발광 다이오드(OLED)의 애노드(ANODE)의 전압을 초기화시키는 초기화 동작을 수행할 수 있다.

- [0065] 스토리지 커패시터(CST)의 타단은 전원 라인(172a)과 연결되고, 유기 발광 다이오드(OLED)의 캐소드(cathode)는 공통 전압(ELVSS)을 공급받을 수 있다. 이에 따라, 유기 발광 다이오드(OLED)는 구동 박막 트랜지스터(T1)로부터 구동 전류(ID)를 전달받아 발광함으로써 유기 발광 표시 장치는 화상을 표시할 수 있다.
- [0066] 그러면 도 2에 도시한 유기 발광 표시 장치의 화소의 구조에 대하여 도 3을 도 2와 함께 참고하여 상세하게 설명한다.
- [0067] 도 3은 본 발명의 일 실시예에 따른 표시 기관의 복수의 박막 트랜지스터들 및 커패시터를 개략적으로 나타내는 도면이다.
- [0068] 도 3을 참조하면, 본 발명의 일 실시예에 따른 표시 기관은 게이트 신호(GW[i], GW[i+1]), 초기화 신호(GI[i], GI[i+1]) 및 발광 제어 신호(EM[i], EM[i+1])를 각각 인가하며 제1 방향을 따라 형성되는 게이트 라인(121a, 121b), 초기화 라인(122a, 122b) 및 발광 제어 라인(123a, 123b)을 포함할 수 있다. 또한, 표시 기관은 초기화 전압(VINT)을 인가하는 초기화 전압 라인(150a, 150b)을 포함할 수 있다. 도 1 및 도 2를 참조하여 설명한 일 실시예에 따른 유기 발광 표시 장치는 도 3에 도시된 일 실시예에 따른 표시 기관을 포함할 수 있다.
- [0069] 표시 기관은 게이트 라인(121a, 121b), 초기화 라인(122a, 122b) 및 발광 제어 라인(123a, 123b) 모두와 교차하며 화소들(PX)에 데이터 전압(DATA[j], DATA[j+1]) 및 제1 전원 전압(ELVDD)을 각각 인가하는 데이터 라인(171a, 171b) 및 전원 라인(172a, 172b)을 포함할 수 있다.
- [0070] 각 화소(PX)에는 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 동작 제어 박막 트랜지스터(T5), 발광 제어 박막 트랜지스터(T6), 바이패스 박막 트랜지스터(T7) 및 스토리지 커패시터(CST)가 형성될 수 있다.
- [0071] 박막 트랜지스터들(T1, T2, T3, T4, T5, T6, T7)은 비정질 실리콘 박막 트랜지스터(amorphous-Si TFT), 저온 폴리 실리콘(Low Temperature Poly-Silicon, LTPS) 박막 트랜지스터 및 산화물 박막 트랜지스터(Oxide TFT) 중에서 어느 하나로 제공될 수 있다. 산화물 박막 트랜지스터(Oxide TFT)는 비정질 IGZO(Indium-Gallium-Zinc-Oxide), ZnO(Zinc-Oxide), TiO(Titanium-Oxide) 등의 산화물을 액티브 패턴(130)으로 구비할 수 있다.
- [0072] 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 동작 제어 박막 트랜지스터(T5), 발광 제어 박막 트랜지스터(T6) 및 바이패스 박막 트랜지스터(T7)는 액티브 패턴(130)을 따라 형성되며, 액티브 패턴(130)은 다양한 형상으로 굴곡되어 형성될 수 있다.
- [0073] 특히, 액티브 패턴(130)은 제1 방향으로 연장되는 액티브 라인(131)을 포함할 수 있다. 일 실시예에 있어서, 액티브 라인(131)은 i행에 위치한 화소의 바이패스 박막 트랜지스터(T7)의 액티브 패턴(130)과 i+1행에 위치한 화소의 초기화 박막 트랜지스터(T4)의 액티브 패턴(130) 사이에 위치할 수 있다. 일 실시예에 있어서, 액티브 라인(131)은 j열에 위치한 화소의 바이패스 박막 트랜지스터(T7)의 액티브 패턴(130)과 j+1열에 위치한 화소의 초기화 박막 트랜지스터(T4)의 액티브 패턴(130) 사이에 위치할 수 있다. 예를 들면, 도 3에 도시된 바와 같이, 액티브 라인(131)은 i행 및 j열에 위치한 제1 화소(PX1)의 바이패스 박막 트랜지스터(T7)의 액티브 패턴(130)과 i+1행 및 j+1열에 위치한 제2 화소(PX2)의 초기화 박막 트랜지스터(T4)의 액티브 패턴(130) 사이에 위치할 수 있다.
- [0074] 초기화 전압 라인(150a, 150b)은 액티브 라인(131)과 절연되며 액티브 라인(131) 상에 위치할 수 있다. 초기화 전압 라인(150a, 150b)은 액티브 라인(131)과 중첩할 수 있다.
- [0075] 아래에서는 일 실시예에 따른 표시 기관의 액티브 라인(131) 및 초기화 전압 라인(150b)의 구조를 도 4 및 도 5를 참조하여 상세히 설명한다.
- [0076] 도 4는 본 발명의 일 실시예에 따른 표시 기관의 도전 라인들을 구체적으로 나타내는 도면이다. 예를 들면, 도 4는 도 3의 A 영역을 확대한 도면일 수 있다. 도 5는 도 4의 표시 기관을 I-I' 선을 따라 자른 단면도이다.
- [0077] 도 4 및 도 5를 참조하면, 기관(110) 상에는 버퍼막(111)이 배치될 수 있다. 기관(110)은 유리, 석영, 세라믹, 플라스틱 등으로 이루어진 절연성 기관으로 형성될 수 있다.
- [0078] 버퍼막(111) 상에는 제1 도전 라인이 배치될 수 있다. 상기 제1 도전 라인은 도 3의 액티브 라인(131)에 해당할 수 있다. 상기 제1 도전 라인이 액티브 라인(131)에 한정되는 것은 아니지만, 이하에서는 상기 제1 도전 라인을

액티브 라인(131)인 경우로 가정하여 설명한다. 액티브 라인(131)은 제1 방향으로 연장되고, 서로 대향하는 측면들인 제1 측면(131\_1) 및 제2 측면(131\_2)을 포함할 수 있다.

- [0079] 버퍼막(111) 상에는 액티브 라인(131)을 덮는 제1 절연층이 배치될 수 있다. 상기 제1 절연층은 게이트 절연막(140)에 해당할 수 있다. 상기 제1 절연층이 게이트 절연막(140)에 한정되는 것은 아니지만, 이하에서는 상기 제1 절연층이 게이트 절연막(140)인 경우로 가정하여 설명한다. 게이트 절연막(140)은 버퍼막(111) 상에 배치되고 액티브 라인(131)을 덮는 제1 게이트 절연막(141) 및 제1 게이트 절연막(141) 상에 배치되는 제2 게이트 절연막(142)을 포함할 수 있다.
- [0080] 제1 게이트 절연막(141) 상에는 도 3에 도시된 게이트 라인(121a, 121b), 초기화 라인(122a, 122b) 및 발광 제어 라인(123a, 123b)이 배치될 수 있다. 또한, 제1 게이트 절연막(141) 상에는 스토리지 커패시터(CST)의 일단 및 구동 박막 트랜지스터(T1)의 게이트 역할을 하는 전극이 배치될 수 있다.
- [0081] 제1 게이트 절연막(141) 상에는 게이트 라인(121a, 121b), 초기화 라인(122a, 122b) 및 발광 제어 라인(123a, 123b)을 덮는 제2 게이트 절연막(142)이 배치될 수 있다. 제2 게이트 절연막(142) 상에는 제2 도전 라인이 배치될 수 있다. 상기 제2 도전 라인은 도 3의 초기화 전압 라인(150a, 150b)에 해당할 수 있다. 상기 제2 도전 라인이 초기화 전압 라인(150a, 150b)에 한정되는 것은 아니지만, 이하에서는 상기 제2 도전 라인이 초기화 전압 라인(150a, 150b)인 경우로 가정하여 설명한다. 또한, 제2 게이트 절연막(142) 상에는 스토리지 커패시터(CST)의 타단 역할을 하는 전극이 배치될 수 있다.
- [0082] 제2 게이트 절연막(142) 상에는 초기화 전압 라인(150a, 150b)을 덮는 제2 절연층이 배치될 수 있다. 상기 제2 절연층은 층간 절연막(160)에 해당할 수 있다. 상기 제2 절연층이 층간 절연막(160)에 한정되는 것은 아니지만, 이하에서는 상기 제2 절연층이 층간 절연막(160)인 경우로 가정하여 설명한다. 층간 절연막(160) 상에는 제3 도전 라인 및 제4 도전 라인이 배치될 수 있다. 상기 제3 도전 라인 및 상기 제4 도전 라인은 각각 도 3의 데이터 라인(171a, 171b) 및 전원 라인(172a, 172b)에 해당할 수 있다. 상기 제3 도전 라인 및 상기 제4 도전 라인은 각각 데이터 라인(171a, 171b) 및 전원 라인(172a, 172b)에 한정되는 것은 아니지만, 이하에서는 상기 제3 도전 라인 및 상기 제4 도전 라인이 각각 데이터 라인(171a, 171b) 및 전원 라인(172a, 172b)인 경우로 가정하여 설명한다. 데이터 라인(171a, 171b)과 전원 라인(172a, 172b)은 층간 절연막(160)을 사이에 두고 초기화 전압 라인(150a, 150b)과 교차할 수 있다. 예를 들면, 데이터 라인(171a, 171b)과 전원 라인(172a, 172b)은 제2 방향으로 연장될 수 있다.
- [0083] 도 4에 도시된 바와 같이, 초기화 전압 라인(150b)은 액티브 라인(131)과 중첩되는 부분을 포함할 수 있다. 액티브 라인(131)과 중첩되는 부분에서, 초기화 전압 라인(150b)은 제1 방향으로 연장되는 제1 직선부(151) 및 제2 직선부(152), 그리고 제1 직선부(151)와 제2 직선부(152) 사이에 배치되고 적어도 하나의 측면이 제3 방향으로 연장되는 사선부(153)를 포함할 수 있다. 제3 방향은 서로 교차하는 제1 방향 및 제2 방향의 사이 방향일 수 있다. 예를 들면, 제3 방향은 제1 방향으로부터 시계 방향으로 예각을 이룰 수 있다. 또한, 초기화 전압 라인(150b)은 서로 대향하는 측면들인 제1 측면(150b\_1) 및 제2 측면(150b\_2)을 포함할 수 있다. 이에 따라, 초기화 전압 라인(150b)의 사선부(153)의 제1 측면(150b\_1) 및 제2 측면(150b\_2) 중에서 적어도 하나는 제3 방향으로 연장될 수 있다. 또한, 초기화 전압 라인(150b)의 제1 직선부(151)의 제1 측면(150b\_1) 및 제2 측면(150b\_2), 그리고 제2 직선부(152)의 제1 측면(150b\_1) 및 제2 측면(150b\_2)은 모두 제1 방향으로 연장될 수 있다.
- [0084] 일 실시예에 있어서, 초기화 전압 라인(150b)의 사선부(153)는 데이터 라인(171a, 171b) 및 전원 라인(172a, 172b)의 사이에 위치할 수 있다. 예를 들면, 초기화 전압 라인(150b)의 사선부(153)는 j열의 전원 라인(172a)과 j+1열의 데이터 라인(171b) 사이에 위치할 수 있다. 이 경우, 초기화 전압 라인(150b)의 제1 직선부(151)는 j열의 전원 라인(172a)과 교차하고, 초기화 전압 라인(150b)의 제2 직선부(152)는 j+1열의 데이터 라인(171b)과 교차할 수 있다.
- [0085] 초기화 전압 라인(150b)의 사선부(153)의 적어도 하나의 측면은 액티브 라인(131)의 일 측면과 교차할 수 있다. 초기화 전압 라인(150b)의 사선부(153)의 제1 측면(150b\_1) 및 제2 측면(150b\_2) 중에서 적어도 하나는 액티브 라인(131)의 제1 측면(131\_1) 및 제2 측면(131\_2) 중에서 어느 하나와 교차할 수 있다. 일 실시예에 있어서, 도 4에 도시된 바와 같이, 초기화 전압 라인(150b)의 사선부(153)의 제1 측면(150b\_1)은 액티브 라인(131)의 제1 측면(131\_1)과 교차하고, 초기화 전압 라인(150b)의 사선부(153)의 제2 측면(150b\_2)은 액티브 라인(131)의 제2 측면(131\_2)과 교차할 수 있다.
- [0086] 일 실시예에 있어서, 초기화 전압 라인(150b)의 사선부(153)의 양 측면들(150b\_1, 150b\_2)은 제3 방향으로 연장

될 수 있다. 이 경우, 초기화 전압 라인(150b)의 제1 직선부(151)의 일부가 액티브 라인(131)과 중첩되고, 초기화 전압 라인(150b)의 제2 직선부(152)의 일부가 액티브 라인(131)과 중첩될 수 있다. 예를 들면, 도 4에 도시된 바와 같이, 초기화 전압 라인(150b)의 제1 직선부(151)의 제2 측면(150b\_2)에 인접한 부분이 액티브 라인(131)의 제1 측면(131\_1)에 인접한 부분과 중첩되고, 초기화 전압 라인(150b)의 제2 직선부(152)의 제1 측면(150b\_1)에 인접한 부분이 액티브 라인(131)의 제2 측면(131\_2)에 인접한 부분과 중첩될 수 있다. 일 실시예에 있어서, 초기화 전압 라인(150b)의 사선부(153)의 제1 측면(150b\_1)과 제2 측면(150b\_2)은 서로 평행할 수 있다.

[0087] 서로 대응하는 액티브 라인(131)의 일 측면과 초기화 전압 라인(150b)의 제1 직선부(151)의 일 측면 사이의 제1 수평 거리(hd1) 또는 서로 대응하는 액티브 라인(131)의 일 측면과 초기화 전압 라인(150b)의 제2 직선부(152)의 일 측면 사이의 제2 수평 거리(hd2)는 소정의 수치보다 클 수 있다. 제1 수평 거리(hd1)는 액티브 라인(131)의 제1 측면(131\_1)과 초기화 전압 라인(150b)의 제1 직선부(151)의 제1 측면(150b\_1) 사이의 수평 거리 또는 액티브 라인(131)의 제2 측면(131\_2)과 초기화 전압 라인(150b)의 제1 직선부(151)의 제2 측면(150b\_2) 사이의 수평 거리일 수 있다. 또한, 제2 수평 거리(hd2)는 액티브 라인(131)의 제1 측면(131\_1)과 초기화 전압 라인(150b)의 제2 직선부(152)의 제1 측면(150b\_1) 사이의 수평 거리 또는 액티브 라인(131)의 제2 측면(131\_2)과 초기화 전압 라인(150b)의 제2 직선부(152)의 제2 측면(150b\_2) 사이의 수평 거리일 수 있다. 여기서, 수평 거리는 액티브 라인(131) 및 초기화 전압 라인(150b)이 동일 평면 상에 위치한다고 가정했을 때, 서로 대응하는 액티브 라인(131)의 일 측면과 초기화 전압 라인(150b)의 일 측면 사이의 이격 거리일 수 있다. 일 실시예에 있어서, 제1 수평 거리(hd1) 또는 제2 수평 거리(hd2)는 약 0.45  $\mu\text{m}$ 보다 클 수 있다. 일 실시예에 있어서, 제1 수평 거리(hd1) 또는 제2 수평 거리(hd2)는 공정 마진 등을 고려하여 약 1.48  $\mu\text{m}$ 보다 클 수 있다.

[0088] 일 실시예에 있어서, 도 4에 도시된 바와 같이, 제1 수평 거리(hd1) 및 제2 수평 거리(hd2)는 약 0.45  $\mu\text{m}$ 보다 클 수 있다. 서로 대응하는 액티브 라인(131)의 일 측면과 초기화 전압 라인(150b)의 일 측면 사이의 수평 거리가 약 0.45  $\mu\text{m}$ 보다 작은 경우에, 중첩된 액티브 라인(131) 및 초기화 전압 라인(150b)에 의하여 초기화 전압 라인(150b)을 덮는 층간 절연막(160)에 상대적으로 큰 단차가 형성되고, 이러한 큰 단차로 인하여 층간 절연막(160) 상에 원치 않는 잔류 도전막이 형성될 수 있다. 이러한 잔류 도전막이 제1 방향을 따라 형성되는 경우에, 상기 잔류 도전막에 의해 데이터 라인(171b)과 전원 라인(172a)이 단락될 수 있다.

[0089] 본 실시예와 같이, 제1 수평 거리(hd1) 및 제2 수평 거리(hd2)가 약 0.45  $\mu\text{m}$ 보다 큰 경우에, 초기화 전압 라인(150b)을 덮는 층간 절연막(160)에 상대적으로 작은 단차가 형성되고, 층간 절연막(160) 상에 원치 않는 잔류 도전막이 형성되지 않을 수 있다. 일 실시예에 있어서, 제1 수평 거리(hd1) 및 제2 수평 거리(hd2)는 공정 마진 등을 고려하여 약 1.48  $\mu\text{m}$ 보다 클 수 있다.

[0090] 도 6은 본 발명의 일 실시예에 따른 표시 기관의 도전 라인들을 구체적으로 나타내는 도면이다.

[0091] 일 실시예에 있어서, 제1 수평 거리(hd1) 및 제2 수평 거리(hd2) 중에서 어느 하나는 약 0.45  $\mu\text{m}$ 보다 크고, 다른 하나는 약 0.45  $\mu\text{m}$ 보다 작을 수 있다. 예를 들면, 도 6에 도시된 바와 같이, 제1 수평 거리(hd1)는 약 0.45  $\mu\text{m}$ 보다 크고, 제2 수평 거리(hd2)는 약 0.45  $\mu\text{m}$ 보다 작을 수 있다. 서로 대응하는 액티브 라인(131)의 일 측면과 초기화 전압 라인(150b)의 일 측면 사이의 수평 거리가 약 0.45  $\mu\text{m}$ 보다 작은 경우에, 중첩된 액티브 라인(131) 및 초기화 전압 라인(150b)에 의하여 초기화 전압 라인(150b) 상에 배치되는 층간 절연막(160)에 상대적으로 큰 단차가 형성되고, 이러한 큰 단차로 인하여 층간 절연막(160) 상에 원치 않는 잔류 도전막이 형성될 수 있다. 이러한 잔류 도전막이 제1 방향을 따라 형성되는 경우에, 상기 잔류 도전막에 의해 데이터 라인(171b)과 전원 라인(172a)이 단락될 수 있다.

[0092] 본 실시예와 같이, 제1 수평 거리(hd1)가 약 0.45  $\mu\text{m}$ 보다 크고 제2 수평 거리(hd2)가 약 0.45  $\mu\text{m}$ 보다 작은 경우에, 층간 절연막(160) 상의 데이터 라인(171b)에 인접하는 부분에는 원치 않는 잔류 도전막이 형성될 수 있으나, 층간 절연막(160) 상의 전원 라인(172a)에 인접하는 부분에는 원치 않는 잔류 도전막이 형성되지 않으므로, 데이터 라인(171b)과 전원 라인(172a)이 단락되지 않을 수 있다. 일 실시예에 있어서, 공정 마진 등을 고려하여 제1 수평 거리(hd1) 및 제2 수평 거리(hd2) 중에서 어느 하나는 약 1.48  $\mu\text{m}$ 보다 크고, 다른 하나는 약 1.48  $\mu\text{m}$ 보다 작을 수 있다.

[0093] 도 7은 본 발명의 일 실시예에 따른 표시 기관의 도전 라인들을 구체적으로 나타내는 도면이다.

[0094] 도 7을 참조하면, 일 실시예에 있어서, 초기화 전압 라인(150b)의 사선부(153)의 일 측면은 제3 방향으로 연장되고, 사선부(153)의 다른 측면은 제4 방향으로 연장될 수 있다. 제4 방향은 서로 교차하는 제1 방향 및 제2 방

향의 사이 방향이고, 제3 방향과 교차할 수 있다. 예를 들면, 제4 방향은 제1 방향으로부터 반시계 방향으로 예각을 이룰 수 있다. 이 경우, 초기화 전압 라인(150b)의 제1 직선부(151)의 일부가 액티브 라인(131)과 중첩되고, 초기화 전압 라인(150b)의 제2 직선부(152)의 전부가 액티브 라인(131)과 중첩될 수 있다. 예를 들면, 도 7에 도시된 바와 같이, 초기화 전압 라인(150b)의 제1 직선부(151)의 제1 측면(150b\_1)에 인접한 부분 및 제2 측면(150b\_2)에 인접한 부분이 액티브 라인(131)과 중첩되지 않고, 초기화 전압 라인(150b)의 제2 직선부(152)의 제1 측면(150b\_1)에 인접한 부분 및 제2 측면(150b\_2)에 인접한 부분이 액티브 라인(131)과 중첩될 수 있다. 일 실시예에 있어서, 초기화 전압 라인(150b)의 사선부(153)의 제1 측면(150b\_1)과 제2 측면(150b\_2)은 제1 방향을 기준으로 서로 대칭일 수 있다.

[0095] 도 8은 본 발명의 일 실시예에 따른 표시 기관의 도전 라인들을 구체적으로 나타내는 도면이다. 도 9는 본 발명의 일 실시예에 따른 표시 기관의 도전 라인들을 구체적으로 나타내는 도면이다.

[0096] 도 8 및 도 9를 참조하면, 초기화 전압 라인(150b)의 사선부(153)의 일 측면은 제3 방향으로 연장되고, 사선부(153)의 다른 측면은 제1 방향으로 연장될 수 있다. 이 경우, 초기화 전압 라인(150b)의 양 측면들(150b\_1, 150b\_2) 중 어느 하나는 제1 방향으로 연장될 수 있다. 예를 들면, 도 8에 도시된 바와 같이, 초기화 전압 라인(150b)의 제1 측면(150b\_1)은 제1 방향으로 연장될 수 있다.

[0097] 일 실시예에 있어서, 초기화 전압 라인(150b)의 제1 방향으로 연장되는 일 측면에 인접한 부분은 액티브 라인(131)과 중첩되지 않을 수 있다. 예를 들면, 도 8에 도시된 바와 같이, 초기화 전압 라인(150b)의 제1 방향으로 연장되는 제1 측면(150b\_1)에 인접한 부분은 액티브 라인(131)과 중첩되지 않을 수 있다.

[0098] 일 실시예에 있어서, 초기화 전압 라인(150b)의 제1 방향으로 연장되는 일 측면에 인접한 부분은 액티브 라인(131)과 중첩될 수 있다. 예를 들면, 도 9에 도시된 바와 같이, 초기화 전압 라인(150b)의 제1 방향으로 연장되는 제1 측면(150b\_1)에 인접한 부분은 액티브 라인(131)과 중첩될 수 있다.

**산업상 이용가능성**

[0099] 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치는 컴퓨터, 노트북, 휴대폰, 스마트폰, 스마트패드, 피엠펜(PMP), 피디에이(PDA), MP3 플레이어 등에 포함되는 표시 장치에 적용될 수 있다.

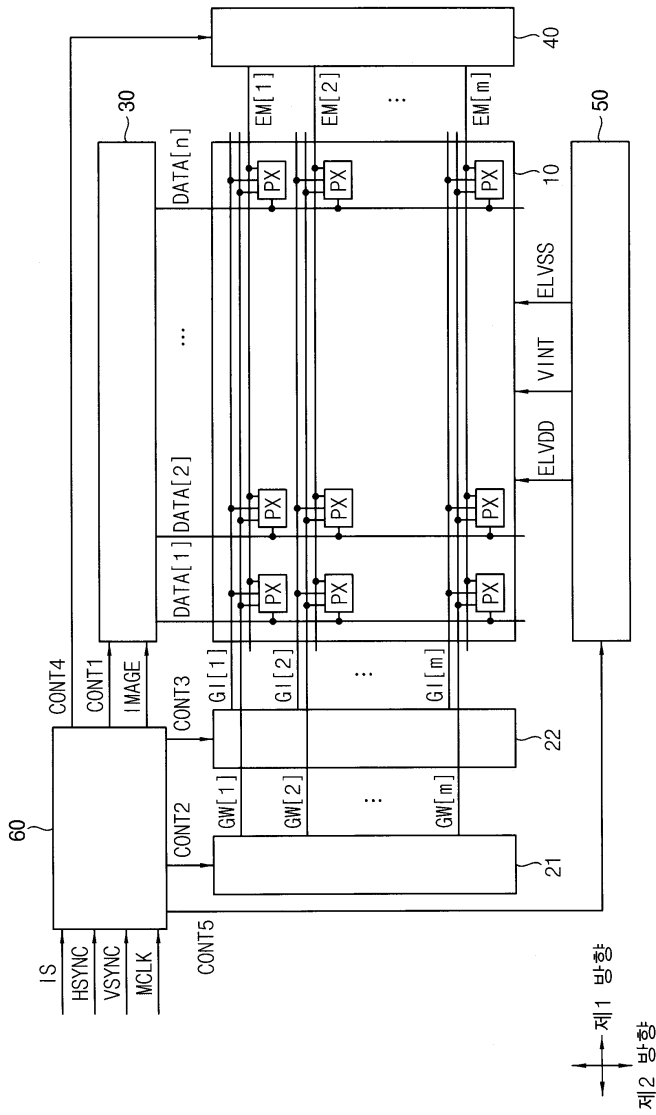
[0100] 이상, 본 발명의 예시적인 실시예들에 따른 표시 기관들 및 유기 발광 표시 장치에 대하여 도면들을 참조하여 설명하였지만, 실시한 실시예들은 예시적인 것으로서 하기의 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위에서 해당 기술 분야에서 통상의 지식을 가진 자에 의하여 수정 및 변경될 수 있을 것이다.

**부호의 설명**

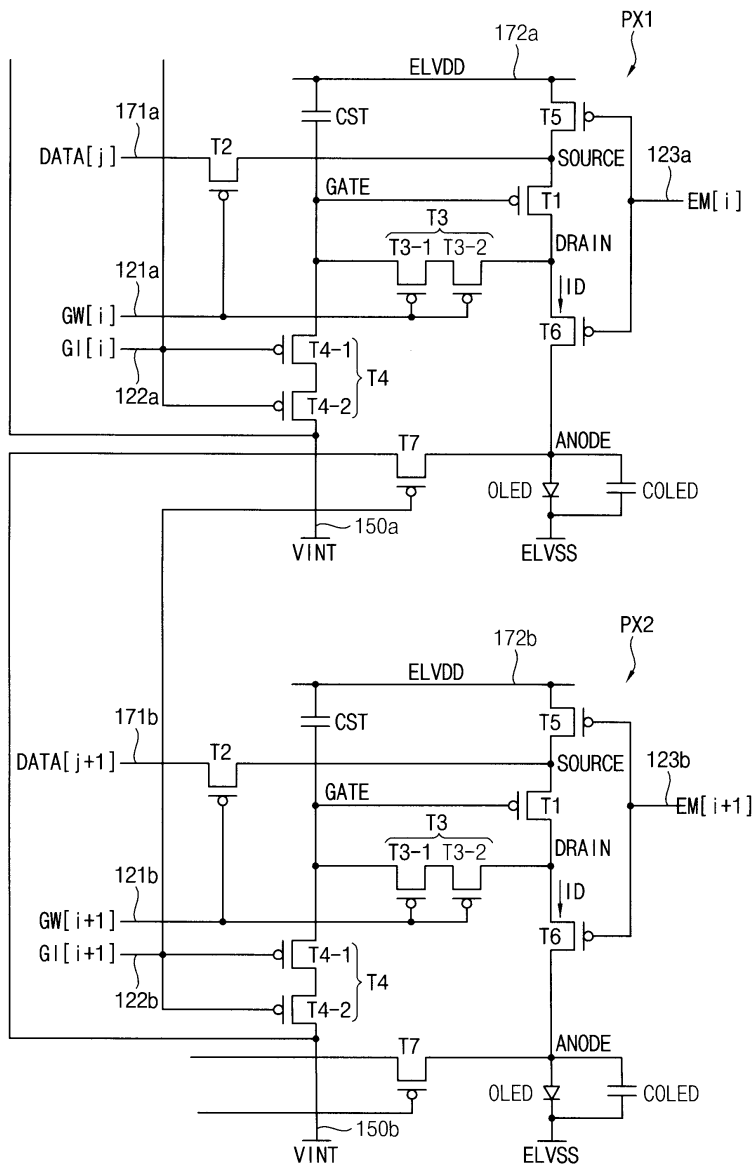
- [0101] 130: 액티브 패턴    131: 액티브 라인
- 121: 게이트 라인    122: 초기화 라인
- 140: 게이트 절연막    141: 제1 게이트 절연막
- 142: 제2 게이트 절연막    150: 초기화 전압 라인
- 151: 제1 직선부    152: 제2 직선부
- 153: 사선부    160: 층간 절연막
- 171: 데이터 라인    172: 전원 라인

도면

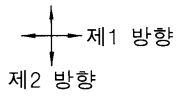
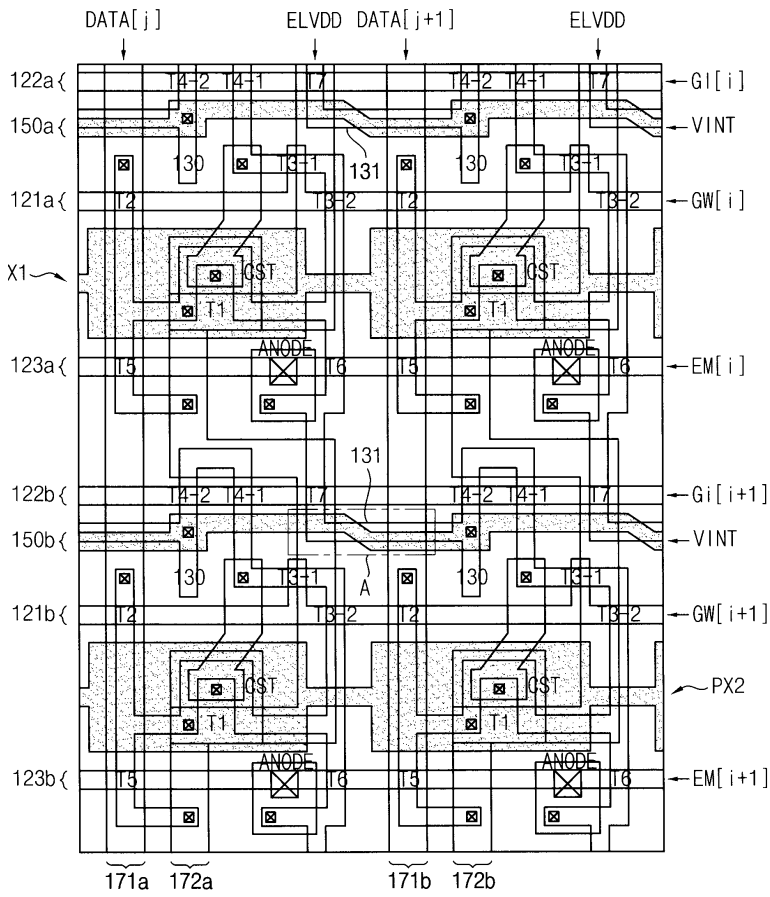
도면1



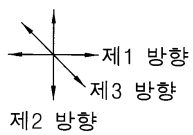
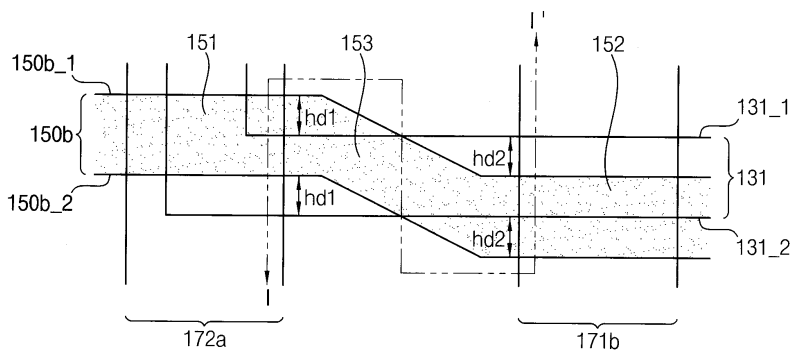
도면2



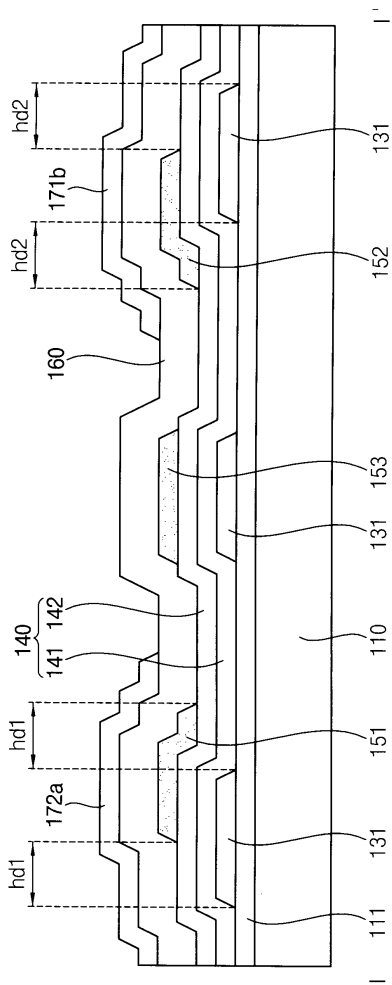
도면3



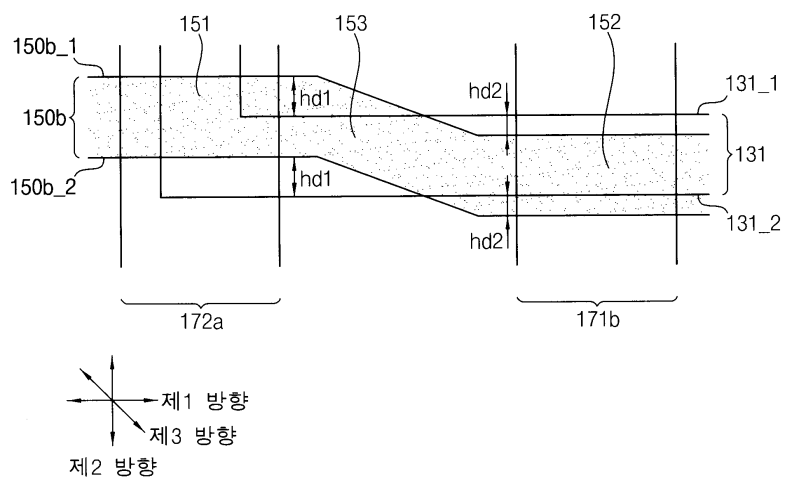
도면4



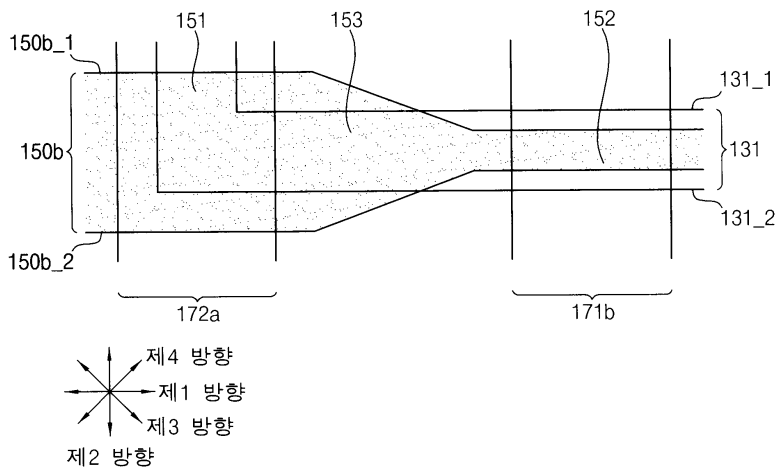
도면5



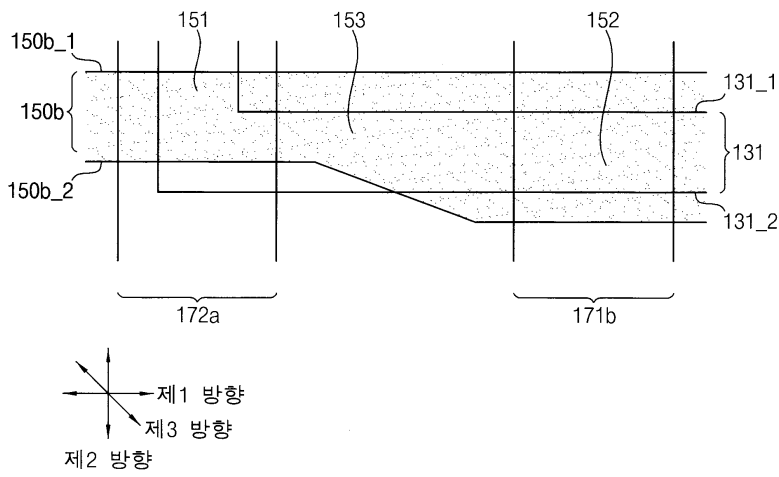
도면6



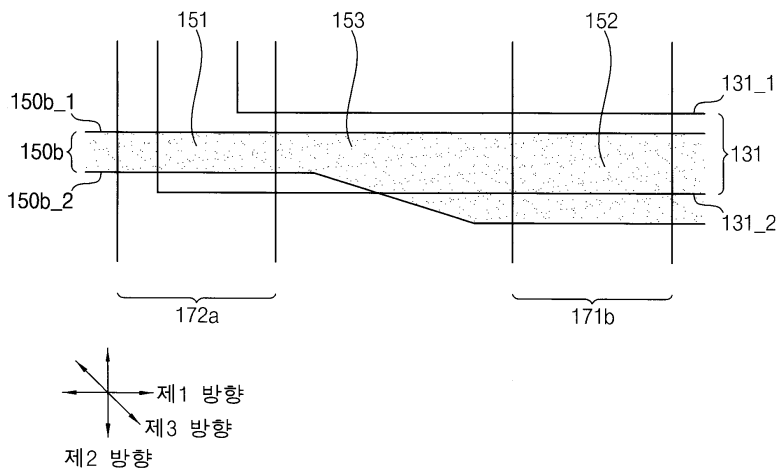
도면7



도면8



도면9



专利名称(译)	显示基板和包括其的有机发光显示器		
公开(公告)号	<a href="#">KR1020190038727A</a>	公开(公告)日	2019-04-09
申请号	KR1020170128142	申请日	2017-09-29
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	소동윤 김태곤		
发明人	소동윤 김태곤		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3276 H01L27/3211 H01L27/3258 H01L27/3262 H01L27/3265 G09G3/3233 G09G3/3266 G09G3/3291 G09G2300/0842 G09G2310/0251 G09G2310/0262 G09G2310/08 H01L2251/5392		
代理人(译)	英西湖公园		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

显示基板可以包括在第一方向上延伸的第一导线和与第一导线交叠的第二导线，第一绝缘层介于第一导线和第二导线之间。第二导线包括在第一方向上延伸的第一直线部分和第二直线部分，以及设置在第一直线部分和第二直线部分之间的倾斜部分，以及在第二方向上延伸的至少一个侧面。可以的

