



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0079577
(43) 공개일자 2018년07월11일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01) H01L 27/12 (2006.01)

H01L 51/00 (2006.01) H01L 51/52 (2006.01)

(52) CPC특허분류

H01L 27/3244 (2013.01)

H01L 27/1262 (2013.01)

(21) 출원번호 10-2016-0184013

(22) 출원일자 2016년12월30일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

조민구

경기도 고양시 일산서구 하이파크3로 62 506동
1702호 (덕이동, 하이파크시티일산아이파크5단지아
파트)

김도진

경기도 고양시 일산동구 고봉로 424 (중산동, 중
산마을1단지아파트) 108동 507

김미애

경기도 파주시 월롱면 엘씨도로 201 (정다운마을
기숙사) A동 320호

(74) 대리인

특허법인로얄

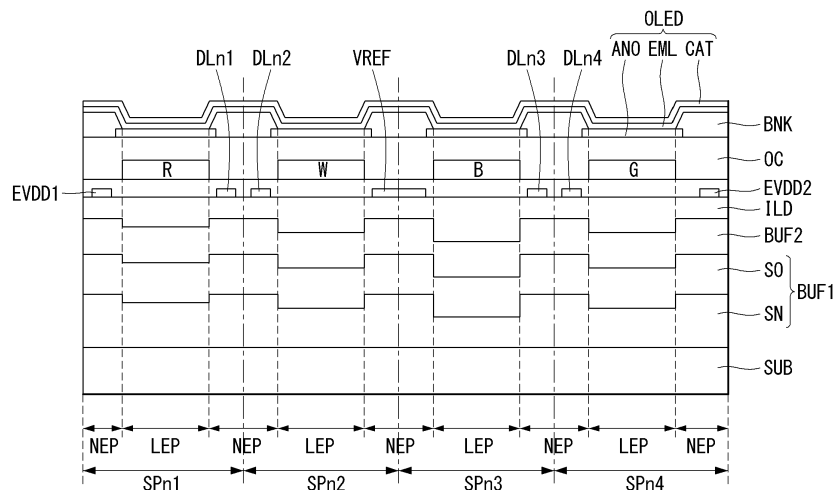
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 표시장치

(57) 요약

본 발명은 광 손실을 방지하여 광 투과율을 향상시킬 수 있는 표시장치를 제공한다. 본 발명의 일 실시예에 따른 표시장치는 기관, 제1 버퍼층, 박막트랜지스터 및 유기발광 다이오드를 포함한다. 기관은 제1 내지 제4 서브 픽셀을 포함한다. 제1 버퍼층은 기관 상에 위치하며, 실리콘 질화막 및 실리콘 산화막을 포함한다. 박막트랜지스터 및 유기발광 다이오드는 제1 버퍼층 상에 위치한다. 제1 내지 제4 서브 픽셀은 각각 발광부 및 비발광부를 포함하며, 비발광부에 대응하는 실리콘 질화막의 두께는 발광부에 대응하는 실리콘 질화막의 두께보다 두껍다.

대표도 - 도7



(52) CPC특허분류

H01L 27/3213 (2013.01)

H01L 27/3262 (2013.01)

H01L 51/0096 (2013.01)

H01L 51/5262 (2013.01)

H01L 2251/301 (2013.01)

H01L 2251/558 (2013.01)

명세서

청구범위

청구항 1

제1 내지 제4 서브 픽셀을 포함하는 기관;

상기 기관 상에 위치하며, 실리콘 질화막 및 실리콘 산화막을 포함하는 제1 버퍼층; 및

상기 제1 버퍼층 상에 위치하는 박막트랜지스터 및 유기발광 다이오드;를 포함하며,

상기 제1 내지 제4 서브 픽셀은 각각 발광부 및 비발광부를 포함하며,

상기 비발광부에 대응하는 상기 실리콘 질화막의 두께는 상기 발광부에 대응하는 상기 실리콘 질화막의 두께보다 두꺼운 표시장치.

청구항 2

제1 항에 있어서,

상기 제1 서브 픽셀은 적색 서브 픽셀이고 상기 제2 서브 픽셀은 백색 서브 픽셀이며 상기 제3 서브 픽셀은 청색 서브 픽셀이고 상기 제4 서브 픽셀은 녹색 서브 픽셀인 표시장치.

청구항 3

제1 항에 있어서,

상기 실리콘 산화막의 두께는 3000 내지 7000Å인 표시장치.

청구항 4

제1 항에 있어서,

상기 비발광부에 대응하는 상기 실리콘 질화막의 두께는 500 내지 1000Å인 표시장치.

청구항 5

제2 항에 있어서,

상기 청색 서브 픽셀의 발광부에 대응하는 상기 실리콘 질화막의 두께는 상기 백색, 적색 및 녹색 서브 픽셀 각각의 발광부에 대응하는 상기 실리콘 질화막들의 두께보다 얇은 표시장치.

청구항 6

제2 항에 있어서,

상기 제1 서브 픽셀의 상기 발광부에 대응하는 상기 실리콘 질화막의 두께는 800 내지 880Å이고, 상기 제2 서브 픽셀의 상기 발광부에 대응하는 상기 실리콘 질화막의 두께는 670 내지 750Å이며, 상기 제3 서브 픽셀의 상기 발광부에 대응하는 상기 실리콘 질화막의 두께는 5500 내지 600Å이고, 상기 제4 서브 픽셀의 상기 발광부에 대응하는 상기 실리콘 질화막의 두께는 670 내지 750Å인 표시장치.

청구항 7

제1 항에 있어서,

상기 제1 버퍼층은 상기 기관 상에 위치하는 상기 실리콘 질화막, 및 상기 실리콘 질화막 상에 위치하는 상기 실리콘 산화막을 포함하는 표시장치.

청구항 8

제1 항에 있어서,

상기 실리콘 질화막은 제1 실리콘 질화막 및 제2 실리콘 질화막을 포함하며,

상기 제1 버퍼층은 상기 기판 상에 위치하는 상기 제1 실리콘 질화막, 상기 제1 실리콘 질화막 상에 위치하는 상기 실리콘 산화막, 및 상기 실리콘 산화막 상에 위치하는 상기 제2 실리콘 질화막을 포함하는 표시장치.

청구항 9

제1 항에 있어서,

상기 실리콘 질화막은 제1 실리콘 질화막 및 제2 실리콘 질화막을 포함하고, 상기 실리콘 산화막은 제1 실리콘 산화막 및 제2 실리콘 산화막을 포함하며,

상기 제1 버퍼층은 상기 기판 상에 위치하는 상기 제1 실리콘 질화막, 상기 제1 실리콘 질화막 상에 위치하는 상기 제1 실리콘 산화막, 상기 제1 실리콘 산화막 상에 위치하는 상기 제2 실리콘 질화막, 및 상기 제2 실리콘 질화막 상에 위치하는 상기 제2 실리콘 산화막을 포함하는 표시장치.

청구항 10

제1 항에 있어서,

상기 제1 버퍼층과 상기 박막트랜지스터 사이에 배치된 제2 버퍼층을 더 포함하는 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시장치에 관한 것이다.

배경 기술

[0002] 최근, 음극선관(CRT : Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판표시장치들이 개발되고 있다. 이러한, 평판표시장치의 예로는, 액정표시장치(LCD : Liquid Crystal Display), 전계방출표시장치(FED : Field Emission Display), 플라즈마표시장치(PDP : Plasma Display Panel) 및 유기발광표시장치(OLED : Organic Light Emitting DiodeDisplay) 등이 있다. 이 중에서 유기발광표시장치는(Organic Light Emitting Display)는 유기화합물을 여기시켜 발광하게 하는 자발광형 표시장치로, LCD에서 사용되는 백라이트가 필요하지 않아 경량 박형이 가능할 뿐만 아니라 공정을 단순화시킬 수 있다. 또한, 저온 제작이 가능하고, 응답속도가 1ms 이하로서 고속의 응답속도를 가지며, 낮은 소비 전력, 넓은 시야각 및 높은 콘트라스트(Contrast) 등의 특성을 나타낸다.

[0003] 유기발광표시장치는 애노드인 제1 전극과 캐소드인 제2 전극 사이에 유기물로 이루어진 발광층을 포함하고 있어 제1 전극으로부터 공급받는 정공과 제2 전극으로부터 받은 전자가 발광층 내에서 결합하여 정공-전자쌍인 여기자(exciton)를 형성하고 다시 여기자가 바닥상태로 돌아오면서 발생하는 에너지에 의해 발광하게 된다. 유기발광표시장치는 빛이 출사되는 방향에 따라 배면 발광형과 전면 발광형으로 나눌 수 있다. 배면 발광형은 기판의 하부 방향 즉, 발광층에서 제1 전극 방향으로 빛이 출사되는 것이고, 전면 발광형은 기판의 상부 방향 즉, 발광층에서 제2 전극 방향으로 빛이 출사되는 것을 말한다.

[0004] 배면 발광형 유기발광표시장치는 발광층에서 방출된 광이 내부의 많은 층들을 투과하여 외부로 출사된다. 유기발광표시장치의 기판 바로 위에는 실리콘 산화막과 실리콘 질화막이 교대로 적층된 멀티 버퍼층이 위치한다. 이 중 실리콘 질화막은 굴절률이 약 1.9 내지 2.0으로 높아 실리콘 질화막의 계면에서 광 손실이 발생하는 문제가 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 광 손실을 방지하여 광 투과율을 향상시킬 수 있는 표시장치를 제공한다.

과제의 해결 수단

- [0006] 상기한 목적을 달성하기 위해, 본 발명의 일 실시예에 따른 표시장치는 기관, 제1 버퍼층, 박막트랜지스터 및 유기발광 다이오드를 포함한다. 기관은 제1 내지 제4 서브 픽셀을 포함한다. 제1 버퍼층은 기관 상에 위치하며, 실리콘 질화막 및 실리콘 산화막을 포함한다. 박막트랜지스터 및 유기발광 다이오드는 제1 버퍼층 상에 위치한다. 제1 내지 제4 서브 픽셀은 각각 발광부 및 비발광부를 포함하며, 비발광부에 대응하는 실리콘 질화막의 두께는 발광부에 대응하는 실리콘 질화막의 두께보다 두껍다.
- [0007] 제1 서브 픽셀은 적색 서브 픽셀이고 제2 서브 픽셀은 백색 서브 픽셀이며 제3 서브 픽셀은 청색 서브 픽셀이고 제4 서브 픽셀은 녹색 서브 픽셀이다.
- [0008] 실리콘 산화막의 두께는 3000 내지 7000Å이다.
- [0009] 비발광부에 대응하는 실리콘 질화막의 두께는 500 내지 1000Å이다.
- [0010] 청색 서브 픽셀의 발광부에 대응하는 실리콘 질화막의 두께는 백색, 적색 및 녹색 서브 픽셀 각각의 발광부에 대응하는 실리콘 질화막들의 두께보다 얇다.
- [0011] 제1 서브 픽셀의 발광부에 대응하는 실리콘 질화막의 두께는 800 내지 880Å이고, 제2 서브 픽셀의 발광부에 대응하는 실리콘 질화막의 두께는 670 내지 750Å이며, 제3 서브 픽셀의 상기 발광부에 대응하는 실리콘 질화막의 두께는 5500 내지 600Å이고, 제4 서브 픽셀의 발광부에 대응하는 실리콘 질화막의 두께는 670 내지 750Å이다.
- [0012] 제1 버퍼층은 기관 상에 위치하는 실리콘 질화막, 및 실리콘 질화막 상에 위치하는 실리콘 산화막을 포함한다.
- [0013] 실리콘 질화막은 제1 실리콘 질화막 및 제2 실리콘 질화막을 포함하며, 제1 버퍼층은 기관 상에 위치하는 제1 실리콘 질화막, 제1 실리콘 질화막 상에 위치하는 실리콘 산화막, 및 실리콘 산화막 상에 위치하는 제2 실리콘 질화막을 포함한다.
- [0014] 실리콘 질화막은 제1 실리콘 질화막 및 제2 실리콘 질화막을 포함하고, 실리콘 산화막은 제1 실리콘 산화막 및 제2 실리콘 산화막을 포함하며, 제1 버퍼층은 기관 상에 위치하는 제1 실리콘 질화막, 제1 실리콘 질화막 상에 위치하는 제1 실리콘 산화막, 제1 실리콘 산화막 상에 위치하는 제2 실리콘 질화막, 및 제2 실리콘 질화막 상에 위치하는 제2 실리콘 산화막을 포함한다.
- [0015] 제1 버퍼층과 박막트랜지스터 사이에 배치된 제2 버퍼층을 더 포함한다.

발명의 효과

- [0016] 본 발명은 적색, 녹색, 청색 및 백색 광의 투과율을 향상시키기 위해, 각 서브 픽셀의 광 경로에 위치한 실리콘 질화막의 두께를 각 광 파장대를 고려하여 최적의 값으로 형성한다. 따라서, 적색, 녹색, 청색 및 백색 광의 투과율을 향상시킬 수 있는 이점이 있다.

도면의 간단한 설명

- [0017] 도 1은 본 발명의 실시예에 따른 유기발광표시장치의 개략적인 블록도.
- 도 2는 서브 픽셀의 개략적인 회로 구성도.
- 도 3은 본 발명의 실시예에 따른 서브 픽셀의 제1회로 구성 예시도.
- 도 4는 본 발명의 실시예에 따른 서브 픽셀의 제2회로 구성 예시도.
- 도 5는 본 발명의 실시예에 따른 서브 픽셀 어레이를 나타낸 평면도.
- 도 6은 도 5의 절취선 I-I'에 따라 절취한 단면을 나타낸 도면.
- 도 7은 도 5의 절취선 II-II'에 따라 절취한 단면을 나타낸 도면.
- 도 8은 각 서브 픽셀 별 제1 버퍼층을 모식화한 단면도.
- 도 9 및 도 10은 본 발명의 실시예에 따른 제1 버퍼층의 적층 구조들을 나타낸 단면도.
- 도 11은 비교예 및 실시예에 따라 제조된 유기발광표시장치의 파장대 별 투과율을 나타낸 그래프.

발명을 실시하기 위한 구체적인 내용

- [0018] 이하, 첨부한 도면을 참조하여, 본 발명의 바람직한 실시 예들을 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.
- [0019] 본 발명에 따른 표시장치는 유기발광표시장치, 액정표시장치, 전기영동표시장치 등이 사용가능하나, 본 발명에서는 유기발광표시장치를 예로 설명한다. 유기발광표시장치는 애노드인 제1 전극과 캐소드인 제2 전극 사이에 유기물로 이루어진 발광층을 포함한다. 따라서, 제1 전극으로부터 공급받는 정공과 제2 전극으로부터 공급받는 전자가 발광층 내에서 결합하여 정공-전자쌍인 여기자(exciton)를 형성하고, 여기자가 바닥상태로 돌아오면서 발생하는 에너지에 의해 발광하는 자발광 표시장치이다. 본 발명에 따른 유기발광표시장치는 유리 기판 외에 유연한 플라스틱 기판 상에 표시소자가 형성된 플라스틱 표시장치일 수도 있다.
- [0020] 도 1은 본 발명의 실시예에 따른 유기발광표시장치의 개략적인 블록도이고, 도 2는 서브 픽셀의 개략적인 회로 구성도이며, 도 3은 본 발명의 실시예에 따른 서브 픽셀의 제1회로 구성 예시도이고, 도 4는 본 발명의 실시예에 따른 서브 픽셀의 제2회로 구성 예시도이다.
- [0021] 도 1에 도시된 바와 같이, 본 발명의 실시예에 따른 유기발광표시장치에는 영상 처리부(110), 타이밍 제어부(120), 데이터 구동부(130), 스캔 구동부(140) 및 표시 패널(150)이 포함된다.
- [0022] 영상 처리부(110)는 외부로부터 공급된 데이터신호(DATA)와 더불어 데이터 인에이블 신호(DE) 등을 출력한다. 영상 처리부(110)는 데이터 인에이블 신호(DE) 외에도 수직 동기신호, 수평 동기신호 및 클럭신호 중 하나 이상을 출력할 수 있으나 이 신호들은 설명의 편의상 생략 도시한다.
- [0023] 타이밍 제어부(120)는 영상 처리부(110)로부터 데이터 인에이블 신호(DE) 또는 수직 동기신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호와 더불어 데이터신호(DATA)를 공급받는다. 타이밍 제어부(120)는 구동신호에 기초하여 스캔 구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다.
- [0024] 데이터 구동부(130)는 타이밍 제어부(120)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어부(120)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 변환하여 출력한다. 데이터 구동부(130)는 데이터 라인들(DL1 ~ DLn)을 통해 데이터신호(DATA)를 출력한다. 데이터 구동부(130)는 IC(Integrated Circuit) 형태로 형성될 수 있다.
- [0025] 스캔 구동부(140)는 타이밍 제어부(120)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 게이트전압의 레벨을 시프트시키면서 스캔신호를 출력한다. 스캔 구동부(140)는 스캔 라인들(GL1 ~ GLm)을 통해 스캔신호를 출력한다. 스캔 구동부(140)는 IC(Integrated Circuit) 형태로 형성되거나 표시 패널(150)에 게이트인패널(Gate In Panel) 방식으로 형성된다.
- [0026] 표시 패널(150)은 데이터 구동부(130) 및 스캔 구동부(140)로부터 공급된 데이터신호(DATA) 및 스캔신호에 대응하여 영상을 표시한다. 표시 패널(150)은 영상을 표시할 수 있도록 동작하는 서브 픽셀들(SP)을 포함한다.
- [0027] 서브 픽셀은 구조에 따라 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 또는 양면발광(Dual-Emission) 방식으로 형성된다. 서브 픽셀들(SP)은 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함하거나 백색 서브 픽셀, 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함한다. 서브 픽셀들(SP)은 발광 특성에 따라 하나 이상 다른 발광 면적을 가질 수 있다.
- [0028] 도 2에 도시된 바와 같이, 하나의 서브 픽셀에는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 보상회로(CC) 및 유기발광 다이오드(OLED)가 포함된다.
- [0029] 스위칭 트랜지스터(SW)는 제1 스캔 라인(GL1)을 통해 공급된 스캔 신호에 응답하여 제1 데이터 라인(DL1)을 통해 공급되는 데이터 신호가 커패시터(Cst)에 데이터 전압으로 저장되도록 스위칭 동작한다. 구동 트랜지스터(DR)는 커패시터(Cst)에 저장된 데이터 전압에 따라 제1 전원 라인(EVDD1)과 제2 전원 라인(EVSS) 사이로 구동 전류가 흐르도록 동작한다. 유기발광 다이오드(OLED)는 구동 트랜지스터(DR)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.
- [0030] 보상회로(CC)는 구동 트랜지스터(DR)의 문턱전압 등을 보상하기 위해 서브 픽셀 내에 추가된 회로이다. 보상회로(CC)는 하나 이상의 트랜지스터로 구성된다. 보상회로(CC)의 구성은 보상 방법에 따라 매우 다양한바 이에 대

한 예시를 설명하면 다음과 같다.

- [0031] 도 3 및 도 4에 도시된 바와 같이, 보상회로(CC)에는 센싱 트랜지스터(ST)와 센싱 라인(VREF)이 포함된다. 센싱 트랜지스터(ST)는 구동 트랜지스터(DR)의 소스 라인과 유기발광 다이오드(OLED)의 애노드 전극(제1 전극) 사이(이하 센싱노드)에 접속된다. 센싱 트랜지스터(ST)는 센싱 라인(VREF)을 통해 전달되는 초기화 전압(또는 센싱 전압)을 센싱노드에 공급하거나 센싱노드의 전압 또는 전류를 센싱할 수 있도록 동작한다.
- [0032] 스위칭 트랜지스터(SW)는 제1 데이터 라인(DL1)에 소스 전극이 연결되고, 구동 트랜지스터(DR)의 게이트 전극에 드레인 전극이 연결된다. 구동 트랜지스터(DR)는 제1 전원 라인(EVDD1)에 소스 전극이 연결되고 유기발광 다이오드(OLED)의 애노드 전극에 드레인 전극이 연결된다. 커패시터(Cst)는 구동 트랜지스터(DR)의 게이트 전극에 하부전극이 연결되고 유기발광 다이오드(OLED)의 애노드 전극에 상부전극이 연결된다. 유기발광 다이오드(OLED)는 구동 트랜지스터(DR)의 드레인 전극에 애노드 전극이 연결되고 제2 전원 라인(EVSS)에 캐소드 전극이 연결된다. 센싱 트랜지스터(ST)는 센싱 라인(VREF)에 소스 전극이 연결되고 센싱노드인 유기발광 다이오드(OLED)의 애노드 전극에 드레인 전극이 연결된다.
- [0033] 센싱 트랜지스터(ST)의 동작 시간은 보상 알고리즘(또는 보상 회로의 구성)에 따라 스위칭 트랜지스터(SW)와 유사/동일하거나 다를 수 있다. 일례로, 스위칭 트랜지스터(SW)는 제1a 스캔 라인(GL1a)에 게이트 전극이 연결되고, 센싱 트랜지스터(ST)는 제1b 스캔 라인(GL1b)에 게이트 전극이 연결될 수 있다. 다른 예로, 스위칭 트랜지스터(ST)의 게이트 전극에 연결된 제1a 스캔 라인(GL1a)과 센싱 트랜지스터(ST)의 게이트 전극에 연결된 제1b 스캔 라인(GL1b)은 공통으로 공유하도록 연결될 수 있다.
- [0034] 센싱 라인(VREF)은 데이터 구동부에 연결될 수 있다. 이 경우, 데이터 구동부는 실시간, 영상의 비표시기간 또는 N 프레임(N은 1 이상 정수) 기간 동안 서브 픽셀의 센싱노드를 센싱하고 센싱결과를 생성할 수 있게 된다. 한편, 스위칭 트랜지스터(SW)와 센싱 트랜지스터(ST)는 동일한 시간에 턴온될 수 있다. 이 경우, 데이터 구동부의 시분할 방식에 의거 센싱 라인(VREF)을 통한 센싱 동작과 데이터신호를 출력하는 데이터 출력 동작은 상호 분리(구분) 된다.
- [0035] 이 밖에, 센싱결과에 따른 보상 대상은 디지털 형태의 데이터신호, 아날로그 형태의 데이터신호 또는 감마 등이 될 수 있다. 그리고 센싱결과를 기반으로 보상신호(또는 보상전압) 등을 생성하는 보상 회로는 데이터 구동부의 내부, 타이밍 제어부의 내부 또는 별도의 회로로 구현될 수 있다.
- [0036] 기타, 도 3 및 도 4에서는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 유기발광 다이오드(OLED), 센싱 트랜지스터(ST)를 포함하는 3T(Transistor)1C(Capacitor) 구조의 서브 픽셀을 일례로 설명하였지만, 보상회로(CC)가 추가된 경우 3T2C, 4T2C, 5T1C, 6T2C 등으로 구성될 수도 있다.
- [0037] 한편, 도 3의 서브 픽셀의 회로와 도 4의 서브 픽셀의 회로를 비교해 보면, 두 회로에는 광차단층(LS)의 구성에 차이가 있다. 광차단층(LS)은 외광을 차단하는 역할을 하기 위해 존재한다. 광차단층(LS)이 금속성 재료로 형성될 경우 기생 전압이 충전되는 문제가 유발된다. 때문에, 광차단층(LS)은 구동 트랜지스터(DR)의 소스 전극에 접속된다.
- [0038] 구체적으로 설명하면, 광차단층(LS)은 도 3과 같이 구동 트랜지스터(DR)의 채널영역 하부에만 배치되거나, 도 4와 같이 광차단층(LS)은 구동 트랜지스터(DR)의 채널영역 하부뿐만 아니라 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)의 채널영역 하부에도 배치될 수 있다.
- [0039] 광차단층(LS)은 단순히 외광을 차단할 목적으로 사용하거나(도 3), 광차단층(LS)을 다른 전극이나 라인과의 연결을 도모하고, 커패시터 등을 구성하는 전극으로 활용할 수 있다.
- [0040] 이하, 기술한 표시장치의 구체적인 서브 픽셀 어레이의 구조에 대해 설명하기로 한다.
- [0041] <실시예>
- [0042] 도 5는 본 발명의 실시예에 따른 서브 픽셀 어레이를 나타낸 평면도이고, 도 6은 도 5의 절취선 I-I'에 따라 절취한 단면을 나타낸 도면이며, 도 7은 도 5의 절취선 II-II'에 따라 절취한 단면을 나타낸 도면이고, 도 8은 각 서브 픽셀 별 제1 버퍼층을 모식화한 단면도이며, 도 9 및 도 10은 본 발명의 실시예에 따른 제1 버퍼층의 적층 구조들을 나타낸 단면도이다.
- [0043] 도 5를 참조하면, 수평방향으로 제1 내지 제4 서브 픽셀(SPn1 ~ SPn4)이 배치된다. 예컨대, 제1 서브 픽셀(SPn1)은 적색 서브 픽셀(R)이고, 제2 서브 픽셀(SPn2)은 백색 서브 픽셀(W)이고, 제3 서브 픽셀(SPn3)은 청색

서브 픽셀(B)일 수 있다. 제4 서브 픽셀(SPn4)은 녹색 서브 픽셀(G)로 선택될 수 있다. 본 발명에서는 제1 내지 제3 서브 픽셀(SPn1~SPn3)이 하나의 단위 픽셀을 이루고 그 다음 제4 서브 픽셀(SPn4)부터 3개의 서브 픽셀이 하나의 단위 픽셀을 이루는 구조일 수 있다. 예를 들어, RGB/GRW/BGR이 각각 하나의 단위 픽셀을 이룰 수 있다. 이와는 달리, 제1 내지 제4 서브 픽셀(SPn1~SPn4)이 하나의 단위 픽셀을 이루어 RGB/RWBG가 각각 하나의 단위 픽셀을 이룰 수 있다.

[0044] 제1 서브 픽셀(SPn1)의 좌측에는 수직방향을 따라 제1 전원 라인(EVDD1)이 배치된다. 제1 전원 라인(EVDD1)은 제1 서브 픽셀(SPn1) 및 제2 서브 픽셀(SPn2)에 공통으로 연결된다. 도시하지 않았지만, 제1 전원 라인(EVDD1)은 제1 전원 라인(EVDD1)의 좌측에 배치된 2개의 서브 픽셀들에도 공통으로 연결된다. 즉, 본 발명의 제1 전원 라인(EVDD1)은 4개의 서브 픽셀들에 공통으로 연결된다.

[0045] 제1 서브 픽셀(SPn1) 사이에 두고 제1 전원 라인(EVDD1)과 이웃한 영역에는 제1 데이터 라인(DLn1)이 배치되고, 제1 데이터 라인(DLn1)과 인접하게 제2 서브 픽셀(SPn2)의 제2 데이터 라인(DLn2)이 배치된다. 제1 데이터 라인(DLn1)은 제1 서브 픽셀(SPn1)에 연결되고, 제2 데이터 라인(DLn2)은 제2서브 픽셀(SPn2)에 연결된다. 제2 서브 픽셀(SPn2)과 제3 서브 픽셀(SPn3) 사이에는 센싱 라인(VREF)이 배치된다. 센싱 라인(VREF)은 제1 서브 픽셀(SPn1) 내지 제4 서브 픽셀(SPn4)에 공통으로 연결된다.

[0046] 제3 서브 픽셀(SPn3)을 사이에 두고 센싱 라인(VREF)과 이웃한 영역에 제3 데이터 라인(DLn3)이 배치되고, 제3 데이터 라인(DLn3)과 인접하게 제4 서브 픽셀(SPn4)의 제4 데이터 라인(DLn4)이 배치된다. 제3 데이터 라인(DLn3)은 제3 서브 픽셀(SPn3)에 연결되고, 제4 데이터 라인(DLn4)은 제4 서브 픽셀(SPn4)에 연결된다. 제4 서브 픽셀(SPn4)의 우측에는 수직방향을 따라 제2 전원 라인(EVDD2)이 배치된다. 제2 전원 라인(EVDD2)은 제3 서브 픽셀(SPn3) 및 제4 서브 픽셀(SPn4)에 공통으로 연결된다. 도시하지 않았지만, 제2 전원 라인(EVDD2)은 제2 전원 라인(EVDD2)의 우측에 배치된 2개의 서브 픽셀들에도 공통으로 연결된다. 즉, 본 발명의 제2 전원 라인(EVDD2)도 4개의 서브 픽셀들에 공통으로 연결된다.

[0047] 제1 서브 픽셀(SPn1) 내지 제4 서브 픽셀(SPn4)에 센싱 라인(VREF)과 수직하게 교차하는 스캔 라인(GL1a)이 배치된다. 스캔 라인(GL1a)은 제1 서브 픽셀(SPn1) 내지 제4 서브 픽셀(SPn4)의 각각의 센싱 트랜지스터(ST) 및 스위칭 트랜지스터(SW)의 게이트 전극에 해당된다. 본 발명에서는 1개의 스캔 라인(GL1a)을 도시하고 설명하였지만, 2개의 스캔 라인이 배치될 수도 있다.

[0048] 센싱 라인(VREF)은 수직방향을 따라 배치된 수직 센싱 라인(VREFM)과 수평방향을 따라 배치된 수평 센싱 라인(VREFS)을 포함한다. 수직 센싱 라인(VREFM)과 수평 센싱 라인(VREFS)은 제1 센싱홀(SCH1)로 연결된다. 수직 센싱 라인(VREFM)은 제2 및 제3 데이터 라인(DLn2, DLn3)과 나란하게 배치되고, 수평 센싱 라인(VREFS)은 스캔 라인(GL1a)과 나란하게 배치된다. 수평 센싱 라인(VREFM)의 양 끝단에 각각 위치한 제2 센싱홀(SCH2)을 통해 제1 내지 제4 서브 픽셀(SPn1~SPn4)의 각각의 센싱 트랜지스터(ST)는 수평 센싱 라인(VREFS)을 거쳐 수직 센싱 라인(VREFM)에 연결된다.

[0049] 제1 서브 픽셀(SPn1)을 예로 들어 서브 픽셀의 평면 구조를 설명하면, 제1 데이터 라인(DLn1)과 스캔 라인(GL1a)이 교차하는 영역에 스위칭 트랜지스터(SW)가 배치되고, 수평 센싱 라인(VREFS)의 제2 센싱홀(SCH2)과 스캔 라인(GL1a)이 인접한 영역에 센싱 트랜지스터(SW)가 배치된다.

[0050] 제1 전원 라인(EVDD1)으로부터 연결된 제1 콘택홀(CH1)을 통해 연결된 커패시터 하부전극(LCst)과 스위칭 트랜지스터(ST)로부터 연장된 커패시터 상부전극(UCst)이 커패시터(Cst)를 구성한다. 또한, 커패시터(Cst)와 인접한 영역에 구동 트랜지스터(DR)가 배치되고, 비어홀(VIA)을 통해 구동 트랜지스터(DR)에 연결된 제1 전극(ANO)이 배치되고, 제1 전극(ANO) 상에 광을 발광하는 발광부(LEP)가 배치되어, 제1 서브 픽셀(SPn1)의 평면 구조를 이룬다.

[0051] 보다 자세하게, 제1 서브 픽셀의 일부를 예로 들어 표시 패널의 단면 구조를 설명하면 다음과 같다.

[0052] 도 6을 참조하면, 기판(SUB) 상에 제1 버퍼층(BUF1)이 위치한다. 기판(SUB)은 유리 기판 또는 플라스틱 기판일 수 있으며, 본 발명에서는 플렉서블한 플라스틱 기판일 수 있다. 제1 버퍼층(BUF1)은 기판(SUB)으로부터 확산되는 이온이나 불순물을 차단하고, 외부의 수분 침투를 차단하는 역할을 한다. 제1 버퍼층(BUF1)은 적어도 실리콘 질화막(SN)과 실리콘 산화막(SO)을 포함한다. 보다 자세한 제1 버퍼층(BUF1)에 관한 설명은 후술하기로 한다.

[0053] 제1 버퍼층(BUF1) 상에 광차단층(LS)이 위치한다. 광차단층(LS)은 외부로부터 입사되는 광을 차단하여 트랜지스터의 누설 전류가 발생하는 것을 방지하는 역할을 한다. 따라서, 광차단층(LS)은 트랜지스터의 채널 영역에 대응하여 형성된다. 예를 들어, 구동 트랜지스터의 채널 영역에 대응하여 형성되거나 센싱 트랜지스터 및 스위칭

트랜지스터의 채널 영역에 각각 대응하도록 분리되어 형성된다. 광차단층(LS) 상에 제2 버퍼층(BUF2)이 위치한다. 제2 버퍼층(BUF2)은 광차단층(LS)이나 기판(SUB)에서 유출되는 알칼리 이온 등과 같은 불순물로부터 후속 공정에서 형성되는 트랜지스터를 보호하는 역할을 한다. 제2 버퍼층(BUF2)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 다중층일 수 있다.

[0054] 제2 버퍼층(BUF2) 상에 반도체층(ACT)이 위치한다. 반도체층(ACT)은 실리콘 반도체나 산화물 반도체로 이루어질 수 있다. 실리콘 반도체는 비정질 실리콘 또는 결정화된 다결정 실리콘을 포함할 수 있다. 여기서, 다결정 실리콘은 이동도가 높아($100\text{cm}^2/\text{Vs}$ 이상), 에너지 소비 전력이 낮고 신뢰성이 우수하여, 구동 소자용 게이트 드라이버 및/또는 멀티플렉서(MUX)에 적용하거나 화소 내 구동 트랜지스터에 적용할 수 있다. 한편, 산화물 반도체는 오프-전류가 낮으므로, 온(On) 시간이 짧고 오프(Off) 시간을 길게 유지하는 스위칭 트랜지스터에 적합하다. 또한, 오프 전류가 작으므로 화소의 전압 유지 기간이 길어서 저속 구동 및/또는 저 소비 전력을 요구하는 표시장치에 적합하다. 또한, 반도체층(ACT)은 p형 또는 n형의 불순물을 포함하는 드레인 영역 및 소스 영역을 포함하고 이들 사이에 채널 영역을 포함한다.

[0055] 반도체층(ACT) 상에 게이트 절연막(GI)이 위치한다. 게이트 절연막(GI)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 다중층일 수 있다. 게이트 절연막(GI) 상에 상기 반도체층(ACT)의 일정 영역, 즉 불순물이 주입되었을 경우의 채널과 대응되는 위치에 게이트 전극(GAT)이 위치한다. 게이트 전극(GAT)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 형성된다. 또한, 게이트 전극(GAT)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다. 예를 들면, 게이트 전극(GAT)은 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수 있다.

[0056] 게이트 전극(GAT) 상에 게이트 전극(GAT)을 절연시키는 층간 절연막(ILD)이 위치한다. 층간 절연막(ILD)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 다중층일 수 있다. 층간 절연막(ILD) 및 게이트 절연막(GI)의 일부 영역에 반도체층(ACT)의 일부를 노출시키는 제1 및 제2 콘택홀들(CH1, CH2)이 위치한다.

[0057] 층간 절연막(ILD) 상에 드레인 전극(DE)과 소스 전극(SE)이 위치한다. 소스 전극(SE)은 반도체층(ACT)의 소스 영역을 노출하는 제1 콘택홀(CH1)을 통해 반도체층(ACT)에 연결된다. 드레인 전극(DE)은 반도체층(ACT)의 드레인 영역을 노출하는 제2 콘택홀(CH2)을 통해 반도체층(ACT)에 연결된다. 소스 전극(SE) 및 드레인 전극(DE)은 단일층 또는 다중층으로 이루어질 수 있으며, 상기 소스 전극(SE) 및 드레인 전극(DE)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 상기 소스 전극(SE) 및 드레인 전극(DE)이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 티타늄/알루미늄/티타늄, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다.

[0058] 따라서, 반도체층(ACT), 게이트 전극(GAT), 드레인 전극(DE) 및 소스 전극(SE)을 포함하는 구동 트랜지스터(DR)가 구성된다.

[0059] 구동 트랜지스터(DR)를 포함하는 기판(SUB) 상에 패시베이션막(PAS)이 위치한다. 패시베이션막(PAS)은 하부의 소자를 보호하는 절연막으로, 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 다중층일 수 있다. 패시베이션막(PAS) 상에 컬러필터(CF)가 위치한다. 컬러필터(CF)는 유기발광 다이오드(OLED)에서 발광된 백색 광을 적색, 녹색 및 청색 중 선택된 색으로 변환한다. 본 실시예에서는 적색 컬러필터(CF)일 수 있다. 컬러필터(CF) 상에 오버코트층(OC)이 위치한다. 오버코트층(OC)은 하부 구조의 단차를 완화시키기 위한 평탄화막일 수 있으며, 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물로 이루어진다. 오버코트층(OC)은 상기 유기물을 액상 형태로 코팅한 다음 경화시키는 SOG(spin on glass)와 같은 방법으로 형성될 수 있다.

[0060] 오버코트층(OC)의 일부 영역에는 드레인 전극(DE)을 노출시키는 비어홀(VIA)이 위치한다. 오버코트층(OC) 상에 유기발광 다이오드(OLED)가 위치한다. 보다 자세하게는, 오버코트층(OC) 상에 제1 전극(ANO)이 위치한다. 제1 전극(ANO)은 화소 전극으로 작용하며, 비어홀(VIA)을 통해 구동 트랜지스터(DR)의 드레인 전극(DE)에 연결된다. 제1 전극(ANO)은 애노드로 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ZnO (Zinc Oxide) 등의 투명도전물질로 이루어질 수 있다. 제1 전극(ANO)이 반사 전극인 경우, 제1 전극(ANO)은 반사층을 더 포함한다. 반사층은 알루미늄(Al), 구리(Cu), 은(Ag), 니켈(Ni) 또는 이들의 합금으로 이루어질 수 있으며, 바람직하게는 APC(은/팔라듐/구리 합금)으로 이루어질 수 있다.

- [0061] 제1 전극(ANO)을 포함하는 기판(SUB) 상에 화소를 구현하는뱅크층(BNK)이 위치한다.뱅크층(BNK)은 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물로 이루어진다.뱅크층(BNK)은 제1 전극(ANO)을 노출시키는 화소정의부(OP)가 위치한다.뱅크층(BNK)의 화소정의부(OP)에는 제1 전극(ANO)에 컨택하는 발광층(EML)이 위치한다.발광층(EML)은 전자와 정공이 결합하여 발광하는 층으로, 발광층(EML)과 제1 전극(ANO) 사이에 정공수송층 또는 정공수송층을 포함할 수 있으며, 발광층(EML) 상에 전자수송층 또는 전자주입층을 포함할 수 있다.
- [0062] 발광층(EML) 상에 제2 전극(CAT)이 위치한다. 제2 전극(CAT)은 표시부(A/A) 전면에 위치하고, 캐소드 전극으로 일함수가 낮은 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag) 또는 이들의 합금으로 이루어질 수 있다. 제2 전극(CAT)이 투과 전극인 경우 광이 투과될 수 있을 정도로 얇은 두께로 이루어지고, 반사 전극인 경우 광이 반사될 수 있을 정도로 두꺼운 두께로 이루어진다.
- [0063] 한편, 본 발명은 기판(SUB)으로부터 확산되는 이온이나 불순물을 차단하고 외부의 수분 침투를 차단하기 위해, 기판(SUB) 바로 위에 제1 버퍼층(BUF1)을 구비한다. 하나의 서브 픽셀은 광이 발광하는 발광부(LEP)와 발광부(LEP) 이외의 비발광부(NEP)를 포함한다. 본 발명은 발광부(LEP)와 대응하는 제1 버퍼층(BUF1)의 실리콘 질화막(SN)의 두께가 비발광부(LEP)와 대응하는 제1 버퍼층(BUF1)의 실리콘 질화막(SN)의 두께보다 얇게 이루어진다.
- [0064] 보다 자세하게, 도 7과 도 8을 참조하면, 기판(SUB) 상에 제1 서브 픽셀(SPn1), 제2 서브 픽셀(SPn2), 제3 서브 픽셀(SPn3) 및 제4 서브 픽셀(SPn4)이 배치된다. 제1 서브 픽셀(SPn1), 제2 서브 픽셀(SPn2), 제3 서브 픽셀(SPn3) 및 제4 서브 픽셀(SPn4)은 각각 발광부(LEP)와 비발광부(NEP)를 포함한다. 발광부(LEP)는 광이 실질적으로 발광하는 영역으로 발광층(EML)과 제1 전극(ANO)이 컨택하는 영역일 수 있다. 비발광부(NEP)는 발광부(LEP) 이외의 모든 영역에 해당된다.
- [0065] 기판(SUB) 상에 제1 버퍼층(BUF1)이 배치된다. 제1 버퍼층(BUF1)은 실리콘 질화막(SN)과, 실리콘 질화막(SN) 상에 위치하는 실리콘 산화막(SO)을 포함한다. 실리콘 산화막(SO)의 두께는 3000 내지 7000Å일 수 있다. 여기서, 실리콘 산화막(SO)의 두께가 3000Å 이상이면 막의 내투습성을 확보할 수 있고, 실리콘 산화막(SO)의 두께가 7000Å 이하이면 막의 스트레스가 커져 기판(SUB)의 유연성에 따라 크랙이 발생하는 것을 방지할 수 있다.
- [0066] 제1 서브 픽셀(SPn1)에서 발광부(LEP)에 대응하는 영역의 실리콘 질화막(SN)은 비발광부(NEP)에 대응하는 영역의 실리콘 질화막(SN)보다 두께가 얇다. 제2 내지 제4 서브 픽셀(SPn2~SPn4)에서도 발광부(LEP)에 대응하는 영역의 실리콘 질화막(SN)은 비발광부(NEP)에 대응하는 영역의 실리콘 질화막(SN)보다 두께가 얇다.
- [0067] 제1 내지 제4 서브 픽셀(SPn1~SPn4)의 비발광부(NEP)에 대응하는 영역의 실리콘 질화막(SN)의 두께(D)는 500 내지 1000Å일 수 있다. 제1 내지 제4 서브 픽셀(SPn1~SPn4)의 비발광부(NEP)에 대응하는 영역의 실리콘 질화막(SN)의 두께(D)가 500Å 이상이면 막이 제대로 성막되고 내투습성을 확보할 수 있다. 제1 내지 제4 서브 픽셀(SPn1~SPn4)의 비발광부(NEP)에 대응하는 영역의 실리콘 질화막(SN)의 두께(D)가 1000Å 이하이면 질화막의 수소가 산화물 반도체층의 문턱전압(Vth)에 악영향을 미치는 것을 방지할 수 있다. 제1 내지 제4 서브 픽셀(SPn1~SPn4)의 비발광부(NEP)에 대응하는 영역의 실리콘 질화막(SN)의 두께(D)는 모두 동일하게 이루어진다.
- [0068] 여기서, 제1 서브 픽셀(SPn1)은 적색 서브 픽셀에 해당하고, 제2 서브 픽셀(SPn2)은 백색 서브 픽셀에 해당하고, 제3 서브 픽셀(SPn3)은 청색 서브 픽셀에 해당하고 제4 서브 픽셀(SPn4)은 녹색 서브 픽셀에 해당한다. 유기발광표시장치는 발광재료의 성질에 따라 적색, 녹색, 청색 및 백색 광의 투과율이 각각 다르다. 이에 본 발명에서는 적색, 녹색, 청색 및 백색 광 중 투과율이 상대적으로 낮은 광의 투과율을 높이기 위해, 광 경로중에 배치된 실리콘 질화막(SN)의 두께를 조절하여 광의 투과율을 향상시킨다.
- [0069] 각 서브 픽셀의 발광부(LEP)에서 실리콘 질화막(SN) 박막의 두께는 투과되는 광의 파장과 박막의 굴절률에 따라 아래 식으로 구할 수 있다.

$$\frac{\text{파장}(\lambda)}{4n} = d$$

- [0070] 4n
- [0071] (여기서, n은 박막의 굴절률이고 d는 박막의 두께(nm)이다.)

- [0072] 구체적으로, 제1 서브 픽셀(SPn1)에서 실리콘 질화막의 굴절률은 1.88이고 적색 파장대역을 고려하면, 실리콘 질화막(SN)의 두께(dR)는 800 내지 880Å으로 나타날 수 있다. 동일하게 제2 서브 픽셀(SPn2)에서 백색 파장대역(백색은 적색부터 청색까지를 모두 나타내기 때문에 중간 값인 녹색 파장대역으로 이용함)을 고려하면, 실리

콘 질화막(SN)의 두께(dW)는 670 내지 750Å으로 나타날 수 있다. 제3 서브 픽셀(SPn3)에서 청색 파장대역을 고려하면, 실리콘 질화막(SN)의 두께(dB)는 550 내지 600Å으로 나타날 수 있다. 제4 서브 픽셀(SPn4)에서 녹색 파장대역을 고려하면, 실리콘 질화막(SN)의 두께(dG)는 670 내지 750Å으로 나타날 수 있다. 실리콘 질화막(SN)의 두께들은 허용오차를 고려한 값이다. 청색 광의 경우 백색, 적색 및 녹색 광보다 투과율이 낮기 때문에, 청색 서브 픽셀의 발광부에 대응하는 실리콘 질화막의 두께는 백색, 적색 및 녹색 서브 픽셀 각각의 발광부에 대응하는 실리콘 질화막들의 두께보다 얇게 형성한다.

[0073] 전술한 바와 같이, 본 발명은 적색, 녹색, 청색 및 백색 광의 투과율을 향상시키기 위해, 각 서브 픽셀의 광 경로에 위치한 실리콘 질화막의 두께를 각 광 파장대를 고려하여 최적의 값으로 형성한다. 따라서, 적색, 녹색, 청색 및 백색 광의 투과율을 향상시킬 수 있는 이점이 있다.

[0074] 한편, 본 발명의 제1 버퍼층(BUF1)은 실리콘 질화막(SN)과 실리콘 산화막(SO)이 각각 1층씩 구비될 수 있으나, 이에 한정되지 않으며 다양한 적층 구조를 적용할 수 있다.

[0075] 도 9를 참조하면, 기판(SUB) 상에 제1 버퍼층(BUF1)이 배치된다. 제1 버퍼층(BUF1)은 제1 실리콘 질화막(SN1), 실리콘 산화막(SO) 및 제2 실리콘 질화막(SN2)이 순차적으로 적층될 수 있다. 즉, 제1 버퍼층(BUF1) 상에 제1 실리콘 질화막(SN1)이 적층되고, 제1 실리콘 질화막(SN1) 상에 실리콘 산화막(SO)이 적층되며, 실리콘 산화막(SO) 상에 제2 실리콘 질화막(SN2)이 적층될 수 있다.

[0076] 이때, 제1 서브 픽셀(SPn1)의 발광부(LEP)의 실리콘 질화막의 두께는 제1 실리콘 질화막(SN1)과 제2 실리콘 질화막(SN2)의 두께의 합($dR1+dR2$)이 800 내지 880Å일 수 있다. 제2 서브 픽셀(SPn2)의 발광부(LEP)의 실리콘 질화막의 두께는 제1 실리콘 질화막(SN1)과 제2 실리콘 질화막(SN2)의 두께의 합($dW1+dW2$)이 670 내지 750Å일 수 있다. 제3 서브 픽셀(SPn3)의 발광부(LEP)의 실리콘 질화막의 두께는 제1 실리콘 질화막(SN1)과 제2 실리콘 질화막(SN2)의 두께의 합($dB1+dB2$)이 550 내지 600Å일 수 있다. 제4 서브 픽셀(SPn4)의 발광부(LEP)의 실리콘 질화막의 두께는 제1 실리콘 질화막(SN1)과 제2 실리콘 질화막(SN2)의 두께의 합($dG1+dG2$)이 670 내지 750Å일 수 있다.

[0077] 또한, 도 10을 참조하면, 기판(SUB) 상에 제1 버퍼층(BUF1)이 배치된다. 제1 버퍼층(BUF1)은 제1 실리콘 질화막(SN1), 제1 실리콘 산화막(SO1), 제2 실리콘 질화막(SN2) 및 제2 실리콘 산화막(SO2)이 순차적으로 적층될 수 있다. 즉, 제1 버퍼층(BUF1) 상에 제1 실리콘 질화막(SN1)이 적층되고, 제1 실리콘 질화막(SN1) 상에 제1 실리콘 산화막(SO1)이 적층되며, 제1 실리콘 산화막(SO1) 상에 제2 실리콘 질화막(SN2)이 적층되고 제2 실리콘 질화막(SN2) 상에 제2 실리콘 산화막(SO2)이 적층될 수 있다.

[0078] 도 10의 구조에서도 도 9와 마찬가지로, 제1 서브 픽셀(SPn1)의 발광부(LEP)의 실리콘 질화막의 두께는 제1 실리콘 질화막(SN1)과 제2 실리콘 질화막(SN2)의 두께의 합($dR1+dR2$)이 800 내지 880Å일 수 있다. 제2 서브 픽셀(SPn2)의 발광부(LEP)의 실리콘 질화막의 두께는 제1 실리콘 질화막(SN1)과 제2 실리콘 질화막(SN2)의 두께의 합($dW1+dW2$)이 670 내지 750Å일 수 있다. 제3 서브 픽셀(SPn3)의 발광부(LEP)의 실리콘 질화막의 두께는 제1 실리콘 질화막(SN1)과 제2 실리콘 질화막(SN2)의 두께의 합($dB1+dB2$)이 550 내지 600Å일 수 있다. 제4 서브 픽셀(SPn4)의 발광부(LEP)의 실리콘 질화막의 두께는 제1 실리콘 질화막(SN1)과 제2 실리콘 질화막(SN2)의 두께의 합($dG1+dG2$)이 670 내지 750Å일 수 있다.

[0079] 본 발명은 전술한 제1 버퍼층(BUF1)의 적층 구조에 한정되지 않으며, 실리콘 질화막과 실리콘 산화막의 교번 순서가 바뀌어도 무방하다.

[0080] 도 11은 비교예 및 실시예에 따라 제조된 유기발광표시장치의 파장대 별 투과율을 나타낸 그래프이다.

[0081] 비교예

[0082] 폴리이미드 기판 전면 상에 1000Å의 두께로 실리콘 질화막을 적층하고, 3000Å의 두께로 실리콘 산화막을 적층하여 제1 버퍼층을 형성하였다. 이후 구조는 도 6에 도시된 것과 동일하게 제조하여 R, W, B, G 서브 픽셀을 가진 유기발광표시장치를 제조하였다.

[0083] 실시예

[0084] 폴리이미드 기판 전면 상에 1000Å의 두께로 실리콘 질화막을 적층한 후 발광부의 실리콘 질화막을 식각하여 실리콘 질화막의 두께를 600Å이 되도록 형성하였다. 실리콘 질화막 전면 상에 3000Å의 두께로 실리콘 산화막을 적층하여 제1 버퍼층을 형성하였다. 이후 구조는 도 6에 도시된 것과 동일하게 제조하여 R, W, B, G 서브 픽셀

을 가진 유기발광표시장치를 제조하였다.

[0085] 전술한 비교예 및 실시예에 따라 제조된 유기발광표시장치의 파장대 별 투과율을 측정하여 도 11에 나타내었다.

[0086] 도 11을 참조하면, 비교예에 따라 제조된 유기발광표시장치는 녹색 파장대역에서 투과율이 낮게 나타났고 평균 투과율이 92.9%로 나타났다. 반면, 실시예에 따라 제조된 유기발광표시장치는 청색, 녹색 및 적색 파장대역에서 투과율이 모두 높게 나타났고 평균 투과율이 100%로 나타났다.

[0087] 이 결과를 통해, 유기발광표시장치의 서브 픽셀들의 발광부에서 실리콘 질화막의 두께를 얇게 형성하되 서브 픽셀의 광 별로 다르게 형성함으로써, 광의 투과율을 향상시킬 수 있음을 확인할 수 있었다.

[0088] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경과 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정 되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

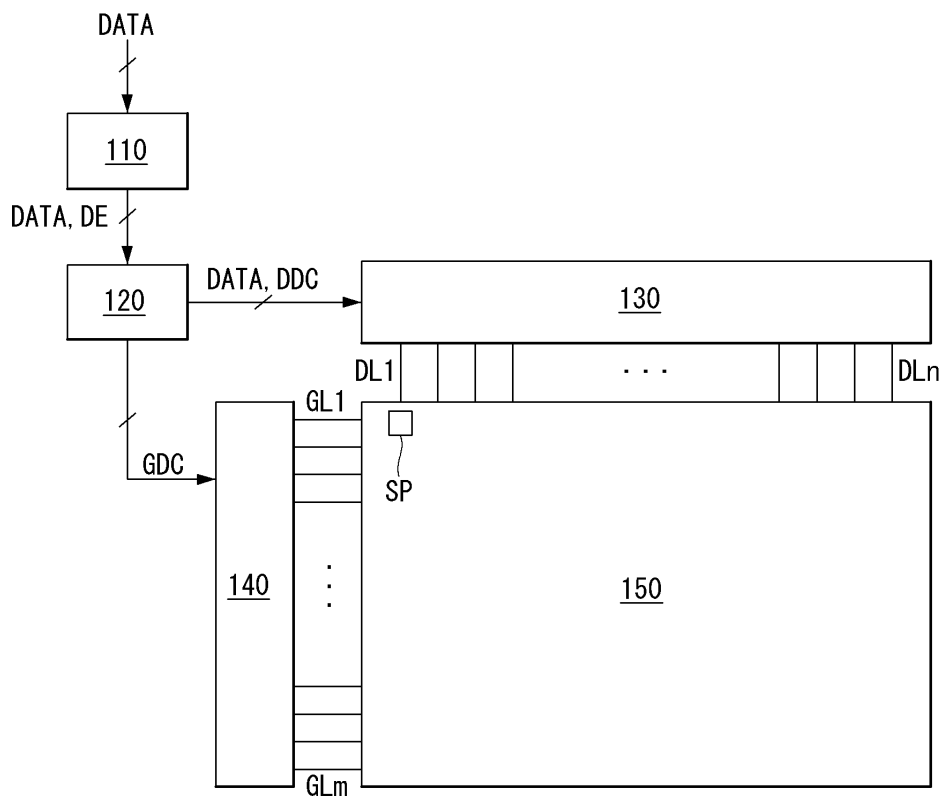
[0089] SUB : 기판 BUF1 : 제1 버퍼층

SO : 실리콘 산화막 SN : 실리콘 질화막

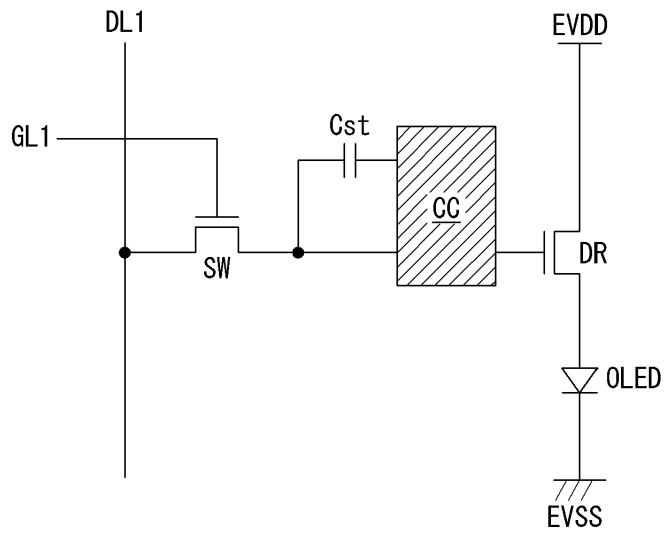
TFT : 박막트랜지스터 OLED : 유기발광 다이오드

도면

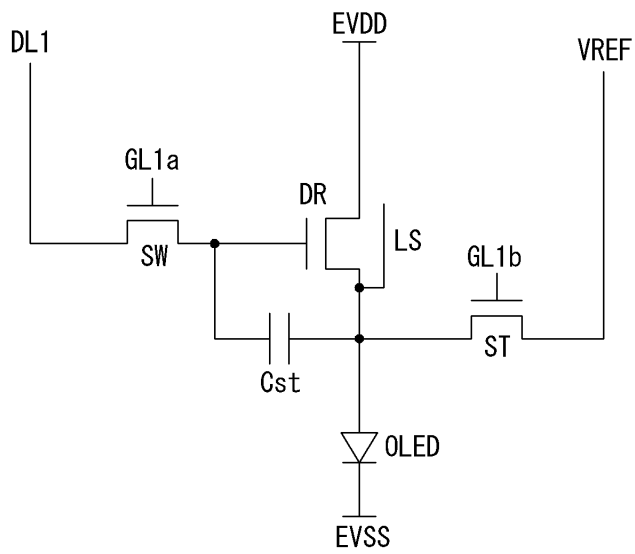
도면1



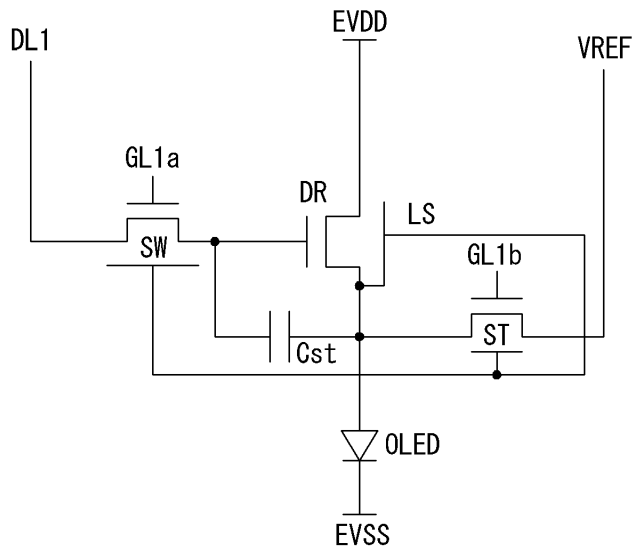
도면2



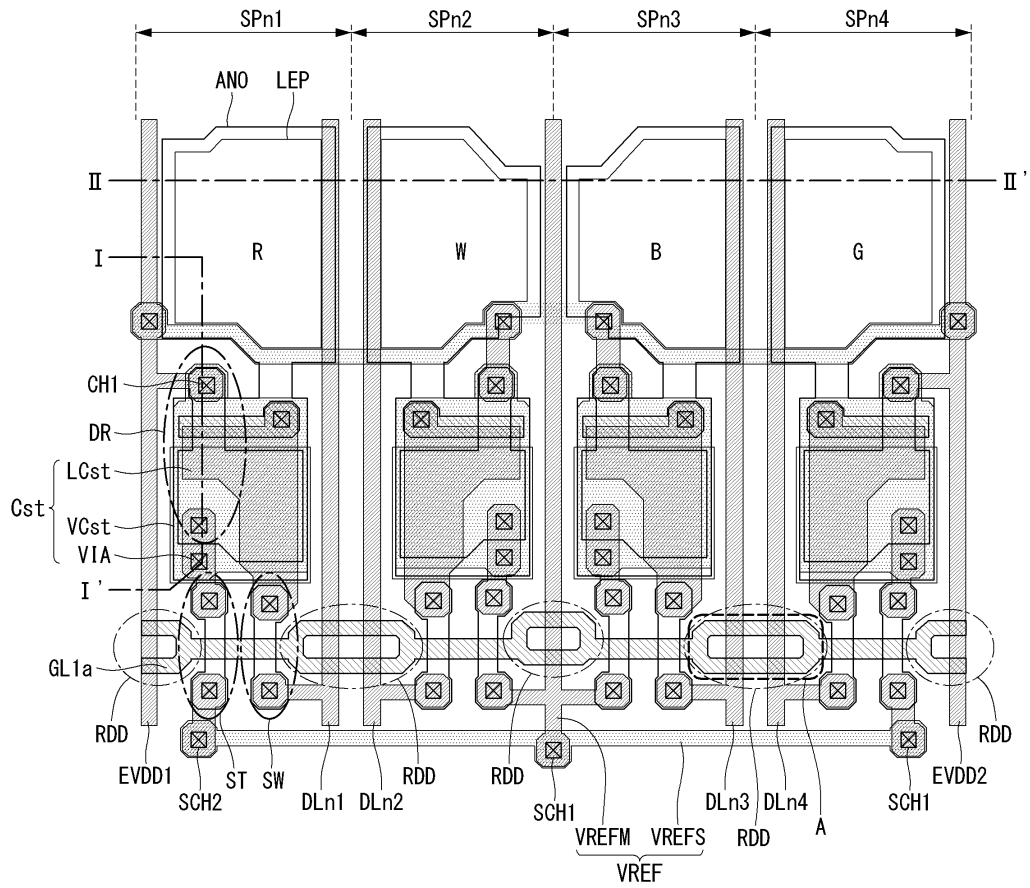
도면3



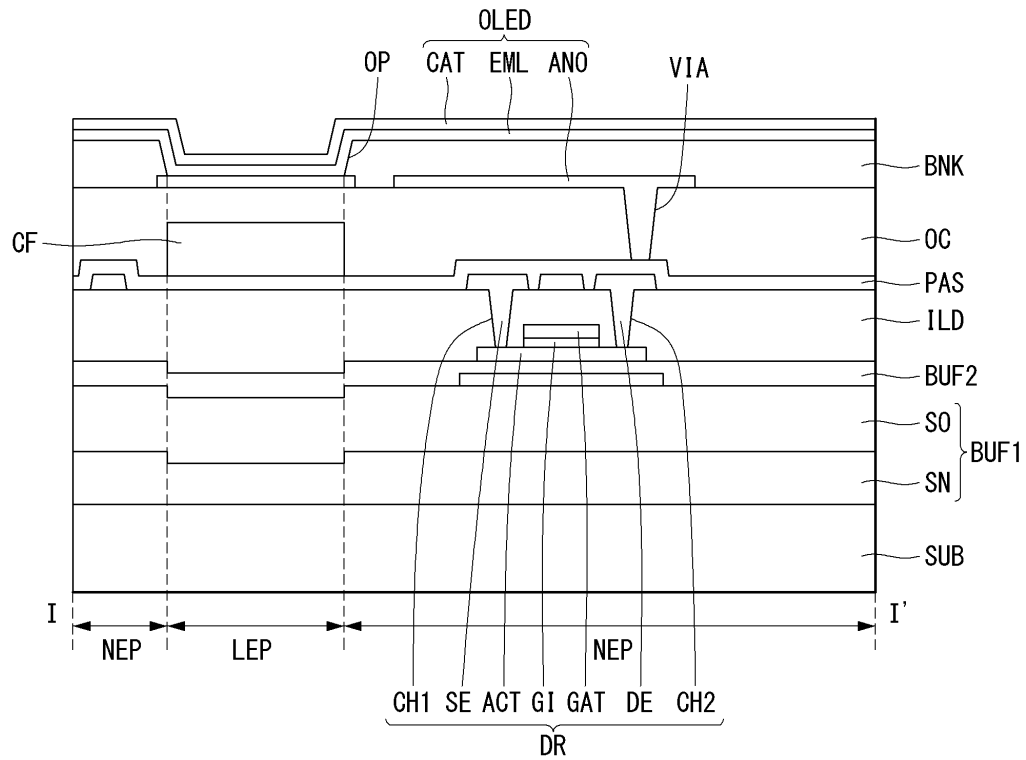
도면4



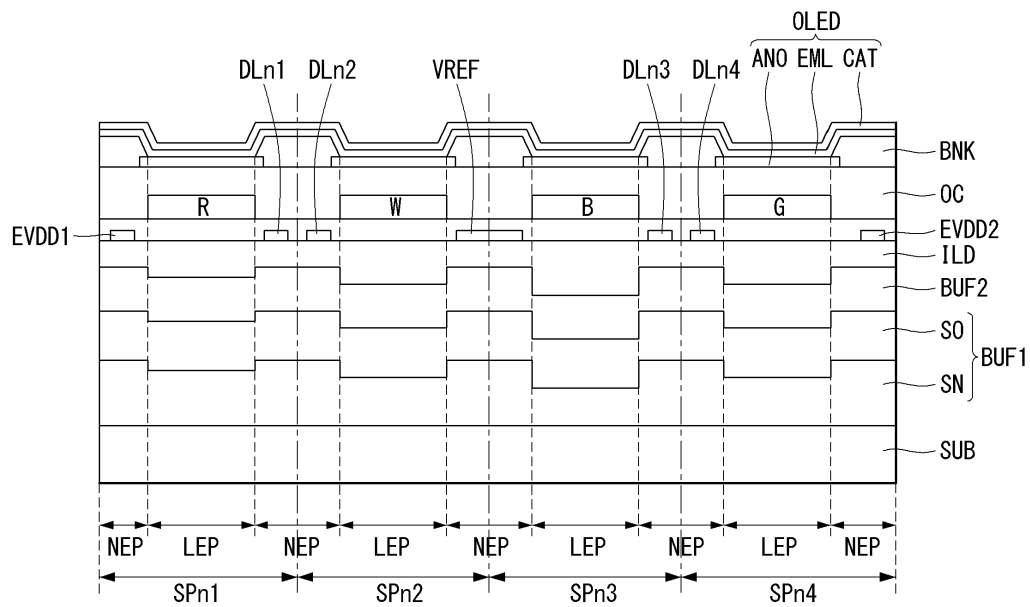
도면5



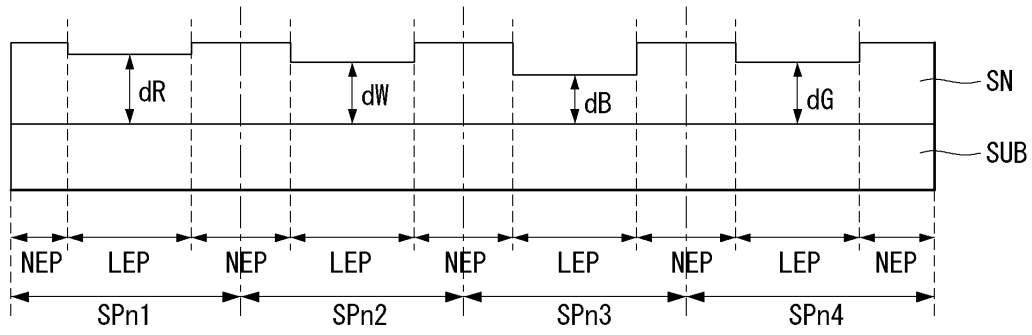
도면6



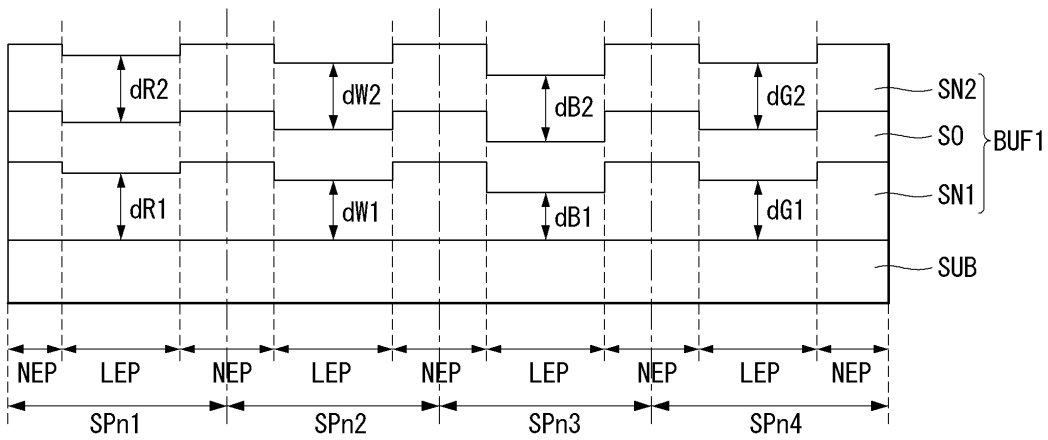
도면7



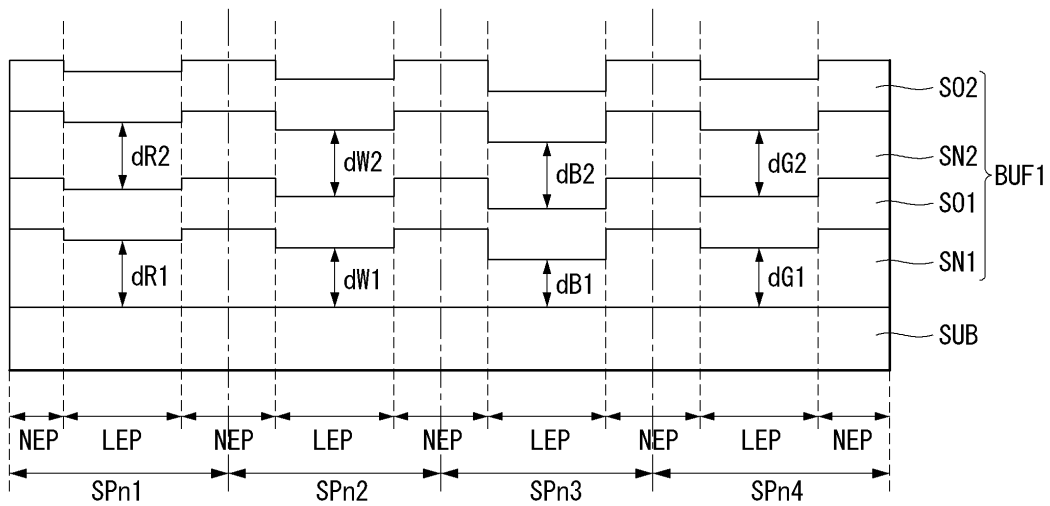
도면8



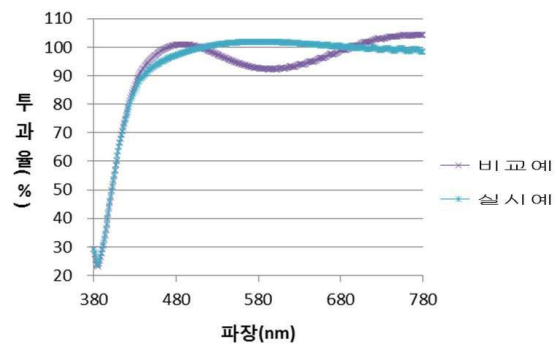
도면9



도면10



도면11



专利名称(译)	显示设备		
公开(公告)号	KR1020180079577A	公开(公告)日	2018-07-11
申请号	KR1020160184013	申请日	2016-12-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHO MIN GU 조민구 KIM DO JIN 김도진 KIM MI AE 김미애		
发明人	조민구 김도진 김미애		
IPC分类号	H01L27/32 H01L27/12 H01L51/00 H01L51/52		
CPC分类号	H01L27/3244 H01L27/3213 H01L51/0096 H01L27/1262 H01L51/5262 H01L27/3262 H01L2251/301 H01L2251/558 H01L51/5253 H01L51/5275 H01L27/3258 Y02E10/549 G09G2310/0264 H01L27/3276 H01L51/5203		
外部链接	Espacenet		

摘要(译)

本发明提供一种防止光损失并且可以提高透光率的显示装置。根据本发明优选实施例的显示装置包括基板，第一缓冲层和薄膜晶体管，以及有机发光二极管。衬底包括第一至第四子像素。第一缓冲层包括位于基板和氧化硅膜表面上的氮化硅膜。薄膜晶体管和有机发光二极管位于第一缓冲层的表面上。第一至第四子像素分别包括发光单元和非发光部分，并且厚度大于氮化硅膜的厚度，其中对应于非发光部分的氮化硅膜的厚度对应于发光单元。

