



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0068552
(43) 공개일자 2018년06월22일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/52 (2006.01)
H01L 51/56 (2006.01)
(52) CPC특허분류
H01L 27/3248 (2013.01)
H01L 27/3246 (2013.01)
(21) 출원번호 10-2016-0170355
(22) 출원일자 2016년12월14일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김종성
경기도 파주시 문산읍 방촌로 1744, 113동 803호
(파주힐스테이트1차아파트)
(74) 대리인
특허법인천문

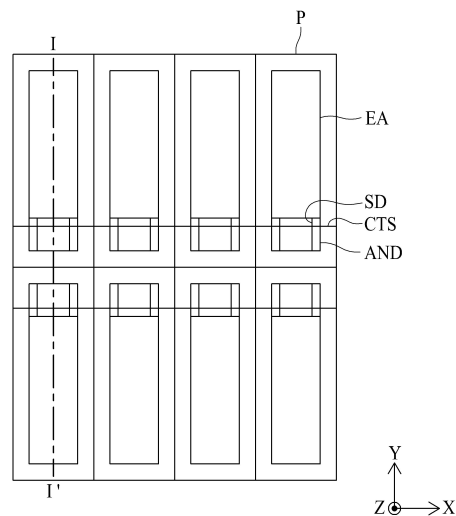
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 유기발광 표시장치와 그의 제조방법

(57) 요약

본 발명은 유기발광층의 수명이 줄어드는 것과 점등 불량을 방지할 수 있는 유기발광 표시장치 및 그의 제조방법에 관한 것이다. 본 발명의 일 실시예에 따른 유기발광 표시장치는 적어도 하나의 트랜지스터와 유기발광소자를 각각 포함하는 복수의 화소들을 구비한다. 트랜지스터는 게이트 전극, 게이트 전극과 중첩되는 액티브층, 액티브층의 일 측에 접속된 소스 전극, 및 액티브층의 타 측에 접속된 드레인 전극을 포함한다. 유기발광소자는 제1 전극, 제1 전극 상에 배치된 유기발광층, 및 유기발광층 상에 배치된 제2 전극을 포함한다. 복수의 화소들 중 N(N은 2 이상의 정수) 개의 화소들은 유기발광소자의 제1 전극과 트랜지스터의 소스 전극 또는 드레인 전극이 전기적으로 접속되는 공유 콘택홀을 공유한다.

대표도 - 도4



(52) CPC특허분류

H01L 27/3258 (2013.01)
H01L 27/3262 (2013.01)
H01L 27/3276 (2013.01)
H01L 51/5209 (2013.01)
H01L 51/5212 (2013.01)
H01L 51/56 (2013.01)
H01L 2227/323 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	10042412
부처명	산업통상자원부
연구관리전문기관	한국산업기술평가관리원
연구사업명	산업기술혁신사업
연구과제명	대면적 투명플렉시블 디스플레이 구현을 위한 60인치이상, UD급, 투과도 40%인 패널/모듈
기술개발	
기 여 율	1/1
주관기관	엘지디스플레이(주)
연구기간	2012.08.01 ~ 2017.06.30

명세서

청구범위

청구항 1

적어도 하나의 트랜지스터와 유기발광소자를 각각 포함하는 복수의 화소들을 구비하고,

상기 트랜지스터는 게이트 전극, 상기 게이트 전극과 중첩되는 액티브층, 상기 액티브층의 일 측에 접속된 소스 전극, 및 상기 액티브층의 타 측에 접속된 드레인 전극을 포함하며,

상기 유기발광소자는 제1 전극, 상기 제1 전극 상에 배치된 유기발광층, 및 상기 유기발광층 상에 배치된 제2 전극을 포함하고,

상기 복수의 화소들 중 N (N 은 2 이상의 정수) 개의 화소들은 상기 유기발광소자의 상기 제1 전극과 상기 트랜지스터의 소스 전극 또는 드레인 전극이 전기적으로 접속되는 공유 콘택홀을 공유하는 것을 특징으로 하는 유기발광 표시장치.

청구항 2

제 1 항에 있어서,

서로 이웃하는 화소들은 상기 공유 콘택홀을 공유하며, 상기 서로 이웃하는 화소들 각각의 상기 트랜지스터의 소스 전극 또는 드레인 전극은 상기 공유 콘택홀에서 마주보도록 배치되는 것을 특징으로 하는 유기발광 표시장치.

청구항 3

제 2 항에 있어서,

상기 N 개의 화소들 각각의 상기 트랜지스터의 소스 전극 또는 드레인 전극은 상기 공유 콘택홀에서 제1 방향으로 마주보도록 배치되고,

상기 공유 콘택홀은 상기 제1 방향과 교차되는 제2 방향으로 길게 형성된 것을 특징으로 하는 유기발광 표시장치.

청구항 4

제 1 항에 있어서,

상기 유기발광소자의 상기 제1 전극의 일 측 끝단은 상기 트랜지스터의 소스 전극 또는 드레인 전극의 일 측 끝단과 일치하는 것을 특징으로 하는 유기발광 표시장치.

청구항 5

제 1 항에 있어서,

상기 유기발광소자의 상기 제1 전극의 일 측 끝단은 상기 트랜지스터의 소스 전극 또는 드레인 전극의 일 측 끝단보다 길게 연장된 것을 특징으로 하는 유기발광 표시장치.

청구항 6

제 1 항에 있어서,

상기 공유 콘택홀에 채워진 बैं크를 더 구비하는 유기발광 표시장치.

청구항 7

제 1 항에 있어서,

상기 트랜지스터는 상기 액티브층과 상기 게이트 전극 사이에 배치된 게이트 절연막, 상기 게이트 전극과 상기

소스 전극 및 상기 드레인 전극 사이에 배치된 층간 절연막, 및 상기 소스 전극 및 상기 드레인 전극 상에 배치된 제1 평탄화막을 더 포함하고,

상기 공유 콘택홀은 제1 평탄화막을 관통하여 트랜지스터의 소스 전극 또는 드레인 전극을 노출하는 것을 특징으로 하는 유기발광 표시장치.

청구항 8

제 1 항에 있어서,

상기 복수의 화소들 각각은,

상기 유기발광소자의 상기 제1 전극에 접속된 보조 전극을 더 포함하고,

상기 보조 전극은 상기 공유 콘택홀에서 상기 트랜지스터의 소스 전극 또는 드레인 전극과 접속된 것을 특징으로 하는 유기발광 표시장치.

청구항 9

제 8 항에 있어서,

상기 보조 전극의 일 측 끝단은 상기 트랜지스터의 소스 전극 또는 드레인 전극의 일 측 끝단과 일치하는 것을 특징으로 하는 유기발광 표시장치.

청구항 10

제 8 항에 있어서,

상기 보조 전극의 일 측 끝단은 상기 트랜지스터의 소스 전극 또는 드레인 전극의 일 측 끝단보다 길게 연장된 것을 특징으로 하는 유기발광 표시장치.

청구항 11

제 8 항에 있어서,

상기 공유 콘택홀에 채워진 제2 평탄화막을 더 구비하고,

상기 유기발광소자의 상기 제1 전극은 상기 보조 전극과 상기 제2 평탄화막 상에 배치되는 것을 특징으로 하는 유기발광 표시장치.

청구항 12

제 11 항에 있어서,

상기 제2 평탄화막 상에 상기 유기발광소자의 상기 제1 전극의 가장자리를 덮는 बैं크를 더 구비하는 유기발광 표시장치.

청구항 13

액티브층, 상기 액티브층을 덮는 게이트 절연막, 상기 게이트 절연막 상에서 상기 액티브층과 중첩되는 게이트 전극, 상기 게이트 전극을 덮는 층간 절연막, 및 상기 층간 절연막 상에 소스 전극과 드레인 금속층을 형성하는 단계;

상기 소스 전극과 상기 드레인 금속층을 덮는 제1 평탄화막을 형성하고, 상기 제1 평탄화막을 관통하여 상기 드레인 금속층을 노출하는 공유 콘택홀을 형성하는 단계;

상기 제1 평탄화막과 상기 공유 콘택홀의 상기 드레인 금속층 상에 제1 전극층을 형성하는 단계;

상기 제1 전극층 상에 포토 레지스트 패턴을 형성하고, 상기 포토 레지스트 패턴에 의해 덮이지 않은 제1 전극층과 드레인 금속층을 일괄 식각하여 제1 전극과 드레인 전극을 형성하는 단계;

상기 포토 레지스트 패턴을 제거하고, 상기 공유 콘택홀을 채우는 बैं크를 형성하는 단계; 및

상기 제1 전극과 상기 बैं크 상에 유기발광층과 제2 전극을 형성하는 단계를 포함하는 유기발광 표시장치의 제조

방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광 표시장치와 그의 제조방법에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 영상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있다. 이에 따라, 최근에는 액정표시장치(LCD: Liquid Crystal Display), 플라즈마표시장치(PDP: Plasma Display Panel), 유기발광 표시장치(OLED: Organic Light Emitting Display)와 같은 여러가지 표시장치가 활용되고 있다.

[0003] 표시장치들 중에서 유기발광표시장치는 자체발광형으로서, 액정표시장치(LCD)에 비해 시야각, 대조비 등이 우수하며, 별도의 백라이트가 필요하지 않아 경량 박형이 가능하며, 소비전력이 유리한 장점이 있다. 또한, 유기발광 표시장치는 직류저전압 구동이 가능하고, 응답속도가 빠르며, 특히 제조비용이 저렴한 장점이 있다.

[0004] 유기발광 표시장치는 애노드 전극들, 애노드 전극들을 구획하는 बैं크, 및 애노드 전극들 상에 형성되는 정공 수송층(hole transporting layer), 유기발광층(organic light emitting layer), 및 전자 수송층(electron transporting layer), 및 전자 수송층 상에 형성되는 캐소드 전극을 포함한다. 이 경우, 애노드 전극에 고전위 전압이 인가되고 캐소드 전극에 저전위 전압이 인가되면 정공과 전자가 각각 정공 수송층과 전자 수송층을 통해 유기발광층으로 이동되며, 유기발광층에서 서로 결합하여 발광하게 된다.

[0005] 유기발광 표시장치에서 애노드 전극, 유기발광층, 및 캐소드 전극이 순차적으로 적층된 영역은 광을 발광하는 화소가 되며, बैं크가 형성된 영역은 광을 발광하지 않는 비발광부가 된다. 즉, बैं크는 화소를 정의하는 화소 정의막으로서의 역할을 한다.

[0006] 애노드 전극은 콘택홀을 통해 박막 트랜지스터의 소스 또는 드레인 전극에 접속되어 박막 트랜지스터를 통해 고전위 전압을 인가받는다. 유기발광층은 콘택홀의 단차로 인해 콘택홀 내에서 균일하게 증착되기 어렵기 때문에, 콘택홀에 형성되지 않고 बैं크에 의해 덮이게 된다.

[0007] 한편, 최근에는 유기발광 표시장치를 포함한 헤드 장착형 디스플레이(head mounted display)가 개발되고 있다. 헤드 장착형 디스플레이(Head Mounted Display, HMD)는 안경이나 헬멧 형태로 착용하여 사용자의 눈앞 가까운 거리에 초점이 형성되는 가상현실(Virtual Reality, VR) 또는 증강현실(Augmented Reality, AR)의 안경형 모니터 장치이다. 헤드 장착형 디스플레이와 모바일 등에 사용되는 소형 유기발광 표시장치는 고해상도를 가지므로, 화소의 크기가 점점 작아지고 있다.

[0008] 하지만, 콘택홀은 포토 공정으로 형성되며, 포토 공정의 한계로 인해 소정의 크기 이하로 형성될 수 없다. 즉, 화소의 크기가 작아지더라도 콘택홀이 작아질 수 있는 데에는 한계가 있다. 특히, 콘택홀은 비발광부에 배치되므로, 화소의 크기가 작아지는 경우 화소 내에서 비발광부의 면적 비율이 높아지며 발광부의 면적 비율이 낮아진다. 화소 내에서 발광부의 면적 비율이 낮아지는 경우 발광부의 발광 휘도를 높여야 하므로, 유기발광층의 수명이 줄어들게 된다.

[0009] 또한, 화소의 크기가 작아지는 경우 박막 트랜지스터의 소스 또는 드레인 전극의 크기가 콘택홀의 크기보다 작아질 수 있다. 이 경우, 애노드 전극이 콘택홀을 통해 노출된 소스 또는 드레인 전극의 상부면에만 형성되는 것이 아니라 콘택홀의 바닥면과 소스 또는 드레인 전극의 측면에도 형성될 수 있다. 이로 인해, 애노드 전극이 콘택홀의 바닥면과 소스 또는 드레인 전극 간의 단차로 인하여 소스 또는 드레인 전극의 측면에서 도 1a 및 도 1b와 같이 단선될 수 있다. 이로 인해, 화소가 발광하지 않는 점등 불량 발생할 수 있다.

발명의 내용

해결하려는 과제

[0010] 본 발명은 유기발광층의 수명이 줄어드는 것을 방지할 수 있는 유기발광 표시장치 및 그의 제조방법을 제공한다.

[0011] 또한, 본 발명은 점등 불량을 방지할 수 있는 유기발광 표시장치 및 그의 제조방법을 제공한다.

과제의 해결 수단

[0012] 본 발명의 일 실시예에 따른 유기발광 표시장치는 적어도 하나의 트랜지스터와 유기발광소자를 각각 포함하는 복수의 화소들을 구비한다. 트랜지스터는 게이트 전극, 게이트 전극과 중첩되는 액티브층, 액티브층의 일 측에 접속된 소스 전극, 및 액티브층의 타 측에 접속된 드레인 전극을 포함한다. 유기발광소자는 제1 전극, 제1 전극 상에 배치된 유기발광층, 및 유기발광층 상에 배치된 제2 전극을 포함한다. 복수의 화소들 중 N (N 은 2 이상의 정수) 개의 화소들은 유기발광소자의 제1 전극과 트랜지스터의 소스 전극 또는 드레인 전극이 전기적으로 접속되는 공유 콘택홀을 공유한다.

[0013] 본 발명의 일 실시예에 따른 유기발광 표시장치의 제조방법은 액티브층, 액티브층을 덮는 게이트 절연막, 게이트 절연막 상에서 액티브층과 중첩되는 게이트 전극, 게이트 전극을 덮는 층간 절연막, 및 층간 절연막 상에 소스 전극과 드레인 금속층을 형성하는 단계, 소스 전극과 드레인 금속층을 덮는 제1 평탄화막을 형성하고, 제1 평탄화막을 관통하여 드레인 금속층을 노출하는 공유 콘택홀을 형성하는 단계, 제1 평탄화막과 공유 콘택홀의 드레인 금속층 상에 제1 전극층을 형성하는 단계, 제1 전극층 상에 포토 레지스트 패턴을 형성하고, 포토 레지스트 패턴에 의해 덮이지 않은 제1 전극층과 드레인 금속층을 일괄 식각하여 제1 전극과 드레인 전극을 형성하는 단계, 포토 레지스트 패턴을 제거하고, 공유 콘택홀을 채우는 बैं크를 형성하는 단계, 및 제1 전극과 बैं크 상에 유기발광층과 제2 전극을 형성하는 단계를 포함한다.

발명의 효과

[0014] 본 발명의 실시예는 서로 이웃하는 화소들이 유기발광소자의 제1 전극과 박막 트랜지스터의 드레인 전극을 접속하기 위한 공유 콘택홀을 공유할 수 있다. 그 결과, 본 발명의 실시예는 공유 콘택홀로 인해 발광부의 면적이 줄어드는 것을 방지할 수 있다. 따라서, 본 발명의 실시예는 발광부의 면적 감소로 인해 유기발광층의 수명이 줄어드는 것을 방지할 수 있다.

[0015] 또한, 본 발명의 실시예는 공유 콘택홀에서 제1 전극층을 식각하여 제1 전극을 형성함으로써, 제1 전극이 콘택홀의 바닥면과 드레인 전극 간의 단차로 인하여 소스 또는 드레인 전극의 측면에서 단선되는 것을 막을 수 있다. 따라서, 본 발명의 실시예는 화소가 발광하지 않는 점등 불량이 발생하는 것을 방지할 수 있다.

[0016] 또한, 본 발명의 실시예는 제2 평탄화막 상에 제1 전극을 형성하고, 제2 평탄화막 상에 제1 전극의 가장자리를 덮는 बैं크를 형성한다. 이로 인해, 본 발명의 실시예는 제1 전극을 제2 평탄화막까지 넓게 형성할 수 있으므로, 발광부의 면적을 넓힐 수 있다. 그 결과, 본 발명의 실시예는 유기발광층의 수명을 개선할 수 있다.

도면의 간단한 설명

[0017] 도 1a 및 도 1b는 유기발광층이 콘택홀 내에 형성되는 경우 콘택홀의 단차로 인해 애노드 전극과 캐소드 전극이 단락된 것을 보여주는 예시도면들이다.

도 2는 본 발명의 일 실시예에 따른 유기발광 표시장치를 보여주는 사시도이다.

도 3은 도 2의 제1 기판, 게이트 구동부, 소스 드라이브 IC, 연성필름, 회로보드, 및 타이밍 제어부를 보여주는 평면도이다.

도 4는 표시영역의 화소들의 일 예를 보여주는 평면도이다.

도 5는 표시영역의 화소들의 또 다른 예를 보여주는 평면도이다.

도 6은 표시영역의 화소들의 또 다른 예를 보여주는 평면도이다.

도 7은 도 4의 I-I'의 일 예를 보여주는 단면도이다.

도 8은 표시영역의 화소들의 또 다른 예를 보여주는 평면도이다.

도 9는 도 8의 IV-IV'의 일 예를 보여주는 단면도이다.

도 10은 표시영역의 화소들의 또 다른 예를 보여주는 평면도이다.

도 11은 도 7의 V-V'의 일 예를 보여주는 단면도이다.

도 12는 본 발명의 일 실시예에 따른 유기발광 표시장치의 제조방법을 보여주는 흐름도이다.

도 13a 내지 도 13g는 본 발명의 일 실시예에 따른 유기발광 표시장치의 제조방법을 설명하기 위한 I-I'의 단면도들이다.

도 14는 본 발명의 또 다른 실시예에 따른 유기발광 표시장치의 제조방법을 보여주는 흐름도이다.

도 15a 내지 도 15d는 본 발명의 또 다른 실시예에 따른 유기발광 표시장치의 제조방법을 설명하기 위한 IV-IV'의 단면도들이다.

도 16은 본 발명의 또 다른 실시예에 따른 유기발광 표시장치의 제조방법을 보여주는 흐름도이다.

도 17a 내지 도 17d는 본 발명의 또 다른 실시예에 따른 유기발광 표시장치의 제조방법을 설명하기 위한 V-V'의 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0018] 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명의 핵심 구성과 관련이 없는 경우 및 본 발명의 기술분야에 공지된 구성과 기능에 대한 상세한 설명은 생략될 수 있다. 본 명세서에서 서술되는 용어의 의미는 다음과 같이 이해되어야 할 것이다.
- [0019] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0020] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.
- [0021] 본 명세서에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0022] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0023] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0024] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0025] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0026] "X축 방향", "Y축 방향" 및 "Z축 방향"은 서로 간의 관계가 수직으로 이루어진 기하학적인 관계만으로 해석되어서는 아니 되며, 본 발명의 구성이 기능적으로 작용할 수 있는 범위 내에서보다 넓은 방향성을 가지는 것을 의미할 수 있다.
- [0027] "적어도 하나"의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야 한다. 예를 들어, "제 1 항목, 제 2 항목 및 제 3 항목 중에서 적어도 하나"의 의미는 제 1 항목, 제 2 항목 또는 제 3 항목 각각 뿐만 아니라 제 1 항목, 제 2 항목 및 제 3 항목 중에서 2개 이상으로부터 제시될 수 있는 모든 항목의 조합을 의미할 수 있다.
- [0028] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관

관계로 함께 실시할 수도 있다.

- [0029] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.
- [0030] 도 2는 본 발명의 일 실시예에 따른 유기발광 표시장치를 보여주는 사시도이다. 도 3은 도 2의 제1 기관, 게이트 구동부, 소스 드라이브 IC, 연성필름, 회로보드, 및 타이밍 제어부를 보여주는 평면도이다.
- [0031] 도 2 및 도 3을 참조하면, 본 발명의 일 실시예에 따른 표시장치(100)는 표시패널(110), 게이트 구동부(120), 소스 드라이브 집적회로(integrated circuit, 이하 "IC"라 칭함)(130), 연성필름(140), 회로보드(150), 및 타이밍 제어부(160)를 포함한다.
- [0032] 표시패널(110)은 제1 기관(111)과 제2 기관(112)을 포함한다. 제2 기관(112)은 봉지 기관일 수 있다. 제1 기관(111)은 플라스틱 필름(plastic film) 또는 유리 기관(glass substrate)일 수 있다. 제2 기관(112)은 플라스틱 필름, 유리 기관, 또는 봉지 필름(보호 필름)일 수 있다.
- [0033] 제2 기관(112)과 마주보는 제1 기관(111)의 일면 상에는 게이트 라인들, 데이터 라인들, 및 화소들이 형성된다. 화소들은 게이트 라인들과 데이터 라인들의 교차 구조에 의해 정의되는 영역에 마련된다.
- [0034] 화소들 각각은 박막 트랜지스터와 제1 전극, 유기발광층, 및 제2 전극을 구비하는 유기발광소자를 포함할 수 있다. 화소들 각각은 박막 트랜지스터를 이용하여 게이트 라인으로부터 게이트 신호가 입력되는 경우 데이터 라인의 데이터 전압에 따라 유기발광소자에 소정의 전류를 공급한다. 이로 인해, 화소들 각각의 유기발광소자는 소정의 전류에 따라 소정의 밝기로 발광할 수 있다. 화소들에 대한 자세한 설명은 도 4 및 도 8을 결부하여 후술한다.
- [0035] 표시패널(110)은 도 3과 같이 화소들이 형성되어 화상을 표시하는 표시영역(DA)과 화상을 표시하지 않는 비표시영역(NDA)으로 구분될 수 있다. 표시영역(DA)에는 게이트 라인들, 데이터 라인들, 및 화소들이 형성될 수 있다. 비표시영역(NDA)에는 게이트 구동부(120)와 패드들이 형성될 수 있다.
- [0036] 게이트 구동부(120)는 타이밍 제어부(160)로부터 입력되는 게이트 제어신호에 따라 게이트 라인들에 게이트 신호들을 공급한다. 게이트 구동부(120)는 표시패널(110)의 표시영역(DA)의 일측 또는 양측 바깥쪽의 비표시영역(DA)에 GIP(gate driver in panel) 방식으로 형성될 수 있다. 또는, 게이트 구동부(120)는 구동 칩으로 제작되어 연성필름에 실장되고 TAB(tape automated bonding) 방식으로 표시패널(110)의 표시영역(DA)의 일측 또는 양측 바깥쪽의 비표시영역(DA)에 부착될 수도 있다.
- [0037] 소스 드라이브 IC(130)는 타이밍 제어부(160)로부터 디지털 비디오 데이터와 소스 제어신호를 입력받는다. 소스 드라이브 IC(130)는 소스 제어신호에 따라 디지털 비디오 데이터를 아날로그 데이터전압들로 변환하여 데이터 라인들에 공급한다. 소스 드라이브 IC(130)가 구동 칩으로 제작되는 경우, COF(chip on film) 또는 COP(chip on plastic) 방식으로 연성필름(140)에 실장될 수 있다.
- [0038] 표시패널(110)의 비표시영역(NDA)에는 데이터 패드들과 같은 패드들이 형성될 수 있다. 연성필름(140)에는 패드들과 소스 드라이브 IC(130)를 연결하는 배선들, 패드들과 회로보드(150)의 배선들을 연결하는 배선들이 형성될 수 있다. 연성필름(140)은 이방성 도전 필름(ant isotropic conducting film)을 이용하여 패드들 상에 부착되며, 이로 인해 패드들과 연성필름(140)의 배선들이 연결될 수 있다.
- [0039] 회로보드(150)는 연성필름(140)들에 부착될 수 있다. 회로보드(150)는 구동 칩들로 구현된 다수의 회로들이 실장될 수 있다. 예를 들어, 회로보드(150)에는 타이밍 제어부(160)가 실장될 수 있다. 회로보드(150)는 인쇄회로보드(printed circuit board) 또는 연성 인쇄회로보드(flexible printed circuit board)일 수 있다.
- [0040] 타이밍 제어부(160)는 회로보드(150)의 케이블을 통해 외부의 시스템 보드로부터 디지털 비디오 데이터와 타이밍 신호를 입력받는다. 타이밍 제어부(160)는 타이밍 신호에 기초하여 게이트 구동부(120)의 동작 타이밍을 제어하기 위한 게이트 제어신호와 소스 드라이브 IC(130)들을 제어하기 위한 소스 제어신호를 발생한다. 타이밍 제어부(160)는 게이트 제어신호를 게이트 구동부(120)에 공급하고, 소스 제어신호를 소스 드라이브 IC(130)들에 공급한다.
- [0041] 도 4는 표시영역의 화소들의 일 예를 보여주는 평면도이다.
- [0042] 도 4에서는 설명의 편의를 위해 화소(P), 발광부(EA), 유기발광소자의 제1 전극(AND), 트랜지스터의 드레인 전극(SD), 및 공유 콘택홀(CTS)만을 도시하였다.

- [0043] 도 4를 참조하면, 화소(P)들 각각은 적어도 하나의 박막 트랜지스터와 유기발광소자를 포함한다.
- [0044] 박막 트랜지스터는 액티브층, 액티브층과 중첩되는 게이트 전극, 액티브층의 일 측에 접속되는 소스 전극, 및 액티브층의 타 측에 접속되는 드레인 전극(SD)을 포함할 수 있다. 한편, 박막 트랜지스터는 적합한 다른 종류의 트랜지스터로 대체될 수 있다.
- [0045] 유기발광소자는 애노드 전극에 해당하는 제1 전극(AND), 유기발광층, 및 캐소드 전극에 해당하는 제2 전극을 포함할 수 있다. 발광부(EA)는 제1 전극(AND), 유기발광층, 및 제2 전극이 순차적으로 적층되어 제1 전극(AND)으로부터의 정공과 제2 전극으로부터의 전자가 유기발광층에서 서로 결합되어 광을 발광하는 영역을 나타낸다. 발광부(EA)는 बैं크에 의해 구획될 수 있으며, 이로 인해 बैं크는 광을 발광하지 않는 비발광부에 해당한다.
- [0046] N (N 은 2 이상의 정수) 개의 화소(P)들은 도 4와 같이 공유 콘택홀(CTS)을 공유한다. 공유 콘택홀(CTS)은 N 개의 화소(P)들 각각의 박막 트랜지스터의 드레인 전극(SD)을 유기발광소자의 제1 전극(AND)에 전기적으로 접속하기 위해 형성된 홀이다. N 개의 화소(P)들의 박막 트랜지스터들 각각의 드레인 전극(SD)은 공유 콘택홀(CTS)을 통해 노출될 수 있다.
- [0047] N 개의 화소(P)들 각각의 유기발광소자의 제1 전극(AND)은 공유 콘택홀(CTS)에 의해 박막 트랜지스터의 드레인 전극(SD)에 접속될 수 있다.
- [0048] 또한, 유기발광소자의 제1 전극(AND)과 박막 트랜지스터의 드레인 전극(SD)은 일괄 식각하여 형성될 수 있다. 이 경우, 공유 콘택홀(CTS)에서 유기발광소자의 제1 전극(AND)의 일 측 끝단과 박막 트랜지스터의 드레인 전극(SD)의 일 측 끝단은 일치하도록 형성될 수 있다.
- [0049] 또한, 제1 방향(y 축 방향)으로 이웃하는 화소(P)들 각각의 박막 트랜지스터의 드레인 전극(SD)이 마주보도록 배치될 수 있다. 이로 인해, 제1 방향(y 축 방향)으로 서로 이웃하는 화소(P)들 각각의 박막 트랜지스터의 드레인 전극(SD)이 하나의 공유 콘택홀(CTS)에 의해 노출될 수 있다. 따라서, 제1 방향(y 축 방향)으로 서로 이웃하는 화소(P)들이 유기발광소자의 제1 전극과 박막 트랜지스터의 드레인 전극을 접속하기 위한 콘택홀(CTS)을 공유할 수 있다.
- [0050] 또한, 공유 콘택홀(CTS)은 제1 방향(y 축 방향)과 교차되는 제2 방향(x 축 방향)으로 길게 형성될 수 있다. 제1 방향(y 축 방향)은 데이터 라인들과 나란한 방향이고, 제2 방향(x 축 방향)은 게이트 라인들과 나란한 방향일 수 있다. 즉, 공유 콘택홀(CTS)은 게이트 라인들과 나란하게 형성될 수 있다. 이로 인해, 여러 개의 제1 방향(y 축 방향)으로 서로 이웃하는 화소(P)들 각각의 박막 트랜지스터의 드레인 전극(SD)이 하나의 공유 콘택홀(CTS)에 의해 노출될 수 있다. 따라서, N 개의 화소(P)들이 유기발광소자의 제1 전극과 박막 트랜지스터의 드레인 전극을 접속하기 위한 콘택홀(CTS)을 공유할 수 있다.
- [0051] 도 4에서는 " $N=8$ "인 것을 예시하였으나, 이에 한정되지 않는다. 즉, 도 5와 같이 " $N=2$ "이거나, 도 6과 같이 " $N=4$ "일 수도 있다. 도 5와 같이 " $N=2$ "인 경우, 제1 방향(y 축 방향)으로 이웃하는 2개의 화소(P)마다 공유 콘택홀(CTS)을 공유할 수 있다. 또한, 도 6과 같이 " $N=4$ "인 경우, 제1 방향(y 축 방향)과 제2 방향(x 축 방향)으로 이웃하는 4개의 화소(P)마다 공유 콘택홀(CTS)을 공유할 수도 있다. 본 발명의 실시예에서 공유 콘택홀(CTS)을 공유하는 화소(P)들의 개수는 도 4 내지 도 6에 도시된 예에 한정되지 않는다.
- [0052] 이상에서 살펴본 바와 같이, 본 발명의 실시예는 N 개의 화소(P)들이 유기발광소자의 제1 전극과 박막 트랜지스터의 드레인 전극을 접속하기 위한 콘택홀(CTS)을 공유할 수 있다. 그 결과, 본 발명의 실시예는 공유 콘택홀(CTS)로 인해 발광부(EA)의 면적이 줄어드는 것을 방지할 수 있다. 따라서, 본 발명의 실시예는 발광부(EA)의 면적 감소로 인해 유기발광층의 수명이 줄어드는 것을 방지할 수 있다.
- [0053] 한편, 도 4에서는 화소(P)들 각각의 제1 전극(AND)이 적어도 하나의 박막 트랜지스터의 드레인 전극(SD)에 접속된 것을 예시하였으나, 이에 한정되지 않으며, 소스 전극에 접속될 수도 있다. 이 경우, 제1 방향(y 축 방향)으로 이웃하는 화소(P)들 각각의 박막 트랜지스터의 소스 전극이 공유 콘택홀(CTS)에서 마주보도록 배치될 수 있다.
- [0054] 도 7은 도 4의 I-I'의 일 예를 보여주는 단면도이다.
- [0055] 도 7을 참조하면, 제2 기판(112)과 마주보는 제1 기판(111)의 일면 상에는 버퍼막이 형성된다. 버퍼막은 투습에 취약한 제1 기판(111)을 통해 침투하는 수분으로부터 박막 트랜지스터(210)들과 유기발광소자(260)들을 보호하기 위해 제1 기판(111)의 일면 상에 형성된다. 버퍼막은 교번하여 적층된 복수의 무기막들로 이루어질 수 있다.

예를 들어, 버퍼막은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x), SiON 중 하나 이상의 무기막이 교번하여 적층된 다중막으로 형성될 수 있다. 버퍼막은 생략될 수 있다.

- [0056] 버퍼막 상에는 박막 트랜지스터(210)가 형성된다. 도 5에서는 화소(P)들 각각의 제1 전극(261)이 적어도 하나의 박막 트랜지스터의 드레인 전극(214)에 접속된 것을 예시하였으나, 소스 전극(213)에 접속될 수도 있다.
- [0057] 박막 트랜지스터(210)는 액티브층(211), 게이트 전극(212), 소스 전극(213) 및 드레인 전극(214)을 포함한다. 도 5에서는 박막 트랜지스터(210)가 게이트 전극(212)이 액티브층(211)의 상부에 위치하는 상부 게이트(탑 게이트, top gate) 방식으로 형성된 것을 예시하였으나, 이에 한정되지 않음에 주의하여야 한다. 즉, 박막 트랜지스터(210)들은 게이트 전극(212)이 액티브층(211)의 하부에 위치하는 하부 게이트(보텀 게이트, bottom gate) 방식 또는 게이트 전극(212)이 액티브층(211)의 상부와 하부에 모두 위치하는 더블 게이트(double gate) 방식으로 형성될 수 있다.
- [0058] 버퍼막 상에는 액티브층(211)이 형성된다. 액티브층(211)은 실리콘계 반도체 물질 또는 산화물계 반도체 물질로 형성될 수 있다. 버퍼막과 액티브층(211) 사이에는 액티브층(211)으로 입사되는 외부광을 차단하기 위한 차광층이 형성될 수 있다.
- [0059] 액티브층(211) 상에는 게이트 절연막(220)이 형성될 수 있다. 게이트 절연막(220)은 무기막, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x), 또는 이들의 다중막으로 형성될 수 있다.
- [0060] 게이트 절연막(220) 상에는 게이트 전극(212)과 게이트 라인이 형성될 수 있다. 게이트 전극(212)과 게이트 라인은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.
- [0061] 게이트 전극(212)과 게이트 라인 상에는 층간 절연막(230)이 형성될 수 있다. 층간 절연막(230)은 무기막, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x), 또는 이들의 다중막으로 형성될 수 있다.
- [0062] 층간 절연막(230) 상에는 소스 전극(213), 드레인 전극(214), 및 데이터 라인이 형성될 수 있다. 소스 전극(213)은 게이트 절연막(220)과 층간 절연막(230)을 관통하는 콘택홀을 통해 액티브층(211)에 접속될 수 있다. 드레인 전극(214)은 게이트 절연막(220)과 층간 절연막(230)을 관통하는 콘택홀을 통해 액티브층(211)에 접속될 수 있다. 소스 전극(213), 드레인 전극(214), 및 데이터 라인은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.
- [0063] 소스 전극(223), 드레인 전극(224), 및 데이터 라인 상에는 박막 트랜지스터(210)를 절연하기 위한 보호막(240)이 형성될 수 있다. 보호막(240)은 무기막, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x), 또는 이들의 다중막으로 형성될 수 있다.
- [0064] 보호막(240) 상에는 박막 트랜지스터(210)로 인한 단차를 평탄하게 하기 위한 제1 평탄화막(250)이 형성될 수 있다. 제1 평탄화막(250)은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기막으로 형성될 수 있다.
- [0065] 제1 평탄화막(250) 상에는 유기발광소자(260)와 बैं크(270)가 형성된다. 유기발광소자(260)는 제1 전극(261), 유기발광층(262), 및 제2 전극(263)을 포함한다. 제1 전극(261)은 애노드 전극이고, 제2 전극(263)은 캐소드 전극일 수 있다.
- [0066] 제1 전극(261)은 제1 평탄화막(250) 상에 형성될 수 있다. 제1 전극(261)은 제1 평탄화막(250)을 관통하여 박막 트랜지스터(210)의 드레인 전극(214)의 일 측 가장자리를 노출하는 공유 콘택홀(CTS)을 통해 박막 트랜지스터(210)의 드레인 전극(214)에 접속될 수 있다.
- [0067] 제1 전극(261)과 드레인 전극(214)은 일괄 식각하여 형성될 수 있다. 이 경우, 제1 전극(261)의 일 측의 끝단과 드레인 전극(214)의 일 측의 끝단은 도 5와 같이 일치하도록 형성될 수 있다. 또한, 박막 트랜지스터(210)들의 드레인 전극(214)들은 공유 콘택홀(CTS)에서 마주보도록 형성될 수 있다. 이로 인해, 제1 전극(261)은 공유 콘택홀(CTS)에서 이웃하는 다른 제1 전극(261)과 연결되지 않도록 형성될 수 있다.
- [0068] 제1 전극(261)은 알루미늄(Al), 은(Ag), 몰리브덴(Mo), 몰리브덴과 티타늄의 적층 구조(Mo/Ti), 구리(Cu), 알루미늄

미늄과 티타늄의 적층 구조(Ti/Al/Ti), 알루미늄과 ITO의 적층 구조(ITO/Al/ITO), APC 합금, 또는 APC 합금과 ITO의 적층 구조(ITO/APC/ITO)으로 형성될 수 있다. APC 합금은 은(Ag), 팔라듐(Pd), 및 구리(Cu)의 합금이다.

[0069] 뱅크(270)는 공유 콘택홀(CTS)을 채우도록 형성될 수 있다. 이로 인해, 발광부(EA)는 뱅크(270)에 의해 구획될 수 있다. 즉, 뱅크(270)는 발광부(EA)들을 정의하는 역할을 한다.

[0070] 발광부(EA)들 각각은 애노드 전극에 해당하는 제1 전극(261), 유기발광층(262), 및 캐소드 전극에 해당하는 제2 전극(263)이 순차적으로 적층되어 제1 전극(261)으로부터의 정공과 제2 전극(263)으로부터의 전자가 유기발광층(262)에서 서로 결합되어 발광하는 영역을 나타낸다. 이 경우, 뱅크(270)가 형성된 영역은 광을 발광하지 않으므로 비발광부로 정의될 수 있다.

[0071] 뱅크(270)는 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기막으로 형성될 수 있다.

[0072] 제1 전극(261)과 뱅크(270) 상에는 유기발광층(262)이 형성된다. 유기발광층(262)은 화소(P)들에 공통적으로 형성되는 공통층이며, 백색 광을 발광하는 백색 발광층일 수 있다. 이 경우, 유기발광층(262)은 2 스택(stack) 이상의 탠덤 구조로 형성될 수 있다. 스택들 각각은 정공 수송층(hole transporting layer), 적어도 하나의 발광층(light emitting layer), 및 전자 수송층(electron transporting layer)을 포함할 수 있다. 또한, 스택들 사이에는 전하 생성층이 형성될 수 있다.

[0073] 정공 수송층은 제1 전극(261) 또는 전하 생성층으로부터 주입된 정공을 발광층으로 원활하게 전달하는 역할을 한다. 발광층은 인광 또는 형광물질을 포함하는 유기물질로 형성될 수 있으며, 이로 인해 소정의 광을 발광할 수 있다. 전자 수송층은 제2 전극(263) 또는 전하 생성층으로부터 주입된 전자를 유기발광층으로 원활하게 전달하는 역할을 한다.

[0074] 전하 생성층은 하부 스택과 인접하게 위치하는 n형 전하 생성층과 n형 전하 생성층 상에 형성되어 상부 스택과 인접하게 위치하는 p형 전하 생성층을 포함할 수 있다. n형 전하 생성층은 하부 스택으로 전자(electron)를 주입해주고, p형 전하 생성층은 상부 스택으로 정공(hole)을 주입해준다. n형 전하 생성층은 전자수송능력이 있는 유기 호스트 물질에 Li, Na, K, 또는 Cs와 같은 알칼리 금속, 또는 Mg, Sr, Ba, 또는 Ra와 같은 알칼리 토금속이 도핑된 유기층일 수 있다. p형 전하 생성층은 정공수송능력이 있는 유기 호스트 물질에 도펀트가 도핑된 유기층일 수 있다.

[0075] 도 5에서는 유기발광층(262)이 화소(P)들에 공통적으로 형성되는 공통층이며, 백색 광을 발광하는 백색 발광층인 것을 예시하였으나, 본 발명의 실시예는 이에 한정되지 않는다. 즉, 유기발광층(262)은 화소(P) 별로 형성될 수 있으며, 이 경우 화소(P)는 적색 광을 발광하는 적색 발광층을 포함하는 적색 화소, 녹색 광을 발광하는 녹색 발광층을 포함하는 녹색 화소, 및 청색 광을 발광하는 청색 화소로 구분될 수 있다.

[0076] 제2 전극(263)은 유기발광층(262) 상에 형성된다. 제2 전극(263)은 화소(P)들에 공통적으로 형성되는 공통층이다. 제2 전극(263)은 광을 투과시킬 수 있는 ITO, IZO와 같은 투명한 금속물질(TCO, Transparent Conductive Material), 또는 마그네슘(Mg), 은(Ag), 또는 마그네슘(Mg)과 은(Ag)의 합금과 같은 반투과 금속물질(Semi-transmissive Conductive Material)로 형성될 수 있다. 제2 전극(140)이 반투과 금속물질로 형성되는 경우, 마이크로 캐비티(micro cavity)에 의해 출광 효율이 높아질 수 있다. 제2 전극(263) 상에는 캡핑층(capping layer)이 형성될 수 있다.

[0077] 제2 전극(263) 상에는 봉지막(280)이 배치된다. 봉지막(280)은 유기발광층(262)과 제2 전극(263)에 산소 또는 수분이 침투되는 것을 방지하는 역할을 한다. 봉지막(280)은 적어도 하나의 무기막을 포함할 수 있다. 무기막은 실리콘 질화물, 알루미늄 질화물, 지르코늄 질화물, 티타늄 질화물, hafnium 질화물, 탄탈륨 질화물, 실리콘 산화물, 알루미늄 산화물 또는 티타늄 산화물로 형성될 수 있다. 또한, 봉지막(280)은 이물들(particles)이 무기막을 뚫고 유기발광층(262)과 제2 전극(263)에 투입되는 것을 방지하기 위해 적어도 하나의 유기막을 더 포함할 수 있다.

[0078] 제2 기관(112) 상에는 컬러필터들(301, 302)과 블랙 매트릭스(310)가 배치될 수 있다. 컬러필터들(301, 302) 각각은 화소(P)들 각각에 대응되게 배치될 수 있다. 블랙 매트릭스(310)는 컬러필터들(310, 302) 사이에 배치될 수 있으며, 뱅크(270)에 대응되게 배치될 수 있다.

[0079] 제2 기관(112)의 컬러필터들(301, 302)과 제1 기관(111)의 봉지막(280)은 접착층(290)을 이용하여 접착될 수 있다. 이로 인해, 제1 기관(111)과 제2 기관(112)은 합착될 수 있다. 접착층(290)은 투명한 접착 필름 또는 투명

한 접촉 레진일 수 있다. 제2 기관(112)은 플라스틱 필름, 유리 기관, 또는 봉지 필름(보호 필름)일 수 있다.

- [0080] 이상에서 살펴본 바와 같이, 본 발명의 실시예는 제1 전극(261)과 드레인 전극(214)을 일괄 식각하여 형성함으로써, 제1 전극(261)의 일 측의 끝단과 드레인 전극(214)의 일 측의 끝단이 일치하도록 형성하며, 박막 트랜지스터(210)들의 드레인 전극(214)들이 공유 콘택홀(CTS)에서 마주보도록 형성할 수 있다. 이로 인해, 본 발명의 실시예는 제1 전극(261)이 공유 콘택홀(CTS)에서 이웃하는 다른 제1 전극(261)과 연결되지 않도록 형성될 수 있다. 따라서, 본 발명의 실시예는 서로 이웃하는 화소(P)들이 공유 콘택홀(CTS)을 공유할 수 있으므로, 콘택홀로 인해 발광부(EA)의 면적이 줄어드는 것을 방지할 수 있으며, 발광부(EA)의 면적 감소로 인해 유기발광층의 수명이 줄어드는 것을 방지할 수 있다.
- [0081] 한편, 도 5의 II-II'의 단면도와 도 6의 III-III'의 단면도는 도 4의 I-I'의 단면도와 실질적으로 동일하므로, 이들에 대한 자세한 설명은 생략한다.
- [0082] 도 8은 표시영역의 화소들의 또 다른 예를 보여주는 평면도이다.
- [0083] 도 8에서는 설명의 편의를 위해 화소(P), 발광부(EA), 유기발광소자의 제1 전극(AND), 트랜지스터의 드레인 전극(SD), 및 공유 콘택홀(CTS)만을 도시하였다.
- [0084] 도 8에 도시된 평면도는 유기발광소자의 제1 전극(AND)을 제외하고는 도 4를 결부하여 설명한 바와 실질적으로 동일하다. 따라서, 도 8의 화소(P), 발광부(EA), 트랜지스터의 드레인 전극(SD), 및 공유 콘택홀(CTS)에 대한 자세한 설명은 생략한다.
- [0085] 도 8을 참조하면, N 개의 화소(P)들 각각의 유기발광소자의 제1 전극(AND)은 공유 콘택홀(CTS)에 의해 박막 트랜지스터의 드레인 전극(SD)에 접속될 수 있다.
- [0086] 또한, 도 8과 같이 공유 콘택홀(CTS)에서 유기발광소자의 제1 전극(AND)의 일 측 끝단은 박막 트랜지스터의 드레인 전극(SD)의 일 측 끝단보다 길게 연장되도록 형성될 수 있다. 즉, 유기발광소자의 제1 전극(AND)이 박막 트랜지스터의 드레인 전극(SD)을 완전히 덮도록 형성될 수 있다.
- [0087] 한편, 도 8에서는 "N=8"인 것을 예시하였으나, 이에 한정되지 않는다. 즉, 도 5와 같이 "N=2"이거나, 도 6과 같이 "N=4"일 수도 있다. 도 5와 같이 "N=2"인 경우, 제1 방향(y축 방향)으로 이웃하는 2개의 화소(P)마다 공유 콘택홀(CTS)을 공유할 수 있다. 또한, 도 6과 같이 "N=4"인 경우, 제1 방향(y축 방향)과 제2 방향(x축 방향)으로 이웃하는 4개의 화소(P)마다 공유 콘택홀(CTS)을 공유할 수도 있다. 본 발명의 실시예에서 공유 콘택홀(CTS)을 공유하는 화소(P)들의 개수는 도 4 내지 도 6에 도시된 예에 한정되지 않는다.
- [0088] 도 9는 도 8의 IV-IV'의 일 예를 보여주는 단면도이다.
- [0089] 도 9에 도시된 단면도는 유기발광소자(260)의 제1 전극(261)과 박막 트랜지스터(210)의 드레인 전극(214)의 접속 구조를 제외하고는 도 7을 결부하여 설명한 바와 실질적으로 동일하다. 따라서, 도 9에 도시된 제1 및 제2 기관들(111, 112), 박막 트랜지스터(210)의 액티브층(211), 게이트 전극(212), 소스 전극(213) 및 드레인 전극(214), 게이트 절연막(220), 층간 절연막(230), 보호막(240), 및 제1 평탄화막(250), 유기발광층(262), 제2 전극(263), 봉지막(280), 접착층(290), 컬러필터들(301, 302) 및 블랙 매트릭스(310)에 대한 자세한 설명은 생략한다.
- [0090] 도 9를 참조하면, 제1 전극(261)은 제1 평탄화막(250) 상에 형성될 수 있다. 제1 전극(261)은 제1 평탄화막(250)을 관통하여 박막 트랜지스터(210)의 드레인 전극(214)의 일 측 가장자리를 노출하는 공유 콘택홀(CTS)을 통해 박막 트랜지스터(210)의 드레인 전극(214)에 접속될 수 있다.
- [0091] 드레인 전극(214)과 제1 전극(261)을 일괄 식각하지 않는 경우, 공유 콘택홀(CTS)에서 유기발광소자(260)의 제1 전극(261)의 일 측 끝단은 도 9와 같이 박막 트랜지스터(210)의 드레인 전극(214)의 일 측 끝단보다 길게 연장되도록 형성될 수 있다. 이 경우, 유기발광소자(260)의 제1 전극(261)이 박막 트랜지스터(210)의 드레인 전극(214)을 완전히 덮도록 형성될 수 있다. 또는, 드레인 전극(214)과 제1 전극(261)을 일괄 식각하지 않는 경우, 공유 콘택홀(CTS)에서 박막 트랜지스터(210)의 드레인 전극(214)의 일 측 끝단이 유기발광소자(260)의 제1 전극(261)의 일 측 끝단보다 길게 연장되도록 형성될 수 있다. 이 경우, 유기발광소자(260)의 제1 전극(261)은 박막 트랜지스터(210)의 드레인 전극(214)의 일부를 덮도록 형성될 수 있다. 또한, 박막 트랜지스터(210)들의 드레인 전극(214)들은 공유 콘택홀(CTS)에서 마주보도록 형성될 수 있다. 이로 인해, 제1 전극(261)은 공유 콘택홀(CTS)에서 이웃하는 다른 제1 전극(261)과 연결되지 않도록 형성될 수 있다.

- [0092] 제1 전극(261)은 알루미늄(Al), 은(Ag), 몰리브덴(Mo), 몰리브덴과 티타늄의 적층 구조(Mo/Ti), 구리(Cu), 알루미늄과 티타늄의 적층 구조(Ti/Al/Ti), 알루미늄과 ITO의 적층 구조(ITO/Al/ITO), APC 합금, 또는 APC 합금과 ITO의 적층 구조(ITO/APC/ITO)으로 형성될 수 있다. APC 합금은 은(Ag), 팔라듐(Pd), 및 구리(Cu)의 합금이다.
- [0093] 이상에서 살펴본 바와 같이, 본 발명의 실시예는 제1 전극(261)이 공유 콘택홀(CTS)에서 이웃하는 다른 제1 전극(261)과 연결되지 않도록 형성할 수 있다. 따라서, 본 발명의 실시예는 서로 이웃하는 화소(P)들이 공유 콘택홀(CTS)을 공유할 수 있으므로, 콘택홀로 인해 발광부(EA)의 면적이 줄어드는 것을 방지할 수 있으며, 발광부(EA)의 면적 감소로 인해 유기발광층의 수명이 줄어드는 것을 방지할 수 있다.
- [0094] 도 10은 표시영역의 화소들의 또 다른 예를 보여주는 평면도이다.
- [0095] 도 10에서는 설명의 편의를 위해 화소(P), 발광부(EA), 보조 전극(AE), 유기발광소자의 제1 전극(AND), 트랜지스터의 드레인 전극(SD), 및 공유 콘택홀(CTS)만을 도시하였다.
- [0096] 도 10을 참조하면, 화소(P)들 각각은 적어도 하나의 박막 트랜지스터와 유기발광소자를 포함한다.
- [0097] 박막 트랜지스터는 액티브층, 액티브층과 중첩되는 게이트 전극, 액티브층의 일 측에 접속되는 소스 전극, 및 액티브층의 타 측에 접속되는 드레인 전극(SD)을 포함할 수 있다. 한편, 박막 트랜지스터는 적합한 다른 종류의 트랜지스터로 대체될 수 있다.
- [0098] 유기발광소자는 애노드 전극에 해당하는 제1 전극(AND), 유기발광층, 및 캐소드 전극에 해당하는 제2 전극을 포함할 수 있다. 발광부(EA)는 제1 전극(AND), 유기발광층, 및 제2 전극이 순차적으로 적층되어 제1 전극(AND)으로부터의 정공과 제2 전극으로부터의 전자가 유기발광층에서 서로 결합되어 광을 발광하는 영역을 나타낸다. 발광부(EA)는 बैं크에 의해 구획될 수 있으며, 이로 인해 बैं크는 광을 발광하지 않는 비발광부에 해당한다.
- [0099] N 개의 화소(P)들은 도 4와 같이 공유 콘택홀(CTS)을 공유한다. 공유 콘택홀(CTS)은 N 개의 화소(P)들 각각의 박막 트랜지스터의 드레인 전극(SD)을 유기발광소자의 제1 전극(AND)에 전기적으로 접속하기 위해 형성된 홀이다. N 개의 화소(P)들의 박막 트랜지스터들 각각의 드레인 전극(SD)은 공유 콘택홀(CTS)을 통해 노출될 수 있다.
- [0100] 보조 전극(AE)은 유기발광소자의 제1 전극(AND)에 접속된다. N 개의 화소(P)들 각각의 보조 전극(AE)은 공유 콘택홀(CTS)에 의해 박막 트랜지스터의 드레인 전극(SD)에 접속될 수 있다.
- [0101] 보조 전극(AE)과 박막 트랜지스터의 드레인 전극(SD)은 일괄 식각하여 형성될 수 있다. 이 경우, 공유 콘택홀(CTS)에서 유기발광소자의 제1 전극(AND)의 일 측 끝단과 박막 트랜지스터의 드레인 전극(SD)의 일 측 끝단은 일치하도록 형성될 수 있다. 또는, 공유 콘택홀(CTS)에서 보조 전극(AE)의 일 측 끝단은 박막 트랜지스터의 드레인 전극(SD)의 일 측 끝단보다 길게 연장되도록 형성될 수 있다. 즉, 보조 전극(AE)이 박막 트랜지스터의 드레인 전극(SD)을 완전히 덮도록 형성될 수 있다. 또는, 공유 콘택홀(CTS)에서 박막 트랜지스터의 드레인 전극(SD)의 일 측 끝단은 보조 전극(AE)의 일 측 끝단보다 길게 연장되도록 형성될 수 있다. 즉, 보조 전극(AE)이 박막 트랜지스터의 드레인 전극(SD)의 일부를 덮도록 형성될 수 있다.
- [0102] 또한, N 개의 화소(P)들 중 제1 방향(y축 방향)으로 이웃하는 화소(P)들이 공유 콘택홀(CTS)을 공유한다. 이를 위해, 제1 방향(y축 방향)으로 이웃하는 화소(P)들 각각의 박막 트랜지스터의 드레인 전극(SD)이 공유 콘택홀(CTS)에서 마주보도록 배치될 수 있다.
- [0103] 또한, 공유 콘택홀(CTS)은 제1 방향(y축 방향)과 교차되는 제2 방향(x축 방향)으로 길게 형성될 수 있다. 제1 방향(y축 방향)은 데이터 라인들과 나란한 방향이고, 제2 방향(x축 방향)은 게이트 라인들과 나란한 방향일 수 있다. 이 경우, 공유 콘택홀(CTS)은 게이트 라인들과 나란하게 형성될 수 있다.
- [0104] 도 10에서는 "N=8"인 것을 예시하였으나, 이에 한정되지 않는다. 즉, 도 5와 같이 "N=2"이거나, 도 6과 같이 "N=4"일 수도 있다. 도 5와 같이 "N=2"인 경우, 제1 방향(y축 방향)으로 이웃하는 2개의 화소(P)마다 공유 콘택홀(CTS)을 공유할 수 있다. 또한, 도 6과 같이 "N=4"인 경우, 제1 방향(y축 방향)과 제2 방향(x축 방향)으로 이웃하는 4개의 화소(P)마다 공유 콘택홀(CTS)을 공유할 수도 있다. 본 발명의 실시예에서 공유 콘택홀(CTS)을 공유하는 화소(P)들의 개수는 도 4 내지 도 6에 도시된 예에 한정되지 않는다.
- [0105] 이상에서 살펴본 바와 같이, 본 발명의 실시예는 N 개의 화소(P)들이 유기발광소자의 제1 전극과 박막 트랜지스터의 드레인 전극을 접속하기 위한 공유 콘택홀(CTS)을 공유할 수 있다. 그 결과, 본 발명의 실시예는 공유 콘택홀(CTS)로 인해 발광부(EA)의 면적이 줄어드는 것을 방지할 수 있다. 따라서, 본 발명의 실시예는 발광부(E

A)의 면적 감소로 인해 유기발광층의 수명이 줄어드는 것을 방지할 수 있다.

- [0106] 도 11은 도 7의 V-V'의 일 예를 보여주는 단면도이다.
- [0107] 도 11에 도시된 단면도는 보조 전극(264)과 제2 평탄화막(271)이 추가되고, 제1 전극(261)과 बैं크(272)의 위치가 변경된 것을 제외하고는 도 7을 결부하여 설명한 바와 실질적으로 동일하다. 따라서, 도 11에 도시된 제1 및 제2 기판들(111, 112), 박막 트랜지스터(210)의 액티브층(211), 게이트 전극(212), 소스 전극(213) 및 드레인 전극(214), 게이트 절연막(220), 층간 절연막(230), 보호막(240), 및 제1 평탄화막(250), 유기발광층(262), 제2 전극(263), 봉지막(280), 접착층(290), 컬러필터들(301, 302) 및 블랙 매트릭스(310)에 대한 자세한 설명은 생략한다.
- [0108] 도 9를 참조하면, 보조 전극(264)은 제1 평탄화막(250)을 관통하여 박막 트랜지스터(210)의 드레인 전극(214)의 일 측 가장자리를 노출하는 공유 콘택홀(CTS)을 통해 박막 트랜지스터(210)의 드레인 전극(214)에 접속될 수 있다.
- [0109] 보조 전극(264)과 드레인 전극(214)은 일괄 식각하여 형성될 수 있다. 이 경우, 공유 콘택홀(CTS)에서 보조 전극(264)의 일 측의 끝단과 드레인 전극(214)의 일 측의 끝단은 도 11과 같이 일치하도록 형성될 수 있다. 또는, 공유 콘택홀(CTS)에서 보조 전극(264)의 일 측 끝단은 박막 트랜지스터(210)의 드레인 전극(214)의 일 측 끝단보다 길게 연장되도록 형성될 수 있다. 이 경우, 보조 전극(264)이 박막 트랜지스터(210)의 드레인 전극(214)을 완전히 덮도록 형성될 수 있다. 또는, 공유 콘택홀(CTS)에서 박막 트랜지스터(210)의 드레인 전극(214)의 일 측 끝단이 보조 전극(264)의 일 측 끝단보다 길게 연장되도록 형성될 수 있다. 이 경우, 보조 전극(264)은 박막 트랜지스터(210)의 드레인 전극(214)의 일부를 덮도록 형성될 수 있다.
- [0110] 또한, 박막 트랜지스터(210)들의 드레인 전극(214)들은 공유 콘택홀(CTS)에서 마주보도록 형성될 수 있다. 이로 인해, 보조 전극(264)은 공유 콘택홀(CTS)에서 이웃하는 다른 보조 전극(264)과 연결되지 않도록 형성될 수 있다.
- [0111] 보조 전극(264)은 투명한 금속물질 또는 불투명한 금속물질로 형성될 수 있다. 투명한 금속물질은 ITO, IZO와 같은 TCO(Transparent Conductive Material), 또는 마그네슘(Mg), 은(Ag), 또는 마그네슘(Mg)과 은(Ag)의 합금과 같은 반투과 금속물질(Semi-transmissive Conductive Material)일 수 있다. 불투명한 금속물질은 알루미늄(Al), 은(Ag), 몰리브덴(Mo), 몰리브덴과 티타늄의 적층 구조(Mo/Ti), 구리(Cu), 알루미늄과 티타늄의 적층 구조(Ti/Al/Ti), 알루미늄과 ITO의 적층 구조(ITO/Al/ITO), APC 합금, 또는 APC 합금과 ITO의 적층 구조(ITO/APC/ITO)일 수 있다. APC 합금은 은(Ag), 팔라듐(Pd), 및 구리(Cu)의 합금이다.
- [0112] 보조 전극(264)과 공유 콘택홀(CTS) 상에는 제2 평탄화막(271)이 형성된다. 제2 평탄화막(271)은 공유 콘택홀(CTS)을 채우도록 형성될 수 있다. 제2 평탄화막(271)은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기막으로 형성될 수 있다.
- [0113] 보조 전극(264)과 제2 평탄화막(272) 상에는 제1 전극(261)이 형성된다. 제1 전극(261)은 알루미늄(Al), 은(Ag), 몰리브덴(Mo), 몰리브덴과 티타늄의 적층 구조(Mo/Ti), 구리(Cu), 알루미늄과 티타늄의 적층 구조(Ti/Al/Ti), 알루미늄과 ITO의 적층 구조(ITO/Al/ITO), APC 합금, 또는 APC 합금과 ITO의 적층 구조(ITO/APC/ITO)으로 형성될 수 있다. APC 합금은 은(Ag), 팔라듐(Pd), 및 구리(Cu)의 합금이다.
- [0114] बैं크(272)는 제2 평탄화막(272) 상에 형성된다. बैं크(272)는 제1 전극(261)의 가장자리를 덮도록 형성될 수 있다. बैं크(270)는 발광부(EA)들을 정의하는 역할을 한다.
- [0115] 발광부(EA)들 각각은 애노드 전극에 해당하는 제1 전극(261), 유기발광층(262), 및 캐소드 전극에 해당하는 제2 전극(263)이 순차적으로 적층되어 제1 전극(261)으로부터의 정공과 제2 전극(263)으로부터의 전자가 유기발광층(262)에서 서로 결합되어 발광하는 영역을 나타낸다. 이 경우, बैं크(270)가 형성된 영역은 광을 발광하지 않으므로 비발광부로 정의될 수 있다.
- [0116] 이상에서 살펴본 바와 같이, 본 발명의 실시예는 제1 전극(261) 대신에 보조 전극(264)을 이용하여 공유 콘택홀(CTS)에서 박막 트랜지스터의 소스 전극 또는 드레인 전극(214)과 접속한다. 이 경우, 본 발명의 실시예는 보조 전극(264)이 공유 콘택홀(CTS)에서 이웃하는 다른 보조 전극(264)과 연결되지 않도록 형성된다. 따라서, 본 발명의 실시예는 서로 이웃하는 화소(P)들이 공유 콘택홀(CTS)을 공유할 수 있으므로, 콘택홀로 인해 발광부(EA)의 면적이 줄어드는 것을 방지할 수 있으며, 발광부(EA)의 면적 감소로 인해 유기발광층의 수명이 줄어드는 것

을 방지할 수 있다.

- [0117] 또한, 본 발명의 실시예는 제2 평탄화막(272) 상에 제1 전극(261)을 형성하고, 제2 평탄화막(272) 상에 제1 전극(261)의 가장자리를 덮는 बैं크(270)를 형성한다. 이로 인해, 본 발명의 실시예는 제1 전극(261)을 제2 평탄화막(272)까지 넓게 형성할 수 있으므로, 발광부(EA)의 면적을 넓힐 수 있다. 그 결과, 본 발명의 실시예는 유기 발광층의 수명을 개선할 수 있다.
- [0118] 도 12는 본 발명의 일 실시예에 따른 유기발광 표시장치의 제조방법을 보여주는 흐름도이다. 도 13a 내지 도 13g는 본 발명의 일 실시예에 따른 유기발광 표시장치의 제조방법을 설명하기 위한 I-I'의 단면도들이다.
- [0119] 도 13a 내지 도 13g에 도시된 단면도들은 전술한 도 7에 도시된 유기발광 표시장치의 제조방법에 관한 것이므로, 동일한 구성에 대해 동일한 도면부호를 부여하였다. 이하에서는 도 12 및 도 13a 내지 도 13g를 결부하여 본 발명의 일 실시예에 따른 유기발광 표시장치의 제조방법을 상세히 설명한다.
- [0120] 첫 번째로, 도 13a와 같이 박막 트랜지스터(210)들 각각의 액티브층(211), 게이트 전극(212), 및 소스 전극(213), 및 드레인 금속층(214')을 형성하고, 박막 트랜지스터(210)들 각각의 소스 전극(213) 및 드레인 금속층(214') 상에 보호막(240)을 형성한다.
- [0121] 구체적으로, 박막 트랜지스터를 형성하기 전에 기판(100)을 통해 침투하는 수분으로부터 제1 기판(111) 상에 버퍼막을 형성할 수 있다. 버퍼막은 투습에 취약한 제1 기판(111)을 통해 침투하는 수분으로부터 박막 트랜지스터(210)와 유기발광소자(260)를 보호하기 위한 것으로, 교번하여 적층된 복수의 무기막들로 이루어질 수 있다. 예를 들어, 버퍼막은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x), SiON 중 하나 이상의 무기막이 교번하여 적층된 다중막으로 형성될 수 있다. 버퍼막은 CVD법(Chemical Vapor Deposition)을 이용하여 형성될 수 있다.
- [0122] 그리고 나서, 버퍼막 상에 박막 트랜지스터의 액티브층(211)을 형성한다. 구체적으로, 스퍼터링법(Sputtering) 또는 MOCVD법(Metal Organic Chemical Vapor Deposition) 등을 이용하여 버퍼막 상의 전면에 액티브 금속층을 형성할 수 있다. 그리고 나서, 포토 레지스트 패턴을 이용한 마스크 공정으로 액티브 금속층을 패터닝하여 액티브층(211)을 형성할 수 있다. 액티브층(211)은 실리콘계 반도체 물질 또는 산화물계 반도체 물질로 형성될 수 있다.
- [0123] 그리고 나서, 액티브층(211) 상에 게이트 절연막(220)을 형성한다. 게이트 절연막(220)은 무기막, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x), 또는 이들의 다중막으로 형성될 수 있다.
- [0124] 그리고 나서, 게이트 절연막(220) 상에 박막 트랜지스터(210)의 게이트 전극(212)을 형성한다. 구체적으로, 스퍼터링법 또는 MOCVD법 등을 이용하여 게이트 절연막(220) 상의 전면(全面)에 제1 금속층을 형성할 수 있다. 그 다음, 포토 레지스트 패턴을 이용한 마스크 공정으로 제1 금속층을 패터닝하여 게이트 전극(212)을 형성할 수 있다. 게이트 전극(212)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.
- [0125] 그리고 나서, 게이트 전극(212) 상에 층간 절연막(230)을 형성한다. 층간 절연막(230)은 무기막, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x), 또는 이들의 다중막으로 형성될 수 있다.
- [0126] 그리고 나서, 게이트 절연막(220)과 층간 절연막(230)을 관통하여 액티브층(211)을 노출하는 콘택홀들을 형성한다.
- [0127] 그리고 나서, 층간 절연막(230) 상에 박막 트랜지스터(210)의 소스 전극(213)과 드레인 금속층(214')을 형성한다. 구체적으로, 스퍼터링법 또는 MOCVD법 등을 이용하여 층간 절연막(230) 상의 전면에 제2 금속층을 형성할 수 있다. 그 다음, 포토 레지스트 패턴을 이용한 마스크 공정으로 제2 금속층을 패터닝하여 소스 전극(213)과 드레인 금속층(214')을 형성할 수 있다. 소스 전극(213)은 게이트 절연막(220)과 층간 절연막(230)을 관통하는 제2 콘택홀(CT2)을 통해 액티브층(211)의 일 측에 접속될 수 있다. 드레인 금속층(214')은 게이트 절연막(220)과 층간 절연막(230)을 관통하는 제1 콘택홀(CT1)을 통해 액티브층(211)의 타 측에 접속될 수 있다. 소스 전극(213)과 드레인 금속층(214')은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다. 한편, 도 13a와 같이 서로 이웃하는 화소(P)들에서 드레인 금속층(214')은 서로 연결되도록 형성될 수 있다.
- [0128] 그리고 나서, 박막 트랜지스터(210)의 소스 전극(213)과 드레인 금속층(214') 상에 보호막(240)을 형성한다. 보호막(240)은 무기막, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x), 또는 이들의 다중막으로 형성될 수

있다. 보호막(240)은 CVD법을 이용하여 형성될 수 있다. (도 12의 S101)

- [0129] 두 번째로, 도 13b와 같이 보호막(240) 상에 제1 평탄화막(250)을 형성하고, 드레인 금속층(214')을 노출하는 공유 콘택홀(CTS)을 형성한다.
- [0130] 구체적으로, 보호막(240) 상에 박막 트랜지스터(210)로 인한 단차를 평탄화하기 위한 제1 평탄화막(250)을 형성한다. 제1 평탄화막(250)은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기막으로 형성될 수 있다.
- [0131] 그리고 나서, 제1 평탄화막(250) 상에 포토 레지스트 패턴을 형성한다. 이때, 포토 레지스트 패턴(PR1)은 공유 콘택홀(CTS)을 형성할 영역을 제외한 영역에 형성될 수 있다.
- [0132] 그리고 나서, 포토 레지스트 패턴에 의해 덮이지 않은 제1 평탄화막(250)을 식각하여 드레인 금속층(214')이 노출되도록 공유 콘택홀(CTS)을 형성한 후, 포토 레지스트 패턴을 제거한다. (도 12의 S102)
- [0133] 세 번째로, 도 13c와 같이 제1 평탄화막(250)과 공유 콘택홀(CTS)의 드레인 금속층(214') 상에 제1 전극층(261')을 형성한다. (도 12의 S103)
- [0134] 네 번째로, 도 13d와 같이 제1 전극층(261') 상에 포토 레지스트 패턴(PR)을 형성하고, 포토 레지스트 패턴(PR)에 의해 덮이지 않은 제1 전극층(261')과 드레인 금속층(214')을 일괄 식각하여 제1 전극(261)과 드레인 전극(214)을 형성한다. 이 경우, 제1 전극(261)의 일 측의 끝단과 드레인 전극(214)의 일 측의 끝단은 도 13 c와 같이 일치하도록 형성될 수 있다. (도 12의 S104)
- [0135] 다섯 번째로, 포토 레지스트 패턴(PR)을 제거하고, 공유 콘택홀(CTS)을 채우는 बैं크(270)를 형성한다.
- [0136] 구체적으로, 도 13e와 같이 제1 전극(261)과 공유 콘택홀(CTS) 상에 बैं크층(270')을 형성한다. बैं크층(270')은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin) 또는 폴리이미드 수지(polyimide resin)일 수 있다. बैं크층(270')은 슬릿 코팅(slit coating), 스핀 코팅(spin coating), 또는 증발법(Evaporation)을 이용하여 제1 평탄화막(260)과 제1 전극(261) 상에 형성될 수 있다. बैं크층(270')은 콘택홀(CNT)에 채워지도록 형성된다.
- [0137] 그리고 나서, 도 13f와 같이 마스크 없이 बैं크층(270')을 건식 식각(dry etch)하여 बैं크(270)를 형성한다. 건식 식각 물질은 बैं크층(270')을 식각할 수 있으나, 제1 전극(261)을 식각할 수 없는 물질로 선택되는 것이 바람직하다. (도 12의 S105)
- [0138] 여섯 번째로, 도 13g와 같이 제1 전극(261)과 बैं크(270) 상에 유기발광층(262)과 제2 전극(263)을 형성한다.
- [0139] 구체적으로, 제1 전극(261)과 बैं크(270) 상에 유기발광층(262)을 증착 공정 또는 용액 공정으로 형성한다. 유기발광층(262)은 화소(P)들에 공통적으로 형성되는 공통층일 수 있다. 이 경우, 유기발광층(262)은 백색 광을 발광하는 백색 발광층으로 형성될 수 있다.
- [0140] 유기발광층(262)이 백색 발광층인 경우, 2 스택(stack) 이상의 탠덤 구조로 형성될 수 있다. 스택들 각각은 정공 수송층(hole transporting layer), 적어도 하나의 발광층(light emitting layer), 및 전자 수송층(electron transporting layer)을 포함할 수 있다. 또한, 스택들 사이에는 전하 생성층이 형성될 수 있다.
- [0141] 정공 수송층은 제1 전극(261) 또는 전하 생성층으로부터 주입된 정공을 발광층으로 원활하게 전달하는 역할을 한다. 발광층은 인광 또는 형광물질을 포함하는 유기물질로 형성될 수 있으며, 이로 인해 소정의 광을 발광할 수 있다. 전자 수송층은 제2 전극(263) 또는 전하 생성층으로부터 주입된 전자를 유기발광층으로 원활하게 전달하는 역할을 한다.
- [0142] 전하 생성층은 하부 스택과 인접하게 위치하는 n형 전하 생성층과 n형 전하 생성층 상에 형성되어 상부 스택과 인접하게 위치하는 p형 전하 생성층을 포함할 수 있다. n형 전하 생성층은 하부 스택으로 전자(electron)를 주입해주고, p형 전하 생성층은 상부 스택으로 정공(hole)을 주입해준다. n형 전하 생성층은 전자수송능력이 있는 유기 호스트 물질에 Li, Na, K, 또는 Cs와 같은 알칼리 금속, 또는 Mg, Sr, Ba, 또는 Ra와 같은 알칼리 토금속이 도핑된 유기층일 수 있다. p형 전하 생성층은 정공수송능력이 있는 유기 호스트 물질에 도펀트가 도핑된 유기층일 수 있다.
- [0143] 그리고 나서, 유기발광층(262) 상에 제2 전극(263)을 형성한다. 제2 전극(263)은 화소(P)들에 공통적으로 형성

되는 공통층일 수 있다. 제2 전극(263)은 광을 투과시킬 수 있는 ITO, IZO와 같은 투명한 금속물질(TCO, Transparent Conductive Material)로 형성될 수 있다. 제2 전극(140)이 반투과 금속물질로 형성되는 경우, 마이크로 캐비티(micro cavity)에 의해 출광 효율이 높아질 수 있다. 제2 전극(263)은 스퍼터링법과 같은 물리적 기상 증착법(physics vapor deposition)으로 형성될 수 있다. 제2 전극(263) 상에는 캡핑층(capping layer)이 형성될 수 있다.

[0144] 그리고 나서, 제2 전극(263) 상에 봉지막(280)을 형성한다. 봉지막(280)은 유기발광층(262)과 제2 전극(263)에 산소 또는 수분이 침투되는 것을 방지하는 역할을 한다. 이를 위해, 봉지막(280)은 적어도 하나의 무기막을 포함할 수 있다. 무기막은 실리콘 질화물, 알루미늄 질화물, 지르코늄 질화물, 티타늄 질화물, 하프늄 질화물, tantalum 질화물, 실리콘 산화물, 알루미늄 산화물, 또는 티타늄 산화물로 형성될 수 있다.

[0145] 또한, 봉지막(280)은 적어도 하나의 유기막을 더 포함할 수 있다. 유기막은 이물질(particles)이 봉지막(280)을 뚫고 유기발광층(262)과 제2 전극(263)에 투입되는 것을 방지하기 위해 충분한 두께로 형성될 수 있다.

[0146] 그리고 나서, 컬러필터들(301, 302)과 블랙 매트릭스(310)가 형성된 제2 기판(112)을 제1 기판(111)에 합착한다. 제2 기판(112)의 컬러필터들(301, 302)과 제1 기판(111)의 봉지막(280)은 접착층(290)을 이용하여 접착될 수 있다. 접착층(290)은 투명한 접착 필름 또는 투명한 접착 레진일 수 있다. (도 12의 S106)

[0147] 이상에서 살펴본 바와 같이, 본 발명의 실시예는 공유 콘택홀(CTS)에서 드레인 금속층(214')과 제1 전극층(261')을 일괄 식각하여 드레인 전극(214)과 제1 전극(261)을 형성한다. 그 결과, 본 발명의 실시예는 제1 전극(261)이 공유 콘택홀(CTS)에서 이웃하는 다른 제1 전극(261)과 연결되지 않도록 형성될 수 있다. 따라서, 본 발명의 실시예는 서로 이웃하는 화소(P)들이 공유 콘택홀(CTS)을 공유할 수 있으므로, 콘택홀로 인해 발광부(EA)의 면적이 줄어드는 것을 방지할 수 있으며, 발광부(EA)의 면적 감소로 인해 유기발광층의 수명이 줄어드는 것을 방지할 수 있다.

[0148] 또한, 본 발명의 실시예는 공유 콘택홀(CTS)에서 드레인 금속층(214')과 제1 전극층(261')을 일괄 식각하여 드레인 전극(214)과 제1 전극(261)을 형성함으로써, 제1 전극(261)이 콘택홀의 바닥면과 드레인 전극(214) 간의 단차로 인하여 소스 또는 드레인 전극의 측면에서 단선되는 것을 막을 수 있다. 따라서, 본 발명의 실시예는 화소가 발광하지 않는 점등 불량 발생을 방지할 수 있다.

[0149] 도 14는 본 발명의 또 다른 실시예에 따른 유기발광 표시장치의 제조방법을 보여주는 흐름도이다. 도 15a 내지 도 15d는 본 발명의 또 다른 실시예에 따른 유기발광 표시장치의 제조방법을 설명하기 위한 IV-IV'의 단면도들이다.

[0150] 도 15a 내지 도 15d에 도시된 단면도들은 전술한 도 9에 도시된 유기발광 표시장치의 제조방법에 관한 것이므로, 동일한 구성에 대해 동일한 도면부호를 부여하였다. 이하에서는 도 14 및 도 15a 내지 도 15d를 결부하여 본 발명의 또 다른 실시예에 따른 유기발광 표시장치의 제조방법을 상세히 설명한다.

[0151] 첫 번째로, 도 15a와 같이 박막 트랜지스터(210)들 각각의 액티브층(211), 게이트 전극(212), 소스 전극(213), 및 드레인 전극(214)을 형성하고, 박막 트랜지스터(210)들 각각의 소스 전극(213) 및 드레인 전극(214) 상에 보호막(240)을 형성한다.

[0152] 박막 트랜지스터(210)들 각각의 액티브층(211)과 게이트 전극(212), 게이트 절연막(220), 및 층간 절연막(230)을 형성하는 방법은 도 13a를 결부하여 설명한 도 12의 S101 단계와 실질적으로 동일하므로 생략한다.

[0153] 층간 절연막(230) 상에 박막 트랜지스터(210)의 소스 전극(213)과 드레인 전극(214)을 형성한다. 구체적으로, 스퍼터링법 또는 MOCVD법 등을 이용하여 층간 절연막(230) 상의 전면에서 제2 금속층을 형성할 수 있다. 그 다음, 포토 레지스트 패턴을 이용한 마스크 공정으로 제2 금속층을 패터닝하여 소스 전극(213)과 드레인 전극(214)을 형성할 수 있다. 소스 전극(213)은 게이트 절연막(220)과 층간 절연막(230)을 관통하는 제2 콘택홀을 통해 액티브층(211)의 일 측에 접속될 수 있다. 드레인 전극(214)은 게이트 절연막(220)과 층간 절연막(230)을 관통하는 제1 콘택홀을 통해 액티브층(211)의 타 측에 접속될 수 있다. 소스 전극(213)과 드레인 전극(214)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.

[0154] 그리고 나서, 박막 트랜지스터(210)의 소스 전극(213)과 드레인 전극(214) 상에 보호막(240)을 형성한다. 보호막(240)은 무기막, 예를 들어 실리콘 산화막(SiO_2), 실리콘 질화막(SiN_x), 또는 이들의 다중막으로 형성될 수 있다. 보호막(240)은 CVD법을 이용하여 형성될 수 있다. (도 14의 S201)

- [0155] 두 번째로, 도 15b와 같이 보호막(240) 상에 제1 평탄화막(250)을 형성하고, 드레인 전극(214)을 노출하는 공유 콘택홀(CTS)을 형성한다.
- [0156] 구체적으로, 보호막(240) 상에 박막 트랜지스터(210)로 인한 단차를 평탄화하기 위한 제1 평탄화막(250)을 형성한다. 제1 평탄화막(250)은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기막으로 형성될 수 있다.
- [0157] 그리고 나서, 제1 평탄화막(250) 상에 포토 레지스트 패턴을 형성한다. 이때, 포토 레지스트 패턴(PR1)은 공유 콘택홀(CTS)을 형성할 영역을 제외한 영역에 형성될 수 있다.
- [0158] 그리고 나서, 포토 레지스트 패턴에 의해 덮이지 않은 제1 평탄화막(250)을 식각하여 드레인 전극(214)이 노출되도록 공유 콘택홀(CTS)을 형성한 후, 포토 레지스트 패턴을 제거한다. (도 14의 S202)
- [0159] 세 번째로, 도 15c와 같이 제1 평탄화막(250)과 공유 콘택홀(CTS)의 드레인 전극(214) 상에 제1 전극층(261')을 형성한다. (도 14의 S203)
- [0160] 네 번째로, 도 15d와 같이 제1 전극층(261') 상에 포토 레지스트 패턴(PR)을 형성하고, 포토 레지스트 패턴(PR)에 의해 덮이지 않는 제1 전극층(261')을 식각하여 제1 전극(261)을 형성한다.
- [0161] 일 예로, 공유 콘택홀(CTS)에서 유기발광소자(260)의 제1 전극(261)의 일 측 끝단은 도 15d와 같이 박막 트랜지스터(210)의 드레인 전극(214)의 일 측 끝단보다 길게 연장되도록 형성될 수 있다. 이 경우, 유기발광소자(260)의 제1 전극(261)이 박막 트랜지스터(210)의 드레인 전극(214)을 완전히 덮도록 형성될 수 있다. 또는, 공유 콘택홀(CTS)에서 박막 트랜지스터(210)의 드레인 전극(214)의 일 측 끝단이 유기발광소자(260)의 제1 전극(261)의 일 측 끝단보다 길게 연장되도록 형성될 수 있다. 이 경우, 유기발광소자(260)의 제1 전극(261)은 박막 트랜지스터(210)의 드레인 전극(214)의 일부를 덮도록 형성될 수 있다. (도 14의 S204)
- [0162] 다섯 번째로, 포토 레지스트 패턴(PR)을 제거하고, 공유 콘택홀(CTS)을 채우는 뱅크(270)를 형성한다.
- [0163] 도 14의 S205 단계는 도 13e 및 도 13f를 결부하여 설명한 도 12의 S105 단계와 실질적으로 동일하다. 따라서, 도 14의 S205 단계에 대한 자세한 설명은 생략한다. (도 14의 S205)
- [0164] 여섯 번째로, 제1 전극(261)과 뱅크(270) 상에 유기발광층(262)과 제2 전극(263)을 형성한다.
- [0165] 도 14의 S206 단계는 도 13g를 결부하여 설명한 도 12의 S106 단계와 실질적으로 동일하다. 따라서, 도 14의 S206 단계에 대한 자세한 설명은 생략한다. (도 14의 S206)
- [0166] 이상에서 살펴본 바와 같이, 본 발명의 실시예는 공유 콘택홀(CTS)에서 제1 전극층(261')을 식각하여 제1 전극(261)을 형성한다. 그 결과, 본 발명의 실시예는 제1 전극(261)이 공유 콘택홀(CTS)에서 이웃하는 다른 제1 전극(261)과 연결되지 않도록 형성될 수 있다. 따라서, 본 발명의 실시예는 서로 이웃하는 화소(P)들이 공유 콘택홀(CTS)을 공유할 수 있으므로, 콘택홀로 인해 발광부(EA)의 면적이 줄어드는 것을 방지할 수 있으며, 발광부(EA)의 면적 감소로 인해 유기발광층의 수명이 줄어드는 것을 방지할 수 있다.
- [0167] 또한, 본 발명의 실시예는 공유 콘택홀(CTS)에서 제1 전극층(261')을 식각하여 제1 전극(261)을 형성함으로써, 제1 전극(261)이 콘택홀의 바닥면과 드레인 전극(214) 간의 단차로 인하여 소스 또는 드레인 전극의 측면에서 단선되는 것을 막을 수 있다. 따라서, 본 발명의 실시예는 화소가 발광하지 않는 점등 불량이 발생하는 것을 방지할 수 있다.
- [0168] 도 16은 본 발명의 또 다른 실시예에 따른 유기발광 표시장치의 제조방법을 보여주는 흐름도이다. 도 17a 및 도 17d는 본 발명의 또 다른 실시예에 따른 유기발광 표시장치의 제조방법을 설명하기 위한 V-V'의 단면도들이다.
- [0169] 도 17a 내지 도 17d에 도시된 단면도들은 전술한 도 11에 도시된 유기발광 표시장치의 제조방법에 관한 것이므로, 동일한 구성에 대해 동일한 도면부호를 부여하였다. 이하에서는 도 16 및 도 17a 내지 도 17d를 결부하여 본 발명의 또 다른 실시예에 따른 유기발광 표시장치의 제조방법을 상세히 설명한다.
- [0170] 첫 번째로, 박막 트랜지스터(210)들 각각의 액티브층(211), 게이트 전극(212), 및 소스 전극(213), 및 드레인 금속층(214')을 형성하고, 박막 트랜지스터(210)들 각각의 소스 전극(213) 및 드레인 금속층(214') 상에 보호막(240)을 형성한다.

- [0171] 도 16의 S301 단계는 도 13a를 결부하여 설명한 도 12의 S101 단계와 실질적으로 동일하다. 따라서, 도 16의 S301 단계에 대한 자세한 설명은 생략한다. (도 16의 S301)
- [0172] 두 번째로, 보호막(240) 상에 제1 평탄화막(250)을 형성하고, 드레인 금속층(214')을 노출하는 공유 콘택홀(CTS)을 형성한다.
- [0173] 도 16의 S302 단계는 도 13b를 결부하여 설명한 도 12의 S102 단계와 실질적으로 동일하다. 따라서, 도 16의 S302 단계에 대한 자세한 설명은 생략한다. (도 16의 S302)
- [0174] 세 번째로, 제1 평탄화막(250)과 공유 콘택홀(CTS)의 드레인 금속층(214') 상에 보조 전극층(264')을 형성한다.
- [0175] 도 16의 S303 단계는 도 13c에서 제1 전극층(261')이 보조 전극층(264')으로 변경된 것을 제외하고는 도 13c를 결부하여 설명한 도 12의 S103 단계와 실질적으로 동일하다. (도 16의 S303)
- [0176] 네 번째로, 보조 전극층(264') 상에 포토 레지스트 패턴(PR)을 형성하고, 포토 레지스트 패턴(PR)에 의해 덮이지 않는 보조 전극층(264')과 드레인 금속층(214')을 일괄 식각하여 보조 전극(264)과 드레인 전극(214)을 형성한다.
- [0177] 도 16의 S304 단계는 도 13d에서 제1 전극층(261')이 보조 전극층(264')으로 변경되고, 제1 전극(261)이 보조 전극(264)으로 변경된 것을 제외하고는 도 13d를 결부하여 설명한 도 12의 S104 단계와 실질적으로 동일하다. (도 16의 S304)
- [0178] 다섯 번째로, 도 17a 및 도 17b와 같이 포토 레지스트 패턴(PR)을 제거하고, 공유 콘택홀(CTS)을 채우는 제2 평탄화막(271)을 형성한다.
- [0179] 구체적으로, 도 17a와 같이 보조 전극(264)과 공유 콘택홀(CTS) 상에 제2 평탄화층(271')을 형성한다. 제2 평탄화층(271')은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin) 또는 폴리아미드 수지(polyimide resin)일 수 있다. 제2 평탄화층(271')은 슬릿 코팅(slit coating), 스핀 코팅(spin coating), 또는 증발법(Evaporation)을 이용하여 제1 평탄화막(260)과 보조 전극(264) 상에 형성될 수 있다. 제2 평탄화층(271')은 콘택홀(CNT)에 채워지도록 형성된다.
- [0180] 그리고 나서, 도 17b와 같이 마스크 없이 제2 평탄화층(271')을 건식 식각(dry etch)하여 제2 평탄화막(271)을 형성한다. 건식 식각 물질은 제2 평탄화층(271')을 식각할 수 있으나, 보조 전극(264)을 식각할 수 없는 물질로 선택되는 것이 바람직하다. (도 16의 S305)
- [0181] 여섯 번째로, 도 17c와 같이 보조 전극(264)과 제2 평탄화막(271) 상에 제1 전극(261)을 형성한다. (도 16의 S306)
- [0182] 일곱 번째로, 도 17d와 같이 제2 평탄화막(271) 상에서 제1 전극(261)의 가장자리를 덮는 बैं크(272)를 형성한다. बैं크(270)는 발광부(EA)들을 정의하는 역할을 한다. 이 경우, बैं크(270)가 형성된 영역은 광을 발광하지 않으므로 비발광부로 정의될 수 있다. (도 16의 S307)
- [0183] 여덟 번째로, 제1 전극(261)과 बैं크(270) 상에 유기발광층(262)과 제2 전극(263)을 형성한다.
- [0184] 도 16의 S308 단계는 도 13g를 결부하여 설명한 도 12의 S106 단계와 실질적으로 동일하다. 따라서, 도 16의 S308 단계에 대한 자세한 설명은 생략한다. (도 16의 S308)
- [0185] 이상에서 살펴본 바와 같이, 본 발명의 실시예는 제2 평탄화막(272) 상에 제1 전극(261)을 형성하고, 제2 평탄화막(272) 상에 제1 전극(261)의 가장자리를 덮는 बैं크(270)를 형성한다. 이로 인해, 본 발명의 실시예는 제1 전극(261)을 제2 평탄화막(272)까지 넓게 형성할 수 있으므로, 발광부(EA)의 면적을 넓힐 수 있다. 그 결과, 본 발명의 실시예는 유기발광층의 수명을 개선할 수 있다.
- [0186] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구 범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리 범위에 포함되는 것으로 해석되어야 할 것이다.

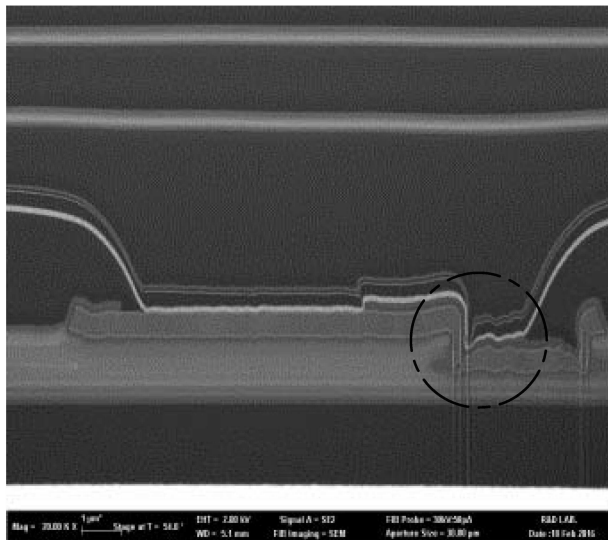
부호의 설명

[0187]

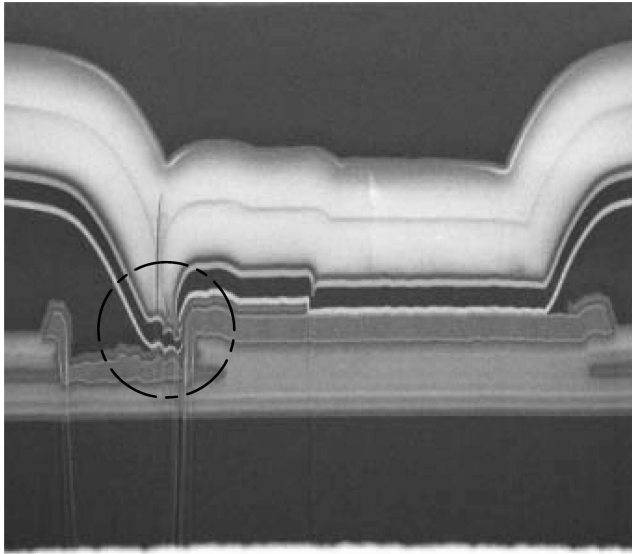
100: 유기발광표시장치 110: 표시패널
 111: 하부 기판 112: 상부 기판
 120: 게이트 구동부 130: 소스 드라이브 IC
 140: 연성필름 150: 회로보드
 160: 타이밍 콘트롤러 210: 박막 트랜지스터
 211: 액티브층 212: 게이트 전극
 213: 소스전극 214: 드레인전극
 220: 게이트 절연막 230: 층간 절연막
 240: 보호막 250: 제1 평탄화막
 261: 제1 전극 262: 유기발광층
 263: 제2 전극 264: 보조 전극
 270, 272: 뱅크 271: 제2 평탄화막
 280: 봉지막 290: 접착층
 301, 302: 컬러필터 310: 블랙 매트릭스

도면

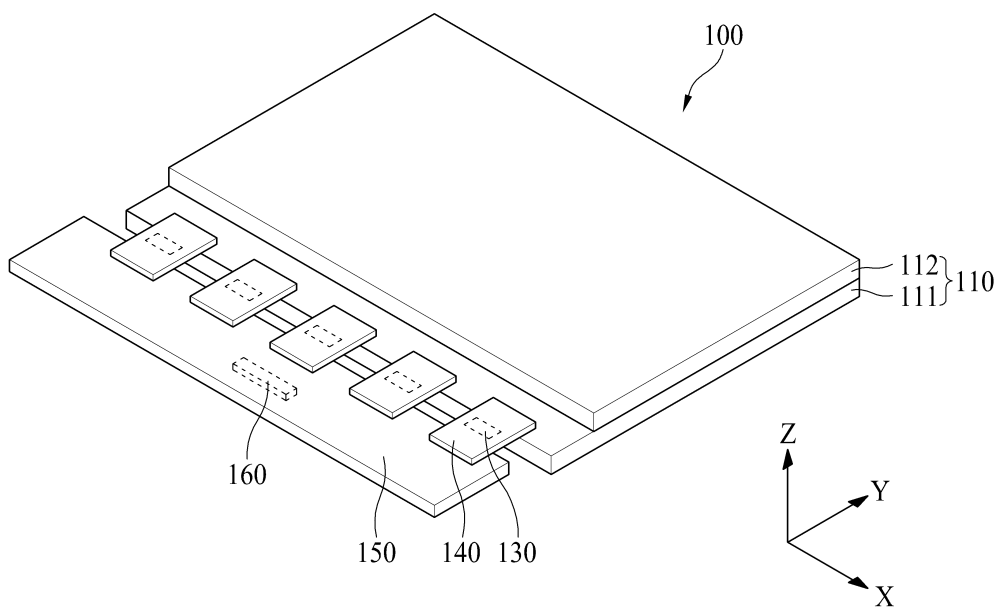
도면1a



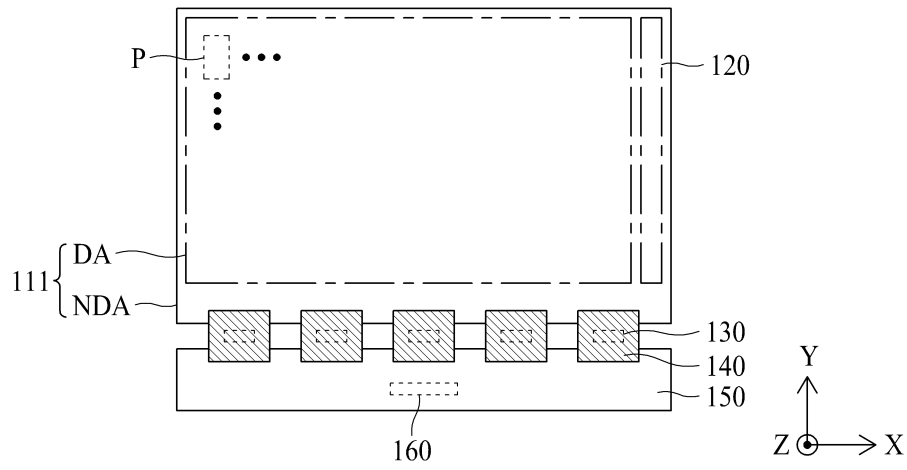
도면1b



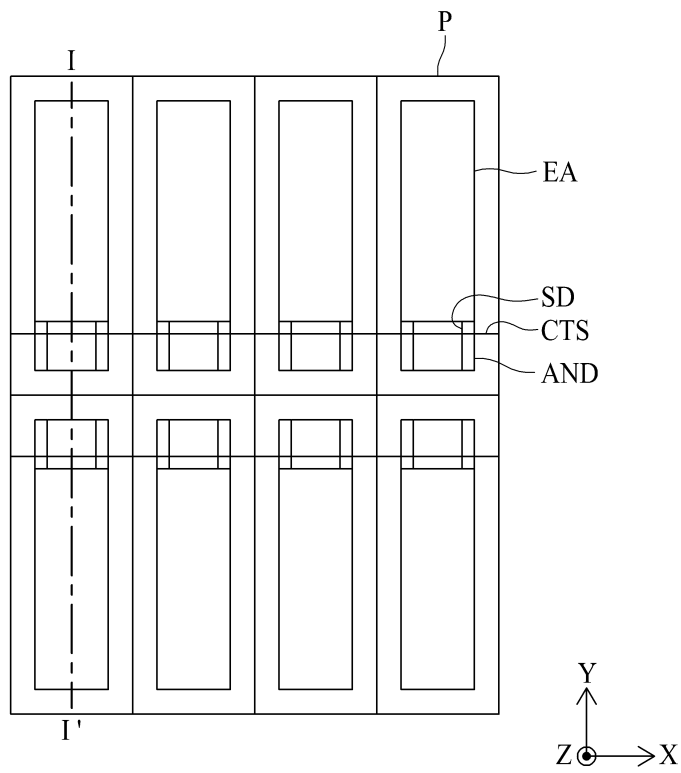
도면2



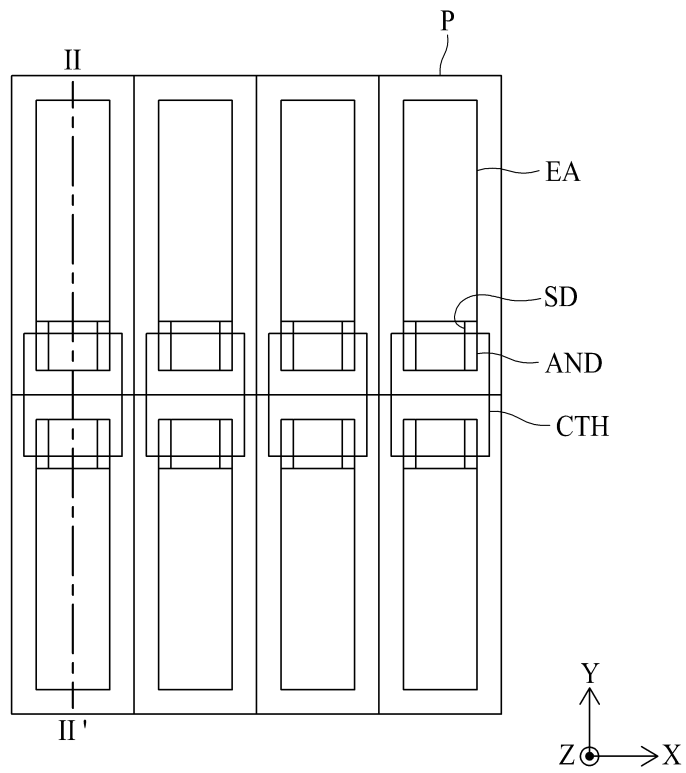
도면3



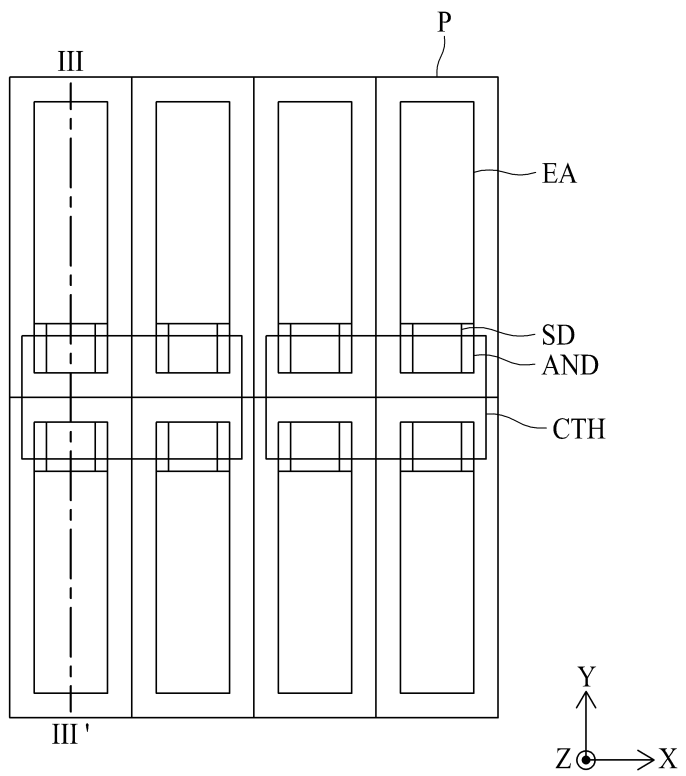
도면4



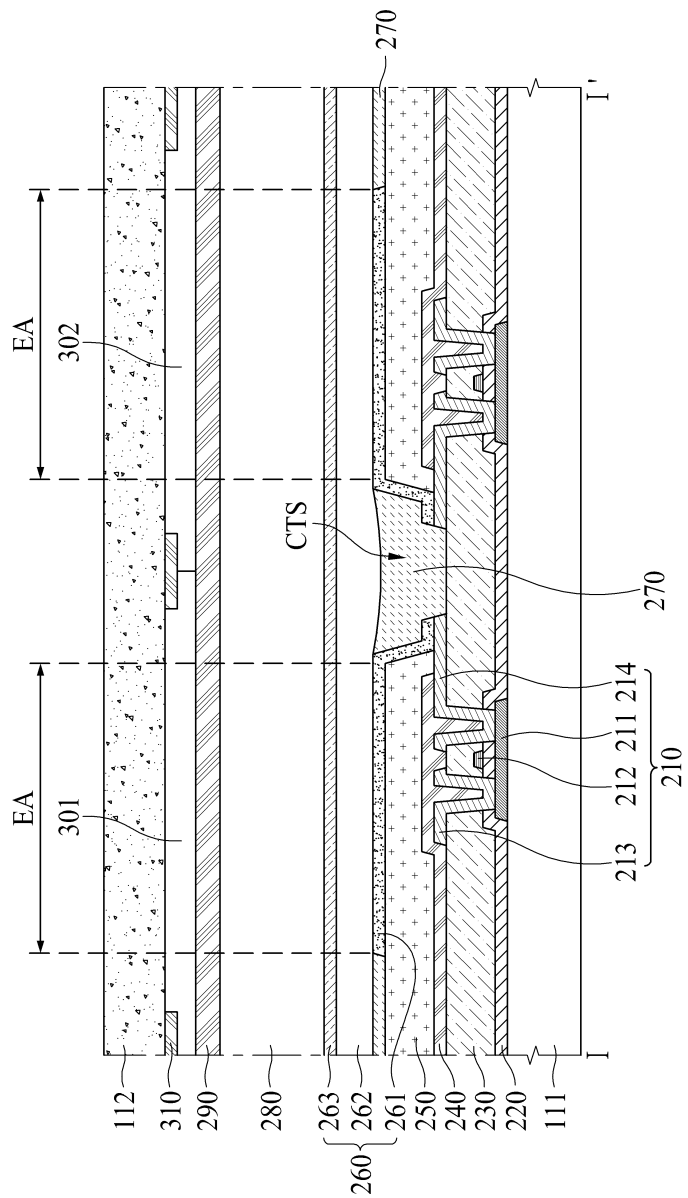
도면5



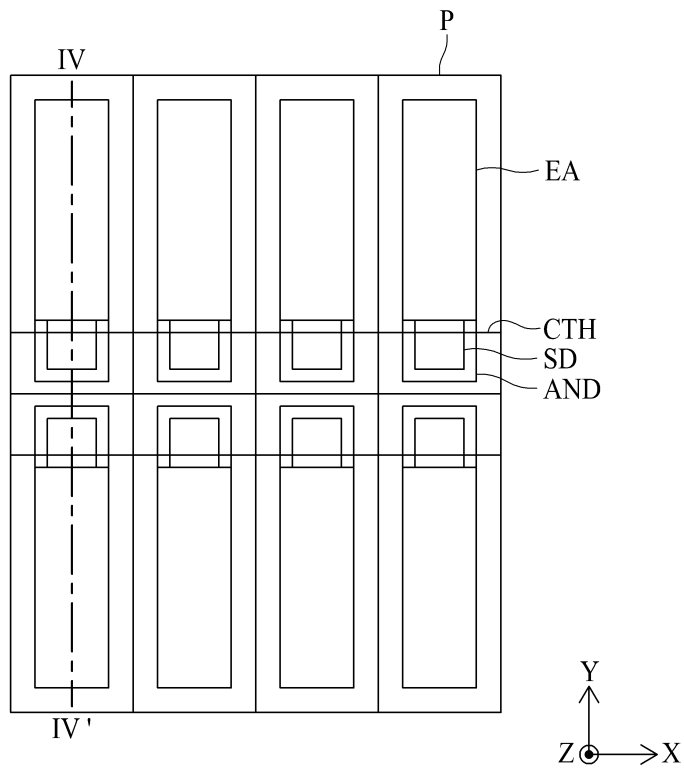
도면6



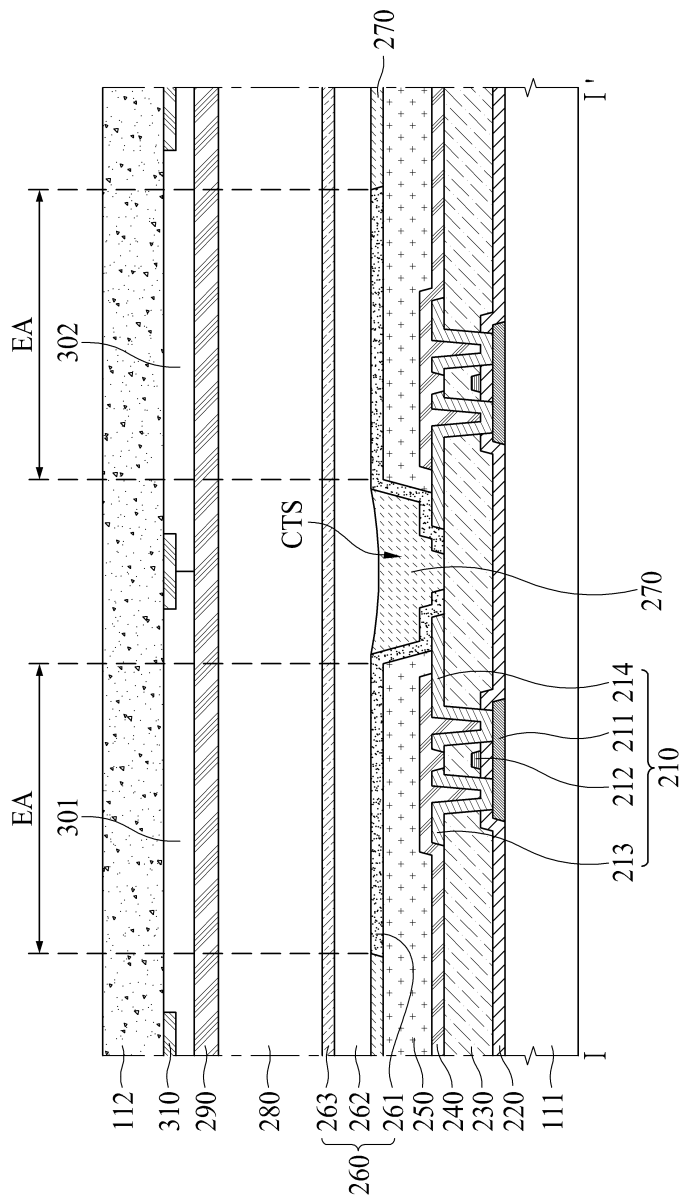
도면7



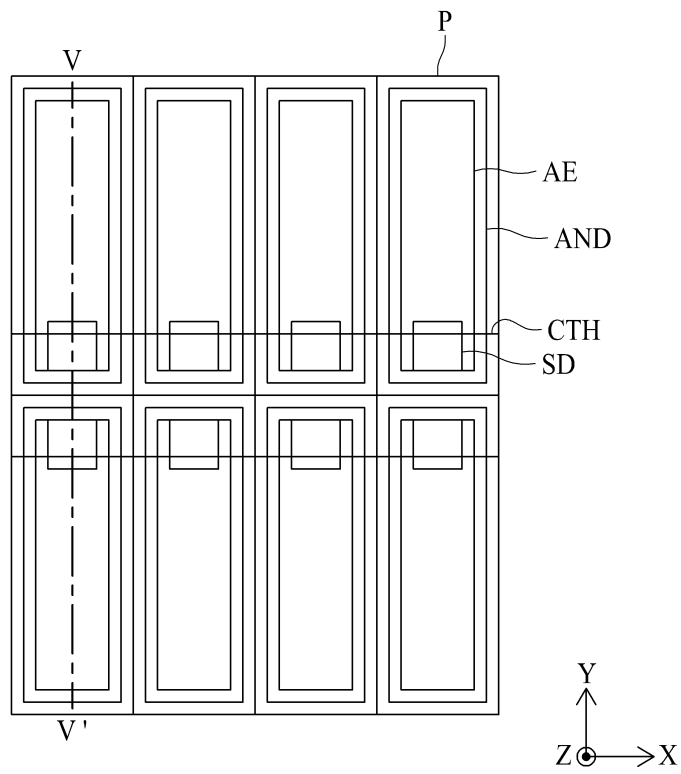
도면8



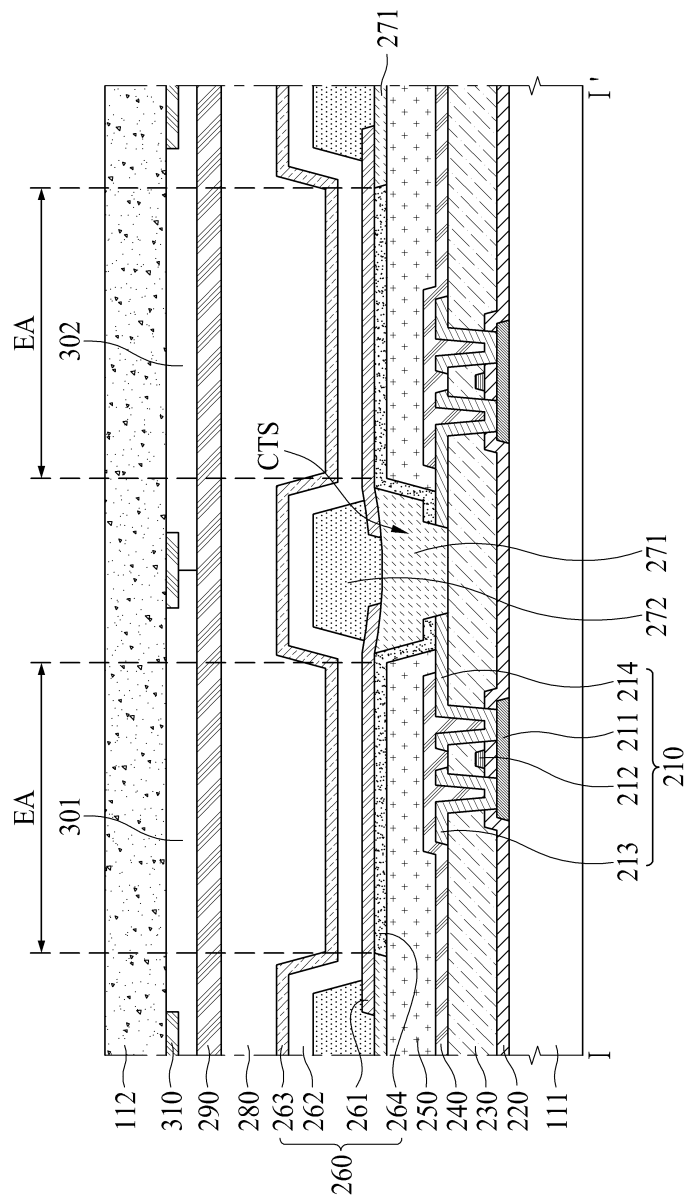
도면9



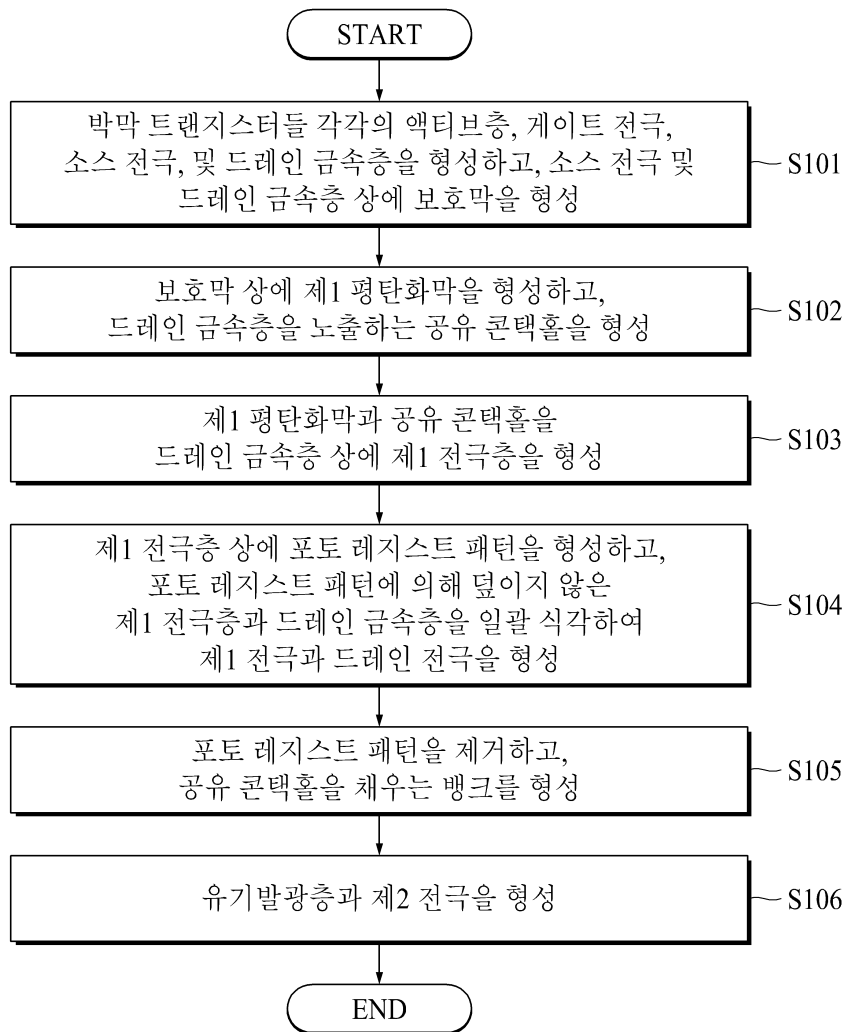
도면10



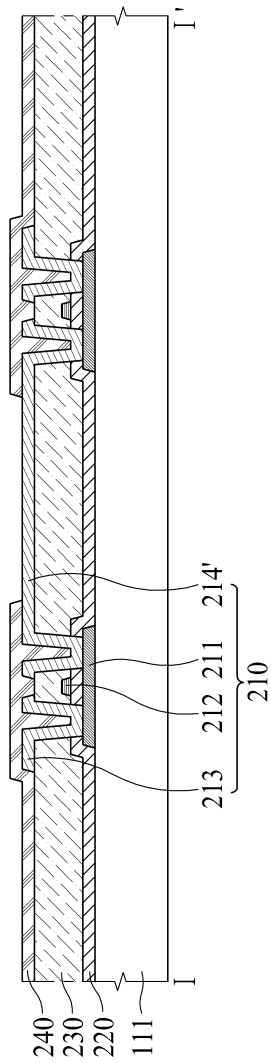
도면11



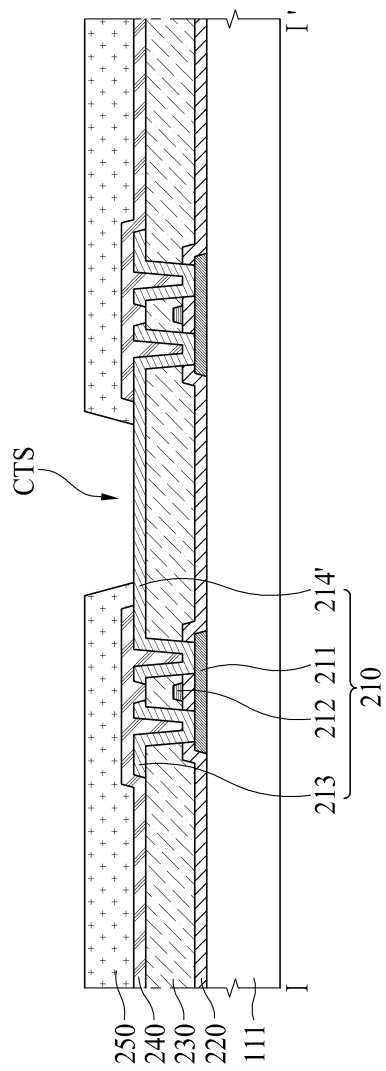
도면12



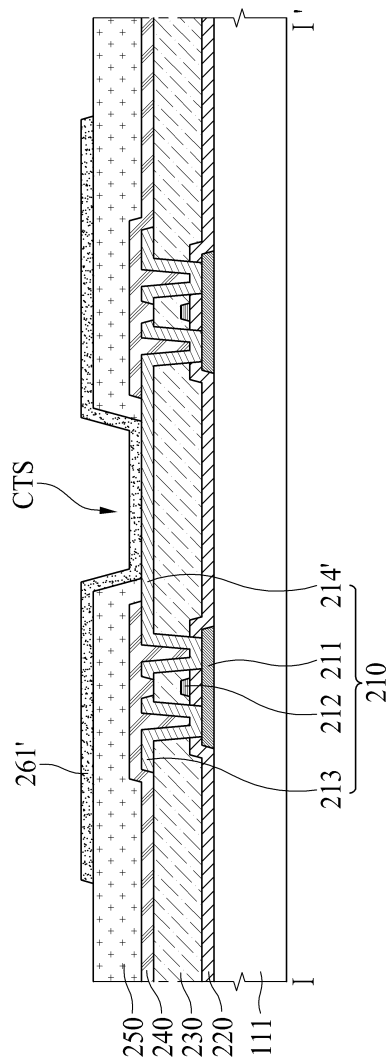
도면13a



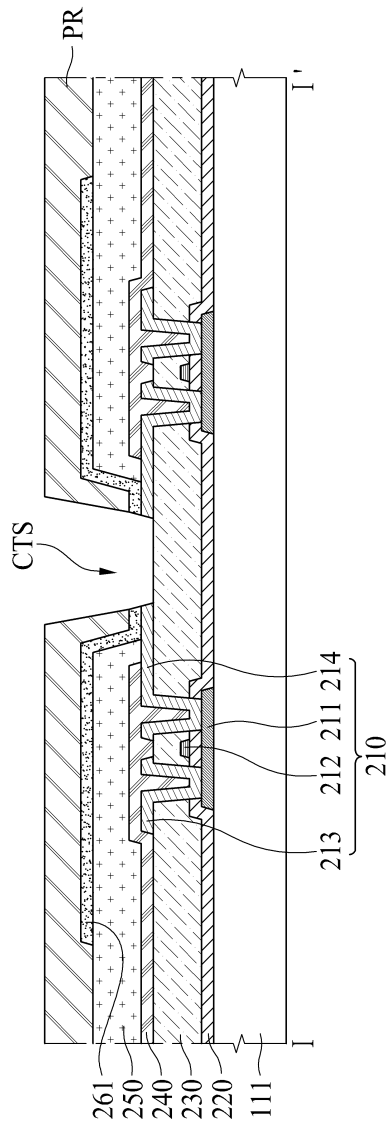
도면13b



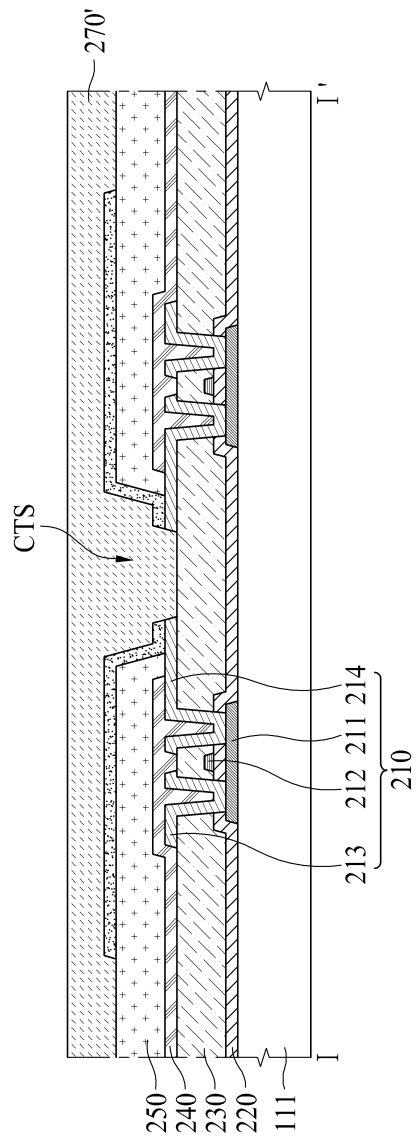
도면13c



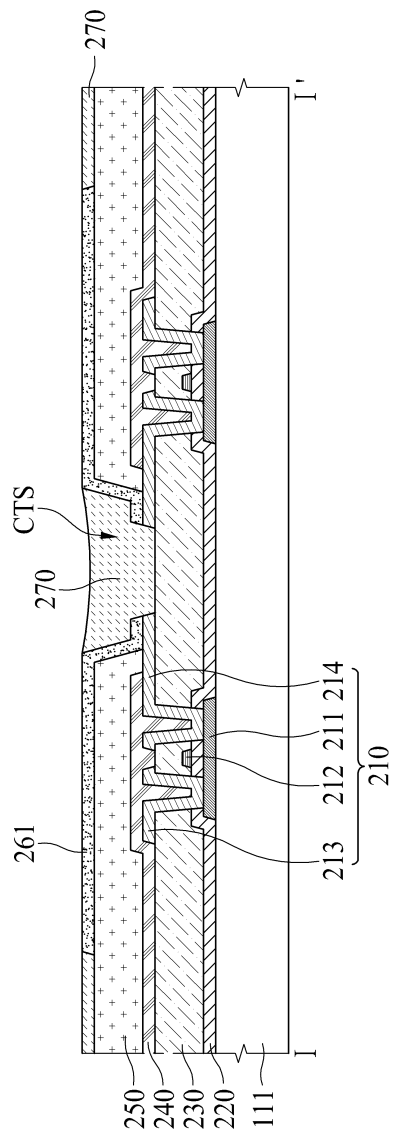
도면13d



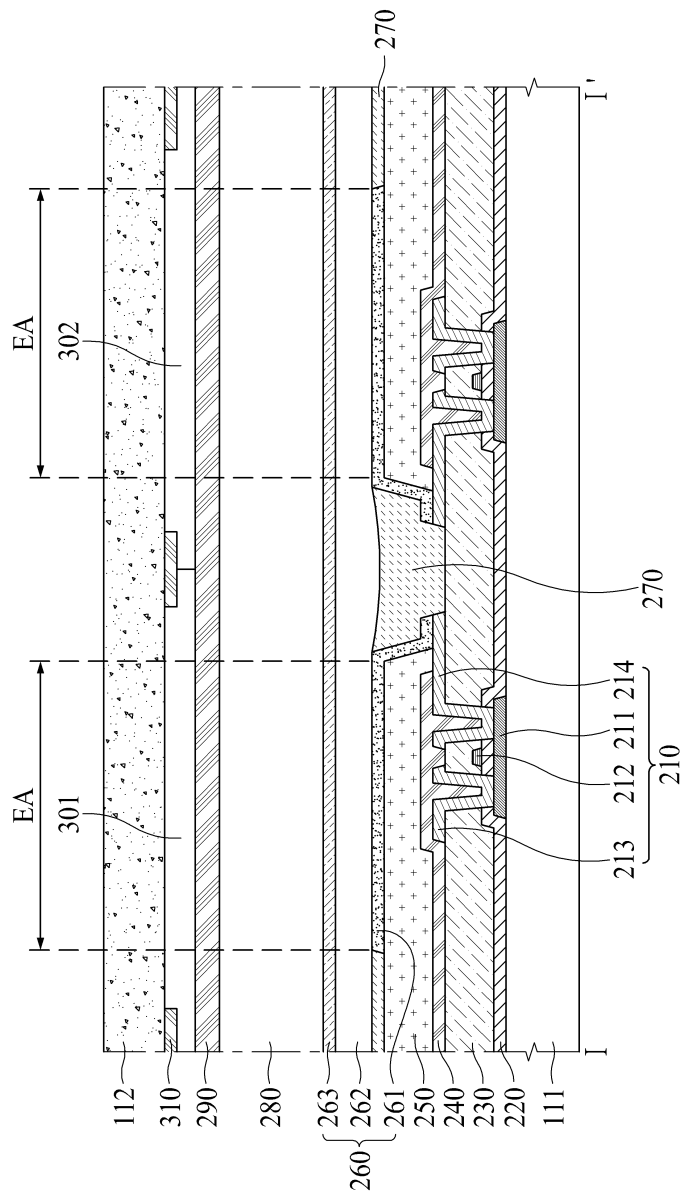
도면13e



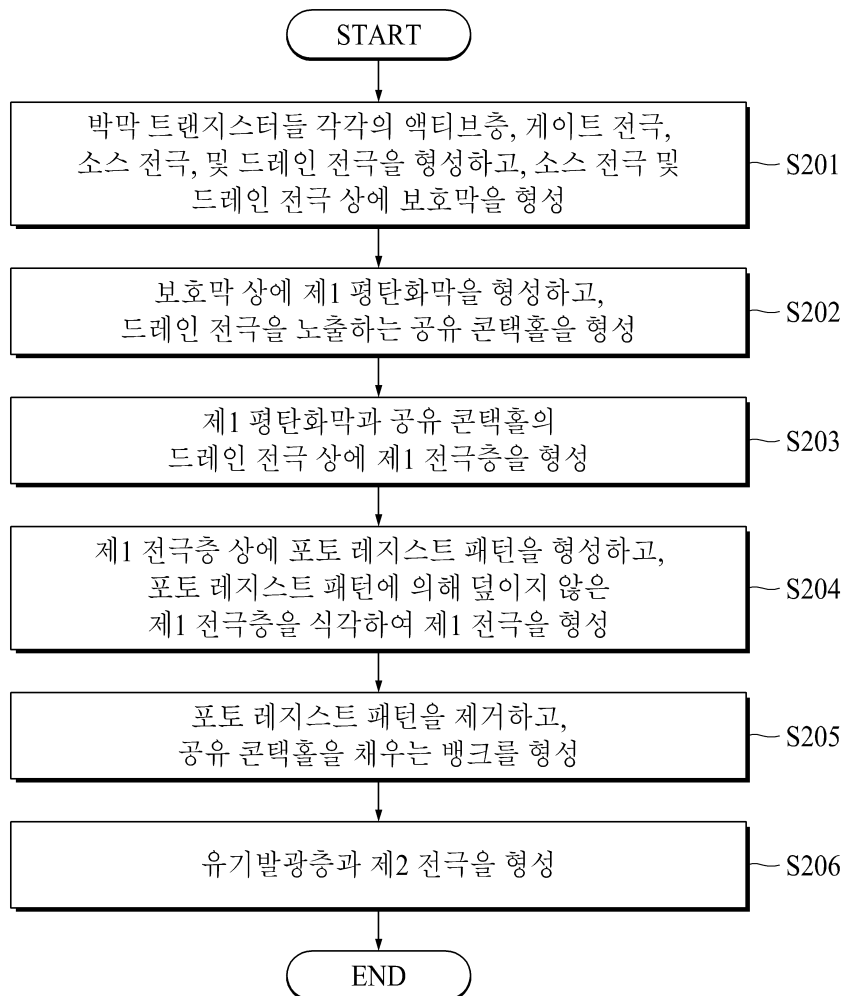
도면13f



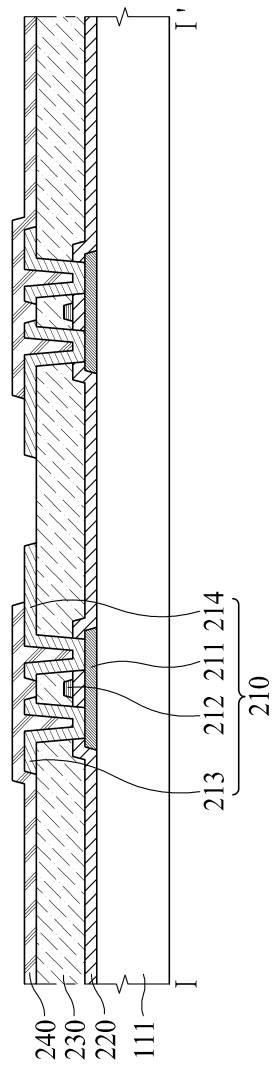
도면13g



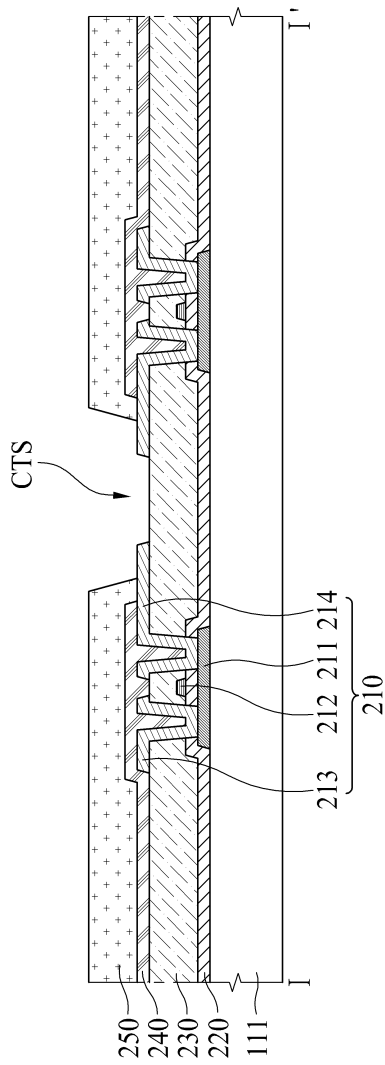
도면14



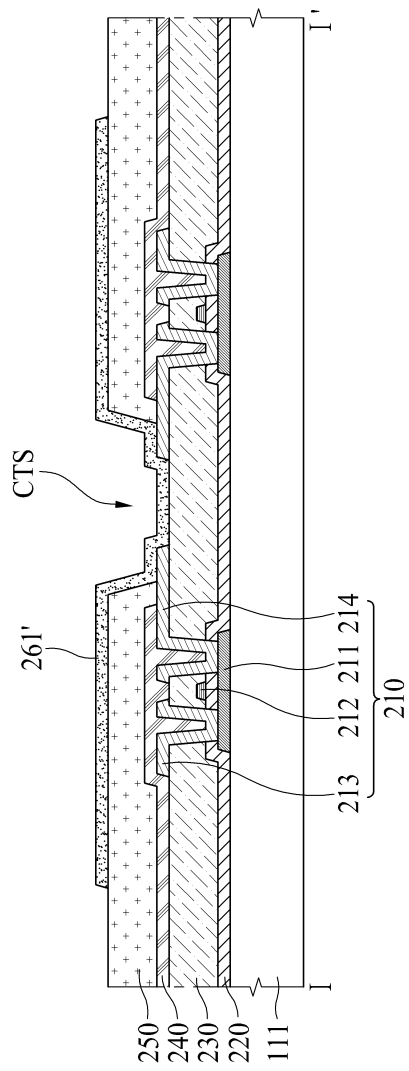
도면15a



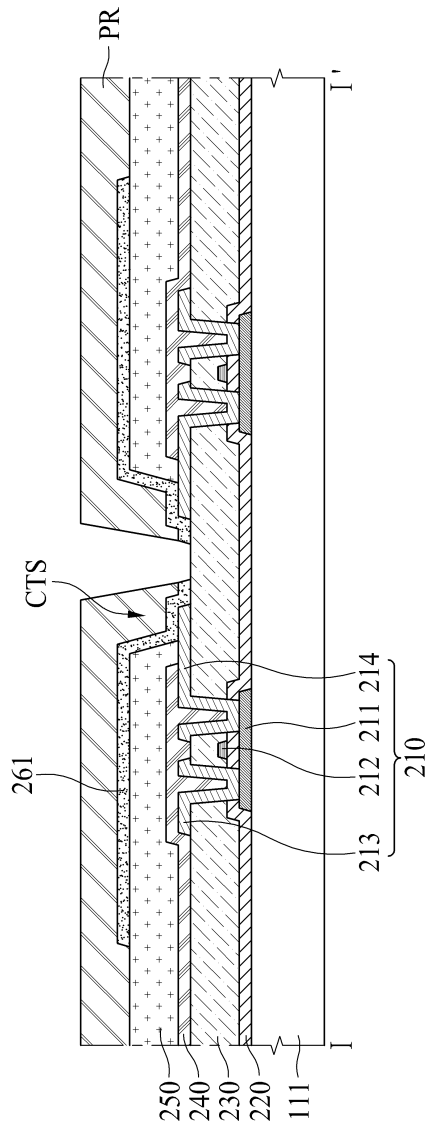
도면15b



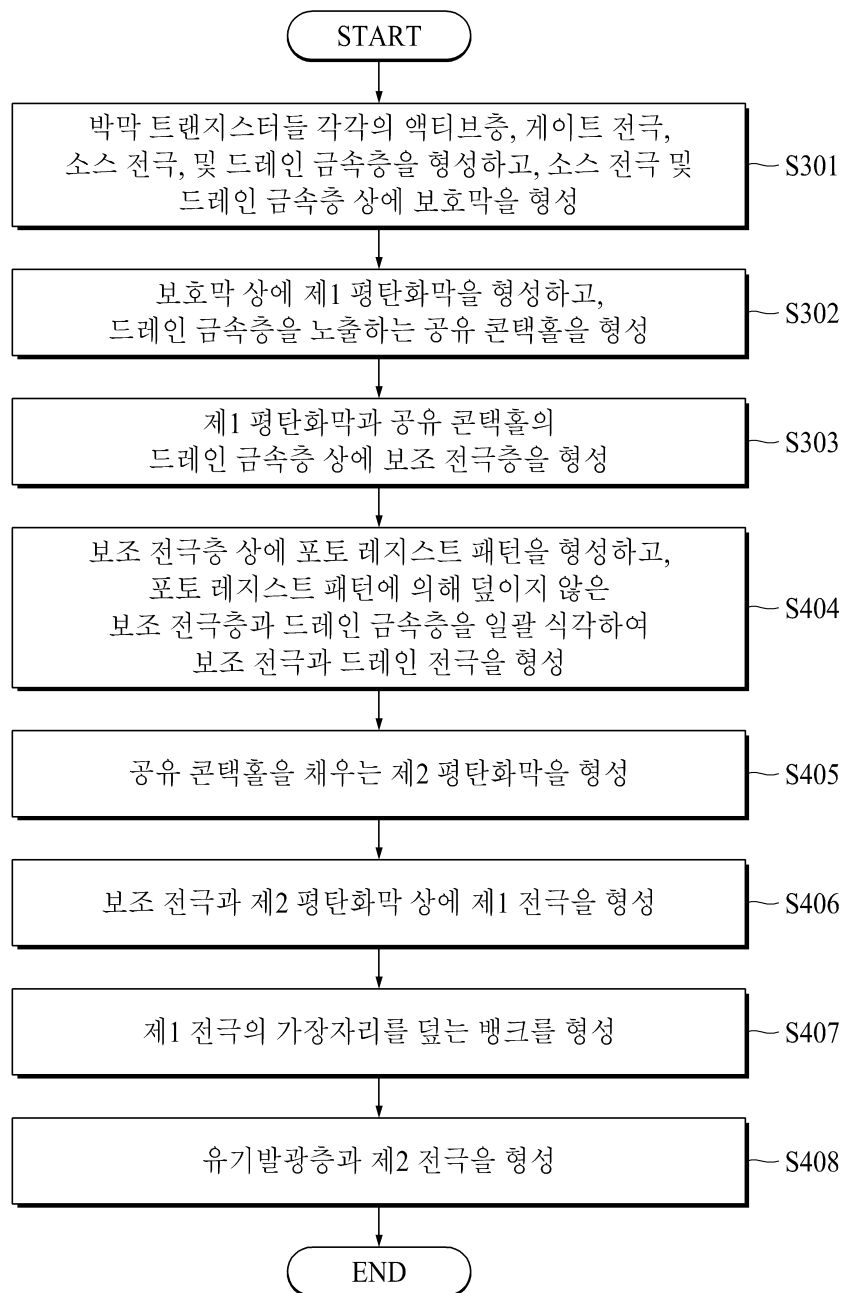
도면15c



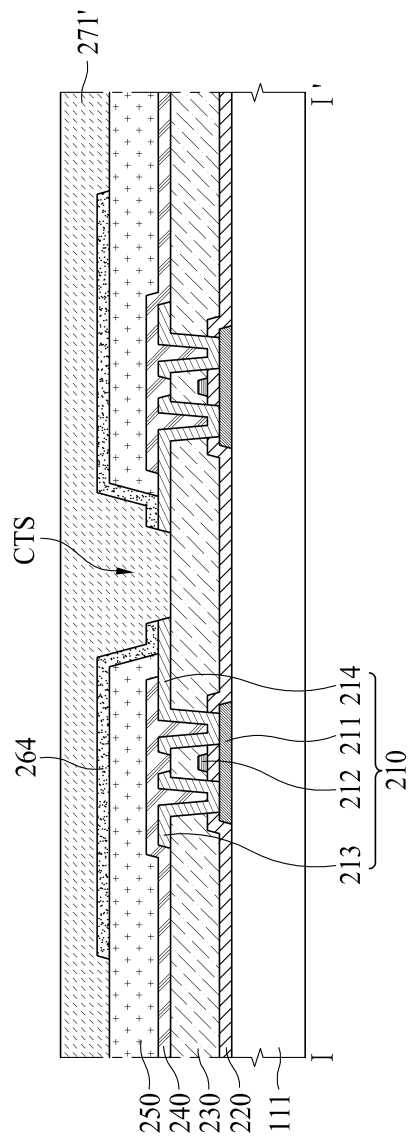
도면15d



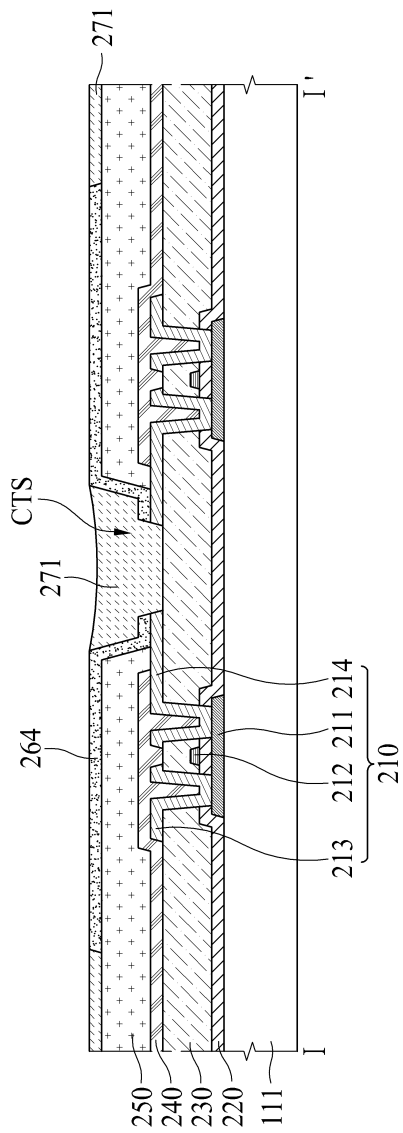
도면16



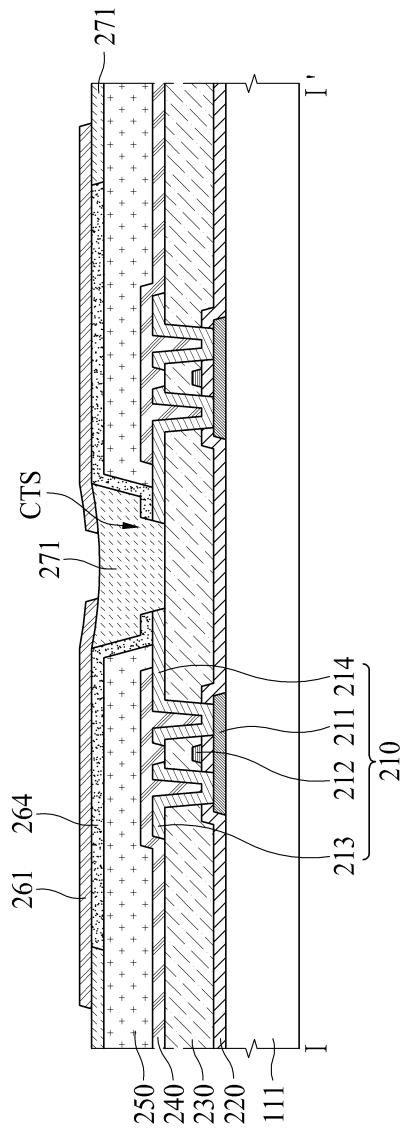
도면17a



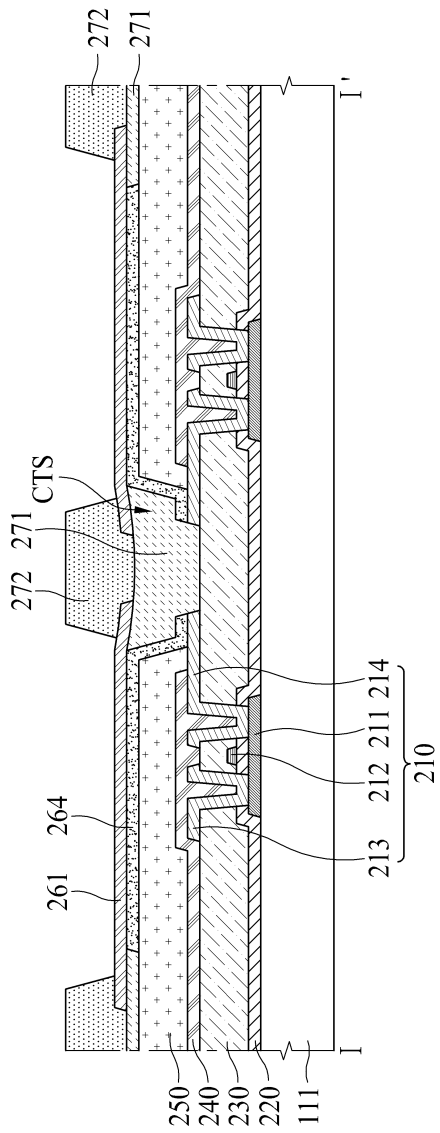
도면17b



도면17c



도면17d



专利名称(译)	OLED显示器及其制造方法		
公开(公告)号	KR1020180068552A	公开(公告)日	2018-06-22
申请号	KR1020160170355	申请日	2016-12-14
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JONGSUNG KIM 김종성		
发明人	김종성		
IPC分类号	H01L27/32 H01L51/52 H01L51/56		
CPC分类号	H01L27/3248 H01L27/3262 H01L51/5209 H01L27/3258 H01L27/3276 H01L27/3246 H01L51/56 H01L51/5212 H01L2227/323 H01L51/5203 H01L51/5253		
外部链接	Espacenet		

摘要(译)

本发明涉及能够减少有机发光层的寿命并防止发光失败的有机发光显示装置及其制造方法。根据本发明实施例的有机发光二极管显示器包括多个像素，每个像素包括至少一个晶体管和有机发光二极管。晶体管栅电极，与栅电极重叠的有源层，连接到有源层一侧的源电极，以及连接到有源层的另一侧的漏电极。有机发光装置包括第一电极，设置在第一电极上的有机发光层，和设置在有机发光层上的第二电极。在多个像素中N（N是2或更大的整数）像素共用公共接触孔，有机发光元件的第一电极和晶体管的源电极或漏电极通过该公共接触孔电连接。

