



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0124679
(43) 공개일자 2017년11월13일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) G09G 3/3233 (2016.01)
H01L 27/12 (2006.01)
(52) CPC특허분류
H01L 27/3272 (2013.01)
G09G 3/3233 (2013.01)
(21) 출원번호 10-2016-0054176
(22) 출원일자 2016년05월02일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
김동수
서울특별시 성동구 난계로 114-31 107동 1301호
(하왕십리동, 금호베스트빌아파트)
가지현
충청남도 아산시 탕정면 탕정면로 37 (탕정삼성트
라팰리스아파트) 103동2805호
(74) 대리인
특허법인 고려

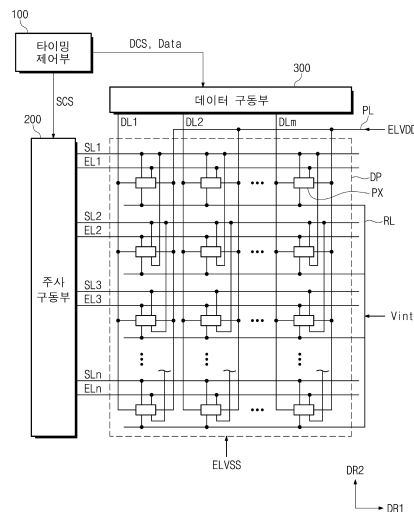
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기발광 표시장치 및 이의 제조 방법

(57) 요약

유기발광 표시장치는 유기발광 다이오드, 제어 트랜지스터, 구동 트랜지스터, 및 차폐 전극을 포함한다. 상기 유기발광 다이오드는 애노드 및 기준 전압을 수신하는 캐소드를 포함한다. 상기 제어 트랜지스터는 제어신호를 수신하는 제1 제어전극 및 제1 반도체 활성층을 포함한다. 상기 구동 트랜지스터는 상기 제어 트랜지스터에 전기적으로 연결된 제2 제어전극, 전원 전압을 수신하는 입력 전극, 상기 유기 발광 다이오드의 상기 애노드에 전기적으로 연결된 출력 전극 및 상기 제1 반도체 활성층과 서로 다른 물질을 포함하는 제2 반도체 활성층을 포함한다. 상기 차폐 전극은 상기 구동 트랜지스터와 중첩하고, 상기 제2 반도체 활성층 상에 배치되고, 상기 전원 전압을 수신한다.

대표도 - 도1



(52) CPC특허분류

H01L 27/1225 (2013.01)

H01L 27/3248 (2013.01)

H01L 27/3262 (2013.01)

H01L 27/3276 (2013.01)

명세서

청구범위

청구항 1

애노드 및 기준 전압을 수신하는 캐소드를 포함하는 유기발광 다이오드;

제어신호를 수신하는 제1 제어전극 및 제1 반도체 활성층을 포함하는 제어 트랜지스터;

상기 제어 트랜지스터에 전기적으로 연결된 제2 제어전극, 전원 전압을 수신하는 입력 전극, 상기 유기 발광 다이오드의 상기 애노드에 전기적으로 연결된 출력 전극 및 상기 제1 반도체 활성층과 서로 다른 물질을 포함하는 제2 반도체 활성층을 포함하는 구동 트랜지스터; 및

상기 구동 트랜지스터와 중첩하고, 상기 제2 반도체 활성층 상에 배치되고, 상기 전원 전압을 수신하는 차폐 전극을 포함하는 유기발광 표시장치.

청구항 2

제1항에 있어서,

상기 제1 반도체 활성층은 상기 제1 제어전극 하부에 배치되고,

상기 제2 반도체 활성층은 상기 제2 제어전극 상부에 배치되는 유기발광 표시장치.

청구항 3

제2항에 있어서,

상기 차폐 전극은 상기 제2 제어전극을 커버하는 유기발광 표시장치.

청구항 4

제2항에 있어서,

상기 차폐 전극은 상기 제2 반도체 활성층을 커버하는 유기발광 표시장치.

청구항 5

제2항에 있어서,

상기 제2 반도체 활성층은 산화물 반도체를 포함하는 유기발광 표시장치.

청구항 6

제5항에 있어서,

상기 산화물 반도체는 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 티타늄(Ti) 등의 금속 산화물 또는 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 티타늄(Ti) 등의 금속과 이들의 산화물의 혼합물을 포함하는 유기발광 표시장치.

청구항 7

제2항에 있어서,

상기 제1 반도체 활성층은 폴리 실리콘을 포함하는 유기발광 표시장치.

청구항 8

제1항에 있어서,

상기 차폐 전극은 상기 구동 트랜지스터의 상기 입력전극 및 상기 구동 트랜지스터의 상기 출력전극과 동일한

물질을 갖는 유기발광 표시 장치.

청구항 9

제1항에 있어서,

상기 차폐 전극은, Ti를 갖는 제1 층, Al을 갖는 제2 층, 및 Ti를 갖는 제3 층을 포함하는 유기발광 표시장치.

청구항 10

제1항에 있어서,

상기 구동 트랜지스터는 구동 트랜지스터로 정의되고, 상기 제어 트랜지스터는 제2 내지 제6 트랜지스터들을 포함하는 유기발광 표시 장치.

청구항 11

제10항에 있어서,

데이터 전압을 수신하는 데이터 라인;

상기 전원 전압을 수신하는 전원 라인;

i번째 주사 신호를 수신하는 주사 라인;

i-1번째 주사 신호를 수신하는 더미 주사 라인;

i+1번째 주사 신호를 수신하는 초기화 제어 라인;

발광 제어신호를 수신하는 발광 라인; 및

초기화 전압을 수신하는 초기화 라인을 더 포함하는 유기발광 표시장치.

청구항 12

제11항에 있어서,

상기 구동 트랜지스터의 상기 입력전극은 상기 제5 트랜지스터에 접속되고, 상기 구동 트랜지스터의 상기 출력 전극은 상기 제6 트랜지스터에 접속되고,

상기 제2 트랜지스터는 상기 데이터 라인에 접속된 입력전극, 상기 주사 라인에 접속된 제어전극, 및 상기 구동 트랜지스터의 상기 출력전극에 접속된 출력전극을 포함하고,

상기 제3 트랜지스터는 상기 구동 트랜지스터의 상기 입력전극에 접속된 입력전극, 상기 주사 라인에 접속된 제어 전극, 및 상기 구동 트랜지스터의 상기 제1 제어전극에 접속된 출력전극을 포함하고,

상기 제4 트랜지스터는 상기 전원 라인에 접속된 입력전극, 상기 더미 주사 라인에 접속된 제어전극, 및 상기 구동 트랜지스터의 상기 제1 제어전극에 접속된 출력전극을 포함하고,

상기 제5 트랜지스터는 상기 전원 라인에 접속된 입력전극, 상기 발광 라인에 접속된 제어전극, 상기 구동 트랜지스터의 상기 입력전극에 접속된 출력전극을 포함하고,

상기 제6 트랜지스터는 상기 구동 트랜지스터의 상기 출력전극에 접속된 입력전극, 상기 발광 라인에 접속된 제어전극, 및 상기 유기발광 다이오드의 상기 애노드에 접속된 출력전극을 포함하고,

상기 제7 트랜지스터는 상기 초기화 라인에 접속된 입력전극, 상기 초기화 제어 라인에 접속된 제어전극, 상기 유기발광 다이오드의 상기 애노드에 접속된 출력전극을 포함하고,

청구항 13

애노드 및 기준 전압을 수신하는 캐소드를 포함하는 유기발광 다이오드;

제어신호를 수신하는 제1 제어전극 및 상기 제1 제어전극 하부에 배치된 제1 반도체 활성층을 포함하는 제어 트랜지스터;

상기 제어 트랜지스터에 전기적으로 연결된 제2 제어전극, 전원 전압을 수신하는 입력 전극, 상기 유기 발광 다

이오드의 상기 애노드에 전기적으로 연결된 출력 전극 및 상기 제2 제어전극 상부에 배치된 제2 반도체 활성층을 포함하는 구동 트랜지스터; 및

상기 구동 트랜지스터와 중첩하고, 상기 제2 반도체 활성층 상에 배치되고, 상기 전원 전압을 수신하는 차폐 전극을 포함하는 유기발광 표시장치.

청구항 14

제13항에 있어서,

상기 제2 반도체 활성층은 상기 제1 반도체 활성층과 서로 다른 물질을 포함하는 유기발광 표시장치.

청구항 15

제14항에 있어서,

상기 제1 반도체 활성층은 폴리 실리콘을 포함하고, 상기 제2 반도체 활성층은 산화물 반도체를 포함하는 유기발광 표시장치.

청구항 16

제13항에 있어서,

상기 차폐 전극은 상기 제2 반도체 활성층을 커버하는 유기발광 표시장치.

청구항 17

제어 트랜지스터의 제1 반도체 활성층을 포함하는 제1 반도체층 형성하는 단계;

상기 제어 트랜지스터의 제1 제어전극을 포함하는 제1 도전층 형성하는 단계;

구동 트랜지스터의 제2 제어전극을 포함하는 제2 도전층 형성하는 단계;

상기 구동 트랜지스터의 제2 반도체 활성층을 포함하는 제2 반도체층 형성하는 단계; 및

상기 구동 트랜지스터의 상기 제2 반도체 활성층을 커버하는 차폐 전극을 형성하는 단계를 포함하는 유기발광 표시장치의 제조 방법.

청구항 18

제17항에 있어서,

상기 제2 반도체층을 형성하는 단계 이후, 상기 차폐 전극을 형성하는 단계 이전에,

전원 라인 및 데이터 라인을 포함하는 제3 도전층을 형성하는 단계; 및

상기 전원 라인의 일부를 노출하는 단계를 더 포함하고,

상기 차폐 전극은 상기 노출된 전원 라인의 일부에 연결되는 유기발광 표시장치의 제조 방법.

청구항 19

제17항에 있어서,

상기 차폐 전극은 상기 제2 반도체 활성층을 커버하도록 형성하는 유기발광 표시장치의 제조 방법.

청구항 20

제17항에 있어서,

상기 제2 반도체층은 산화물 반도체를 증착 및 패터닝하여 형성하는 유기발광 표시장치의 제조 방법.

발명의 설명

기술 분야

- [0001] 본 발명은 유기발광 표시장치 및 이의 제조 방법에 관한 것으로, 좀 더 상세하게는 층구조가 서로 다른 2 이상의 트랜지스터들을 갖는 유기발광 표시장치 및 이의 제조 방법에 관한 것이다.

배경 기술

- [0002] 유기발광 표시장치는 복수 개의 화소들을 포함한다. 복수 개의 화소들 각각은 유기발광 다이오드 및 유기발광 다이오드를 제어하는 회로부를 포함한다. 회로부는 적어도 제어 트랜지스터, 구동 트랜지스터, 및 스토리지 커패시터를 포함한다.
- [0003] 유기발광 다이오드는 애노드, 캐소드, 및 애노드와 캐소드 사이에 배치된 유기 발광층을 포함한다. 유기발광 다이오드는 애노드와 캐소드 사이에 유기 발광층의 문턱전압 이상의 전압이 인가되면 발광된다.

발명의 내용

해결하려는 과제

- [0004] 본 발명은 구동 트랜지스터의 특성 및 신뢰성이 향상되어 표시 품질이 개선된 유기발광 표시장치를 제공하는 것을 목적으로 한다.
- [0005] 본 발명은 표시 품질이 향상된 유기발광 표시장치의 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0006] 본 발명의 실시예에 따른 유기발광 표시장치는 유기발광 다이오드, 제어 트랜지스터, 구동 트랜지스터, 및 차폐 전극을 포함한다.
- [0007] 상기 유기발광 다이오드는 애노드 및 기준 전압을 수신하는 캐소드를 포함한다.
- [0008] 상기 제어 트랜지스터는 제어신호를 수신하는 제1 제어전극 및 제1 반도체 활성층을 포함한다.
- [0009] 상기 구동 트랜지스터는 상기 제어 트랜지스터에 전기적으로 연결된 제2 제어전극, 전원 전압을 수신하는 입력 전극, 상기 유기 발광 다이오드의 상기 애노드에 전기적으로 연결된 출력 전극 및 상기 제1 반도체 활성층과 서로 다른 물질을 포함하는 제2 반도체 활성층을 포함한다.
- [0010] 상기 차폐 전극은 상기 구동 트랜지스터와 중첩하고, 상기 제2 반도체 활성층 상에 배치되고, 상기 전원 전압을 수신한다.
- [0011] 상기 제1 반도체 활성층은 상기 제1 제어전극 하부에 배치되고, 상기 제2 반도체 활성층은 상기 제2 제어전극 상부에 배치될 수 있다.
- [0012] 상기 차폐 전극은 상기 제2 제어전극을 커버할 수 있다.
- [0013] 상기 차폐 전극은 상기 제2 반도체 활성층을 커버할 수 있다.
- [0014] 상기 제2 반도체 활성층은 산화물 반도체를 포함할 수 있다.
- [0015] 상기 제1 반도체 활성층은 폴리 실리콘을 포함할 수 있다.
- [0016] 상기 차폐 전극은 상기 구동 트랜지스터의 상기 입력전극 및 상기 구동 트랜지스터의 상기 출력전극과 동일한 물질을 가질 수 있다.
- [0017] 상기 차폐 전극은, Ti를 갖는 제1 층, Al을 갖는 제2 층, 및 Ti를 갖는 제3 층을 포함할 수 있다.
- [0018] 상기 구동 트랜지스터는 구동 트랜지스터로 정의되고, 상기 제어 트랜지스터는 제2 내지 제6 트랜지스터들을 포함할 수 있다.
- [0019] 본 발명의 일 실시예에 따른 유기발광 표시장치의 제조 방법은, 제어 트랜지스터의 제1 반도체 활성층을 포함하는 제1 반도체층 형성하는 단계; 상기 제어 트랜지스터의 제1 제어전극을 포함하는 제1 도전층 형성하는 단계; 구동 트랜지스터의 제2 제어전극을 포함하는 제2 도전층 형성하는 단계; 상기 구동 트랜지스터의 제2 반도체 활성층을 포함하는 제2 반도체층 형성하는 단계; 및 상기 구동 트랜지스터의 상기 제2 반도체 활성층을 커버하는

차폐 전극을 형성하는 단계를 포함할 수 있다.

[0020] 상기 제2 반도체층을 형성하는 단계 이후, 상기 차폐 전극을 형성하는 단계 이전에, 전원 라인 및 데이터 라인을 포함하는 제3 도전층을 형성하는 단계; 및 상기 전원 라인의 일부를 노출하는 단계를 더 포함할 수 있다. 상기 차폐 전극은 상기 노출된 전원 라인의 일부에 연결될 수 있다.

[0021] 상기 차폐 전극은 상기 제2 반도체 활성층을 커버하도록 형성할 수 있다.

[0022] 상기 제2 반도체층은 산화물 반도체를 증착 및 패터닝하여 형성할 수 있다.

발명의 효과

[0023] 본 발명의 유기발광 표시장치에 의하면, 구동 트랜지스터의 특성 및 신뢰성이 향상되어 표시 품질이 개선될 수 있다.

[0024] 본 발명의 유기발광 표시장치의 제조방법에 의하면, 표시 품질이 향상된 유기발광 표시장치가 제조된다.

도면의 간단한 설명

[0025] 도 1은 본 발명의 일 실시예에 따른 유기발광 표시장치의 블럭도이다.

도 2는 본 발명의 일 실시예에 따른 화소들의 회로도이다.

도 3은 도 2에 도시된 화소들을 구동하기 위한 구동신호들을 도시한 파형도이다.

도 4는 본 발명의 일 실시예에 따른 i번째 화소의 레이아웃이다.

도 5a 내지 도 5j는 도 4에 도시된 i번째 화소의 제조공정에 따라 형성되는 층들을 도시한 평면도이다.

도 6은 도 4의 I-I'선에 따라 절단한 단면도이다.

도 7은 도 4의 II-II'의 선에 따라 절단한 단면도이다.

도 8는 도 4의 III-III'선에 따라 절단한 단면도이다.

도 9는 본 발명의 일 실시예에 따른 유기발광 표시장치의 제조 방법을 도시한 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0026] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0027] 도 1은 본 발명의 일 실시예에 따른 유기발광 표시장치의 블럭도이다. 도 1에 도시된 것과 같이, 유기발광 표시장치는 타이밍 제어부(100), 주사 구동부(200), 데이터 구동부(300), 및 유기발광 표시패널(DP)을 포함한다.

[0028] 타이밍 제어부(100)는 입력 영상신호들(미 도시)을 수신하고, 데이터 구동부(300)와의 인터페이스 사양에 맞도록 입력 영상신호들의 데이터 포맷을 변환하여 영상 데이터들(RGB)을 생성한다. 타이밍 제어부(100)는 영상 데이터들(RGB)과 각종 제어신호들(DCS, SCS)을 출력한다.

[0029] 주사 구동부(200)는 타이밍 제어부(100)로부터 주사 제어신호(SCS)를 수신한다. 주사 제어신호(SCS)는 주사 구동부(200)의 동작을 개시하는 수직개시신호, 신호들의 출력 시기를 결정하는 클럭신호 등을 포함할 수 있다. 주사 구동부(200)는 복수 개의 주사 신호들을 생성하고, 복수 개의 주사 신호들을 후술하는 복수 개의 주사 라인들(SL1~SLn)에 순차적으로 출력한다. 또한, 주사 구동부(200)는 주사 제어신호(SCS)에 응답하여 복수 개의 발광 제어신호들을 생성하고, 후술하는 복수 개의 발광 라인들(EL1~ELn)에 복수 개의 발광 제어신호들을 출력한다.

[0030] 도 1은 복수 개의 주사 신호들과 복수 개의 발광 제어신호들이 하나의 주사 구동부(200)로부터 출력되는 것으로 도시하였지만, 본 발명은 이에 한정되는 것은 아니다. 본 발명의 일 실시예에서, 복수 개의 주사 구동부가 복수 개의 주사 신호들을 분할하여 출력하고, 복수 개의 발광 제어신호들을 분할하여 출력할 수 있다. 또한, 본 발명의 일 실시예에서, 복수 개의 주사 신호들을 생성하여 출력하는 구동회로와 복수 개의 발광 제어신호들을 생성하여 출력하는 구동회로는 별개로 구분될 수 있다.

- [0031] 데이터 구동부(300)는 타이밍 제어부(100)로부터 데이터 제어신호(DCS) 및 영상 데이터들(RGB)을 수신한다. 데이터 구동부(300)는 영상 데이터들(RGB)을 데이터 신호들로 변환하고, 데이터 신호들을 후술하는 복수 개의 데이터 라인들(DL1~DLm)에 출력한다. 데이터 신호들은 영상 데이터들(RGB)의 계조값에 대응하는 아날로그 전압들이다.
- [0032] 유기발광 표시패널(DP)은 복수 개의 주사 라인들(SL1~SLn), 복수 개의 발광 라인들(EL1~ELn), 복수 개의 데이터 라인들(DL1~DLm), 및 복수 개의 화소들(PX)을 포함한다. 복수 개의 주사 라인들(SL1~SLn)은 제1 방향(DR1)으로 연장되고, 제2 방향에 직교하는 제2 방향(DR2)으로 나열된다. 복수 개의 발광 라인들(EL1~ELn) 각각은 복수 개의 주사 라인들(SL1~SLn) 중 대응하는 주사 라인에 나란하게 배열될 수 있다. 복수 개의 데이터 라인들(DL1~DLm)은 복수 개의 주사 라인들(SL1~SLn)과 절연되게 교차한다.
- [0033] 복수 개의 화소들(PX) 각각은 복수 개의 주사 라인들(SL1~SLn) 중 대응하는 주사 라인, 복수 개의 발광 라인들(EL1~ELn) 중 대응하는 발광 라인, 및 복수 개의 데이터 라인들(DL1~DLm) 중 대응하는 데이터 라인들에 접속된다. 복수 개의 화소들(PX) 각각은 전원 전압(ELVDD) 및 전원 전압(ELVDD)보다 낮은 레벨의 기준 전압(ELVSS)을 수신한다. 복수 개의 화소들(PX) 각각은 전원 전압(ELVDD)이 인가되는 전원 라인(PL)에 접속된다. 복수 개의 화소들(PX) 각각은 초기화 전압(Vint)을 수신하는 초기화 라인(RL)에 접속된다.
- [0034] 복수 개의 화소들(PX) 각각은 2개의 주사 라인들에 전기적으로 연결될 수 있다. 도 1에 도시된 것과 같이, 제2 번째 주사 라인(SL2)에 연결된 화소들(PX, 이하 제2 화소행의 화소들)은 제1 번째 주사 라인(SL1)에도 연결될 수 있다. 제2 화소행의 화소들(PX)은 제2 번째 주사 라인(SL2)에 인가된 주사신호 및 제1 번째 주사 라인(SL1)에 인가된 주사신호를 수신한다.
- [0035] 미 도시되었으나, 유기발광 표시패널(DP)은 복수 개의 더미 주사 라인들 및 초기화 제어 라인들을 더 포함할 수 있다. 더미 주사 라인들 및 초기화 제어 라인들은 주사 라인들(SL1~SLn)에 인가되는 신호를 수신할 수 있다. 더미 주사 라인들 및 초기화 제어 라인들은 서로 전기적으로 연결될 수 있다. 더미 주사 라인들 각각 및 초기화 제어 라인들 각각은 대응하는 주사 라인들(SL1~SLn) 중 하나에 전기적으로 연결될 수 있다.
- [0036] 또한, 복수 개의 데이터 라인들(DL1~DLm) 중 어느 하나의 데이터 라인에 연결된 화소들(이하, 화소열의 화소들)은 서로 연결될 수 있다. 화소열의 화소들 중 인접하는 2개의 화소들이 전기적으로 연결될 수 있다.
- [0037] 복수 개의 화소들(PX) 각각은 유기발광 다이오드(미 도시) 및 유기발광 다이오드의 발광을 제어하는 회로부(미 도시)를 포함한다. 회로부는 복수 개의 박막 트랜지스터(이하, 트랜지스터)와 커패시터를 포함할 수 있다. 복수 개의 화소들(PX)은 레드 컬러를 발광하는 레드 화소들, 그린 컬러를 발광하는 그린 화소들, 및 블루 컬러를 발광하는 블루 화소들을 포함할 수 있다. 레드 화소의 유기 발광 다이오드, 그린 화소의 유기 발광 다이오드, 및 블루 화소의 유기 발광 다이오드는 서로 다른 물질의 유기 발광층을 포함할 수 있다.
- [0038] 복수 회외 포토리소그래피 공정을 통해 베이스 기판(미 도시) 상에 복수 개의 주사 라인들(SL1~SLn), 복수 개의 발광 라인들(EL1~ELn), 복수 개의 데이터 라인들(DL1~DLm), 전원 라인(PL), 초기화 라인(RL), 및 복수 개의 화소들(PX)을 형성할 수 있다. 복수 회외 증착공정 또는 코팅공정을 통해 베이스 기판(미 도시) 상에 복수 개의 절연층들을 형성할 수 있다. 절연층들은 유기막 및/또는 무기막을 포함한다. 그밖에 복수 개의 화소들(PX)을 보호하는 봉지층(미 도시)을 베이스 기판 상에 더 형성할 수 있다.
- [0039] 도 2는 본 발명의 일 실시예에 따른 화소들의 회로도이다.
- [0040] 도 2에는 복수 개의 데이터 라인들(DL1~DLm) 중 k번째 데이터 라인(DLk)에 연결된 i번째 화소(PXi)를 예시적으로 도시하였다.
- [0041] i번째 화소(PXi)는 유기발광 다이오드(ED) 및 유기발광 다이오드를 제어하는 회로부를 포함한다. 회로부는 7개의 트랜지스터들(T1~T7) 및 하나의 커패시터(Cst)를 포함할 수 있다. 이하, 7 개의 트랜지스터들(T1~T7)은 p타입의 트랜지스터인 것을 예시적으로 설명한다. 도 2에 도시된 회로부는 하나의 예시에 불과하고 회로부의 구성은 변형되어 실시될 수 있다.
- [0042] 회로부는 구동 트랜지스터와 제어 트랜지스터를 포함할 수 있다.
- [0043] 구동 트랜지스터는 유기발광 다이오드(ED)에 공급되는 구동전류를 제어한다. 본 발명의 실시예에서 구동 트랜지스터는 제1 트랜지스터(T1)일 수 있다.
- [0044] 제어 트랜지스터의 제어단자는 제어 신호를 수신할 수 있다. i번째 화소(PXi)에 인가되는 제어 신호는 i-1번째

주사 신호(S_{i-1}), i 번째 주사 신호(S_i), 데이터 신호(D_i), 및 i 번째 발광 제어 신호(E_i)를 포함할 수 있다.

- [0045] 본 발명의 실시예에서 제어 트랜지스터는 제2 내지 제7 트랜지스터들($T_2 \sim T_7$)을 포함할 수 있다. 이하에서 제어 트랜지스터는 6개의 트랜지스터들로 이루어진 것을 예시적으로 설명하나, 이에 제한되는 것은 아니고, 제어 트랜지스터는 6개 미만이거나 6 초과개의 트랜지스터들로 이루어질 수 있다.
- [0046] 제4 트랜지스터(T_4)의 출력 단자와 제1 트랜지스터(T_1)의 제어단자 사이의 노드는 제1 노드(N_1)로 정의되고, 제7 트랜지스터(T_7)와 스토리지 커패시터(C_{st}) 사이의 노드는 제2 노드(N_2)로 정의된다.
- [0047] 제1 트랜지스터(T_1)는 제5 트랜지스터(T_5)를 경유하여 전원 전압(ELVDD)을 수신하는 입력전극, 제1 노드(N_1)에 접속된 제어전극, 및 출력전극을 포함한다. 제1 트랜지스터(T_1)의 출력전극은 제6 트랜지스터(T_6)를 경유하여 유기발광 다이오드(ED)에 전원 전압(ELVDD)을 제공한다. 제1 트랜지스터(T_1)의 입력전극은 제3 트랜지스터(T_3)를 경유하여 제1 노드(N_1)에 접속된다.
- [0048] 제1 트랜지스터(T_1)는 제1 노드(N_1)의 전위에 대응하여 유기발광 다이오드(ED)에 공급되는 구동전류를 제어한다.
- [0049] 제2 트랜지스터(T_2)는 k 번째 데이터 라인(DL_k)에 접속된 입력전극, i 번째 주사 라인(SL_i)에 접속된 제어전극, 및 제1 트랜지스터(T_1)의 출력전극에 접속된 출력전극을 포함한다. 제2 트랜지스터(T_2)는 i 번째 주사 라인(SL_i)에 인가된 주사 신호(S_i , 이하 i 번째 주사 신호)에 의해 턴-온되고, k 번째 데이터 라인(DL_k)에 인가된 데이터 신호(D_i)를 스토리지 커패시터(C_{st})에 제공한다.
- [0050] 제3 트랜지스터(T_3)는 제1 트랜지스터(T_1)의 입력전극에 접속된 입력전극, i 번째 주사 라인(SL_i)에 접속된 제어전극, 및 제1 노드(N_1)에 접속된 출력전극을 포함한다. 제3 트랜지스터(T_3)는 i 번째 주사 신호(S_i)에 응답하여 턴-온된다.
- [0051] 제2 트랜지스터(T_2) 및 제3 트랜지스터(T_3)가 턴-온될 때, 제1 트랜지스터(T_1)는 제2 트랜지스터(T_2)와 제3 트랜지스터(T_3) 사이에 다이오드 형태로 접속된다. 그에 따라, 제2 트랜지스터(T_2)는 제1 트랜지스터(T_1) 및 제3 트랜지스터(T_3)를 경유하여 제1 노드(N_1)에 접속된다.
- [0052] 스토리지 커패시터(C_{st})는 제1 노드(N_1)와 유기발광 다이오드(ED)의 애노드 사이에 접속된다. 스토리지 커패시터(C_{st})는 제1 노드(N_1)에 인가된 전압에 대응하는 전압을 충전한다.
- [0053] 제4 트랜지스터(T_4)는 전원 라인(PL)에 접속된 입력전극, $i-1$ 번째 주사 신호(S_{i-1})를 수신하는 제어전극, 및 제1 노드(N_1)에 접속된 출력전극을 포함한다. 제4 트랜지스터(T_4)는 $i-1$ 번째 주사 신호(S_{i-1})에 응답하여 스위칭된다. 제4 트랜지스터(T_4)의 제어 전극은 i 번째 더미 주사 라인(DM_i)에 접속된다. i 번째 더미 주사 라인(DM_i)에 $i-1$ 번째 주사 신호(S_{i-1})가 인가된다. i 번째 더미 주사 라인(DM_i)은 도 2에 도시된 i 번째 화소(PX_i) 직전에 턴-온되는 $i-1$ 번째 화소의 주사 라인(미 도시)과 전기적으로 연결될 수 있다. i 번째 더미 주사 라인(DM_i)에 인가되는 신호는 $i-1$ 번째 화소에 인가되는 주사 신호와 실질적으로 동일할 수 있다.
- [0054] 제5 트랜지스터(T_5)는 전원 라인(PL)에 접속된 입력전극, i 번째 발광 라인(EL_i)에 접속된 제어전극, 및 제1 트랜지스터(T_1)의 입력전극에 접속된 출력전극을 포함한다. 제5 트랜지스터(T_5)는 i 번째 발광 제어신호(E_i)에 응답하여 스위칭된다.
- [0055] 제6 트랜지스터(T_6)는 제1 트랜지스터(T_1)의 출력전극에 접속된 입력전극, i 번째 발광 라인(EL_i)에 접속된 제어전극, 및 유기발광 다이오드(ED)의 애노드에 접속된 출력전극을 포함한다. 제6 트랜지스터(T_6)는 i 번째 발광 라인(EL_i)으로부터 공급되는 i 번째 발광 제어신호(E_i)에 응답하여 스위칭된다.
- [0056] 제5 트랜지스터(T_5) 및 제6 트랜지스터(T_6)의 동작에 따라 전원 라인(PL)과 유기발광 다이오드(ED) 사이에 전류 패스가 형성 또는 차단된다. 본 발명의 일 실시예에서 제5 트랜지스터(T_5) 및 제6 트랜지스터(T_6) 중 어느 하나는 생략될 수도 있다.
- [0057] 제7 트랜지스터(T_7)는 초기화 라인(RL)에 접속된 입력전극, $i+1$ 번째 주사 신호(S_{i+1})를 수신하는 제어전극, 및 유기발광 다이오드(ED)의 애노드에 접속된 출력전극을 포함한다. 제7 트랜지스터(T_7)의 제어 전극은 i 번째 초기화 제어 라인(GB_i)에 접속된다. i 번째 초기화 제어 라인(GB_i)에 $i+1$ 번째 주사 신호(S_{i+1})가 인가된다. i 번째 초기화 제어 라인(GB_i)은 도 2에 도시된 i 번째 화소(PX_i) 직후에 턴-온되는 $i+1$ 번째 화소의 주사 라인(미 도시)과 전기적으로 연결될 수 있다. i 번째 초기화 제어 라인(GB_i)에 인가되는 신호는 $i+1$ 번째 화소에 인가되는 주사 신호와 실질적으로 동일할 수 있다.

- [0058] 제4 트랜지스터(T4)가 턴-온되면, 제1 노드(N1)는 전원 전압(ELVDD)에 의해 초기화된다.
- [0059] 제7 트랜지스터(T7)가 턴-온되면, 제2 노드(N2)는 초기화 전압(Vint)에 의해 초기화된다. 유기발광 다이오드(ED)의 애노드는 제7 트랜지스터(T7)가 턴-온될 때 초기화 전압(Vint)에 의해 초기화된다. 초기화 전압(Vint)과 유기발광 다이오드(ED)의 캐소드에 인가된 기준 전압(ELVSS) 사이의 전위차는 유기발광 다이오드(ED)의 발광 문턱전압 보다 작을 수 있다.
- [0060] 도 3은 도 2에 도시된 화소들을 구동하기 위한 구동신호들을 도시한 파형도이다.
- [0061] 도 2 및 도 3을 참조하여 i번째 화소의 동작을 좀 더 상세히 설명한다. 유기발광 표시패널(DP, 도 1 참조)은 프레임 구간들마다 영상을 표시한다. 각각의 프레임 구간들 동안 복수 개의 주사 라인들(SL1~SLn)에 복수 개의 주사 신호들이 순차적으로 스캐닝된다. 도 3은 어느 하나의 프레임 구간 중 일부를 도시하였다.
- [0062] 도 2 및 도 3을 참조하면, i번째 더미 주사 라인(DMi)에 인가된 i-1번째 주사 신호(Si-1)는 제1 초기화 구간(RP1) 중에 활성화된다. 본 실시예에서 도 3에 도시된 신호들은 로우 레벨을 가질 때, 활성화되는 것으로 설명된다. 도 3에 도시된 신호들의 로우 레벨은 해당 신호들이 인가되는 트랜지스터의 턴-온 전압일 수 있다.
- [0063] i-1번째 주사 신호(Si-1)에 의해 제4 트랜지스터(T4)가 턴-온 됨에 따라 전원 전압(ELVDD)은 제1 노드(N1)에 인가된다.
- [0064] i번째 주사 라인(SLi)에 인가된 i번째 주사 신호(Si)는 제1 초기화 구간(RP1) 다음에 정의되는 데이터 기입 구간(DIP) 중에 활성화된다. 데이터 기입 구간(DIP)에 활성화된 주사 신호(Si)에 의해 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)가 턴-온되고, 제1 트랜지스터(T1)는 제2 트랜지스터(T2)와 제3 트랜지스터(T3) 사이에 다이오드 접속된다.
- [0065] 데이터 기입 구간(DIP) 동안 k번째 데이터 라인(DLk)으로는 데이터 신호(Di)가 공급된다. 데이터 신호(Di)는 제2 트랜지스터(T2), 제1 트랜지스터(T1), 및 제3 트랜지스터(T3)를 경유하여 제1 노드(N1)에 제공된다. 이때, 제1 트랜지스터(T1)는 다이오드 접속된 상태이므로, 제1 노드(N1)에는 데이터 신호(Di)와 제1 트랜지스터(T1)의 문턱전압의 차전압이 제공된다. 데이터 기입 구간(DIP) 동안에 제1 노드(N1)와 제2 노드(N2) 사이의 전압차가 스토리지 커패시터(Cst)에 저장된다. 제2 노드(N2)는 이전 프레임에서 초기화 전압(Vint)에 의해 초기화된다.
- [0066] 제1 초기화 구간(RP1) 및 데이터 기입 구간(DIP) 동안에 비활성화되었던 i번째 발광 제어신호(Ei)는 데이터 기입 구간(DIP) 이후에 정의되는 발광 구간(EP) 중에 활성화된다. i번째 발광 제어신호(Ei)에 의해 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)가 턴-온되고, 스토리지 커패시터(Cst)에 충전된 전압이 제1 트랜지스터(T1)의 제어전극에 인가된다.
- [0067] i번째 발광 제어신호(Ei)에 의해 전원 라인(PL)과 유기발광 다이오드(ED) 사이에 전류패스가 형성된다. 그에 따라 발광 구간(EP) 동안에 유기발광 다이오드(ED)는 발광된다. 유기발광 다이오드(ED)는 스토리지 커패시터(Cst)에 충전된 전압에 대응하는 휘도로 발광된다.
- [0068] I+1번째 주사 신호(Si+1)는 발광 구간(EP) 이후에 정의되는 제2 초기화 구간(RP2) 중에 활성화된다. I+1번째 주사 신호(Si+1)에 의해 제7 트랜지스터(T5)가 턴-온됨에 따라 초기화 전압(Vint)은 제2 노드(N2)에 인가되고, 유기발광 다이오드(ED)의 애노드는 초기화 전압(Vint)으로 초기화된다. 제2 초기화 구간(RP2)에 의해 유기발광 다이오드(ED)의 발광을 중단한다.
- [0069] 도 3에서 제1 초기화 구간(RP1), 데이터 기입 구간(DIP), 발광 구간(EP), 및 제2 초기화 구간(RP2) 사이에 소정의 지연 구간들이 존재하는 것으로 도시하였으나, 이는 하나의 예시에 불과하다. 본 발명의 일 실시예에서 제1 초기화 구간(RP1), 데이터 기입 구간(DIP), 발광 구간(EP), 및 제2 초기화 구간(RP2)는 연속될 수도 있다.
- [0070] 도 4는 본 발명의 일 실시예에 따른 i번째 화소의 레이아웃이다. 도 5a 내지 도 5j는 도 4에 도시된 i번째 화소의 제조공정에 따라 형성되는 층들을 도시한 평면도이다. 도 6은 도 4의 I-I'선에 따라 절단한 단면도이다. 도 7은 도 4의 II-II'의 선에 따라 절단한 단면도이다. 도 8은 도 4의 III-III'선에 따라 절단한 단면도이다.
- [0071] 도 2 및 도 4를 참조하면 베이스 기판(SUB, 도 6 참조) 상에 유기발광 다이오드(ED), 제1 내지 제7 트랜지스터들(T1~T7), 및 스토리지 커패시터(Cst)가 배치된다. 또한, 베이스 기판(SUB) 상에 더미 주사 라인(DMi), 초기화 제어 라인(GBi), 주사 라인(SLi), 발광 라인(ELi), 데이터 라인(DLk), 및 전원 라인(PL)이 배치된다.
- [0072] 도 5a 및 도 6 내지 도 8를 참조하면, 베이스 기판(SUB) 상에 버퍼층(BF)이 배치된다. 버퍼층(BF)은 무기물 및/또는 유기물 중 어느 하나를 포함할 수 있다. 버퍼층(BF)은 실리콘 질화물 및/또는 실리콘 산화물을 포함할 수

있다.

- [0073] 버퍼층(BF) 상에 제1 반도체층(AL1)이 배치된다. 제1 반도체층(AL1)은 제2 내지 제7 트랜지스터들(T2~T7)의 채널영역을 포함한다. 제1 반도체층(AL1)의 일부는 제3 트랜지스터(T3)의 반도체 활성층(ACT3)으로 정의될 수 있다.
- [0074] 제1 반도체층(AL1)은 포토리소그래피 공정을 통해 형성될 수 있다. 제1 반도체층(AL1)은 도핑 공정 또는 환원 공정을 수행하여 형성될 수 있다.
- [0075] 제1 반도체층(AL1)은 폴리 실리콘을 포함할 수 있다. 따라서, 제2 내지 제7 트랜지스터들(T2~T7)의 채널 영역은 폴리 실리콘을 포함할 수 있다. 구체적인 내용은 후술된다.
- [0076] 제1 반도체층(AL1) 상에 제1 절연층(10)이 배치된다. 제1 절연층(10)은 무기물 및/또는 유기물 중 어느 하나를 포함할 수 있다. 제1 절연층(10)은 실리콘 질화물 및/또는 실리콘 산화물을 포함할 수 있다.
- [0077] 도 5b 및 도 6 내지 도 8를 참조하면, 제1 절연층(10) 상에 제1 도전층이 배치된다. 제1 도전층은 스토리지 커패시터(Cst)의 제1 전극(CS1) 및 제2 내지 제7 트랜지스터(T2~T7)의 제어전극을 포함한다. 또한, 제1 도전층은 더미 주사 라인(DMi), 주사 라인(SLi), 발광 라인(ELi), 및 초기화 제어 라인(GBi)을 포함한다. 더미 주사 라인(DMi)의 일부분은 제4 트랜지스터(T4)의 제어전극으로 기능한다. 주사 라인(SLi)의 일부분은 제2 트랜지스터(T2)의 제어전극 및 제3 트랜지스터(T3)의 제어전극으로 기능한다. 발광 라인(ELi)의 일부분은 제5 트랜지스터(T5)의 제어전극 및 제6 트랜지스터(T6)의 제어전극으로 기능한다. 초기화 제어 라인(GBi)의 일부분은 제7 트랜지스터(T7)의 제어전극으로 기능한다.
- [0078] 제1 도전층 상에 제2 절연층(20)이 배치된다. 제2 절연층(20)은 무기물 및/또는 유기물 중 어느 하나를 포함할 수 있다. 제2 절연층(20)은 실리콘 질화물 및/또는 실리콘 산화물을 포함할 수 있다.
- [0079] 도 5c 및 도 6 내지 도 8를 참조하면, 제2 절연층(20) 상에 제2 도전층이 배치된다. 제2 도전층은 제1 트랜지스터(T1)의 제어전극(GE1)을 포함할 수 있다. 제1 트랜지스터(T1)의 제어전극(GE1)은 스토리지 커패시터(Cst)의 제2 전극으로서 기능할 수 있다. 제1 트랜지스터(T1)의 제어전극(GE1) 내부에 개구부(OP1)가 정의될 수 있다. 이후 형성될 제6 콘택홀(CH6, 도 6e)을 통해 제7 트랜지스터(T7)와 스토리지 커패시터(Cst)의 제1 전극이 연결될 때, 개구부(OP1)에 의해 제1 트랜지스터(T1)의 제어전극과 스토리지 커패시터(Cst)의 제1 전극(CS1)이 전기적으로 연결되는 것을 방지할 수 있다.
- [0080] 제2 도전층 상에 제3 절연층(30)이 배치된다. 제3 절연층(30)은 무기물 및/또는 유기물 중 어느 하나를 포함할 수 있다. 제3 절연층(30)은 실리콘 질화물 및/또는 실리콘 산화물을 포함할 수 있다.
- [0081] 도 5d 및 도 6 내지 도 8를 참조하면, 제3 절연층(30) 상에 제2 반도체층이 배치된다. 제2 반도체층은 제1 트랜지스터(T1)의 반도체 활성층(ACT1), 제1 연결 전극(CNE1), 및 제2 연결 전극(CNE2)을 포함할 수 있다. 제1 연결 전극(CNE1)은 제7 트랜지스터(T7)의 입력전극이 형성될 위치와 중첩하게 형성된다. 제1 연결 전극(CNE1)은 공정 완료 후, 초기화 라인(RL)과 제7 트랜지스터(T7)의 입력전극 각각에 연결된다. 제2 연결 전극(CNE2)은 제7 트랜지스터(T7)의 출력전극이 형성될 위치와 중첩하게 형성된다. 제2 연결 전극(CNE2)은 공정 완료 후, 유기발광 다이오드(ED)의 애노드와 제7 트랜지스터(T7)의 출력전극 각각에 연결된다.
- [0082] 제2 반도체층은 포토리소그래피 공정을 통해 형성될 수 있다. 제2 반도체층은 도핑 공정 또는 환원 공정을 수행하여 형성될 수 있다.
- [0083] 제2 반도체층은 산화물 반도체를 포함할 수 있다. 예를 들어, 산화물 반도체는 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 티타늄(Ti) 등의 금속 산화물 또는 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 티타늄(Ti) 등의 금속과 이들의 산화물의 혼합물을 포함할 수 있다. 이때, 채널부들은 상기 금속 산화물 반도체로부터 환원된 금속을 포함하지 않고, 상기 전극부들 및 상기 배선부들은 상기 금속 산화물 반도체로부터 환원된 금속을 포함할 수 있다.
- [0084] 도 5e 및 도 6 내지 도 8를 참조하면, 적어도 제3 절연층(30)을 관통하는 콘택홀들(CH1~CH10)이 형성된다. 콘택홀들(CH1~CH10)은 제1 내지 제3 절연층들(10~30) 중 적어도 하나를 관통한다.
- [0085] 제1 콘택홀(CH1)은 제1 내지 제3 절연층들(10~30)을 관통하여 제7 트랜지스터(T7)의 입력전극이 형성될 위치에 제공된다. 제2 콘택홀(CH2)은 제1 내지 제3 절연층들(10~30)을 관통하여 제7 트랜지스터(T7)의 출력전극이 형성될 위치에 제공된다. 제3 콘택홀(CH3)은 제1 내지 제3 절연층들(10~30)을 관통하여 제5 트랜지스터(T5)의 입력

전극이 형성될 위치에 제공된다. 제4 콘택홀(CH4)은 제1 내지 제3 절연층들(10~30)을 관통하여 제1 트랜지스터(T1)의 출력전극이 형성될 위치에 제공된다. 제5 콘택홀(CH5)은 제1 내지 제3 절연층들(10~30)을 관통하여 제1 트랜지스터(T1)의 입력전극이 형성될 위치에 제공된다. 제6 콘택홀(CH6)은 제2 내지 제3 절연층들(20~30)을 관통하여 스토리지 커패시터(Cst)의 제1 전극(CS1)을 노출한다. 제7 콘택홀(CH7)은 제3 절연층(30)을 관통하여 제1 트랜지스터(T1)의 제어전극을 노출한다. 제8 콘택홀(CH8)은 제1 내지 제3 절연층들(10~30)을 관통하여 제2 트랜지스터(T2)의 입력전극이 형성될 위치에 제공된다. 제9 콘택홀(CH9)은 제1 내지 제3 절연층들(10~30)을 관통하여 제3 트랜지스터(T3)의 출력전극이 형성될 위치에 제공된다. 제10 콘택홀(CH10)은 제1 내지 제3 절연층들(10~30)을 관통하여 제4 트랜지스터(T4)의 입력전극이 형성될 위치에 제공된다.

[0086] 도 5f 및 도 6 내지 도 8를 참조하면 제3 절연층(30) 상에 제3 도전층이 배치된다.

[0087] 제3 도전층은 데이터 라인(DLk), 전원 라인(PL), 및 제1 내지 제7 트랜지스터들(T1~T7)의 입력전극들, 및 제1 내지 제7 트랜지스터들(T1~T7)의 출력전극들을 포함할 수 있다.

[0088] 제3 도전층은 금속을 포함할 수 있다. 본 발명의 실시예에서 제3 도전층은 하나의 층으로 이루어진 것으로 도시하였으나, 이에 제한되는 것은 아니다. 제3 도전층은 2 이상의 금속층으로 이루어질 수 있다. 예시적으로, 제3 도전층은 제3 절연층(30) 상부에 순차적으로 Ti를 갖는 제1층, Al를 갖는 제2층, 및 Ti를 갖는 제3층을 갖는 3층 구조일 수 있다.

[0089] 제3 콘택홀(CH3)을 통해 제5 트랜지스터의 입력전극이 전원 라인(PL)에 연결될 수 있다. 제4 콘택홀(CH4)에 중첩하는 제3 도전층은 제1 트랜지스터(T1)의 출력전극으로 기능할 수 있다. 제5 콘택홀(CH5)에 중첩하는 제3 도전층은 제1 트랜지스터(T1)의 입력전극으로 기능할 수 있다. 제6 콘택홀(CH6)에 중첩하는 제3 도전층은 스토리지 커패시터(Cst)의 제1 전극(CS1)에 연결될 수 있다. 제7 콘택홀(CH7)에 중첩하는 제3 도전층은 제1 트랜지스터(T1)의 제어전극에 연결될 수 있다. 데이터 라인(DLk)은 제8 콘택홀(CH8)을 통해 제2 트랜지스터(T2)의 입력전극에 연결될 수 있다. 제9 콘택홀(CH9)에 중첩하는 제3 도전층은 제4 트랜지스터(T4)의 출력전극으로 기능할 수 있다. 전원 라인(PL)은 제10 콘택홀(CH10)을 통해 제4 트랜지스터(T4)에 연결될 수 있다.

[0090] 제3 도전층 상에 제4 절연층(40)이 배치된다. 제4 절연층(40)은 무기물 및/또는 유기물 중 어느 하나를 포함할 수 있다. 제4 절연층(40)은 실리콘 질화물 및/또는 실리콘 산화물을 포함할 수 있다. 제4 절연층(40)은 평탄면을 제공할 수 있다.

[0091] 도 5g 및 도 6 내지 도 8를 참조하면, 제4 절연층(40)을 관통하는 복수 개의 콘택홀들(CH11, CH12)이 형성된다. 콘택홀들(CH11, CH12)은 제4 절연층(40)을 관통할 수 있다.

[0092] 제11 콘택홀(CH11) 및 제12 콘택홀(CH12)은 전원 라인(PL)을 일부 노출할 수 있다.

[0093] 도 5h 및 도 6 내지 도 8를 참조하면, 제4 절연층(40) 상에 차폐 전극(SHD)이 배치될 수 있다.

[0094] 평면상에서 차폐 전극(SHD)은 제1 트랜지스터(T1)의 채널영역 및 제1 트랜지스터(T1)의 제어전극(GE1)을 커버할 수 있다.

[0095] 차폐 전극(SHD)은 금속을 포함할 수 있다. 본 발명의 실시예에서 제3 도전층은 하나의 층으로 이루어진 것으로 도시하였으나, 이에 제한되는 것은 아니다. 제3 도전층은 2 이상의 금속층으로 이루어질 수 있다. 예시적으로, 제3 도전층은 제4 절연층(40) 상부에 순차적으로 Ti를 갖는 제1층, Al를 갖는 제2층, 및 Ti를 갖는 제3층을 갖는 3층 구조일 수 있다.

[0096] 차폐 전극(SHD)은 제3 도전층과 동일한 물질 및 동일한 구조를 가질 수 있다. 예시적으로, 제3 도전층이 1층 구조를 갖는 경우, 차폐 전극(SHD)도 1층 구조를 가질 수 있다. 또한, 제3 도전층이 Ti/Al/Ti 3층 구조를 갖는 경우, 차폐 전극(SHD)도 Ti/Al/Ti 3층 구조를 가질 수 있다.

[0097] 차폐 전극(SHD)은 제11 콘택홀(CH11) 및 제12 콘택홀(CH12)을 통해 전원 라인(PL)에 연결될 수 있다. 차폐 전극(SHD)은 일정한 전원 전압(ALVDD)을 수신할 수 있다.

[0098] 차폐 전극에 대한 구체적인 설명은 후술한다.

[0099] 차폐 전극(SHD)이 형성된 제4 절연층(40) 상에 제5 절연층(50)이 배치된다. 제5 절연층(50)은 무기물 및/또는 유기물 중 어느 하나를 포함할 수 있다. 제5 절연층(50)은 실리콘 질화물 및/또는 실리콘 산화물을 포함할 수 있다.

- [0100] 도 5i 및 도 6 내지 도 8를 참조하면, 적어도 제5 절연층(50)을 관통하는 복수 개의 콘택홀들(CH13, CH14)이 형성된다. 콘택홀들(CH13, CH14)는 제4 절연층(40) 및 제5 절연층(50)을 관통할 수 있다.
- [0101] 제5 절연층(50) 상에 제4 도전층이 배치된다. 제4 도전층은 애노드(AE) 및 초기화 라인(RL)을 포함한다.
- [0102] 애노드(AE)는 제13 콘택홀(CH13)을 통해 제6 트랜지스터(T6)의 입력전극에 연결된다. 초기화 라인(RL)은 제14 콘택홀(CH14)을 통해 제7 트랜지스터(T7)의 입력전극에 연결된다.
- [0103] 도 5j 및 도 6 내지 도 8를 참조하면, 제5 절연층(50) 상에 화소 정의막(PDL)이 배치된다. 화소정의막(PDL)에는 애노드(AE)를 노출하는 개구부(OP)가 정의된다. 애노드(AE) 상에 개구부(OP)에 중첩하는 유기발광층(EML)이 배치된다. 유기발광층(EML) 상에 캐소드(CE)가 배치된다.
- [0104] 애노드(AE)와 유기발광층(EML) 사이에 제1 공통층(C LH)이 배치된다. 유기발광층(EML)과 캐소드(CE) 사이에 제2 공통층(CLE)이 배치된다. 제1 공통층(C LH)과 제2 공통층(CLE)은 복수 개의 화소들(PX, 도 1 참조)에 공통적으로 배치될 수 있다. 캐소드(CE) 역시 복수 개의 화소들(PX, 도 1 참조)에 공통적으로 배치될 수 있다. 제1 공통층(C LH)과 제2 공통층(CLE) 중 적어도 하나는 생략될 수 있다.
- [0105] 제1 공통층(C LH)은 정공 주입층을 포함하고, 제2 공통층(CLE)은 전자 주입층을 포함할 수 있다. 제1 공통층(C LH)은 정공 주입층과 유기발광층(EML) 사이에 배치된 정공 수송층을 더 포함할 수 있다. 제2 공통층(CLE)은 전자 주입층과 유기발광층(EML) 사이에 배치된 전자 수송층을 더 포함할 수 있다. 제1 공통층(C LH)과 제2 공통층(CLE)은 추가적인 기능층들을 더 포함할 수 있다.
- [0106] 별도로 도시하지는 않았으나, 캐소드(CE) 상에 유기발광 다이오드(ED)를 커버하는 봉지층이 배치될 수 있다. 봉지층은 복수개의 유기막 및/또는 무기막을 포함할 수 있다.
- [0107] 다시, 도 6 및 도 7을 참조하여 구동 트랜지스터와 제어 트랜지스터를 비교 설명한다.
- [0108] 제어 트랜지스터의 층구조는 실질적으로 동일하므로, 도 7에 도시된 제3 트랜지스터(T3)를 예시적으로 설명한다.
- [0109] 제1 트랜지스터(T1)의 제어전극(GE1)과 제3 트랜지스터(T3)의 제어전극(GE3)은 서로 다른 층상에 배치된다. 제1 트랜지스터(T1)의 제어전극(GE1)은 제3 트랜지스터(T3)의 제어전극(GE3) 상부에 배치된다. 제3 트랜지스터(T3)의 제어전극(GE3)은 더미 주사 라인(DMi), 주사 라인(SLi), 발광 라인(ELi), 및 초기화 제어 라인(GBi)과 동일한 층상에 배치된다.
- [0110] 제1 트랜지스터(T1)의 반도체 활성층(ACT1)은 제어전극(GE1) 상부에 배치된다. 제1 트랜지스터(T1)의 반도체 활성층(ACT1)은 도 5d에 도시된 제2 반도체층(AL2)의 일부로 정의될 수 있다. 제1 트랜지스터(T1)는 탑-게이트 구조를 가질 수 있다.
- [0111] 제1 트랜지스터(T1)의 입력전극(SE1) 및 출력전극(DE1)은 제3 절연층(30) 상에 배치된다.
- [0112] 제1 트랜지스터(T1)의 반도체 활성층(ACT1)은 산화물 반도체를 포함할 수 있다. 산화물 반도체의 구체적인 물질은 도 5d를 참조하여 설명하였으므로, 생략한다.
- [0113] 제3 트랜지스터(T3)의 반도체 활성층(ACT3)은 제어전극(GE3) 하부에 배치된다. 제3 트랜지스터(T3)의 반도체 활성층(ACT3)은 도 5a에 도시된 제1 반도체층(AL1)의 일부로 정의될 수 있다. 제3 트랜지스터(T3)는 바텀-게이트 구조를 가질 수 있다.
- [0114] 제3 트랜지스터(T3)의 입력전극(SE3) 및 출력전극(DE3)은 제3 절연층(30) 상에 배치된다.
- [0115] 제3 트랜지스터(T3)의 반도체 활성층(ACT3)은 폴리 실리콘을 포함할 수 있다.
- [0116] 차폐 전극(SHD)은 제1 트랜지스터(T1)의 채널 영역을 커버한다. 제1 트랜지스터(T1)의 채널영역은 산화물 반도체를 포함하는데, 산화물 반도체는 외부로부터 빛을 받으면 열화에 의해 문턱전압이 이동하게 되어 트랜지스터 특성이 나빠진다.
- [0117] 차폐 전극(SHD)은 제3 도전층 상부에 배치되어 외부로부터 제1 트랜지스터(T1)의 채널 영역으로 입사되는 빛을 차단한다.
- [0118] 본 발명의 실시예에 따른 유기발광 표시장치에 의하면, 제1 트랜지스터(T1)의 제어전극 상부에 배치된 산화물 반도체에 입사되는 빛을 차단하여 제1 트랜지스터(T1)의 문턱전압 산포가 증가하는 것을 방지할 수 있다. 따라

서, 제1 트랜지스터(T1)의 특성 및 신뢰성이 향상된다. 유기발광 표시장치의 표시 품질이 향상된다.

[0119] 제1 트랜지스터(T1)의 채널 영역은 제어전극 상부에 배치되므로 제1 트랜지스터(T1) 상부에 배치된 전극들(예를 들어, 유기발광 다이오드(ED)의 애노드, 초기화 라인(RL))에 인가된 전압이 의도하지 않은 게이트 전압으로 작용할 수 있다. 또한, 제1 트랜지스터(T1)의 채널 영역은 제1 트랜지스터(T1) 상부에 배치된 전극들에 인가된 전압에 의해 커플링 현상이 발생할 수 있다.

[0120] 본 발명의 실시예에 따른 유기발광 표시장치에 의하면, 차폐 전극(SHD)은 전원 전압(ELVDD)을 수신하여, 제1 트랜지스터(T1)의 채널 영역은 차폐 전극(SHD) 상부에 배치된 전극들에 인가된 전압의 영향을 받지 않는다. 따라서, 제1 트랜지스터(T1)의 특성 및 신뢰성이 향상된다. 유기발광 표시장치의 표시 품질이 향상된다.

[0121] 도 9는 본 발명의 일 실시예에 따른 유기발광 표시장치의 제조 방법을 도시한 순서도이다.

[0122] 도 9와 도 5a 내지 도 5j를 참조하여 유기발광 표시장치의 제조 방법을 설명한다.

[0123] 도 5a를 참조하면, 기판(SUB) 상에 제1 반도체층(AL1)을 형성한다(S11). 이후 제1 반도체층(AL1) 상에 제1 절연층(10)을 형성한다. 이후, 도 5b를 참조하면, 제1 절연층(10) 상에 제1 도전층을 형성한다(S12). 이후, 제1 도전층(10) 상에 제2 절연층(20)을 형성한다. 이후, 도 5c를 참조하면, 제2 절연층(20) 상에 제2 도전층을 형성한다(S13). 이후, 제2 도전층 상에 제3 절연층(30)을 형성한다. 이후, 도 5d를 참조하면, 제3 절연층(30) 상에 제2 반도체층(AL2)을 형성한다(S14). 이후, 도 5e를 참조하면, 제1 콘택홀 그룹을 형성한다(S15). 제1 콘택홀 그룹은 제1 내지 제10 콘택홀들(CH1~CH10)을 포함할 수 있다. 이후, 도 5f를 참조하면, 제3 절연층(30) 상에 제3 도전층을 형성한다(S16). 제3 도전층 상에 제4 절연층(40)을 형성한다. 이후, 도 5g를 참조하면, 제2 콘택홀 그룹을 형성한다(S17). 제2 콘택홀 그룹은 제 11 및 제12 콘택홀들(CH11, CH12)을 포함할 수 있다. 이후, 도 5h를 참조하면, 차폐 전극(SHD)을 형성한다(S18). 이후, 제5 절연층(50)을 형성한다. 이후, 도 5i를 참조하면, 제3 콘택홀 그룹을 형성한다(S19). 제3 콘택홀 그룹은 제13 및 제14 콘택홀들(CH13, CH14)을 포함할 수 있다. 이후, 도 5i 및 도 5j를 참조하면, 유기발광 다이오드(ED)를 형성한다(S20).

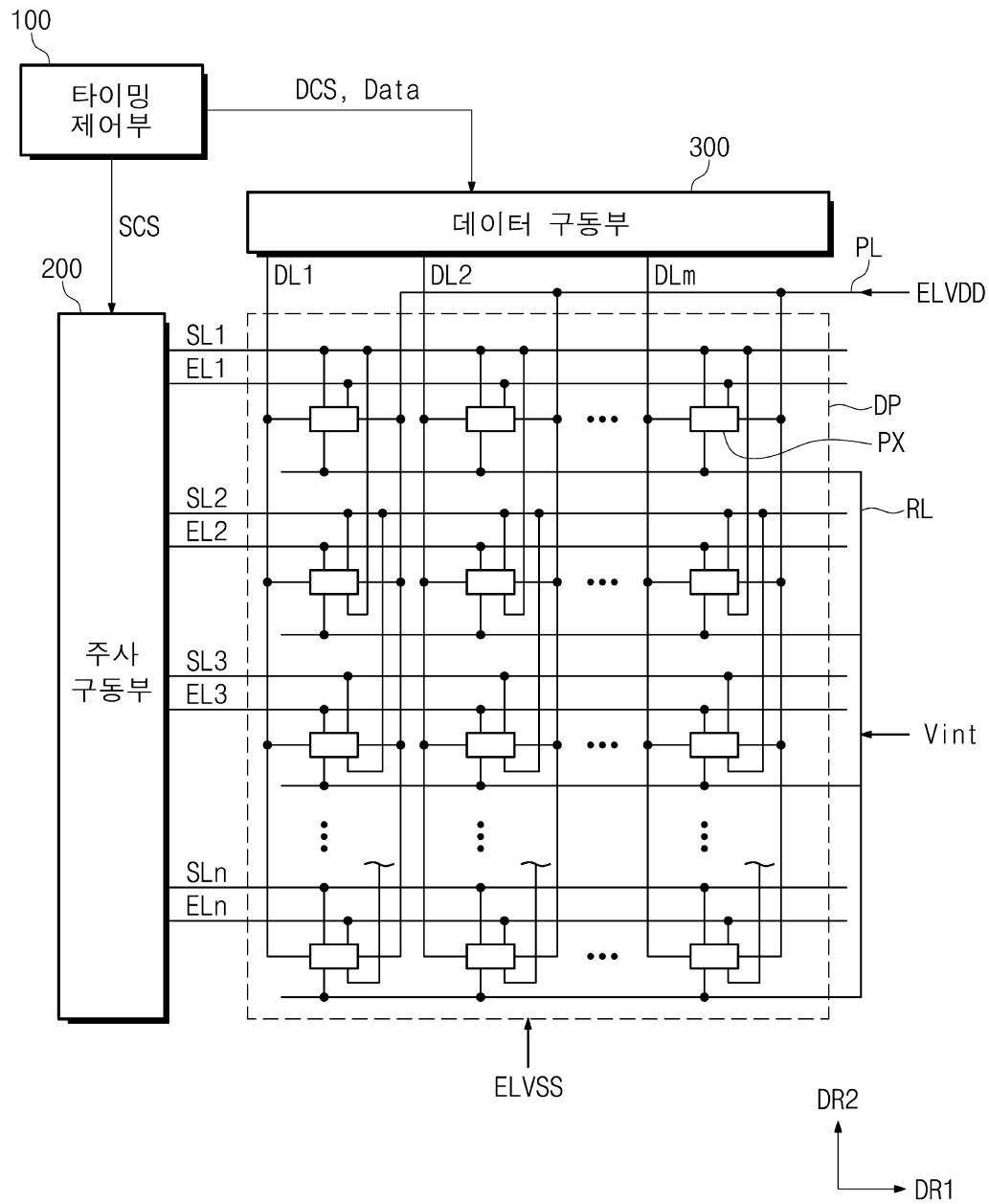
[0124] 한편 본 발명은 기재된 실시예에 한정되는 것이 아니고, 본 발명의 사상 및 범위를 벗어나지 않고 다양하게 수정 및 변형을 할 수 있음은 이 기술 분야에서 통상의 지식을 가진 자에게는 자명하다. 따라서, 그러한 변형예 또는 수정예들은 본 발명의 특허청구범위에 속한다 해야 할 것이다.

부호의 설명

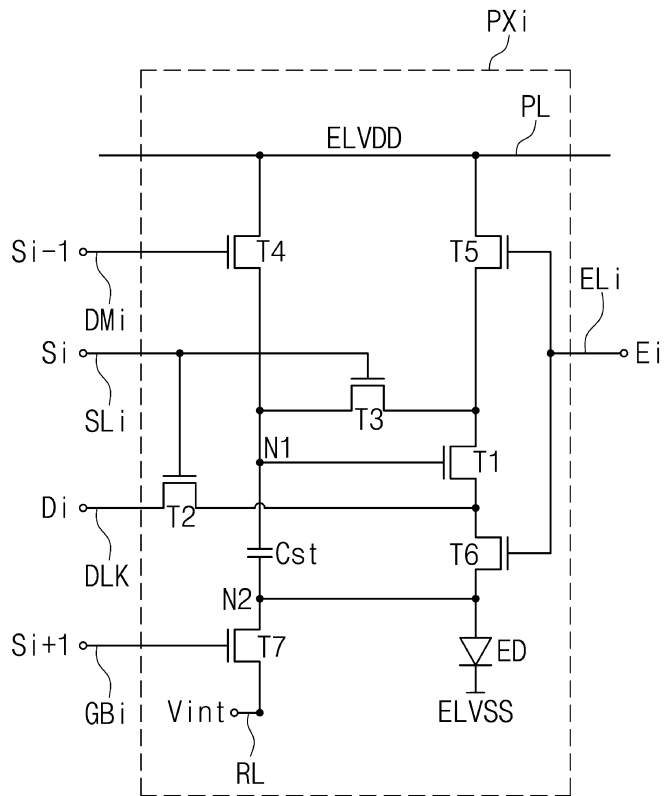
[0126] 100: 타이밍 제어부 200: 주사 구동부
300: 데이터 구동부 DP: 유기발광 표시패널
ED: 유기발광 다이오드 ELVDD: 전원 전압
ELVSS: 기준전압 PX: 화소

도면

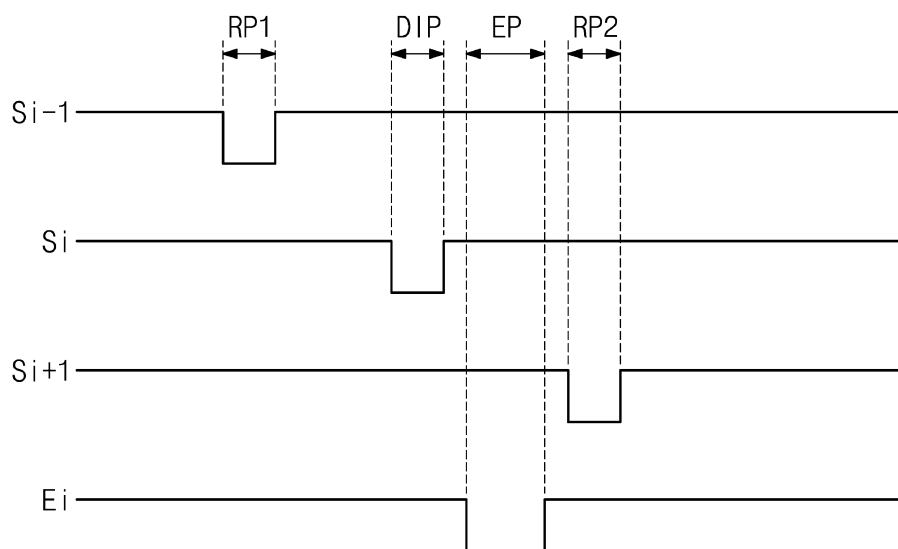
도면1



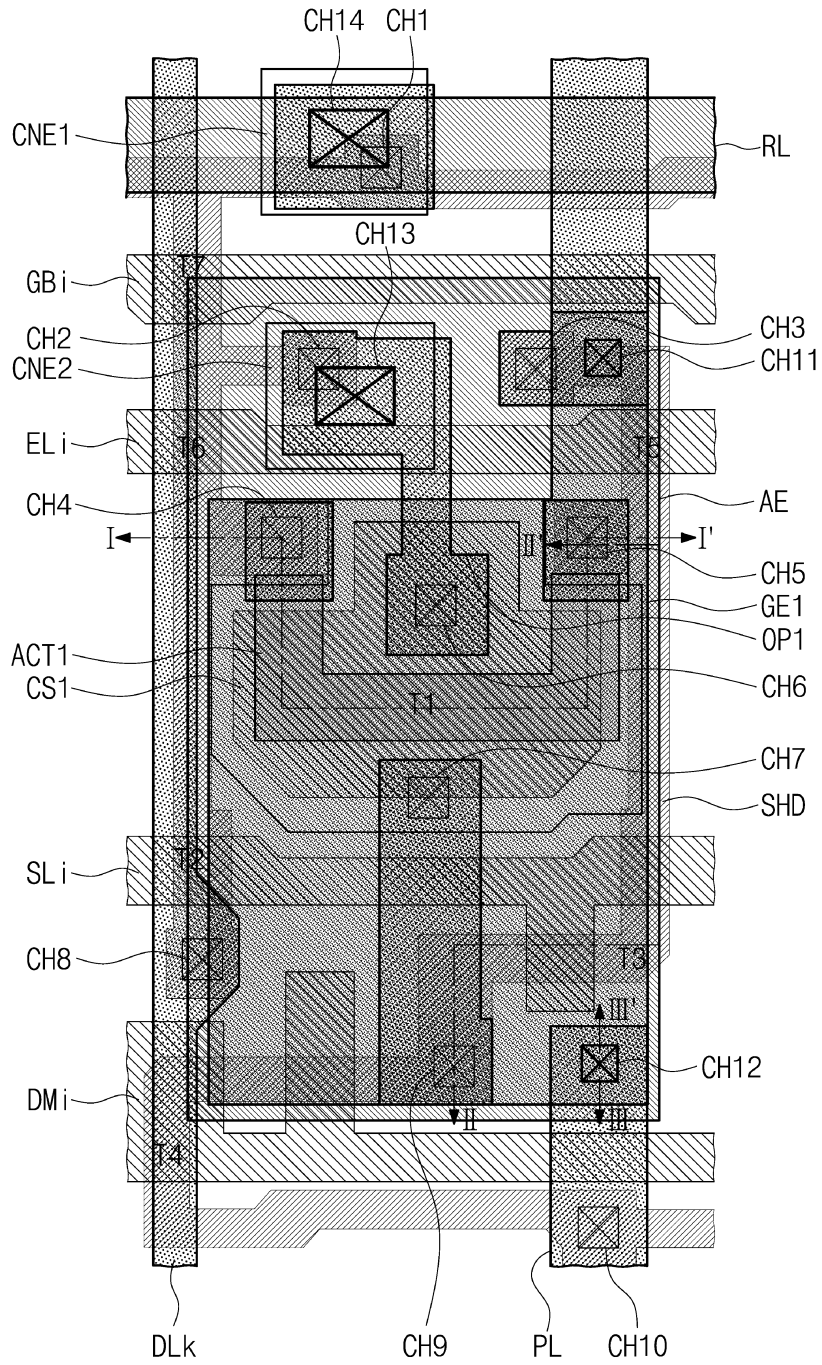
도면2



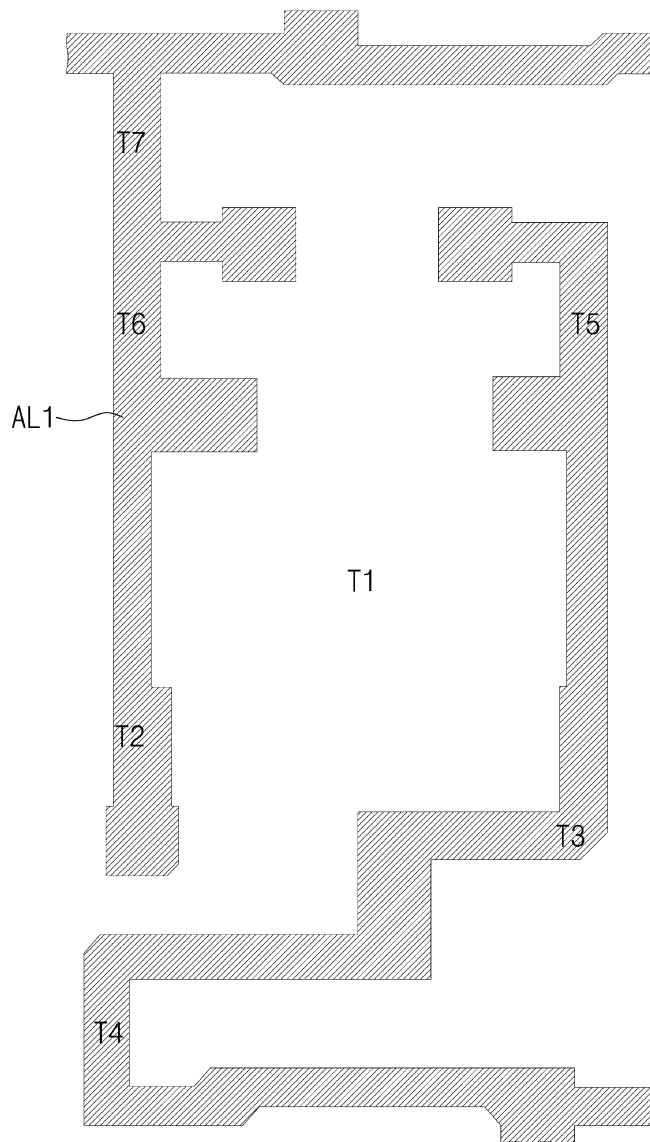
도면3



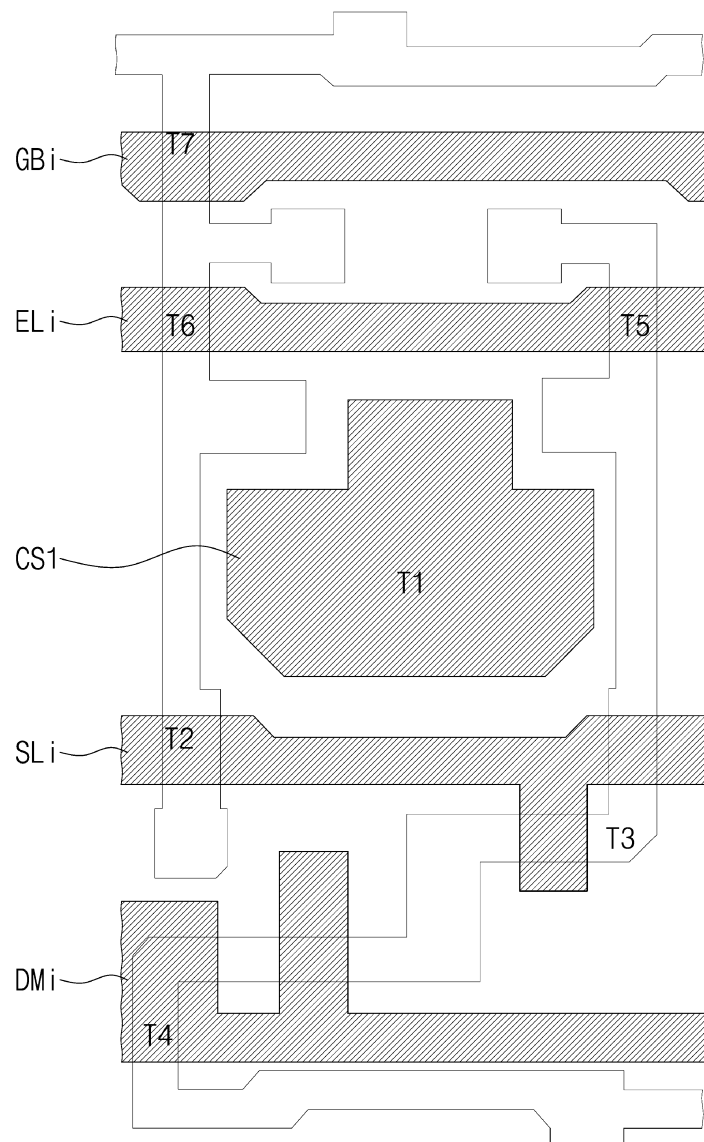
도면4



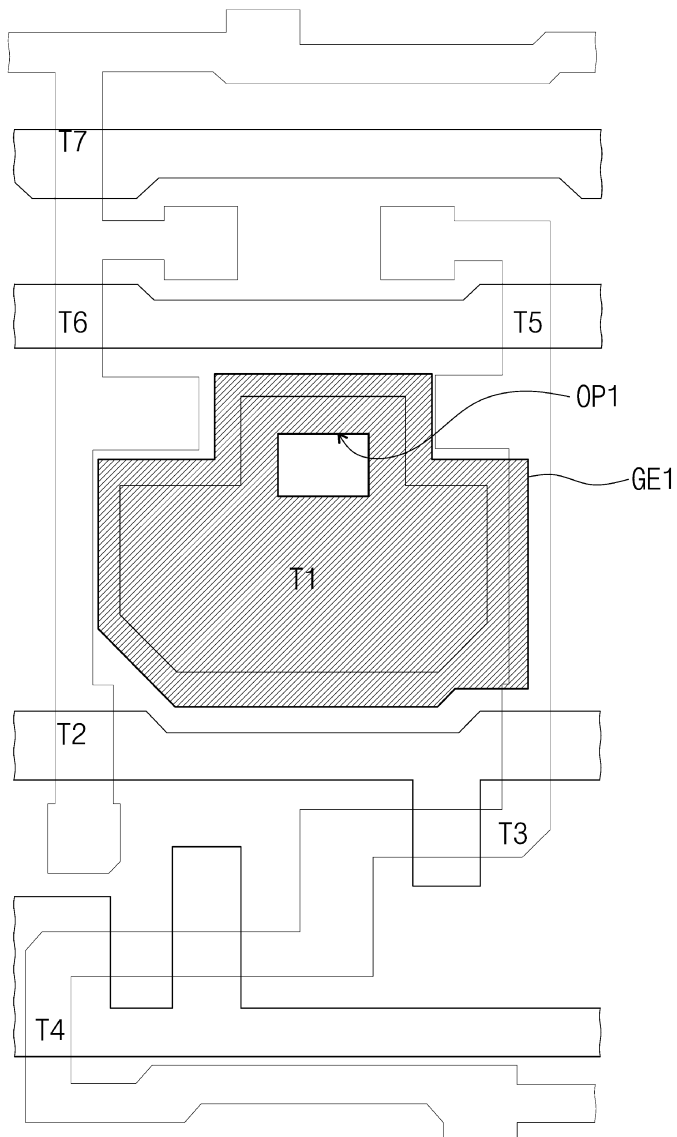
도면5a



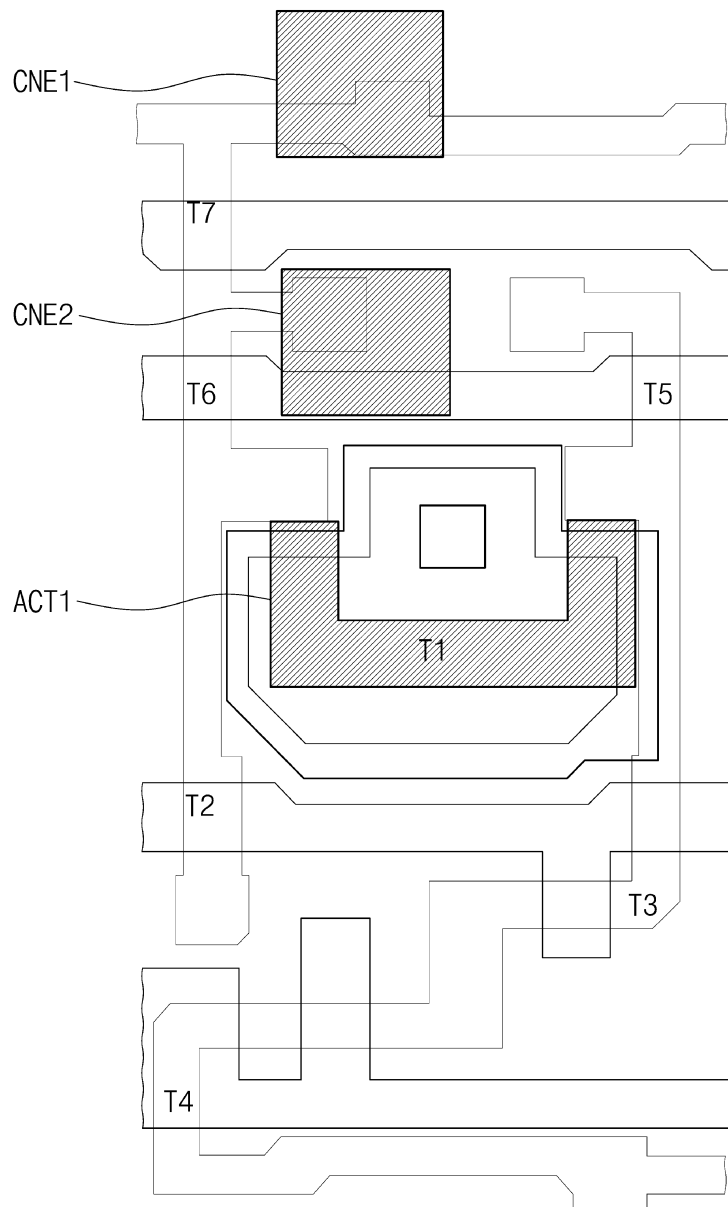
도면5b



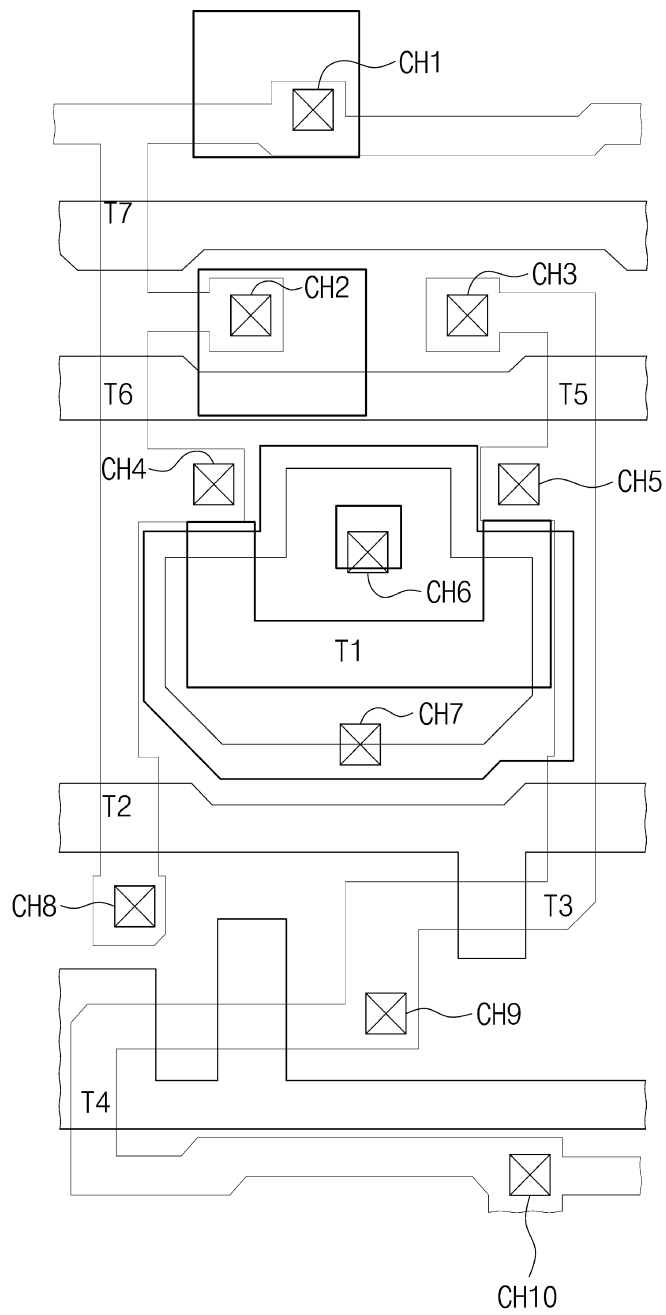
도면5c



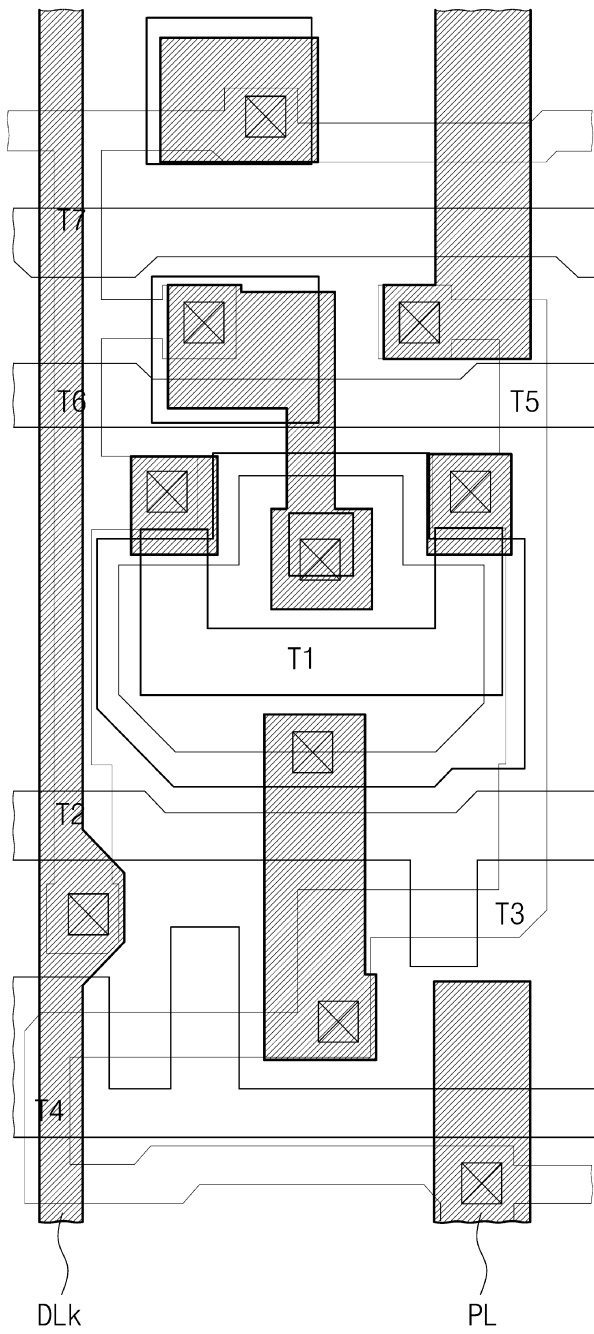
도면5d



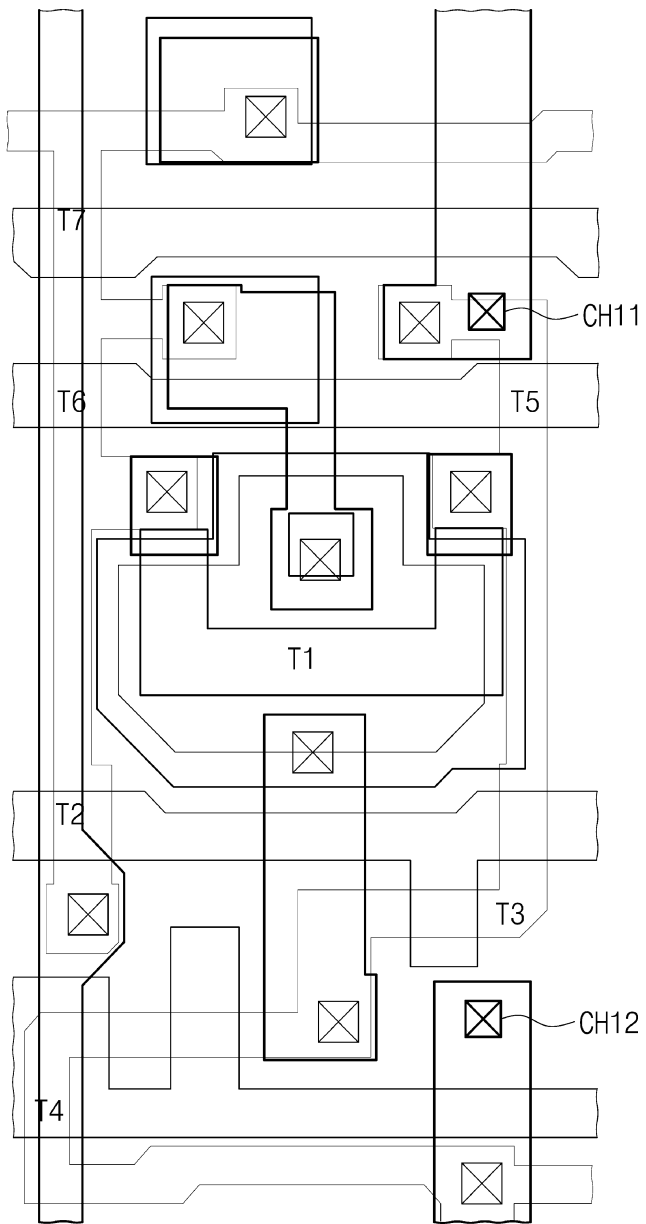
도면5e



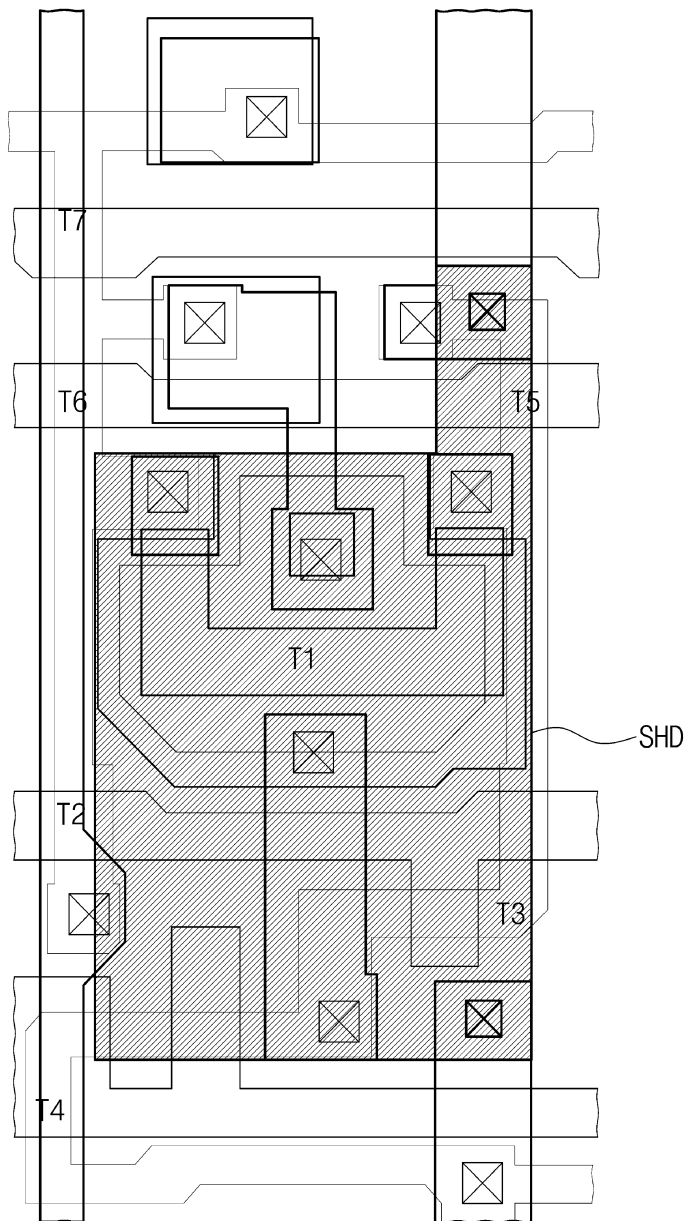
도면5f



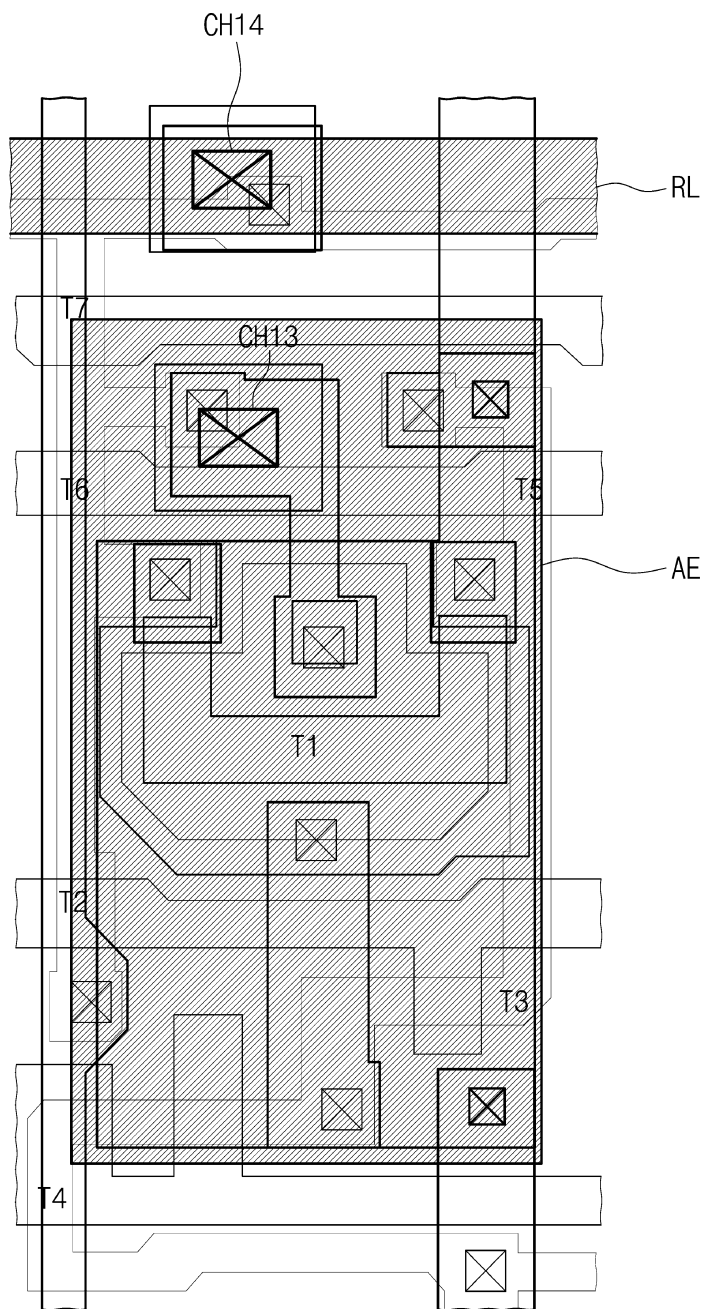
도면5g



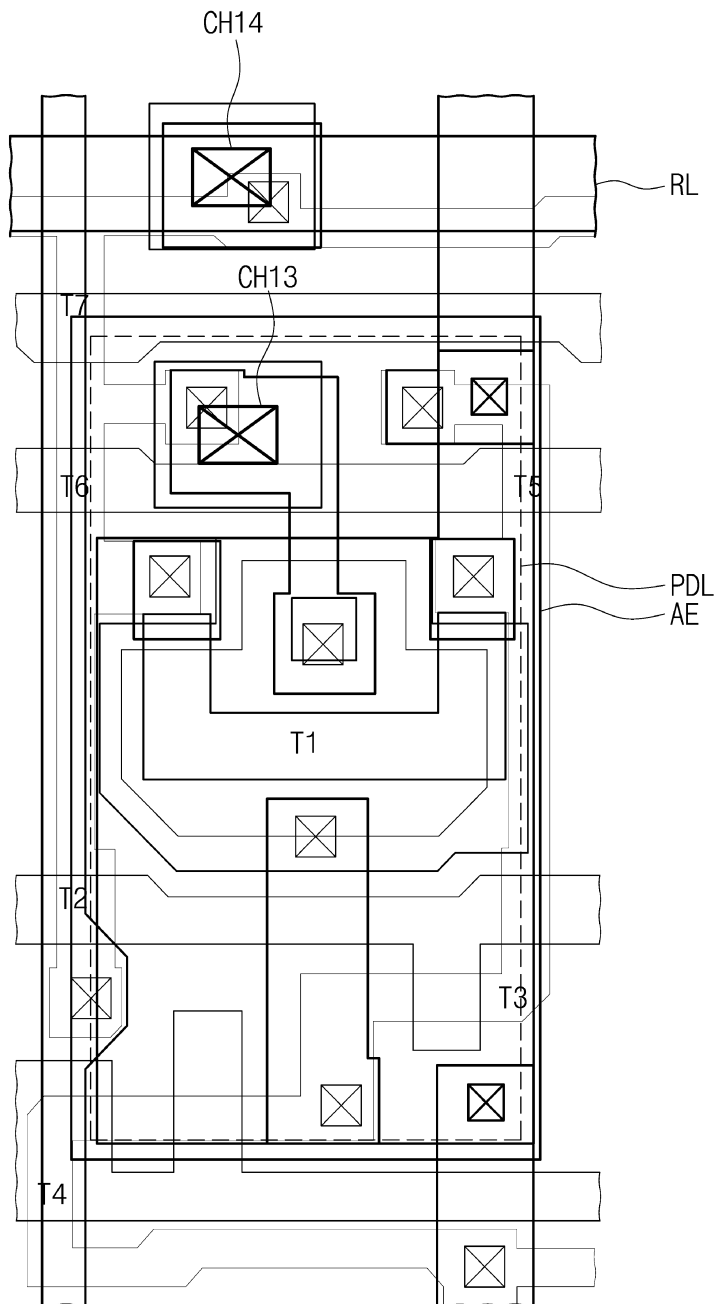
도면5h



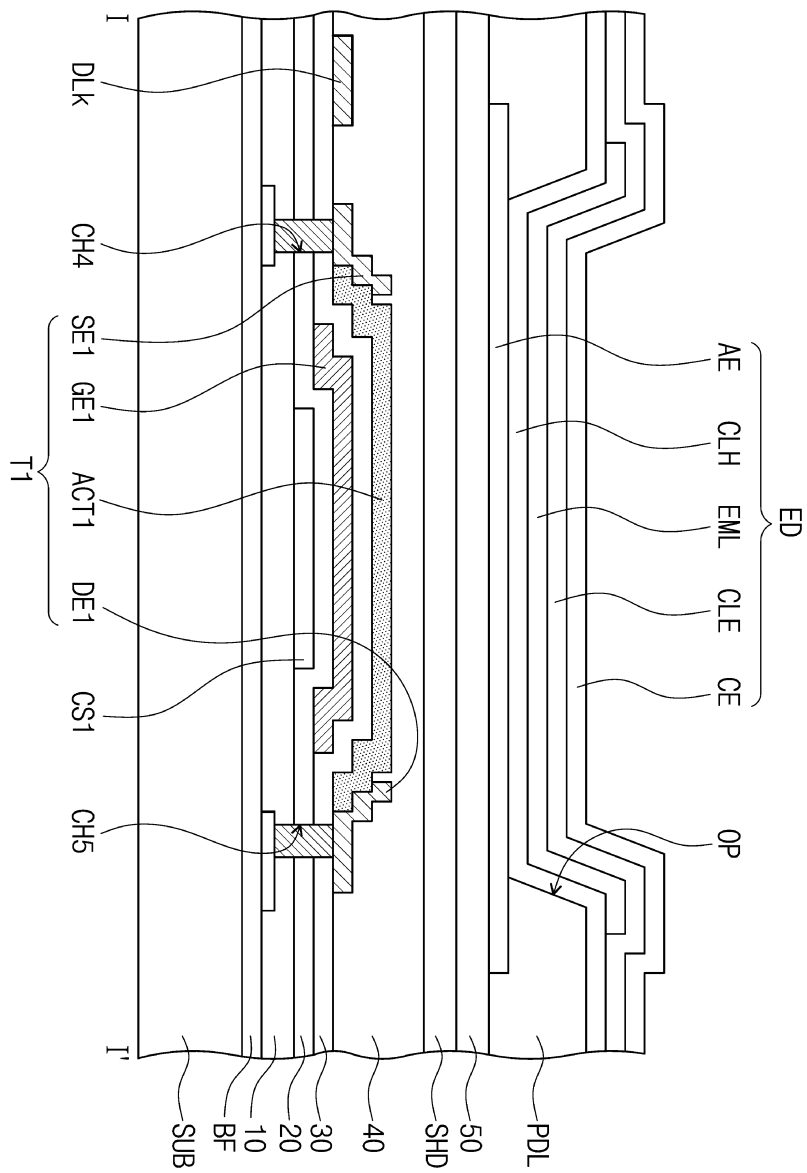
도면5i



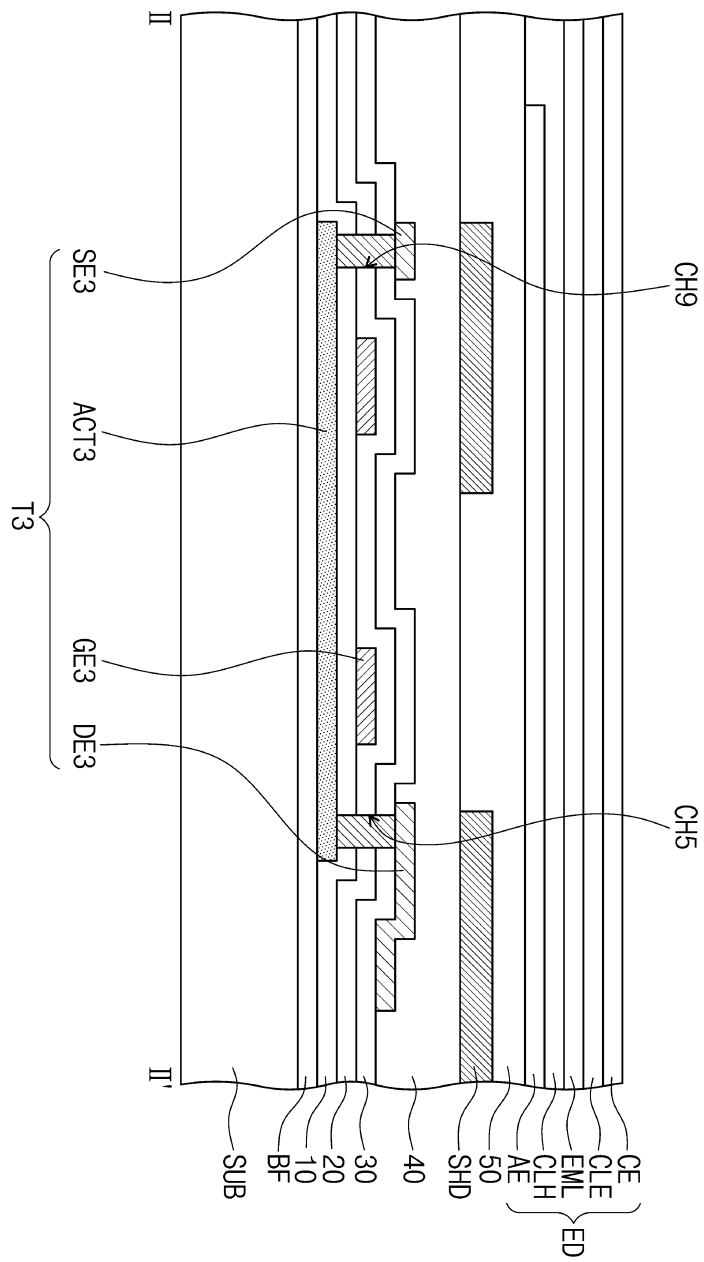
도면5j



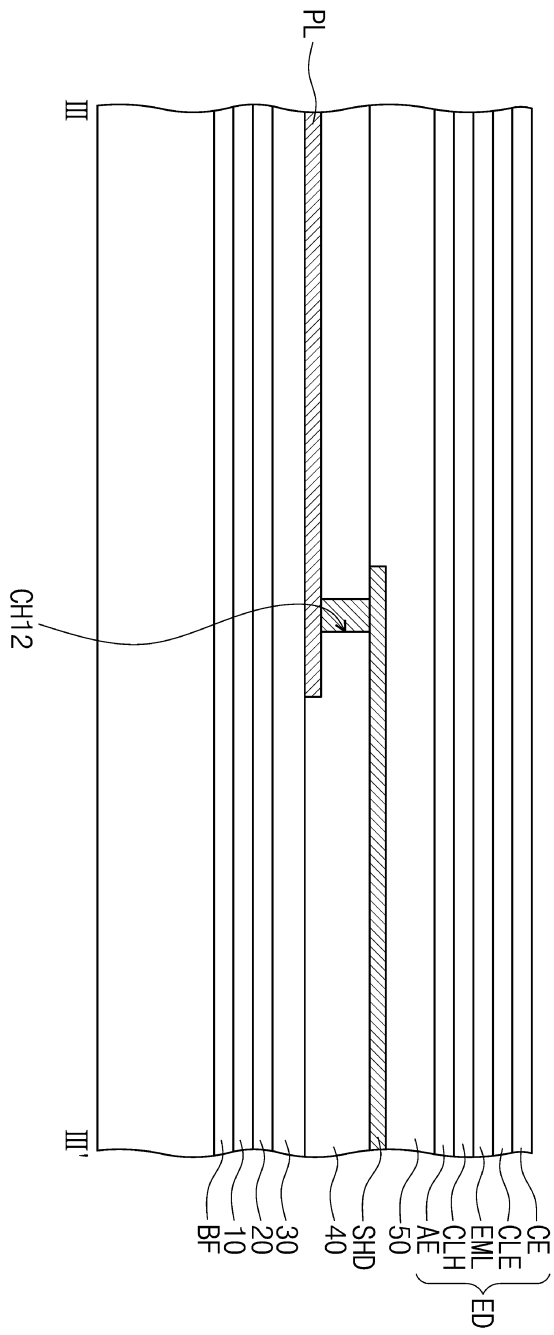
도면6



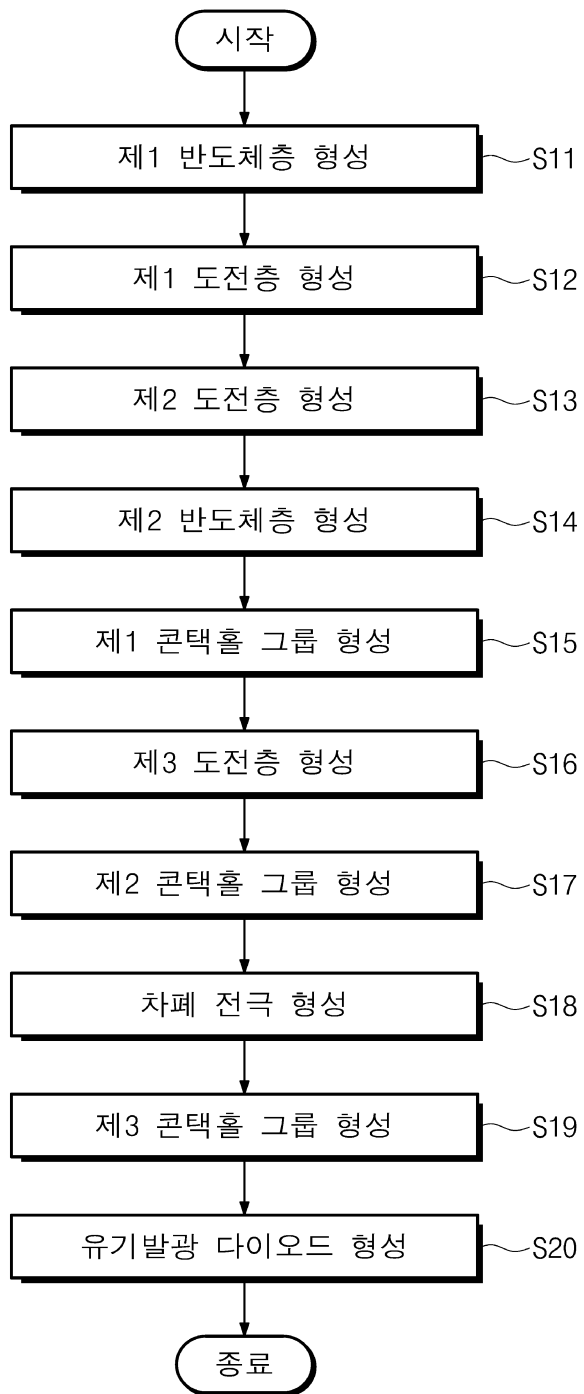
도면7



도면8



도면9



专利名称(译)	标题：OLED显示器及其制造方法		
公开(公告)号	KR1020170124679A	公开(公告)日	2017-11-13
申请号	KR1020160054176	申请日	2016-05-02
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM DONGSOO 김동수 KA JI HYUN 가지현		
发明人	김동수 가지현		
IPC分类号	H01L27/32 G09G3/3233 H01L27/12		
CPC分类号	H01L27/3272 H01L27/3262 H01L27/3248 H01L27/3276 H01L27/1225 G09G3/3233 G09G2310/0262 G09G2320/045 H01L29/78672 H01L29/7869 H01L2227/323		
外部链接	Espacenet		

摘要(译)

有机发光显示装置包括有机发光二极管，控制晶体管和驱动晶体管，以及屏蔽电极。有机发光二极管包括接收参考电压的阳极和阴极。控制晶体管包括接收控制信号的King极的第一代理存在和第一半导体有源层。驱动晶体管包括第二半导体有源层，该第二半导体有源层包括与控制晶体管电连接的King极的第二代理存在，输入电极接收电源电压，以及电连接到有机阳极的输出电极发光二极管，以及第一半导体有源层和不同材料。屏蔽电极与驱动晶体管重叠，并且它被布置在第二半导体有源层上并且接收电源电压。

