



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0068656
(43) 공개일자 2017년06월20일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/56 (2006.01)
(52) CPC특허분류
H01L 27/3265 (2013.01)
H01L 27/3225 (2013.01)
(21) 출원번호 10-2015-0174863
(22) 출원일자 2015년12월09일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
김동원
서울특별시 광진구 아차산로40길 16-3, 3층 (자양동)
김성호
경기도 수원시 영통구 영통로514번길 53, 224동 104호 (영통동, 황골마을주공2단지아파트)
허중무
경기도 화성시 영통로27번길 53, 204동 902호 (반월동, 신영통현대2차아파트)
(74) 대리인
팬코리아특허법인

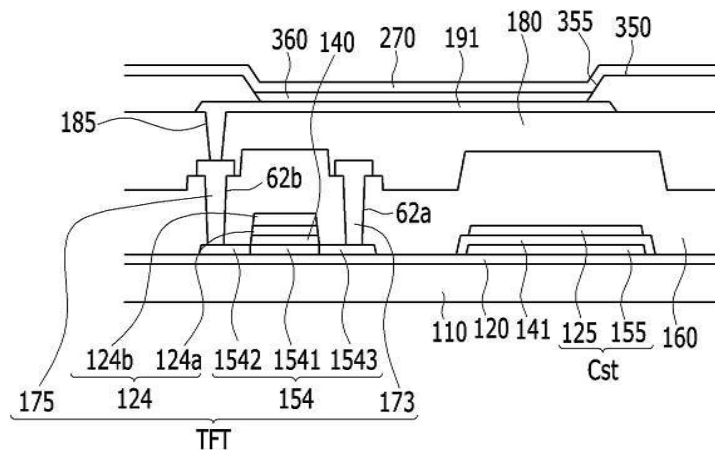
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치 및 이의 제조 방법

(57) 요약

본 발명의 일 실시예에 따른 유기 발광 표시 장치는 기판, 상기 기판 위에 배치되어 있으며, 서로 이격되어 있는 박막 트랜지스터 및 스토리지 커패시터, 그리고 상기 박막 트랜지스터에 연결되어 있는 유기 발광 다이오드를 포함하고, 상기 스토리지 커패시터는 커패시터 하부 전극, 상기 커패시터 하부 전극 위에 배치되어 있는 커패시터 절연막 및 상기 커패시터 절연막 위에 배치되어 있는 커패시터 상부 전극을 포함하고, 상기 커패시터 하부 전극은 산화물 반도체에 수소가 확산되어 도체화된다.

대표도 - 도1



(52) CPC특허분류

H01L 27/3258 (2013.01)

H01L 27/3262 (2013.01)

H01L 51/56 (2013.01)

H01L 2227/32 (2013.01)

명세서

청구범위

청구항 1

기관,

상기 기관 위에 배치되어 있으며, 서로 이격되어 있는 박막 트랜지스터 및 스토리지 커패시터, 그리고

상기 박막 트랜지스터에 연결되어 있는 유기 발광 다이오드를 포함하고,

상기 스토리지 커패시터는 커패시터 하부 전극, 상기 커패시터 하부 전극 위에 배치되어 있는 커패시터 절연막 및 상기 커패시터 절연막 위에 배치되어 있는 커패시터 상부 전극을 포함하고,

상기 커패시터 하부 전극은 산화물 반도체에 수소가 확산되어 도체화된 유기 발광 표시 장치.

청구항 2

제1항에서,

상기 박막 트랜지스터는

채널 영역, 소스 영역 및 드레인 영역을 포함하는 반도체층,

상기 채널 영역 위에 배치되어 있는 게이트 절연막,

상기 게이트 절연막 위에 배치되어 있는 게이트 전극,

상기 소스 영역에 연결되어 있는 소스 전극, 그리고

상기 소스 전극과 이격되어 있으며, 상기 드레인 영역에 연결되어 있는 드레인 전극을 포함하는 유기 발광 표시 장치.

청구항 3

제2항에서,

상기 반도체층은 상기 산화물 반도체를 포함하는 유기 발광 표시 장치.

청구항 4

제3항에서,

상기 게이트 절연막 및 상기 커패시터 절연막은 동일한 물질로 이루어져 있는 유기 발광 표시 장치.

청구항 5

제4항에서,

상기 커패시터 절연막은 상기 커패시터 하부 전극의 측면을 덮고 있는 유기 발광 표시 장치.

청구항 6

제5항에서,

상기 게이트 전극은 상기 게이트 절연막 위에 배치되어 있는 제1 게이트 전극 및 상기 제1 게이트 전극 위에 배치되어 있는 제2 게이트 전극을 포함하는 유기 발광 표시 장치.

청구항 7

제6항에서,

상기 제1 게이트 전극 및 상기 커패시터 상부 전극은 동일한 물질로 이루어져 있는 유기 발광 표시 장치.

청구항 8

제7항에서,

상기 제1 게이트 전극 및 상기 커패시터 상부 전극은 몰리브덴, 알루미늄, 산화인듐주석 및 산화인듐아연 중 적어도 하나를 포함하고,

상기 제2 게이트 전극은 티타늄, 티타늄-몰리브덴 합금 및 산화알루미늄 중 적어도 하나를 포함하는 유기 발광 표시 장치.

청구항 9

제8항에서,

상기 게이트 전극, 상기 커패시터 상부 전극 위에 배치되어 있으며, 질화규소 및 산화규소 중 적어도 하나를 포함하는 층간 절연막을 더 포함하고,

상기 소스 전극 및 상기 드레인 전극은 상기 층간 절연막 위에 배치되어 있는 유기 발광 표시 장치.

청구항 10

제9항에서,

상기 층간 절연막은 상기 소스 영역을 노출하는 소스 노출구 및 상기 드레인 전극을 노출하는 드레인 노출구를 포함하고,

상기 소스 전극은 상기 소스 노출구를 통하여 상기 소스 영역에 연결되어 있고,

상기 드레인 전극은 상기 드레인 노출구를 통하여 상기 드레인 영역에 연결되어 있는 유기 발광 표시 장치.

청구항 11

기판 위에 서로 이격되어 있는 제1 산화물 반도체층 및 제2 산화물 반도체층을 형성하는 단계,

상기 제1 산화물 반도체층 위에 상기 제1 산화물 반도체층의 일부를 노출하는 게이트 절연막을 형성하는 단계,

상기 제2 산화물 반도체층 위에 커패시터 절연막을 형성하는 단계,

상기 게이트 절연막 위에 게이트 전극을 형성하고, 상기 커패시터 절연막 위에 커패시터 상부 전극을 형성하는 단계,

노출된 상기 제1 산화물 반도체층에 불순물을 주입하여 소스 영역 및 드레인 영역을 형성하는 단계,

상기 게이트 전극, 상기 커패시터 상부 전극, 상기 소스 영역 및 상기 드레인 영역 위에 층간 절연막을 형성하는 단계,

상기 층간 절연막 위에 서로 이격되어 있는 소스 전극 및 드레인 전극을 형성하는 단계,

상기 소스 전극, 상기 드레인 전극 및 상기 층간 절연막 위에 평탄화막을 형성하는 단계, 그리고

상기 평탄화막 위에 유기 발광 다이오드를 형성하는 단계를 포함하고,

상기 층간 절연막을 형성하는 단계는 열처리를 실시하여, 상기 층간 절연막의 수소가 상기 제2 산화물 반도체층으로 확산하여 상기 제2 산화물 반도체층을 도체화하여 커패시터 하부 전극을 형성하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 12

제11항에서,

상기 게이트 절연막 및 상기 커패시터 절연막은 동일한 물질로 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 13

제12항에서,

상기 커패시터 절연막은 상기 커패시터 하부 전극의 측면을 덮는 유기 발광 표시 장치의 제조 방법.

청구항 14

제13항에서,

상기 게이트 전극은 상기 게이트 절연막 위에 배치되어 있는 제1 게이트 전극 및 상기 제1 게이트 전극 위에 배치되어 있는 제2 게이트 전극을 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 15

제14항에서,

상기 제1 게이트 전극 및 상기 커패시터 상부 전극은 동일한 물질로 형성되는 유기 발광 표시 장치의 제조 방법.

청구항 16

제15항에서,

상기 제1 게이트 전극 및 상기 커패시터 상부 전극은 몰리브덴, 알루미늄, 산화인듐주석 및 산화인듐아연 중 적어도 하나를 포함하고,

상기 제2 게이트 전극은 티타늄, 티타늄-몰리브덴 합금 및 산화알루미늄 중 적어도 하나를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 17

제16항에서,

상기 게이트 전극 및 상기 커패시터 상부 전극을 형성하는 단계는

노출된 상기 제1 산화물 반도체층, 상기 게이트 절연막 및 상기 커패시터 절연막 위에 제1 게이트 금속층 및 제2 게이트 금속층을 차례로 형성하는 단계,

상기 제2 게이트 금속층 위에 제1 부분 및 상기 제1 부분보다 두께가 얇은 제2 부분을 포함하는 제1 감광막을 형성하는 단계,

상기 제1 감광막을 마스크로 하여 상기 제1 게이트 금속층 및 상기 제2 게이트 금속층을 식각하여 상기 게이트 전극, 상기 커패시터 상부 전극 및 상기 커패시터 상부 전극 위에 위치한 게이트 금속 패턴을 형성하는 단계,

애싱 처리하여 상기 제2 부분을 제거하여 제2 감광막을 형성하는 단계,

상기 제2 감광막을 마스크로 하여 상기 게이트 금속 패턴을 제거하는 단계, 그리고

상기 제2 감광막을 제거하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 18

제17항에서,

상기 제1 부분은 상기 게이트 절연막에 대응하는 부분에 형성되고, 상기 제2 부분은 상기 커패시터 절연막에 대응하는 부분에 형성되는 유기 발광 표시 장치의 제조 방법.

청구항 19

제16항에서,

상기 게이트 전극 및 상기 커패시터 상부 전극을 형성하는 단계는

노출된 상기 제1 산화물 반도체층, 상기 게이트 절연막 및 상기 커패시터 절연막 위에 제1 게이트 금속층 및 제2 게이트 금속층을 차례로 형성하는 단계,

상기 제2 게이트 금속층 위에 제3 감광막을 형성하는 단계,

상기 제3 감광막을 마스크로 하여 상기 제1 게이트 금속층 및 상기 제2 게이트 금속층을 식각하여 상기 게이트 전극, 상기 커패시터 상부 전극 및 상기 커패시터 상부 전극 위에 위치한 게이트 금속 패턴을 형성하는 단계,
상기 제3 감광막을 제거한 후, 상기 게이트 전극 위에 제4 감광막을 형성하는 단계,
상기 제4 감광막을 마스크로 하여 상기 게이트 금속 패턴을 제거하는 단계, 그리고
상기 제4 감광막을 제거하는 단계를 포함하고,
상기 제3 감광막은 상기 게이트 절연막에 대응하는 부분의 상기 제2 게이트 금속층 위 및 상기 커패시터 절연막에 대응하는 부분의 상기 제2 게이트 금속층 위에 형성되는 유기 발광 표시 장치의 제조 방법.

청구항 20

제16항에서,

상기 게이트 전극 및 상기 커패시터 상부 전극을 형성하는 단계는

노출된 상기 제1 산화물 반도체층, 상기 게이트 절연막 및 상기 커패시터 절연막 위에 제1 게이트 금속층을 형성하는 단계,

상기 제1 게이트 금속층 위에 제5 감광막을 형성하는 단계,

상기 제5 감광막을 마스크로 하여 상기 제1 게이트 금속층을 식각하여 상기 제1 게이트 전극 및 상기 커패시터 상부 전극을 형성하는 단계,

상기 제5 감광막을 제거한 후, 노출된 상기 제1 산화물 반도체층, 상기 제1 게이트 전극 및 상기 커패시터 상부 전극 위에 제2 게이트 금속층을 형성하는 단계,

상기 제1 게이트 전극에 대응하는 부분의 상기 제2 게이트 금속층 위에 제6 감광막을 형성하는 단계,

상기 제6 감광막을 마스크로 하여 상기 제2 게이트 금속층을 식각하여 상기 제2 게이트 전극을 형성하는 단계, 그리고

상기 제6 감광막을 제거하는 단계를 포함하고,

상기 제5 감광막은 상기 게이트 절연막에 대응하는 부분의 상기 제1 게이트 금속층 위 및 상기 커패시터 절연막에 대응하는 부분의 상기 제1 게이트 금속층 위에 형성되는 유기 발광 표시 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치는 두 개의 전극과 그 사이에 위치하는 유기 발광층을 포함하며, 하나의 전극으로부터 주입된 전자(electron)와 다른 전극으로부터 주입된 정공(hole)이 유기 발광층에서 결합하여 여기자(exciton)를 형성하고, 여기자가 에너지를 방출하면서 발광한다. 이러한 발광을 이용하여 유기 발광 표시 장치가 소정의 영상을 표시한다.

[0003] 유기 발광 표시 장치는 자발광(self-luminance) 특성을 가지며, 액정 표시 장치와 달리 별도의 광원을 필요로 하지 않으므로 두께와 무게를 줄일 수 있다. 또한, 유기 발광 표시 장치는 낮은 소비 전력, 높은 휘도 및 빠른 응답 속도 등의 고품위 특성을 나타내므로 차세대 표시 장치로 주목을 받고 있다.

[0004] 이러한 유기 발광 표시 장치는 자발광 소자인 유기 발광 다이오드를 포함하는 복수개의 화소를 포함하며, 각 화소에는 유기 발광 다이오드를 구동하기 위한 복수개의 트랜지스터 및 하나 이상의 커패시터(Capacitor)가 형성되어 있다.

[0005] 여기서, 커패시터를 형성하는 방법에는 구조나 재료에 따라 다양한 방법이 존재한다.

발명의 내용

해결하려는 과제

[0006] 본 발명이 이루고자 하는 기술적 과제는 유기 발광 표시 장치에서, 산화물 반도체를 이용하여 커패시터를 형성하는 것이다.

과제의 해결 수단

[0007] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 기판, 상기 기판 위에 배치되어 있으며, 서로 이격되어 있는 박막 트랜지스터 및 스토리지 커패시터, 그리고 상기 박막 트랜지스터에 연결되어 있는 유기 발광 다이오드를 포함하고, 상기 스토리지 커패시터는 커패시터 하부 전극, 상기 커패시터 하부 전극 위에 배치되어 있는 커패시터 절연막 및 상기 커패시터 절연막 위에 배치되어 있는 커패시터 상부 전극을 포함하고, 상기 커패시터 하부 전극은 산화물 반도체에 수소가 확산되어 도체화된다.

[0008] 상기 박막 트랜지스터는 채널 영역, 소스 영역 및 드레인 영역을 포함하는 반도체층, 상기 채널 영역 위에 배치되어 있는 게이트 절연막, 상기 게이트 절연막 위에 배치되어 있는 게이트 전극, 상기 소스 영역에 연결되어 있는 소스 전극, 그리고 상기 소스 전극과 이격되어 있으며, 상기 드레인 영역에 연결되어 있는 드레인 전극을 포함할 수 있다.

[0009] 상기 반도체층은 상기 산화물 반도체를 포함할 수 있다.

[0010] 상기 게이트 절연막 및 상기 커패시터 절연막은 동일한 물질로 이루어져 있을 수 있다.

[0011] 상기 커패시터 절연막은 상기 커패시터 하부 전극의 측면을 덮고 있을 수 있다.

[0012] 상기 게이트 전극은 상기 게이트 절연막 위에 배치되어 있는 제1 게이트 전극 및 상기 제1 게이트 전극 위에 배치되어 있는 제2 게이트 전극을 포함할 수 있다.

[0013] 상기 제1 게이트 전극 및 상기 커패시터 상부 전극은 동일한 물질로 이루어져 있을 수 있다.

[0014] 상기 제1 게이트 전극 및 상기 커패시터 상부 전극은 몰리브덴, 알루미늄, 산화인듐주석 및 산화인듐아연 중 적어도 하나를 포함하고, 상기 제2 게이트 전극은 티타늄, 티타늄-몰리브덴 합금 및 산화알루미늄 중 적어도 하나를 포함할 수 있다.

[0015] 상기 게이트 전극, 상기 커패시터 상부 전극 위에 배치되어 있으며, 질화규소 및 산화규소 중 적어도 하나를 포함하는 층간 절연막을 더 포함하고, 상기 소스 전극 및 상기 드레인 전극은 상기 층간 절연막 위에 배치되어 있을 수 있다.

[0016] 상기 층간 절연막은 상기 소스 영역을 노출하는 소스 노출구 및 상기 드레인 전극을 노출하는 드레인 노출구를 포함하고, 상기 소스 전극은 상기 소스 노출구를 통하여 상기 소스 영역에 연결되어 있고, 상기 드레인 전극은 상기 드레인 노출구를 통하여 상기 드레인 영역에 연결되어 있을 수 있다.

[0017] 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법은 기판 위에 서로 이격되어 있는 제1 산화물 반도체층 및 제2 산화물 반도체층을 형성하는 단계, 상기 제1 산화물 반도체층 위에 상기 제1 산화물 반도체층의 일부를 노출하는 게이트 절연막을 형성하는 단계, 상기 제2 산화물 반도체층 위에 커패시터 절연막을 형성하는 단계, 상기 게이트 절연막 위에 게이트 전극을 형성하고, 상기 커패시터 절연막 위에 커패시터 상부 전극을 형성하는 단계, 노출된 상기 제1 산화물 반도체층에 불순물을 주입하여 소스 영역 및 드레인 영역을 형성하는 단계, 상기 게이트 전극, 상기 커패시터 상부 전극, 상기 소스 영역 및 상기 드레인 영역 위에 층간 절연막을 형성하는 단계, 상기 층간 절연막 위에 서로 이격되어 있는 소스 전극 및 드레인 전극을 형성하는 단계, 상기 소스 전극, 상기 드레인 전극 및 상기 층간 절연막 위에 평탄화막을 형성하는 단계, 그리고 상기 평탄화막 위에 유기 발광 다이오드를 형성하는 단계를 포함하고, 상기 층간 절연막을 형성하는 단계는 열처리를 실시하여, 상기 층간 절연막의 수소가 상기 제2 산화물 반도체층으로 확산하여 상기 제2 산화물 반도체층을 도체화하여 커패시터 하부 전극을 형성하는 단계를 포함한다.

[0018] 상기 게이트 전극 및 상기 커패시터 상부 전극을 형성하는 단계는 노출된 상기 제1 산화물 반도체층, 상기 게이트 절연막 및 상기 커패시터 절연막 위에 제1 게이트 금속층 및 제2 게이트 금속층을 차례로 형성하는 단계, 상기 제2 게이트 금속층 위에 제1 부분 및 상기 제1 부분보다 두께가 얇은 제2 부분을 포함하는 제1 감광막을 형성하는 단계, 상기 제1 감광막을 마스크로 하여 상기 제1 게이트 금속층 및 상기 제2 게이트 금속층을 식각하여 상기 게이트 전극, 상기 커패시터 상부 전극 및 상기 커패시터 상부 전극 위에 위치한 게이트 금속 패턴을 형성

하는 단계, 애싱 처리하여 상기 제2 부분을 제거하여 제2 감광막을 형성하는 단계, 상기 제2 감광막을 마스크로 하여 상기 게이트 금속 패턴을 제거하는 단계, 그리고 상기 제2 감광막을 제거하는 단계를 포함할 수 있다.

[0019] 상기 제1 부분은 상기 게이트 절연막에 대응하는 부분에 형성되고, 상기 제2 부분은 상기 커패시터 절연막에 대응하는 부분에 형성될 수 있다.

[0020] 상기 게이트 전극 및 상기 커패시터 상부 전극을 형성하는 단계는 노출된 상기 제1 산화물 반도체층, 상기 게이트 절연막 및 상기 커패시터 절연막 위에 제1 게이트 금속층 및 제2 게이트 금속층을 차례로 형성하는 단계, 상기 제2 게이트 금속층 위에 제3 감광막을 형성하는 단계, 상기 제3 감광막을 마스크로 하여 상기 제1 게이트 금속층 및 상기 제2 게이트 금속층을 식각하여 상기 게이트 전극, 상기 커패시터 상부 전극 및 상기 커패시터 상부 전극 위에 위치한 게이트 금속 패턴을 형성하는 단계, 상기 제3 감광막을 제거한 후, 상기 게이트 전극 위에 제4 감광막을 형성하는 단계, 상기 제4 감광막을 마스크로 하여 상기 게이트 금속 패턴을 제거하는 단계, 그리고 상기 제4 감광막을 제거하는 단계를 포함하고, 상기 제3 감광막은 상기 게이트 절연막에 대응하는 부분의 상기 제2 게이트 금속층 위 및 상기 커패시터 절연막에 대응하는 부분의 상기 제2 게이트 금속층 위에 형성될 수 있다.

[0021] 상기 게이트 전극 및 상기 커패시터 상부 전극을 형성하는 단계는 노출된 상기 제1 산화물 반도체층, 상기 게이트 절연막 및 상기 커패시터 절연막 위에 제1 게이트 금속층을 형성하는 단계, 상기 제1 게이트 금속층 위에 제5 감광막을 형성하는 단계, 상기 제5 감광막을 마스크로 하여 상기 제1 게이트 금속층을 식각하여 상기 제1 게이트 전극 및 상기 커패시터 상부 전극을 형성하는 단계, 상기 제5 감광막을 제거한 후, 노출된 상기 제1 산화물 반도체층, 상기 제1 게이트 전극 및 상기 커패시터 상부 전극 위에 제2 게이트 금속층을 형성하는 단계, 상기 제1 게이트 전극에 대응하는 부분의 상기 제2 게이트 금속층 위에 제6 감광막을 형성하는 단계, 상기 제6 감광막을 마스크로 하여 상기 제2 게이트 금속층을 식각하여 상기 제2 게이트 전극을 형성하는 단계, 그리고 상기 제6 감광막을 제거하는 단계를 포함하고, 상기 제5 감광막은 상기 게이트 절연막에 대응하는 부분의 상기 제1 게이트 금속층 위 및 상기 커패시터 절연막에 대응하는 부분의 상기 제1 게이트 금속층 위에 형성될 수 있다.

발명의 효과

[0022] 본 발명의 일 실시예에 따르면, 수소가 투과할 수 재료로 커패시터 상부 전극을 형성하고, 층간 절연막의 형성 시, 층간 절연막의 수소가 산화물 반도체층으로 확산되어 커패시터의 하부 전극을 형성함에 따라, 추가의 공정 없이, 산화물 반도체로 커패시터의 하부 전극을 형성할 수 있다.

도면의 간단한 설명

[0023] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 단면의 일 예를 나타낸 도면이다.

도 2 내지 도 9는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 개략적으로 도시한 단면도이다.

도 10 내지 도 12는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제조 방법을 개략적으로 도시한 단면도이다.

도 13 내지 도 16은 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치의 제조 방법을 개략적으로 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0024] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.

[0025] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.

[0026] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.

[0027] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의

편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 관 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

- [0028] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서 전체에서, "~상에"라 함은 대상 부분의 위 또는 아래에 위치함을 의미하는 것이며, 반드시 중력 방향을 기준으로 상 측에 위치하는 것을 의미하는 것은 아니다.
- [0029] 또한, 명세서 전체에서, "평면상"이라 할 때, 이는 대상 부분을 위에서 보았을 때를 의미하며, "단면상"이라 할 때, 이는 대상 부분을 수직으로 자른 단면을 옆에서 보았을 때를 의미한다.
- [0030] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 단면의 일 예를 나타낸 도면이다.
- [0031] 도 1을 참고하면, 유기 발광 표시 장치는 기판(110) 및 기판(110) 위에 배치되어 있는 복수의 박막 구조물을 포함한다. 이하에서는 복수의 박막 구조물에 대해서 상세하게 설명한다.
- [0032] 기판(110)은 유리, 석영, 세라믹 또는 플라스틱 등으로 이루어진 투명한 절연성 기판 일 수 있다. 또한, 기판(110)은 스테인리스 강 등으로 이루어진 금속성 기판일 수 있다.
- [0033] 기판(110) 위에 버퍼층(120)이 배치되어 있다. 버퍼층(120)은 질화규소(SiN_x)의 단일막 또는 질화 규소(SiN_x)와 산화 규소(SiO_2)가 적층된 이중막 구조로 형성될 수 있다. 버퍼층(120)은 불순물 또는 수분과 같이 불필요한 성분의 침투를 방지하면서 동시에 표면을 평탄화하는 역할을 한다. 이러한 버퍼층(120)은 기판(110)의 종류 및 공정 조건에 따라 생략될 수도 있다.
- [0034] 버퍼층(120) 위에 반도체층(154) 및 커패시터 하부 전극(155)이 서로 이격되어 배치되어 있다.
- [0035] 반도체층(154)은 산화물 반도체로 이루어져 있으며, 채널 영역(1541), 소스 영역(1542) 및 드레인 영역(1543)을 포함한다.
- [0036] 산화물 반도체는 아연(Zn), 갈륨(Ga), 주석(Sn) 및 인듐(In)을 기본으로 하는 산화물, 이들의 복합 산화물인 산화아연(ZnO), 인듐-갈륨-아연 산화물(InGaZnO_4), 인듐-아연 산화물(Zn-In-O) 및 아연-주석 산화물(Zn-Sn-O) 중 적어도 어느 하나를 포함한다.
- [0037] 소스 영역(1542) 및 드레인 영역(1543)은 채널 영역(1541)의 양 옆에 배치되어 있다. 채널 영역(1541)은 불순물이 도핑되지 않은 산화물 반도체이고, 소스 영역(1542)과 드레인 영역(1543)은 도전성 불순물이 도핑된 산화물 반도체, 즉 불순물 반도체(impurity semiconductor)이다.
- [0038] 커패시터 하부 전극(155)은 도체화된 산화물 반도체로 이루어져 있다. 커패시터 하부 전극(155)은 후술하는 층간 절연막(160)의 수소가 산화물 반도체로 확산되어 캐리어 농도가 높아져 도체화된 것이다.
- [0039] 반도체층(154)의 채널 영역(1541) 위에 게이트 절연막(140)이 배치되어 있다. 또한, 커패시터 하부 전극(155) 위에 커패시터 절연막(141)이 배치되어 있다. 커패시터 절연막(141)은 커패시터 하부 전극(155)의 측면을 덮고 있다.
- [0040] 게이트 절연막(140) 및 커패시터 절연막(141)은 동일한 물질로 이루어져 있으며, 동일한 두께를 가진다. 게이트 절연막(140) 및 커패시터 절연막(141)은 산화규소(SiO_x) 및 질화규소(SiN_x) 중 적어도 어느 하나를 포함할 수 있다.
- [0041] 게이트 절연막(140) 위에 게이트 전극(124)이 배치되어 있다. 또한, 커패시터 절연막(141) 위에 커패시터 상부 전극(125)이 배치되어 있다.
- [0042] 게이트 전극(124)은 게이트 절연막(140) 위에 배치되어 있는 제1 게이트 전극(124a) 및 제1 게이트 전극(124a) 위에 배치되어 있는 제2 게이트 전극(124b)를 포함한다.
- [0043] 제1 게이트 전극(124a) 및 커패시터 상부 전극(125)은 동일한 물질로 이루어져 있으며, 몰리브덴(Mo), 알루미늄(Al), 산화인듐주석(ITO, In-Sn-O) 및 산화인듐아연(IZO, In-Zn-O) 중 적어도 하나를 포함할 수 있다.
- [0044] 제2 게이트 전극(124b)은 티타늄(Ti), 티타늄-몰리브덴(Mo) 합금 및 산화알루미늄(Al_2O_3) 중 적어도 어느 하나를 포함할 수 있다.

- [0045] 여기서, 커패시터 하부 전극(155)과 커패시터 상부 전극(125)은 커패시터 절연막(141)을 유전체로 하여 스토리지 커패시터(Cst)를 이룬다. 이 때, 커패시터 절연막(141)은 다른 절연막에 비해 상대적으로 두께가 얇은 구성으로 커패시터 용량의 확보에 유리하다.
- [0046] 반도체층(154)의 소스 영역(1542) 및 드레인 영역(1543), 게이트 전극(124) 및 커패시터 상부 전극(125) 위에 층간 절연막(160)이 배치되어 있다. 층간 절연막(160)은 질화규소(SiNx) 및 산화규소(SiOx) 중 적어도 하나를 포함한 단층 또는 복수층일 수 있다.
- [0047] 층간 절연막(160)에는 소스 영역(1542)과 드레인 영역(1543)을 각각 노출하는 소스 노출구(62a)와 드레인 노출구(62b)가 형성되어 있다.
- [0048] 층간 절연막(160) 위에 소스 전극(173) 및 드레인 전극(175)이 서로 이격되어 배치되어 있다. 소스 전극(173)과 드레인 전극(175)은 각각 소스 노출구(62a)와 드레인 노출구(62b)를 통하여, 소스 영역(1542)과 드레인 영역(1543)에 연결되어 있다.
- [0049] 반도체층(154), 게이트 전극(124), 소스 전극(173) 및 드레인 전극(175)은 박막 트랜지스터(TFT)를 이룬다.
- [0050] 층간 절연막(160), 소스 전극(173) 및 드레인 전극(175) 위에 평탄화막(180)이 배치되어 있다. 평탄화막(180)은 유기 물질로 이루어져 있을 수 있으며, 상부면이 평탄화되어 있다. 평탄화막(180)은 드레인 전극(175)의 일부분을 노출하는 접촉 구멍(185)이 형성되어 있다.
- [0051] 평탄화막(180) 위에 화소 전극(191) 및 화소 정의막(350)이 배치되어 있다.
- [0052] 화소 전극(191)은 평탄화막(180)에 형성된 접촉 구멍(185)을 통해서 박막 트랜지스터(TFT)의 드레인 전극(175)과 전기적으로 연결되어 있다. 화소 전극(191)은 리튬(Li), 칼슘(Ca), 플루오르화리튬/칼슘(LiF/Ca), 플루오르화리튬/알루미늄(LiF/Al), 알루미늄(Al), 은(Ag), 마그네슘(Mg), 또는 금(Au) 등의 반사성 금속으로 이루어질 수 있다.
- [0053] 화소 정의막(350)의 화소 전극(191)의 가장자리부 및 평탄화막(180) 위에 배치되어 있으며, 화소 전극(191)을 노출하는 개구부(355)가 형성되어 있다. 즉, 화소 전극(191)의 가장자리부는 화소 정의막(350) 아래에 위치한다.
- [0054] 화소 정의막(350)의 개구부(355) 내의 화소 전극(191) 위에 유기 발광층(360)이 배치되어 있다.
- [0055] 유기 발광층(360)은 발광층, 정공 수송층(hole-injection layer, HIL), 정공 수송층(hole-transporting layer, HTL), 전자 수송층(electron-transporting layer, ETL) 및 전자 주입층(electron-injection layer, EIL) 중 하나 이상을 포함하는 복수층으로 이루어져 있다. 유기 발광층(360)이 이들 모두를 포함할 경우 정공 주입층이 애노드 전극인 화소 전극(191) 위에 위치하고 그 위로 정공 수송층, 발광층, 전자 수송층, 전자 주입층이 차례로 적층될 수 있다.
- [0056] 유기 발광층(360)은 적색을 발광하는 적색 유기 발광층, 녹색을 발광하는 녹색 유기 발광층 및 청색을 발광하는 청색 유기 발광층을 포함할 수 있으며, 적색 유기 발광층, 녹색 유기 발광층 및 청색 유기 발광층은 각각 적색 화소, 녹색 화소 및 청색 화소에 형성되어 컬러 화상을 구현하게 된다.
- [0057] 또한, 유기 발광층(360)은 적색 유기 발광층, 녹색 유기 발광층 및 청색 유기 발광층을 적색 화소, 녹색 화소 및 청색 화소에 모두 함께 적층하고, 각 화소별로 적색 색필터, 녹색 색필터 및 청색 색필터를 형성하여 컬러 화상을 구현할 수 있다. 다른 예로, 백색을 발광하는 백색 유기 발광층을 적색 화소, 녹색 화소 및 청색 화소 모두에 형성하고, 각 화소별로 각각 적색 색필터, 녹색 색필터 및 청색 색필터를 형성하여 컬러 화상을 구현할 수도 있다. 백색 유기 발광층과 색필터를 이용하여 컬러 화상을 구현하는 경우, 적색 유기 발광층, 녹색 유기 발광층 및 청색 유기 발광층을 각각의 개별 화소 즉, 적색 화소, 녹색 화소 및 청색 화소에 증착하기 위한 증착 마스크를 사용하지 않아도 된다.
- [0058] 다른 예에서 설명한 백색 유기 발광층은 하나의 유기 발광층으로 형성될 수 있음은 물론이고, 복수 개의 유기 발광층을 적층하여 백색을 발광할 수 있도록 한 구성까지 포함한다. 예로, 적어도 하나의 옐로우 유기 발광층과 적어도 하나의 청색 유기 발광층을 조합하여 백색 발광을 가능하게 한 구성, 적어도 하나의 시안 유기 발광층과 적어도 하나의 적색 유기 발광층을 조합하여 백색 발광을 가능하게 한 구성, 적어도 하나의 마젠타 유기 발광층과 적어도 하나의 녹색 유기 발광층을 조합하여 백색 발광을 가능하게 한 구성 등도 포함할 수 있다.
- [0059] 공통 전극(270)은 화소 정의막(350) 및 유기 발광층(360) 위에 배치되어 있다. 공통 전극(270)은 ITO, IZO,

ZnO 또는 In_2O_3 등의 투명한 도전 물질로 이루어져 있다. 본 실시예에서는 화소 전극(191)이 반사성 금속으로 이루어져 있고, 공통 전극(270)이 투명한 도전 물질로 이루어져 있지만, 이에 한정되지 않고, 화소 전극(191)이 투명한 도전 물질로 이루어지고, 공통 전극(270)이 반사성 금속으로 이루어질 수도 있다.

- [0060] 여기서, 화소 전극(191), 유기 발광층(360) 및 공통 전극(270)은 유기 발광 다이오드를 이룬다. 이 때, 화소 전극(191)은 유기 발광 다이오드(LD)의 애노드(anode) 전극이 되고, 공통 전극(270)은 유기 발광 다이오드(LD)의 캐소드(cathode) 전극이 될 수 있다.
- [0061] 공통 전극(270) 위에는 유기 발광 다이오드(LD)를 보호하면서 동시에 유기 발광층(360)에서 발생된 빛이 효율적으로 외부로 향해 방출될 수 있도록 돕는 역할을 하는 캐핑층이 배치되어 있을 수 있다.
- [0062] 또한, 공통 전극(270) 위에는 기판(110)과 밀봉재(도시하지 않음)에 의해 함착되어 밀봉 기판(encapsulation substrate)으로서 기능을 하는 봉지 기판이 배치되어 있을 수 있다.
- [0063] 그러면, 도 2 내지 도 9를 참고하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법에 대해 설명한다.
- [0064] 도 2 내지 도 9는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 개략적인 도면도이다.
- [0065] 도 2를 참고하면, 기판(110) 위에 버퍼층(120)을 형성한 후, 버퍼층(120) 위에 제1 산화물 반도체층(150a) 및 제2 산화물 반도체층(150b)을 형성한다. 제1 산화물 반도체층(150a) 및 제2 산화물 반도체층(150b)은 서로 이격되어 있다.
- [0066] 도 3을 참고하면, 제1 산화물 반도체층(150a) 위에 게이트 절연막(140)을 형성하고, 제2 산화물 반도체층(150b) 위에 커패시터 절연막(141)을 형성한다. 게이트 절연막(140)은 제1 산화물 반도체층(150a)의 일부는 노출하고, 커패시터 절연막(141)은 제2 산화물 반도체층(150b)의 상부면 및 측면을 덮고 있다.
- [0067] 도 4를 참고하면, 제1 산화물 반도체층(150a), 게이트 절연막(140), 커패시터 절연막(141) 및 버퍼층(120) 위에 제1 게이트 금속층(120a) 및 제2 게이트 금속층(120b)을 차례로 형성한다.
- [0068] 제1 게이트 금속층(120a)은 몰리브덴(Mo), 알루미늄(Al), 산화인듐주석(ITO, In-Sn-O) 및 산화인듐아연(IZO, In-Zn-O) 중 적어도 하나를 포함할 수 있다. 제2 게이트 금속층(120b)은 티타늄(Ti), 티타늄-몰리브덴(Mo) 합금 및 산화알루미늄(Al_2O_3) 중 적어도 어느 하나를 포함할 수 있다.
- [0069] 이어서, 제2 게이트 금속층(120b) 위에 제1 감광막(50, 60)을 형성한다. 제1 감광막(50, 60)은 하프톤(half-tone) 마스크 또는 슬릿(slit) 마스크를 사용하여 형성하며, 제1 부분(50) 및 제1 부분(50)보다 두께가 더 얇은 제2 부분(60)을 포함한다. 제1 부분(50)은 게이트 절연막(140)에 대응하는 부분의 제2 게이트 금속층(120b) 위에 형성되고, 제2 부분(60)은 커패시터 절연막(141)에 대응하는 부분의 제2 게이트 금속층(120b) 위에 형성된다.
- [0070] 도 5를 참고하면, 제1 감광막(50, 60)을 마스크로 하여 제1 게이트 금속층(120a) 및 제2 게이트 금속층(120b)을 식각한다.
- [0071] 이 때, 제1 부분(50) 아래에는 게이트 전극(124)이 형성된다. 게이트 전극(124)은 게이트 절연막(140) 위에 형성된 제1 게이트 전극(124a) 및 제1 게이트 전극(124a) 위에 형성된 제2 게이트 전극(124b)을 포함한다.
- [0072] 제2 부분(60) 아래에는 커패시터 상부 전극(125) 및 게이트 금속 패턴(126)이 형성된다. 여기서, 커패시터 상부 전극(125)은 커패시터 절연막(141) 위에 형성되고, 게이트 금속 패턴(126)은 커패시터 상부 전극(125) 위에 형성된다.
- [0073] 제1 게이트 전극(124a) 및 커패시터 상부 전극(125)은 동일한 재료로 형성되고, 제2 게이트 전극(124b)은 게이트 금속 패턴(126)과 동일한 재료로 형성된다.
- [0074] 도 6을 참고하면, 제1 감광막(50, 60)을 애싱(ashing) 처리하여 제2 감광막(55)을 형성한다.
- [0075] 제1 감광막(50, 60)을 애싱 처리하면, 제2 부분(60)이 제거되고, 제1 부분(50)의 두께가 얇아져 제2 감광막(55)이 형성된다.
- [0076] 이어서, 제2 감광막(55)을 마스크로 하여 게이트 금속 패턴(126)을 식각하여 제거한다. 이 때, 습식 식각을 진

행하는데, 게이트 금속 패턴(126)만 제거되고, 커패시터 상부 전극(125)을 제거되지 않는다.

- [0077] 도 7을 참고하면, 제2 감광막(55)을 제거한 후, 게이트 절연막(140)에 의해 노출된 제1 산화물 반도체층(150a)에 불순물을 도핑하여 소스 영역(1542) 및 드레인 영역(1543)을 형성한다. 이 때, 게이트 절연막(140)에 의해 덮여져 있는 제1 산화물 반도체층(150a) 영역은 채널 영역(1541)이 된다. 이에, 제1 산화물 반도체층(150a)은 채널 영역(1541), 소스 영역(1542) 및 드레인 영역(1543)을 포함하는 반도체층(154)이 된다.
- [0078] 도 8을 참고하면, 소스 영역(1542), 드레인 영역(1543), 게이트 전극(124), 커패시터 상부 전극(125) 위에 층간 절연막(160)을 형성한 후, 층간 절연막(160) 위에 소스 전극(173) 및 드레인 전극(175)을 형성한다.
- [0079] 층간 절연막(160)은 소스 영역(1542)의 일부분을 노출하는 소스 노출구(62a) 및 드레인 영역(1543)의 일부분을 노출하는 드레인 노출구(62b)를 포함한다.
- [0080] 층간 절연막(160)을 형성할 때, 열처리 공정을 진행하는데, 이 때, 층간 절연막(160)에 포함된 수소(H)가 제2 산화물 반도체층(150b)으로 확산된다. 구체적으로 설명하면, 층간 절연막(160)에 포함된 수소(H)는 커패시터 상부 전극(125) 및 커패시터 절연막(141)을 투과하여 제2 산화물 반도체층(150b)으로 확산된다. 이에, 제2 산화물 반도체층(150b)은 층간 절연막(160)으로부터 확산된 수소에 의해 캐리어 농도가 높아져 도체의 성질을 띠게 되어 커패시터 하부 전극(155)이 된다.
- [0081] 한편, 제2 게이트 전극(124b)은 층간 절연막(160)에 포함된 수소를 투과시키지 않는다. 이에, 게이트 전극(124) 아래에 배치된 채널 영역(1541)에는 층간 절연막(160)에 포함된 수소가 확산되지 않는다.
- [0082] 소스 영역(1542) 및 드레인 영역(1543)에는 층간 절연막(160)에 포함된 수소가 확산될 수 있다.
- [0083] 소스 전극(173)은 소스 노출구(62a)를 통하여 소스 영역(1542)에 연결되고, 드레인 전극(175)은 드레인 노출구(62b)를 통하여 드레인 영역(1543)에 연결된다.
- [0084] 이와 같이, 수소가 투과할 수 재료로 커패시터 상부 전극(125)을 형성하고, 층간 절연막(160)의 형성 시, 층간 절연막(160)의 수소가 제2 산화물 반도체층(150b)로 확산되어 제2 산화물 반도체층(150b)이 도체화되어 커패시터 하부 전극(155)을 형성함에 따라, 추가의 공정 없이, 산화물 반도체로 커패시터의 하부 전극을 형성할 수 있다.
- [0085] 도 9를 참고하면, 소스 전극(173), 드레인 전극(175) 및 층간 절연막(160) 위에 평탄화막(180)을 형성한 후, 평탄화막(180) 위에 화소 전극(191)을 형성한다.
- [0086] 평탄화막(180)은 상부면이 평탄화되어 있고, 드레인 전극(175)의 일부분을 노출하는 접촉 구멍(185)을 포함한다.
- [0087] 화소 전극(191)은 접촉 구멍(185)을 통하여 드레인 전극(175)에 연결된다.
- [0088] 도 1을 참고하면, 화소 전극(191)의 가장자리부 및 평탄화막(180) 위에 화소 정의막(350)을 형성한다. 화소 정의막(350)은 화소 전극(191)을 노출하는 개구부(355)를 포함한다.
- [0089] 이어서, 개구부(355) 내의 화소 전극(191) 위에 유기 발광층(360)을 형성한 후, 화소 정의막(350) 및 유기 발광층(360) 위에 공통 전극(270)을 형성한다.
- [0090] 그러면, 도 10 내지 도 12를 참고하여 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제조 방법에 대해 설명한다.
- [0091] 도 10 내지 도 12는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제조 방법을 개략적인 도시한 단면도이다.
- [0092] 본 실시예에 따른 유기 발광 표시 장치의 제조 방법은 도 2 내지 도 9에 따른 유기 발광 표시 장치의 제조 방법과 비교할 때, 커패시터 상부 전극(125)을 형성하는 방법만 다를 뿐, 나머지 방법은 동일하다. 이에, 동일한 방법의 설명은 생략한다.
- [0093] 도 10을 참고하면, 기판(110) 위에 버퍼층(12)을 형성하고, 버퍼층(12) 위에 서로 이격된 제1 산화물 반도체층(150a) 및 제2 산화물 반도체층(150b)을 형성한다.
- [0094] 이어서, 제1 산화물 반도체층(150a) 위에 게이트 절연막(140)을 형성하고, 제2 산화물 반도체층(150b) 위에 커패시터 절연막(141)을 형성한다.

- [0095] 이어서, 제1 산화물 반도체층(150a), 게이트 절연막(140), 커패시터 절연막(141) 및 버퍼층(120) 위에 제1 게이트 금속층(120a) 및 제2 게이트 금속층(120b)을 차례로 형성한 후, 제2 게이트 금속층(120b) 위에 제3 감광막(70)을 형성한다. 여기서, 제3 감광막(70)은 게이트 절연막(140)에 대응하는 부분의 제2 게이트 금속층(120b) 위 및 커패시터 절연막(141)에 대응하는 부분의 제2 게이트 금속층(120b) 위에 형성된다.
- [0096] 도 11을 참고하면, 제3 감광막(70)을 마스크로 하여 제1 게이트 금속층(120a) 및 제2 게이트 금속층(120b)을 식각한다.
- [0097] 이 때, 게이트 절연막(140) 위에 게이트 전극(124)이 형성되고, 커패시터 절연막(141) 위에 커패시터 상부 전극(125) 및 게이트 금속 패턴(126)이 차례로 형성된다. 여기서, 게이트 전극(124)은 게이트 절연막(140) 위에 형성된 제1 게이트 전극(124a) 및 제1 게이트 전극(124a) 위에 형성된 제2 게이트 전극(124b)을 포함한다.
- [0098] 도 12를 참고하면, 제3 감광막(70)을 제거하고, 게이트 전극(124) 위에 제4 감광막(75)을 형성한 후, 제4 감광막(75)을 마스크로 하여 게이트 금속 패턴(126)을 식각하여 제거한다. 이 때, 습식 식각을 진행하는데, 게이트 금속 패턴(126)만 제거되고, 커패시터 상부 전극(125)을 제거되지 않는다.
- [0099] 이 후, 제4 감광막(75)을 제거하고, 그 다음 공정은 도 2 내지 도 9에 따른 유기 발광 표시 장치의 제조 방법과 동일하다.
- [0100] 그러면, 도 13 내지 도 16을 참고하여 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치의 제조 방법에 대해 설명한다.
- [0101] 도 13 내지 도 16은 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치의 제조 방법을 개략적인 도시한 단면도이다.
- [0102] 본 실시예에 따른 유기 발광 표시 장치의 제조 방법은 도 2 내지 도 9에 따른 유기 발광 표시 장치의 제조 방법과 비교할 때, 커패시터 상부 전극(125)을 형성하는 방법만 다를 뿐, 나머지 방법은 동일하다. 이에, 동일한 방법의 설명은 생략한다.
- [0103] 도 13을 참고하면, 기판(110) 위에 버퍼층(12)을 형성하고, 버퍼층(12) 위에 서로 이격된 제1 산화물 반도체층(150a) 및 제2 산화물 반도체층(150b)을 형성한다.
- [0104] 이어서, 제1 산화물 반도체층(150a) 위에 게이트 절연막(140)을 형성하고, 제2 산화물 반도체층(150b) 위에 커패시터 절연막(141)을 형성한다.
- [0105] 이어서, 제1 산화물 반도체층(150a), 게이트 절연막(140), 커패시터 절연막(141) 및 버퍼층(120) 위에 제1 게이트 금속층(120a)을 형성한 후, 제1 게이트 금속층(120b) 위에 제5 감광막(80)을 형성한다. 여기서, 제5 감광막(80)은 게이트 절연막(140)에 대응하는 부분의 제1 게이트 금속층(120a) 위 및 커패시터 절연막(141)에 대응하는 부분의 제1 게이트 금속층(120a) 위에 형성된다.
- [0106] 도 14를 참고하면, 제5 감광막(80)을 마스크로 하여 제1 게이트 금속층(120a)을 식각한다.
- [0107] 이 때, 게이트 절연막(140) 위에 제1 게이트 전극(124a)이 형성되고, 커패시터 절연막(141) 위에 커패시터 상부 전극(125)이 형성된다.
- [0108] 도 15를 참고하면, 제5 감광막(80)을 제거하고, 제1 산화물 반도체층(150a), 제1 게이트 전극(124a), 커패시터 상부 전극(125) 및 버퍼층(120) 위에 제2 게이트 금속층(120b)을 형성한 후, 제2 게이트 금속층(120b) 위에 제6 감광막(85)을 형성한다. 여기서, 제6 감광막(85)은 제1 게이트 전극(124a)에 대응하는 부분의 제2 게이트 금속층(120b) 위에 형성된다.
- [0109] 도 16을 참고하면, 제6 감광막(85)을 마스크로 하여 제2 게이트 금속층(120b)을 식각한다.
- [0110] 이 때, 제1 게이트 전극(124a) 위에 제2 게이트 전극(124b)이 형성된다. 즉, 제1 게이트 전극(124a) 및 제2 게이트 전극(124b)을 포함하는 게이트 전극(124)이 형성된다.
- [0111] 이 후, 제6 감광막(85)을 제거하고, 그 다음 공정은 도 2 내지 도 9에 따른 유기 발광 표시 장치의 제조 방법과 동일하다.
- [0112] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태

또한 본 발명의 권리범위에 속하는 것이다.

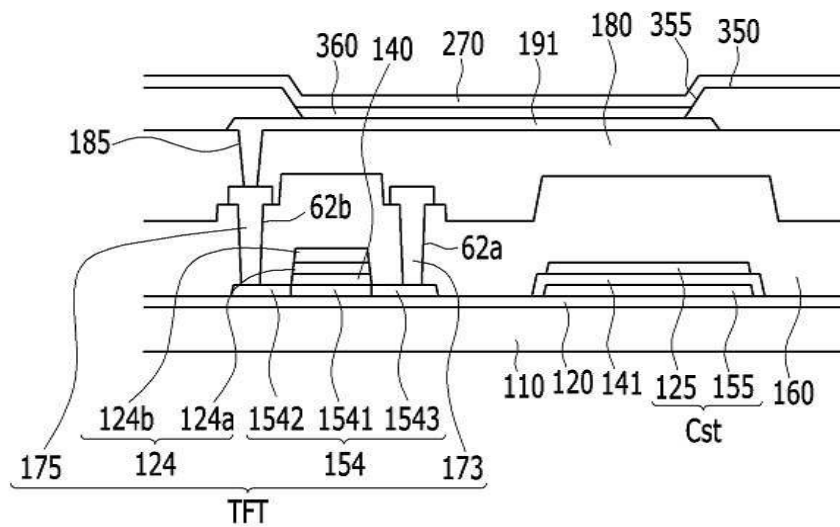
부호의 설명

[0113]

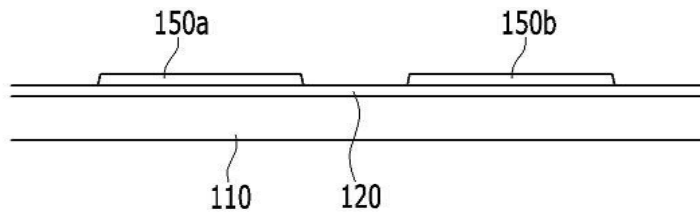
110: 기판 120: 버퍼층
124: 게이트 전극 124a: 제1 게이트 전극
124b: 제2 게이트 전극 125: 커패시터 상부 전극
126: 게이트 금속 패턴 140: 게이트 절연막
141: 커패시터 절연막 150a: 제1 산화물 반도체층
150b: 제1 산화물 반도체층 154: 반도체층
155: 커패시터 하부 전극 160: 층간 절연막
173: 소스 전극 175: 드레인 전극
191: 화소 전극 270: 공통 전극
350: 화소 정의막 355: 개구부
360: 유기 발광층

도면

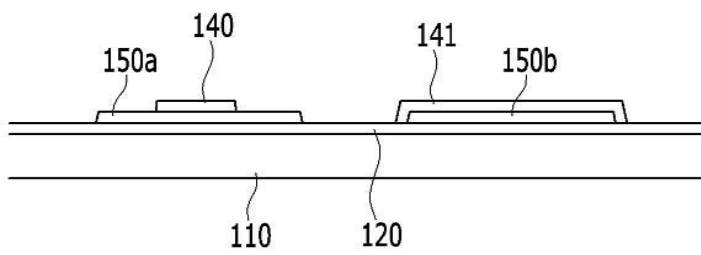
도면1



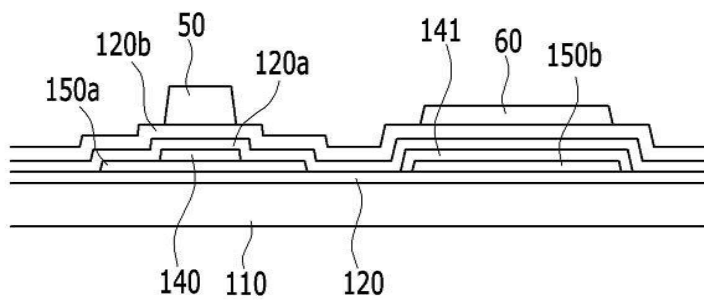
도면2



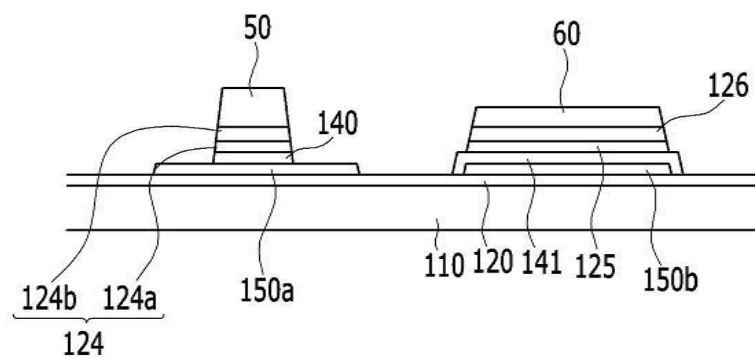
도면3



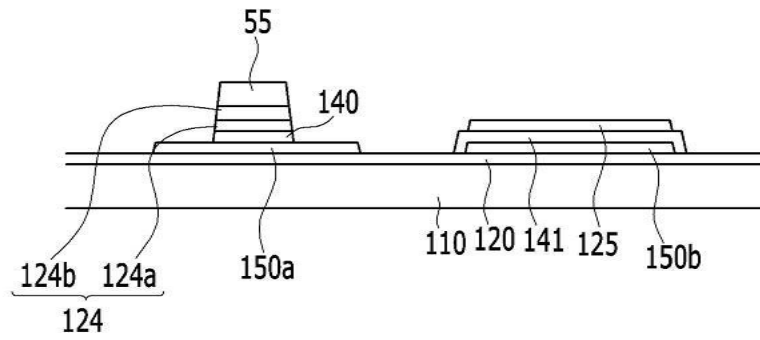
도면4



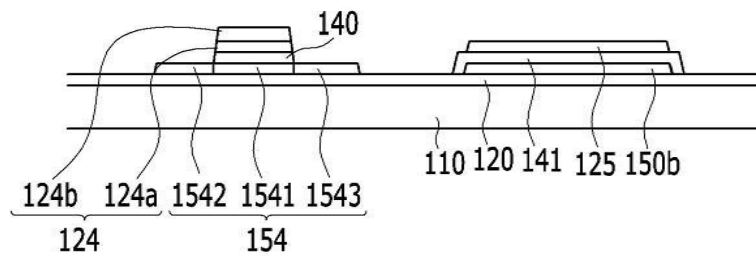
도면5



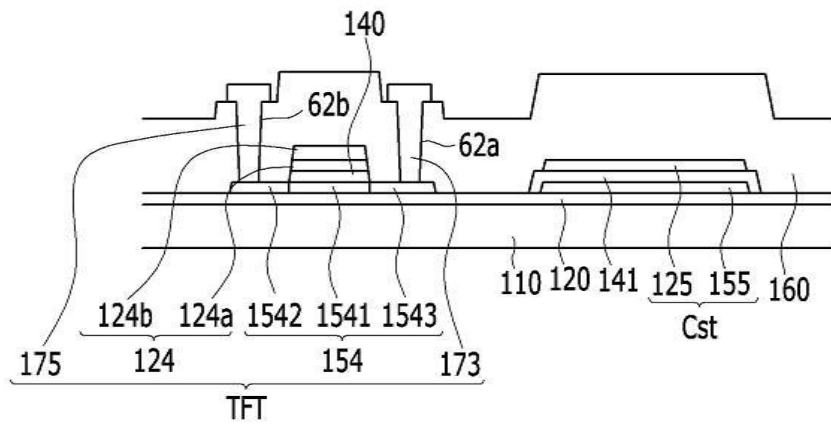
도면6



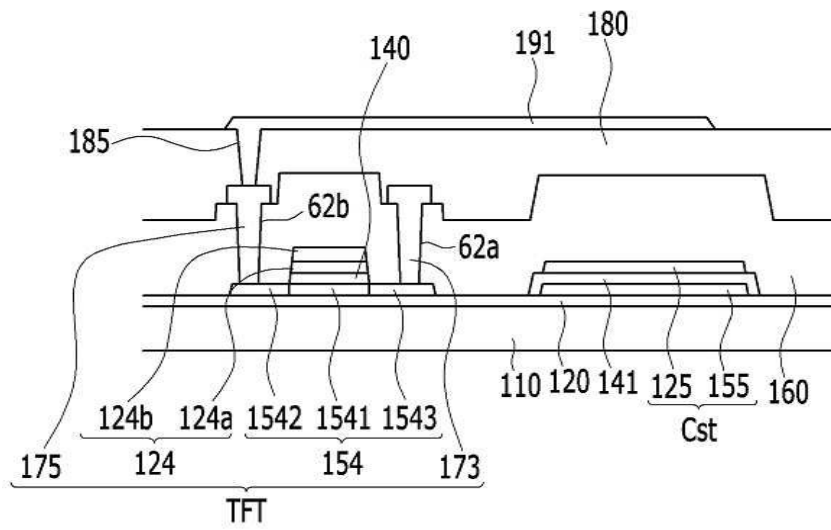
도면7



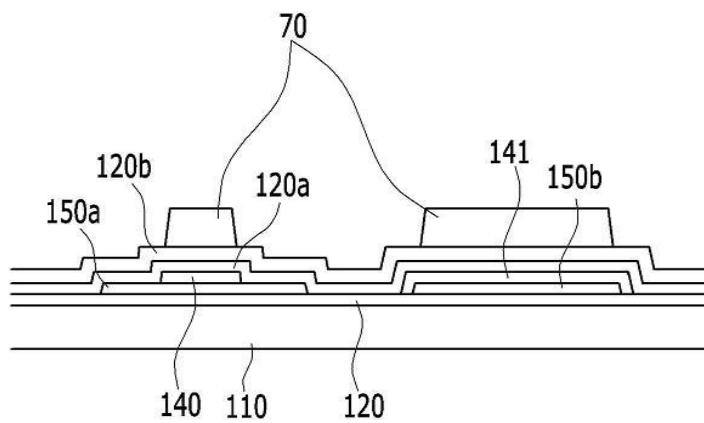
도면8



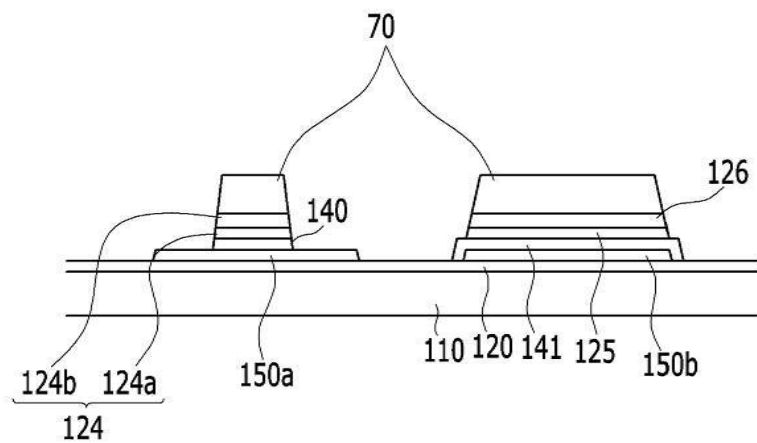
도면9



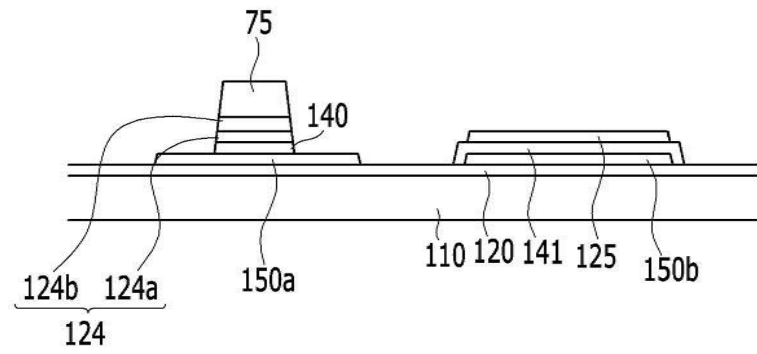
도면10



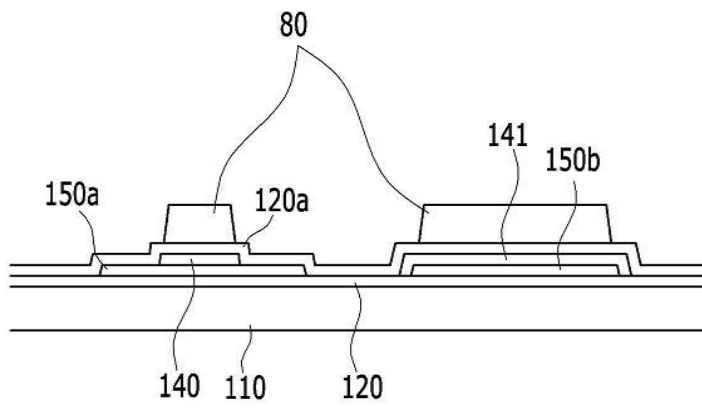
도면11



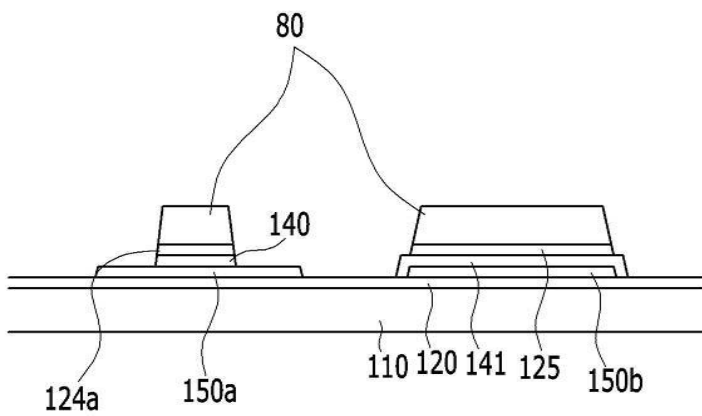
도면12



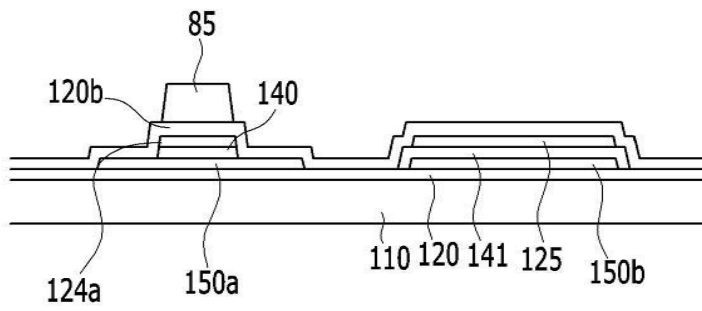
도면13



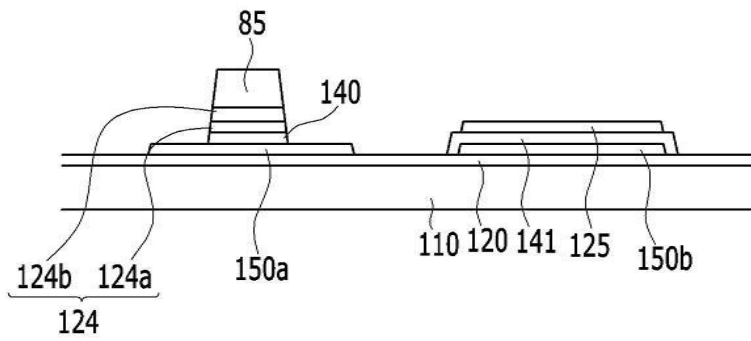
도면14



도면15



도면16



专利名称(译)	标题：OLED显示器及其制造方法		
公开(公告)号	KR1020170068656A	公开(公告)日	2017-06-20
申请号	KR1020150174863	申请日	2015-12-09
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM DONG WON 김동원 KIM SUNG HO 김성호 HUH JONG MOO 허중무		
发明人	김동원 김성호 허중무		
IPC分类号	H01L27/32 H01L51/56		
CPC分类号	H01L27/3265 H01L27/3262 H01L27/3225 H01L51/56 H01L2227/32 H01L27/3258 H01L27/1225 H01L27/1255 H01L28/60 H01L29/7869 H01L2227/323		
外部链接	Espacenet		

摘要(译)

根据本发明优选实施例的有机发光显示装置包括基板，并且有机发光二极管和存储电容器包括电容器底部电极，以及布置在电容器底部电极和电容器上部的电容器介电膜。电极设置在电容器介电膜上，氢在整个氧化物半导体中扩散，电容器底电极成为导体。有机发光二极管布置在基板上并连接到薄膜晶体管，彼此分离存储电容器和薄膜晶体管。

