



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0039065
 (43) 공개일자 2016년04월08일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *H01L 51/50* (2006.01)
 (21) 출원번호 10-2014-0131901
 (22) 출원일자 2014년09월30일
 심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
 서울특별시 영등포구 여의대로 128(여의도동)
 (72) 발명자
박해민
 경기 고양시 일산서구 일현로 140, 103동 1803호
 (탄현동, 큰마을대림현대아파트)
박해진
 경북 고령군 성산면 기산길 65
도오성
 경기 과천시 쇠재로 30, 709동 1701호 (금촌동, 서원마을아파트)
 (74) 대리인
김은구, 송해모

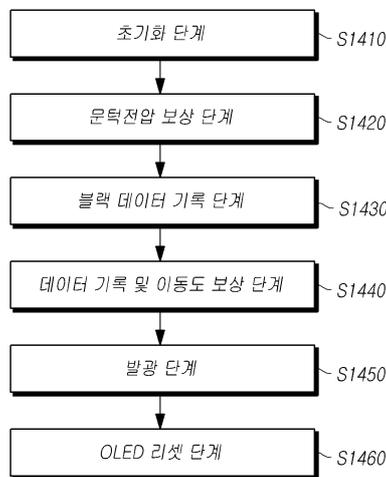
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 **유기발광표시장치**

(57) 요약

본 실시예들은, 각 블록 내 라인(서브픽셀 행) 간의 발광시간 편차를 줄여주거나 제거하여, 각 블록 내 라인(서브픽셀 행) 간의 휘도 편차를 줄여주거나 제거하고, 이를 통해, 각 블록 내 라인별 휘도 편차를 발생시키지 않으면서도, 각 블록 내 라인 개수를 더욱 증가시키는 것을 가능하게 하여, 즉, 구동 단위의 블록 개수를 줄이는 것을 가능하게 하여, 고속의 블록 기반 보상 구동을 가능하게 하는 유기발광표시장치를 제공할 수 있다.

대표도 - 도14



명세서

청구범위

청구항 1

다수의 데이터 라인 및 다수의 게이트 라인이 배치되고, 다수의 서브픽셀이 배치된 유기발광표시패널;

상기 다수의 데이터 라인을 구동하는 데이터 구동부;

상기 다수의 게이트 라인을 구동하는 게이트 구동부; 및

상기 데이터 구동부 및 상기 게이트 구동부를 제어하는 타이밍 컨트롤러를 포함하되,

상기 다수의 서브픽셀 각각에는, 유기발광다이오드와, 상기 유기발광다이오드를 구동하는 제1트랜지스터와, 게이트 라인에서 공급된 스캔신호에 의해 제어되며 상기 제1트랜지스터의 제1노드와 데이터 라인 사이에 연결된 제2트랜지스터와, 상기 제1트랜지스터의 제1노드와 제2노드 사이에 연결된 제1캐패시터가 배치되어 있고,

상기 유기발광표시패널의 구동 시, 둘 이상의 서브픽셀 행을 하나의 서브픽셀 행 블록으로 하여, 서브픽셀 행 블록 단위로 구동되고,

한 프레임 구간 동안, 각 서브픽셀 행 블록에 포함된 둘 이상의 서브픽셀 행 각각에 대하여,

게이트 라인에서 공급되는 스캔신호는, 1번째 하이 레벨 전압이 인가되는 시점이 서로 동일하고, 상기 1번째 하이 레벨 전압이 1번째 로우 레벨 전압으로 바뀌는 시점과 상기 1번째 로우 레벨 전압에서 2번째 하이 레벨 전압으로 바뀌는 시점 간의 시간간격이 서로 다르며,

발광구간의 시작시점 및 종료시점이 모두 다른 것을 특징으로 하는 유기발광표시장치.

청구항 2

제1항에 있어서,

한 프레임 구간 동안, 상기 각 서브픽셀 행 블록에 포함된 둘 이상의 서브픽셀 행에서, 첫 번째 서브픽셀 행에서 마지막 번째 서브픽셀 행으로 갈수록,

상기 발광구간의 시작시점 및 종료시점이 지연되되, 상기 발광구간의 시작시점 및 종료시점의 지연 폭이 서로 동일한 것을 특징으로 하는 유기발광표시장치.

청구항 3

제1항에 있어서,

한 프레임 구간 동안, 각 서브픽셀 행 블록에 포함된 둘 이상의 서브픽셀 행 각각에서, 상기 발광구간의 시작시점과 종료시점 간의 시간간격은 발광 시간으로서 서로 동일한 것을 특징으로 하는 유기발광표시장치.

청구항 4

제1항에 있어서,

한 프레임 구간 동안, 상기 각 서브픽셀 행 블록에 포함된 둘 이상의 서브픽셀 행 각각에 대하여,

상기 게이트 라인에서 공급되는 스캔신호가 2번째 하이 레벨 전압에서 2번째 로우 레벨 전압으로 바뀌는 시점이 상기 발광구간의 시작시점이고,

상기 발광구간의 시작시점 이후, 상기 제1트랜지스터의 제2노드의 전압이 하이 레벨 전압에서 로우 레벨 전압으로 바뀌는 시점이 상기 발광구간의 종료시점인 것을 특징으로 하는 유기발광표시장치.

청구항 5

제1항에 있어서,

한 프레임 구간 동안, 각 서브픽셀 행 블록에 포함된 둘 이상의 서브픽셀 행 각각에서, 상기 제1트랜지스터의 문턱전압 보상은 동일한 시간 구간에서 이루어지고, 상기 제1트랜지스터의 이동도 보상은 순차적으로 이루어지는 것을 특징으로 하는 유기발광표시장치.

청구항 6

제1항에 있어서,
 상기 다수의 서브픽셀 각각에는,
 센스신호에 의해 제어되며 상기 제1트랜지스터의 제2노드에 연결된 제3트랜지스터가 더 배치되어 있고,
 한 프레임 구간 동안, 상기 각 서브픽셀 행 블록에 포함된 둘 이상의 서브픽셀 행 각각에 대하여,
 상기 게이트 라인에서 공급되는 스캔신호는 두 개의 하이 레벨 전압 구간을 갖고,
 상기 게이트 라인에서 공급되는 스캔신호가 2번째 하이 레벨 전압에서 2번째 로우 레벨 전압으로 바뀌는 시점이 상기 발광구간의 시작시점이고,
 상기 센스신호가 로우 레벨 전압에서 하이 레벨 전압으로 바뀌는 시점이 상기 발광구간의 종료시점인 것을 특징으로 하는 유기발광표시장치.

청구항 7

제6항에 있어서,
 상기 각 서브픽셀 행 블록에 포함된 둘 이상의 서브픽셀 행 중 적어도 하나의 서브픽셀 행 각각에 대하여,
 한 프레임 구간이 시작되는 시점에서, 상기 센스신호는 이전 프레임 구간에서 변경된 하이 레벨 전압이 유지되고 있는 것을 특징으로 하는 유기발광표시장치.

청구항 8

제1항에 있어서,
 한 프레임 구간 동안, 상기 각 서브픽셀 행 블록에 포함된 둘 이상의 서브픽셀 행 각각에 대하여,
 상기 게이트 라인에서 공급되는 스캔신호는 두 개의 하이 레벨 전압 구간을 갖고,
 상기 게이트 라인에서 공급되는 스캔신호가 2번째 하이 레벨 전압에서 2번째 로우 레벨 전압으로 바뀌는 시점이 상기 발광구간의 시작시점이고,
 상기 제1트랜지스터의 제3노드의 전압이 하이 레벨 전압에서 로우 레벨 전압으로 바뀌는 시점이 상기 발광구간의 종료시점인 것을 특징으로 하는 유기발광표시장치.

청구항 9

제8항에 있어서,
 상기 제1트랜지스터의 제3노드의 전압이 하이 레벨 전압에서 로우 레벨 전압으로 바뀌는 시점은,
 상기 제1트랜지스터의 제3노드로 인가되는 구동전압이 하이 레벨 전압에서 로우 레벨 전압으로 바뀌는 시점인 것을 특징으로 하는 유기발광표시장치.

청구항 10

제1항에 있어서,
 한 프레임 구간 동안, 상기 각 서브픽셀 행 블록에 포함된 둘 이상의 서브픽셀 행 각각에 대하여,
 상기 게이트 라인에서 공급되는 스캔신호는 세 개 또는 두 개의 하이 레벨 전압 구간을 갖고,
 상기 게이트 라인에서 공급되는 스캔신호가 2번째 하이 레벨 전압에서 2번째 로우 레벨 전압으로 바뀌는 시점이 상기 발광구간의 시작시점이고,

상기 게이트 라인에서 공급되는 스캔신호가 2번째 로우 레벨 전압에서 3번째 하이 레벨 전압 또는 다음 프레임 구간의 1번째 하이 레벨 전압으로 바뀌는 시점이 상기 발광구간의 종료시점인 것을 특징으로 하는 유기발광표시장치.

청구항 11

제10항에 있어서,
 상기 다수의 서브픽셀 각각에는,
 센스신호에 의해 제어되며 상기 제1트랜지스터의 제2노드에 연결된 제3트랜지스터가 더 배치되어 있고,
 한 프레임 구간이 시작되는 시점에서, 상기 센스신호는 로우 레벨 전압에서 하이 레벨 전압으로 바뀌는 것을 특징으로 하는 유기발광표시장치.

청구항 12

다수의 데이터 라인 및 다수의 게이트 라인이 배치되고, 다수의 서브픽셀 이 배치된 유기발광표시패널;
 상기 다수의 데이터 라인을 구동하는 데이터 구동부;
 상기 다수의 게이트 라인을 구동하는 게이트 구동부; 및
 상기 데이터 구동부 및 상기 게이트 구동부를 제어하는 타이밍 컨트롤러를 포함하되,
 각 서브픽셀 행 블록에 포함된 둘 이상의 서브픽셀 행 각각은,
 발광구간의 시작시점 및 종료시점이 모두 다르고, 상기 발광구간의 시간간격이 동일한 것을 특징으로 하는 유기 발광표시장치.

청구항 13

제12항에 있어서,
 상기 각 서브픽셀 행 블록에 포함된 둘 이상의 서브픽셀 행에서, 첫 번째 서브픽셀 행에서 마지막 번째 서브픽셀 행으로 갈수록,
 상기 발광구간의 시작시점 및 종료시점이 모두 동일하게 지연되는 것을 특징으로 하는 유기발광표시장치.

청구항 14

다수의 데이터 라인 및 다수의 게이트 라인이 배치되고, 다수의 서브픽셀 이 배치된 유기발광표시패널;
 상기 다수의 데이터 라인을 구동하는 데이터 구동부;
 상기 다수의 게이트 라인을 구동하는 게이트 구동부; 및
 상기 데이터 구동부 및 상기 게이트 구동부를 제어하는 타이밍 컨트롤러를 포함하되,
 각 서브픽셀 행 블록에 포함된 둘 이상의 서브픽셀 행 각각은,
 발광구간의 시작시점 및 종료시점이 모두 다르고,
 상기 발광구간의 시간간격이 정해진 허용 오차 범위 이내에서 동일한 것을 특징으로 하는 유기발광표시장치.

청구항 15

제14항에 있어서,
 상기 각 서브픽셀 행 블록의 크기는,
 상기 발광구간의 시간간격이 상기 허용 오차 범위 이내가 되는 것을 만족할 때, 상기 각 서브픽셀 행 블록에 포함 가능한 서브픽셀 의 최대 개수인 것을 특징으로 하는 유기발광표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광표시장치에 관한 것이다.

배경 기술

[0002] 최근, 표시장치로서 각광받고 있는 유기발광표시장치는 스스로 발광하는 유기발광다이오드(OLED: Organic Light Emitting Diode)를 이용함으로써 응답속도가 빠르고, 발광효율, 휘도 및 시야각 등이 큰 장점이 있다.

[0003] 또한, 요즈음, 유기발광표시패널의 대면적에 대한 요구가 커지고 있다. 이와 같은 대면적 요구를 충족시켜주기 위해서는, 정해진 한 프레임을 더 빠른 구동 속도로 구동해야만 한다.

[0004] 하지만, 시스템 성능, 해상도, 패널 구조 등의 각종 원인이나 제한 요소에 의해 구동 속도를 충분히 빠르게 하지 못하거나, 보상 기능 등의 다양한 기능 추가에 따라 구동 속도가 오히려 느려지고 있는 실정이다.

[0005] 이와 같은 고속 구동의 실현 불가로 인해, 대면적의 유기발광표시장치를 개발하는데 큰 어려움이 따르게 있다.

발명의 내용

해결하려는 과제

[0006] 본 실시예들의 목적은, 보상 기능을 제공하면서도 고속 구동이 가능한 유기발광표시장치를 제공하는 데 있다.

[0007] 본 실시예들의 다른 목적은, 블록 단위로 고속의 보상 구동을 가능하게 하는 유기발광표시장치를 제공하는 데 있다.

[0008] 본 실시예들의 또 다른 목적은, 각 블록 내 라인별 발광시간이 동일한 유기발광표시장치를 제공하는 데 있다.

[0009] 본 실시예들의 또 다른 목적은, 각 블록 내 라인(서브픽셀 행) 간의 휘도 편차를 줄여주거나 없애주어, 각 블록 내 라인 개수를 더욱 증가시켜, 구동 단위의 블록 개수를 줄임으로써, 고속의 블록 기반 보상 구동을 가능하게 하는 유기발광표시장치를 제공하는 데 있다.

[0010] 본 실시예들의 또 다른 목적은, 다양한 고속의 블록 기반 보상 구동 방식을 제공하는 데 있다.

과제의 해결 수단

[0011] 일 실시예는, 다수의 데이터 라인 및 다수의 게이트 라인이 배치되고, 다수의 서브픽셀이 배치된 유기발광표시패널과, 다수의 데이터 라인을 구동하는 데이터 구동부와, 다수의 게이트 라인을 구동하는 게이트 구동부와, 데이터 구동부 및 상기 게이트 구동부를 제어하는 타이밍 컨트롤러를 포함하되, 다수의 서브픽셀 각각에는, 유기발광다이오드와, 유기발광다이오드를 구동하는 제1트랜지스터와, 게이트 라인에서 공급된 스캔신호에 의해 제어되며 제1트랜지스터의 제1노드와 데이터 라인 사이에 연결된 제2트랜지스터와, 제1트랜지스터의 제1노드와 제2노드 사이에 연결된 제1캐패시터가 배치되어 있고, 한 프레임 구간 동안, 각 서브픽셀 행 블록(Sub Pixel Row Block)에 포함된 둘 이상의 서브픽셀 행 각각에 대하여, 게이트 라인에서 공급되는 스캔신호는, 1번째 하이 레벨 전압이 인가되는 시점이 서로 동일하고, 1번째 하이 레벨 전압이 1번째 로우 레벨 전압으로 바뀌는 시점과 1번째 로우 레벨 전압에서 2번째 하이 레벨 전압으로 바뀌는 시점 간의 시간간격(이 시간 간격은, 제1노드가 게이트 노드이고 제2노드가 소스 노드인 경우, "Vgs 홀딩 구간"이라고 함)이 서로 다르며, 발광구간의 시작시점 및 종료시점이 모두 다른 것을 특징으로 하는 유기발광표시장치를 제공한다.

[0012] 다른 실시예는, 다수의 데이터 라인 및 다수의 게이트 라인이 배치되고, 다수의 서브픽셀 이 배치된 유기발광표시패널과, 다수의 데이터 라인을 구동하는 데이터 구동부와, 다수의 게이트 라인을 구동하는 게이트 구동부와, 데이터 구동부 및 게이트 구동부를 제어하는 타이밍 컨트롤러를 포함하되, 각 서브픽셀 행 블록에 포함된 둘 이상의 서브픽셀 행 각각은, 발광구간의 시작시점 및 종료시점이 모두 다르고, 발광구간의 시간간격(즉, 발광시간)이 동일한 것을 특징으로 하는 유기발광표시장치를 제공한다.

[0013] 또 다른 실시예는, 다수의 데이터 라인 및 다수의 게이트 라인이 배치되고, 다수의 서브픽셀 이 배치된 유기발광표시패널과, 다수의 데이터 라인을 구동하는 데이터 구동부와, 다수의 게이트 라인을 구동하는 게이트 구동부와, 데이터 구동부 및 게이트 구동부를 제어하는 타이밍 컨트롤러를 포함하되, 각 서브픽셀 행 블록에 포함된 둘 이상의 서브픽셀 행 각각은, 발광구간의 시작시점 및 종료시점이 모두 다르고, 발광구간의 시간간격이 정해

진 허용 오차 범위 이내에서 동일한 것을 특징으로 하는 유기발광표시장치를 제공한다.

발명의 효과

- [0014] 이상에서 설명한 바와 같은 본 실시예들에 의하면, 보상 기능을 제공하면서도 고속 구동이 가능한 유기발광표시장치를 제공할 수 있다.
- [0015] 또한, 본 실시예들에 의하면, 블록 단위로 고속의 보상 구동을 가능하게 하는 유기발광표시장치를 제공할 수 있다.
- [0016] 또한, 본 실시예들에 의하면, 각 블록 내 라인별 발광시간이 동일한 유기발광표시장치를 제공할 수 있다.
- [0017] 또한, 본 실시예들에 의하면, 각 블록 내 라인(서브픽셀 행) 간의 휘도 편차를 줄여주거나 없애주어, 각 블록 내 라인 개수를 더욱 증가시켜, 구동 단위의 블록 개수를 줄임으로써, 고속의 블록 기반 보상 구동을 가능하게 하는 유기발광표시장치를 제공할 수 있다.
- [0018] 또한, 본 실시예들에 의하면, 다양한 고속의 블록 기반 보상 구동 방식을 제공할 수 있다.

도면의 간단한 설명

- [0019] 도 1은 실시예들에 따른 유기발광표시장치에 대한 개략적인 시스템 구성도이다.
- 도 2는 실시예들에 따른 유기발광표시장치의 서브픽셀 구조의 예시도이다.
- 도 3은 실시예들에 따른 유기발광표시장치의 서브픽셀 구조의 다른 예시도이다.
- 도 4는 실시예들에 따른 유기발광표시패널의 개략적인 평면도이다.
- 도 5는 실시예들에 따른 유기발광표시패널의 다른 개략적인 평면도이다.
- 도 6은 실시예들에 따른 유기발광표시장치의 구동방법의 흐름도이다.
- 도 7은 실시예들에 따른 유기발광표시장치의 구동 타이밍도이다.
- 도 8은 실시예들에 따른 유기발광표시장치의 블록 기반 보상 구동을 위한 블록들을 예시적으로 나타낸 도면이다.
- 도 9는 실시예들에 따른 유기발광표시장치의 블록 기반 보상 구동 방법을 개략적으로 나타낸 도면이다.
- 도 10은 실시예들에 따른 유기발광표시장치의 블록 기반 보상 구동을 위한 스캔신호 및 센스신호를 나타낸 도면이다.
- 도 11은 실시예들에 따른 유기발광표시장치의 블록 기반 보상 구동에 따른 한 프레임을 구동하는데 걸리는 시간(프레임 시간)을 나타낸 도면이다.
- 도 12는 실시예들에 따른 유기발광표시장치의 블록 기반 보상 구동에 따른 휘도 편차 및 고속 구동의 영향을 나타낸 도면이다.
- 도 13은 실시예들에 따른 유기발광표시장치의 블록 기반 보상 구동에 따른 한 블록 내 라인 간 발광 시간 편차를 나타낸 도면이다.
- 도 14는 실시예들에 따른 유기발광표시장치의 구동방법의 다른 흐름도이다.
- 도 15는 실시예들에 따른 유기발광표시장치의 블록 기반 보상 구동 방법에 따른 한 블록 내 라인별 구동 다이어그램의 예시도이다.
- 도 16은 실시예들에 따른 유기발광표시장치의 블록 기반 보상 구동 방법에 따른 한 블록 내 라인별 구동 다이어그램의 다른 예시도이다.
- 도 17은 실시예들에 따른 유기발광표시장치의 블록 기반 보상 구동 방법에 따른 한 블록 내 라인별 구동 다이어그램의 또 다른 예시도이다.
- 도 18은 도 15 내지 도 17 중 하나의 구동 다이어그램을 이용하여 블록 기반 보상 구동을 수행한 경우, 휘도 편차 및 고속 구동의 영향을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0020] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조 부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.
- [0021] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.
- [0022] 도 1은 실시예들에 따른 유기발광표시장치(100)에 대한 개략적인 시스템 구성도이다.
- [0023] 도 1을 참조하면, 실시예들에 따른 유기발광표시장치(100)는, m개의 데이터 라인(DL1, ... , DLm, m: 자연수) 및 n개의 게이트 라인(GL1, ... , GLn, n: 자연수)이 배치된 유기발광표시패널(110)과, m개의 데이터 라인(DL1, ... , DLm)을 구동하는 데이터 구동부(120)와, n개의 게이트 라인(GL1, ... , GLn)을 구동하는 게이트 구동부(130)와, 데이터 구동부(120) 및 게이트 구동부(130)를 제어하는 타이밍 컨트롤러(140) 등을 포함한다.
- [0024] 유기발광표시패널(110)에는, 1개의 데이터 라인과 1개 이상의 게이트 라인이 교차하는 지점마다 서브픽셀(SP: Sub Pixel)이 배치된다.
- [0025] 타이밍 컨트롤러(140)는, 각 프레임에서 구현하는 타이밍에 따라 스캔을 시작하고, 인터페이스에서 입력되는 영상 데이터를 데이터 구동부(120)에서 사용하는 데이터 신호 형식에 맞게 전환하여 전환된 영상 데이터(Data)를 출력하고, 스캔에 맞춰 적당한 시간에 데이터 구동을 통제한다.
- [0026] 이러한 타이밍 컨트롤러(140)는 데이터 구동부(120) 및 게이트 구동부(130)를 제어하기 위하여, 데이터 제어 신호(DCS: Data Control Signal), 게이트 제어 신호(GCS: Gate Control Signal) 등의 각종 제어 신호를 출력할 수 있다.
- [0027] 게이트 구동부(130)는, 타이밍 컨트롤러(140)의 제어에 따라, 온(On) 전압 또는 오프(Off) 전압의 스캔신호(SCAN: Scan Signal)를 n개의 게이트 라인(GL1, ... , GLn)으로 정해진 타이밍에 따라 공급함으로써, n개의 게이트 라인(GL1, ... , GLn)을 정해진 타이밍에 따라 구동한다.
- [0028] 데이터 구동부(120)는, 타이밍 컨트롤러(140)의 제어에 따라, 입력된 영상 데이터(Data)를 메모리(미도시)에 저장해두고, 특정 게이트 라인이 열리면, 해당 영상 데이터(Data)를 아날로그 형태의 데이터 전압(Vdata)으로 변환하여 m개의 데이터 라인(DL1, ... , DLm)으로 공급함으로써, m개의 데이터 라인(DL1, ... , DLm)을 구동한다.
- [0029] 데이터 구동부(120)는 다수의 데이터 구동 집적회로(Data Driver IC, 소스 구동 집적회로(Source Driver IC)라고도 함)를 포함할 수 있는데, 이러한 다수의 데이터 구동 집적회로는, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG) 방식으로 유기발광표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, 유기발광표시패널(110)에 직접 형성될 수도 있으며, 경우에 따라서, 유기발광표시패널(110)에 집적화되어 형성될 수도 있다.
- [0030] 게이트 구동부(130)는, 구동 방식에 따라서, 도 1에서와 같이 유기발광표시패널(110)의 한 측에만 위치할 수도 있고, 2개로 나누어져 유기발광표시패널(110)의 양측에 위치할 수도 있다.
- [0031] 또한, 게이트 구동부(130)는, 다수의 게이트 구동 집적회로(Gate Driver IC)를 포함할 수 있는데, 이러한 다수의 게이트 구동 집적회로는, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG) 방식으로 유기발광표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, GIP(Gate In Panel) 타입으로 구현되어 유기발광표시패널(110)에 직접 형성될 수도 있으며, 경우에 따라서, 유기발광표시패널(110)에 집적화되어 형성될 수도 있다.
- [0032] 전술한 유기발광표시패널(110)에 형성된 각 서브픽셀(SP)에는, 유기발광다이오드(OLED: Organic Light Emitting Diode), 둘 이상의 트랜지스터(T: Transistor), 하나 이상의 캐패시터(C: Capacitor) 등의 회로 소자가 형성되어 있다.

- [0033] 이러한 각 서브픽셀(SP)의 구조는, 다양하게 설계될 수 있으며, 그 예의 2가지를 도 2 및 도 3을 참조하여 설명한다.
- [0034] 도 2는 실시예들에 따른 유기발광표시장치(100)의 서브픽셀 구조의 예시도이다.
- [0035] 도 2는 유기발광다이오드(OLED)와, 이를 구동하기 위하여, 3개의 트랜지스터(T1, T2, T3)와 1개의 캐패시터(C1)를 포함하는 3T(Transistor)1C(Capacitor) 구조를 갖는 서브픽셀의 등가회로도이다.
- [0036] 즉, 유기발광표시패널(110)에 배치된 다수의 서브픽셀(SP) 각각은, 일 예로, 3T1C 구조를 가질 수 있다.
- [0037] 도 2를 참조하면, 각 서브픽셀(SP)에서, 제1트랜지스터(T1)는, 유기발광다이오드(OLED)의 제1전극(예: 애노드 전극 또는 캐소드 전극)과 구동전압(EVDD)을 공급하는 구동전압 라인(DVL: Driving Voltage Line) 또는 이와 연결된 연결 라인 사이에 연결된다. 여기서, 구동전압(EVDD)은 제1트랜지스터(T1)의 제3노드(N3, 예: 드레인 노드 또는 소스 노드)에 인가된다.
- [0038] 이러한 제1트랜지스터(T1)은, 유기발광다이오드(OLED)를 구동하는 구동 트랜지스터(Driving Transistor)로서, 제1노드(N1, 예: 게이트 노드)의 전압에 제어되어, 유기발광다이오드(OLED)로 전류를 공급함으로써, 유기발광다이오드(OLED)를 구동한다.
- [0039] 도 2를 참조하면, 제2트랜지스터(T2)는, 게이트 라인(GL)에서 공급된 스캔신호(SCAN)에 의해 제어되며, 제1트랜지스터(T1)의 제1노드(N1)와 데이터 라인(DL) 사이에 연결된다.
- [0040] 이러한 제2트랜지스터(T2)는, 스위칭 트랜지스터(Switching Transistor) 또는 스캔 트랜지스터(Scan Transistor)라고도 하며, 스캔신호(SCAN)에 의해 제어되어 데이터 라인(DL)에서 공급된 전압(데이터 전압)을 제1트랜지스터(T1)의 제1노드(N1)으로 인가해준다. 이에 따라, 제1트랜지스터(T1)의 온-오프(On-Off)가 제어될 수 있다.
- [0041] 도 2를 참조하면, 제1트랜지스터(T1)의 제1노드(N1)와 제2노드(N2, 예: 소스 노드 또는 드레인 노드) 사이에 연결된 제1캐패시터(C1)가 배치되어 있다.
- [0042] 이러한 제1캐패시터(C1)는, 한 프레임(Frame) 동안 일정 전압을 유지시켜 주는 역할을 하며, 스토리지 캐패시터(Storage Capacitor)라고도 한다.
- [0043] 또한, 도 2에 도시된 바와 같이, 제3트랜지스터(T3)는, 센스신호(SENSE)에 의해 제어되며, 제1트랜지스터(T1)의 제2노드(N2)와 기준전압 라인(RVL: Reference Voltage Line)에서 공급된 기준전압(Vref)이 인가되는 제4노드(N4) 사이에 연결된다.
- [0044] 이러한 제3트랜지스터(T3)에 의해, 제1트랜지스터(T1)의 제2노드(N2, 예: 소스 노드 또는 드레인 노드)의 전압이 조절될 수 있다.
- [0045] 또한, 제3트랜지스터(T3)에 의해, 제1트랜지스터(T1)의 제2노드(N2, 예: 소스 노드 또는 드레인 노드)의 전압을 센싱(Sensing)할 수 있기 때문에, 제3트랜지스터(T3)를 센싱 트랜지스터(Sensing Transistor)라고도 한다.
- [0046] 도 3은 실시예들에 따른 유기발광표시장치(100)의 서브픽셀 구조의 다른 예시도이다.
- [0047] 도 3은 유기발광다이오드(OLED)와, 이를 구동하기 위하여, 2개의 트랜지스터(T1, T2)와 2개의 캐패시터(C1, C2)를 포함하는 2T(Transistor)2C(Capacitor) 구조를 갖는 서브픽셀의 등가회로도이다.
- [0048] 즉, 유기발광표시패널(110)에 배치된 다수의 서브픽셀(SP) 각각은, 일 예로, 2T2C 구조를 가질 수 있다.
- [0049] 도 3을 참조하면, 각 서브픽셀(SP)에서, 제1트랜지스터(T1)는, 유기발광다이오드(OLED)의 제1전극(예: 애노드 전극 또는 캐소드 전극)과 구동전압(EVDD)을 공급하는 구동전압 라인(DVL: Driving Voltage Line) 또는 이와 연결된 연결 라인 사이에 연결된다. 여기서, 구동전압(EVDD)은 제1트랜지스터(T1)의 제3노드(N3, 예: 드레인 노드 또는 소스 노드)에 인가된다.
- [0050] 이러한 제1트랜지스터(T1)은, 유기발광다이오드(OLED)를 구동하는 구동 트랜지스터(Driving Transistor)로서, 제1노드(N1, 예: 게이트 노드)의 전압에 제어되어, 유기발광다이오드(OLED)로 전류를 공급함으로써, 유기발광다이오드(OLED)를 구동한다.
- [0051] 도 3을 참조하면, 제2트랜지스터(T2)는, 게이트 라인(GL)에서 공급된 스캔신호(SCAN)에 의해 제어되며, 제1트랜지스터(T1)의 제1노드(N1)와 데이터 라인(DL) 사이에 연결된다.

- [0052] 이러한 제2트랜지스터(T2)는, 스위칭 트랜지스터(Switching Transistor)라고도 하며, 스캔신호(SCAN)에 의해 제어되어 데이터 라인(DL)에서 공급된 전압(데이터 전압)을 제1트랜지스터(T1)의 제1노드(N1)으로 인가해준다. 이에 따라, 제1트랜지스터(T1)의 온-오프(On-Off)가 제어될 수 있다.
- [0053] 도 3을 참조하면, 제1트랜지스터(T1)의 제1노드(N1)와 제2노드(N2, 예: 소스 노드 또는 드레인 노드) 사이에 연결된 제1캐패시터(C1)가 배치되어 있다.
- [0054] 이러한 제1캐패시터(C1)는, 한 프레임(Frame) 동안 일정 전압을 유지시켜 주는 역할을 하며, 스토리지 캐패시터(Storage Capacitor)라고도 한다.
- [0055] 또한, 도 3에 도시된 바와 같이, 제2캐패시터(C2)는, 제1트랜지스터(T1)의 제2노드(N2)에 일단이 연결될 수 있다.
- [0056] 도 4는 실시예들에 따른 유기발광표시패널(110)의 개략적인 평면도이다.
- [0057] 도 4는, 도 2의 3T1C 구조를 갖는 서브픽셀들(SP_{xy}, x: 서브픽셀 행의 번호(1, 2, ..., n), y: 서브픽셀 열의 번호(1, 2, ..., m))이 배치된 유기발광표시패널(110)을 나타낸 도면으로서, 각 서브픽셀은 2개의 게이트 라인(GL, GL')으로부터 스캔신호(SCAN) 및 센스신호(SENSE)를 공급받는다.
- [0058] 도 5는 실시예들에 따른 유기발광표시패널(110)의 다른 개략적인 평면도이다.
- [0059] 도 5는, 도 3의 2T2C 구조를 갖는 서브픽셀들(SP_{xy}, x: 서브픽셀 행의 번호(1, 2, ..., n), y: 서브픽셀 열의 번호(1, 2, ..., m))이 배치된 유기발광표시패널(110)을 나타낸 도면으로서, 각 서브픽셀은 1개의 게이트 라인(GL)으로부터 스캔신호(SCAN)를 공급받는다.
- [0060] 한편, 표시패널(110)에 형성된 각 서브픽셀(SP)에 형성된 트랜지스터 등의 각종 회로소자는 고유한 특성치를 갖는다.
- [0061] 예를 들어, 트랜지스터는 문턱전압(V_{th}: Threshold Voltage), 이동도(Mobility) 등의 고유한 특성치를 갖는다.
- [0062] 이러한 고유한 특성치는 트랜지스터마다 조금씩 차이가 날 수 있다. 이로 인해, 서브픽셀 간의 휘도 편차가 발생할 수 있다.
- [0063] 또한, 트랜지스터는 구동 시간이 증가함에 따라 열화(Degradation)가 진행되고, 그 열화 정도 차이에 따라, 트랜지스터의 고유한 특성치가 변하여, 원하는 휘도를 내지 못하거나, 트랜지스터마다 고유한 특성치의 편차가 더욱 커져, 서브픽셀 간의 휘도 편차가 더욱 심해질 수 있다.
- [0064] 따라서, 본 실시예들에 따른 유기발광표시장치(100)는, 각 서브픽셀에 형성된 트랜지스터(특히, 제1트랜지스터(T1)) 등의 회로소자에 대한 고유한 특성치(예: 문턱전압, 이동도 등)의 변화 또는 편차를 보상해주어, 휘도 편차를 보상해주는 기능을 제공할 수 있다.
- [0065] 도 6은 실시예들에 따른 유기발광표시장치(100)의 구동방법의 흐름도이다. 도 7은 실시예들에 따른 유기발광표시장치(100)의 구동 타이밍도이다.
- [0066] 도 6 및 도 7을 참조하면, 실시예들에 따른 유기발광표시장치(100)는, 서브픽셀 간의 휘도 편차를 보상해 주기 위하여, 초기화 단계(S610), 문턱 전압 보상 단계(S620), 블랙 데이터 기록 단계(S630), 데이터 기록 및 이동도 보상 단계(S640), 발광 단계(S650) 등을 포함한다.
- [0067] 도 7을 참조하면, 초기화 단계(S610)에서는, 스캔신호(SCAN) 및 센스신호(SENSE)가 모두 하이 레벨 전압이 되어, 제2트랜지스터(T2) 및 제3트랜지스터(T3)이 온(On) 되어 있다.
- [0068] 이에 따라, 유기발광다이오드(OLED)를 구동하기 위한 제1트랜지스터(T1)의 제1노드(N1, 예: 게이트 노드) 및 제2노드(N2, 예: 소스 노드 또는 드레인 노드) 각각에 일정 전압이 인가된다. 따라서, 제1트랜지스터(T1)의 제1노드(N1)는 일정한 제1데이터전압(V_{data1})으로 초기화되고, 제1트랜지스터(T2)의 제2노드(N2)은 일정한 기준전압(V_{ref})으로 초기화된다.
- [0069] 도 7을 참조하면, 문턱 전압 보상 단계(S620)에서는, 제1트랜지스터(T1)의 제1노드(N1) 및 제2노드(N2)를 초기화시킨 이후, 센스신호(SENSE)가 로우 레벨 전압으로 떨어져 제3트랜지스터(T3)가 턴 오프(Turn Off) 되고, 이에 따라, 제1트랜지스터(T1)의 제2노드(N2)가 플로팅(Floating) 되어, 제1트랜지스터(T1)의 제2노드(N2)의 전압이 상승(Boosting)한다.

- [0070] 이러한 제1트랜지스터(T1)의 제2노드(N2)의 전압은 상승하다가 일정 수준이 되면 포화(Saturation) 된다. 이때, 제1트랜지스터(T1)의 제2노드(N2)의 전압은 제1데이터전압(Vdata1)과 문턱전압(Vth)의 차이가 된다.
- [0071] 도 7을 참조하면, 블랙 데이터 기록 단계(S630)에서는, 스캔신호(SCAN)가 로우 레벨 전압으로 바뀌어, 제2트랜지스터(T2)가 턴 오프 되어, 제1트랜지스터(T1)의 제1노드(N1)가 플로팅(Floating) 된다. 이때, 제1트랜지스터(T1)의 제1노드(N1)의 전압은, 초기화단계(S610)에서 초기화된 전압(제1데이터전압(Vdata1))보다 낮아진 제2데이터전압(Vdata2)이고, 제1트랜지스터(T1)의 제2노드(N2)의 전압은 문턱 전압 보상 단계(S620)에서 포화된 전압(Vdata1-Vth)보다 일정 전압(주변의 캐패시터 등의 영향에 따라, (Vdata1-Vdata2)에 비례 또는 대응되는 전압일 수 있음)만큼 낮아진 전압이다. 도 7의 제1노드(N1) 및 제2노드(N2)의 전압 타이밍도는, 서로 비교하기 쉽도록, 설명의 편의를 위해, 스케일을 달리하여 나타낸 것일 수 있다.
- [0072] 한편, 도 7을 참조하면, 블랙 데이터 기록 단계(S630)에서, 스캔신호(SCAN)가 로우 레벨 전압에 떨어지게 되면, 제1트랜지스터(T1)의 제1노드(N1) 및 제2노드(N2)가 모두 플로팅 된다. 즉, 제1노드(N1)가 게이트 노드이고, 제2노드(N2)가 소스 노드라고 하면, 제1트랜지스터(T1)의 제1노드(N1) 및 제2노드(N2)가 모두 플로팅 된 구간(ΔT)을 "Vgs 홀딩(Holding) 구간"이라고 한다.
- [0073] 도 7을 참조하면, 데이터 기록 및 이동도 보상 단계(S640)에서는, 스캔신호(SCAN)가 하이 레벨 전압으로 바뀌어, 제3데이터전압(Vdata3)이 제1트랜지스터(T1)의 제1노드(N1)에 인가된다. 이에 따라, 제1트랜지스터(T1)의 제2노드(N2)의 전압이 상승한다.
- [0074] 도 7을 참조하면, 발광단계(S650)에서는, 스캔신호(SCAN)가 로우 레벨 전압으로 바뀌고, 데이터전압이 제3데이터전압(Vdata3)으로 바뀐다.
- [0075] 이때, 제1트랜지스터(T1)의 제2노드(N2)의 전압은 유기발광다이오드(OLED)의 문턱전압을 고려하여, 유기발광다이오드(OLED)로 전류를 흘릴 수 있을 만큼 상승한 상태이다.
- [0076] 이와 같이, 제1트랜지스터(T1)의 제2노드(N2)의 전압이 상승하여, 제1트랜지스터(T1)에서 유기발광다이오드(OLED)로 전류가 흐르기 시작하면서, 유기발광다이오드(OLED)가 발광한다.
- [0077] 한편, 본 실시예는, 고속 구동을 위하여, 일반적인 구동 방식과 마찬가지로 서브픽셀 행(Sub Pixel Row)을 순차적으로 구동하는 것이 아니라, 다수의 서브픽셀 행을 포함하는 "서브픽셀 행 블록(Sub Pixel Row Block)"을 다수 개만큼 정의하고 이러한 다수의 서브픽셀 행 블록을 순차적으로 구동할 수 있다.
- [0078] 아래에서는, 서브픽셀 행 블록 기반의 구동 방식에 대하여 보다 상세하게 설명한다. 단, 아래에서는, 설명의 편의를 위해, 서브픽셀 행(Sub Pixel Row)을 "라인(Line)"이라고도 기재하고, 서브픽셀 행 블록(Sub Pixel Row Block)을 "블록(Block)"이라고도 기재한다.
- [0079] 도 8은 실시예들에 따른 유기발광표시장치(100)의 블록 기반 보상 구동을 위한 블록들을 예시적으로 나타낸 도면이다
- [0080] 도 8을 참조하면, 실시예들에 따른 유기발광표시장치(100)가 블록 기반 보상 구동을 하는 경우,
- [0081] k (k 는 2 이상의 자연수)개의 서브픽셀 행, 즉, k 개의 라인은 하나의 블록으로 정의된다.
- [0082] 이에 따라, 유기발광표시패널(110)에는, k 개의 라인을 포함하는 블록이 M 개가 정의된다.
- [0083] 도 8을 참조하면, n 개의 서브픽셀 행(라인)이 있고, 하나의 블록 내 라인의 개수가 k 개이면, 총 블록 개수 M 은 n/k 개가 된다.
- [0084] 도 9는 실시예들에 따른 유기발광표시장치(100)의 블록 기반 보상 구동 방법을 개략적으로 나타낸 도면이다. 도 10은 실시예들에 따른 유기발광표시장치(100)의 블록 기반 보상 구동을 위한 스캔신호(SCAN) 및 센스신호(SENSE)를 나타낸 도면이다.
- [0085] 도 9를 참조하면, 하나의 블록은 문턱전압 보상(S620)이 동시에 진행되는 서브픽셀 행(라인)의 그룹이라고 볼 수 있다.
- [0086] 도 9를 참조하면, 하나의 블록 내 k 개의 라인(1st 라인, 2nd 라인, ... , k th 라인)은 문턱전압 보상이 동시에 이루어진다. 즉, 하나의 블록 내 k 개의 서브픽셀 행에 속한 각 서브픽셀은 문턱전압 보상 단계(S620)가 동시에 진행된다.

- [0087] 도 9를 참조하면, 문턱전압 보상과 다르게, 데이터 기록 및 이동도 보상은, 하나의 블록 내 k개의 라인별로 순차적으로 이루어진다. 즉, 하나의 블록 내 k개의 서브픽셀 행 중에서, 1번째 서브픽셀 행(1st 라인)에 속한 각 서브픽셀에서 데이터 기록 및 이동도 보상이 이루어지고, 이어서, 2번째 서브픽셀 행(2nd 라인)에 속한 각 서브픽셀에서 데이터 기록 및 이동도 보상이 이루어질 수 있다. 이와 같은 방식으로, 하나의 블록 내 k개의 서브픽셀 행에 대한 데이터 기록 및 이동도 보상이 순차적으로 이루어진다.
- [0088] 도 9를 참조하면, 전술한 바와 같이, 1번째 블록에서, k개의 라인에 대한 문턱전압 보상이 동시에 이루어지고, k개의 라인에 대한 데이터 기록 및 이동도 보상이 순차적으로 이루어진 이후, 2번째 블록에서, k개의 라인에 대한 문턱전압 보상이 동시에 이루어지고, k개의 라인에 대한 데이터 기록 및 이동도 보상이 순차적으로 이루어진다. 이러한 방식으로, M개의 블록에 대한 보상 구동(내부 보상 구동)이 순차적으로 이루어진다.
- [0089] 서브픽셀 구조가 도 2의 3T1C 구조인 경우, 전술한 바와 같은 방식으로 블록 기반 보상 구동을 위해서, 각 블록 내 라인별로 스캔신호(SCAN) 및 센스신호(SENSE)는 도 10에 도시된 바와 같이 제2트랜지스터(T2) 및 제3트랜지스터(T3)의 게이트 노드로 인가될 수 있다.
- [0090] 도 11은 실시예들에 따른 유기발광표시장치(100)의 블록 기반 보상 구동에 따른 한 프레임을 구동하는데 걸리는 시간(프레임 시간)을 나타낸 도면이다.
- [0091] 도 11을 참조하면, 전술한 블록 기반 보상 구동 방법에 따르면, 하나의 프레임 구간 동안, 데이터 출력(데이터 기록)과는 관계없는 블록 센싱, 즉, 문턱전압 보상으로 인해, 하나의 프레임을 구동하는데 걸리는 시간(프레임 시간)이 길어질 수밖에 없다. 이로 인해, 블록 기반 보상 구동이 추구하고자 했던 고속 구동에 다소 장애가 될 수 있다.
- [0092] 도 12는 실시예들에 따른 유기발광표시장치(100)의 블록 기반 보상 구동에 따른 휘도 편차 및 고속 구동의 영향을 나타낸 도면이다.
- [0093] 도 12의 (a)는 한 블록 내 라인의 개수에 따른 각 서브픽셀 간의 휘도 편차와, 도 12의 (b)는 한 블록 내 라인의 개수에 따른 하나의 라인의 데이터 기록 시간(즉, 1 수평시간(HT: Horizontal Time))을 나타낸 도면이다.
- [0094] 도 12의 (a)를 참조하면, 블록 기반 보상 구동을 할 때, 한 블록 내 라인 개수, 즉, 하나의 서브픽셀 행 블록에 포함된 서브픽셀 행의 개수를 증가시키기에 따라, 각 서브픽셀 간의 휘도 편차가 커진다는 것을 알 수 있다.
- [0095] 이와 관련하여, 고속의 블록 기반 보상 구동을 하기 위해서는, 전체 블록 개수를 줄여야 한다. 즉, 고속의 블록 기반 보상 구동을 하기 위해서는, 한 블록 내 라인 개수를 많게 해야 한다.
- [0096] 하지만, 한 블록 내 라인 개수를 많게 하면, 휘도 편차가 커지는 부작용이 생기는 것이다.
- [0097] 따라서, 고속의 블록 기반 보상 구동을 위해, 한 블록 내 라인 개수를 증가시키지 못하는 제약 사항이 있다.
- [0098] 또한, 도 12의 (b)를 참조하면, 블록 기반 보상 구동을 할 때, 한 블록 내 라인 개수, 즉, 하나의 서브픽셀 행 블록에 포함된 서브픽셀 행의 개수를 증가시키기에 따라, 1 HT가 증가한다.
- [0099] 따라서, 고속의 블록 기반 보상 구동을 위해서는, 즉, 1 HT를 크게 하기 위해서는, 한 블록 내 라인 개수를 많게 해야 한다.
- [0100] 하지만, 전술한 바와 같이, 한 블록 내 라인 개수를 많게 하면, 휘도 편차가 커지는 부작용이 생기기 때문에, 한 블록 내 라인 개수를 증가시키지 못하는 제약 사항이 있는 것이다.
- [0101] 도 13은 실시예들에 따른 유기발광표시장치(100)의 블록 기반 보상 구동에 따른 한 블록 내 라인 간 발광 시간(ET: Emission Time)의 편차를 나타낸 도면이다.
- [0102] 도 13은, 도 2에 도시된 바와 같이, 각 서브픽셀이 3T1C 구조를 갖는 경우, 한 블록 내 각 라인별, 제2트랜지스터(T2)의 게이트 노드로 인가되는 스캔신호(SCAN)를 나타낸 도면이다.
- [0103] 도 13을 참조하면, 한 블록 내 각 라인, 즉, 하나의 서브픽셀 행 블록에 포함된 둘 이상의 서브픽셀 행에 속한 각 서브픽셀의 발광 시간(ET)은, 한 프레임(1st 프레임) 구간에서의 스캔신호(SCAN)가 2번째 하이 레벨 전압에서 2번째 로우 레벨 전압으로 바뀌는 시점부터, 다음 프레임(2nd 프레임) 구간이 시작하는 시점까지의 시간 간격이다.
- [0104] 도 13을 참조하면, 한 블록 내 각 라인별로, 스캔신호(SCAN)의 1번째 로우 레벨 전압 구간(Vgs 홀딩 구간)에 해

당하는 ΔT 가 다르기 때문에, 발광시간(ET)의 편차가 발생할 수 있다. 이로 인해, 한 블록 내 각 라인 간의 휘도 편차가 더욱 심화될 수 있다.

- [0105] 도 13을 참조하여 예를 들면, 한 블록에서, 1번째 라인에서의 Vgs 홀딩 구간 $\Delta T1$ 과 마지막 번째 라인(즉, k번째 라인)에서의 Vgs 홀딩 구간 ΔTk 간의 차이가 존재하기 때문에, 1번째 라인에서의 발광시간(ET1)과 k번째 라인에서의 발광시간(ET1)과 간의 차이가 발생하여, 1번째 라인(1번째 서브픽셀 행)에 속한 서브픽셀들에서의 휘도와 k번째 라인(k번째 서브픽셀 행)에 속한 서브픽셀들에서의 휘도 간의 휘도 편차가 더욱 심해질 수 있다.
- [0106] 도 11 내지 도 13을 참조하여 전술한 바와 같이, 블록 기반 보상 구동 방식에 따른 휘도 편차 및 고속 구동의 관련성 등을 고려하여, 본 실시예들은, 한 블록 내 라인별 발광시간의 편차를 줄여주거나 없애줌으로써, 한 블록 내 라인 간의 휘도 편차를 줄여주거나 없애주어, 한 블록 내 라인 개수를 증가시킬 수 있도록 하고, 이를 통해, 고속의 블록 기반 보상 구동을 가능하게 하는 방법을 제공한다.
- [0107] 아래에서는, 이러한 고속의 블록 기반 보상 구동 방법과 이를 제공하는 실시예들에 따른 유기발광표시장치(100)에 대하여, 도 14 내지 도 18을 참조하여 설명한다.
- [0108] 도 14는 실시예들에 따른 유기발광표시장치(100)의 구동방법의 다른 흐름도이다.
- [0109] 도 14를 참조하면, 실시예들에 따른 유기발광표시장치(100)의 구동방법은, 도 6을 참조하여 전술한 구동방법과 마찬가지로, 초기화 단계(S1410), 문턱전압 보상 단계(S1420), 블랙 데이터 기록 단계(S1430), 데이터 기록 및 이동도 보상 단계(S1440) 및 발광 단계(S1450)를 포함한다.
- [0110] 도 14에서, 초기화 단계(S1410), 문턱전압 보상 단계(S1420), 블랙 데이터 기록 단계(S1430), 데이터 기록 및 이동도 보상 단계(S1440) 및 발광 단계(S1450)는, 도 6에서, 초기화 단계(S610), 문턱전압 보상 단계(S620), 블랙 데이터 기록 단계(S630), 데이터 기록 및 이동도 보상 단계(S640) 및 발광 단계(S650)와 각각 동일하다.
- [0111] 다만, 아래에서 설명하게 될 실시예들에 따른 유기발광표시장치(100)의 구동방법은, 도 14에 도시된 바와 같이, 발광단계(S1450) 이후, 한 블록 내 각 라인별 발광시간 차이를 없애주거나 줄여주기 위한 유기발광다이오드 리셋 단계(S1460)를 더 포함한다.
- [0112] 이러한 유기발광다이오드 리셋 단계(S1460)는, 한 블록 내 각 라인별 발광시간을 조절하여, 한 블록 내 각 라인별 발광시간의 편차를 제거하는 단계로서, 각 라인별 Vgs 홀딩 구간의 편차를 고려하여, 다음 프레임 구동을 위한 초기화 시점을 차등화하여 앞당기거나 구동 트랜지스터에 해당하는 제1트랜지스터(T1)를 미리 턴 오프 시키는 시점을 차등화하여 조절함으로써, 각 라인별 발광시간의 편차를 제거하여 각 라인별 발광시간을 동일하게 해 줄 수 있다.
- [0113] 아래에서는, 도 15 내지 도 17을 참조하여, 한 블록 내 각 라인별 발광시간을 동일하게 해주기 위한 3가지 실시예를 설명한다.
- [0114] 도 15 내지 도 17은, 블록 기반 보상 구동 방법의 3가지 실시예를 나타낸 도면으로서, 3가지의 블록 기반 보상 구동 방법 각각에 대하여, 한 블록 내 라인별 구동 다이어그램의 3가지 예시도이다.
- [0115] 도 15 내지 도 17을 참조하면, 3가지 실시예의 블록 기반 보상 구동 방법은, 공통적으로, 한 프레임 구간 동안, 각 블록, 즉, 각 서브픽셀 행 블록(Sub Pixel Row Block)에 포함된 둘 이상의 라인(서브픽셀 행) 각각에 대하여, 게이트 라인에서 공급되는 스캔신호(SCAN)는, 1번째 하이 레벨 전압(H1)이 인가되는 시점이 서로 동일하고, 1번째 하이 레벨 전압(H1)이 1번째 로우 레벨 전압(L1)으로 바뀌는 시점과 1번째 로우 레벨 전압(L1)에서 2번째 하이 레벨 전압(H2)으로 바뀌는 시점 간의 시간간격(ΔT , Vgs 홀딩 구간)이 서로 다르다.
- [0116] 또한, 도 15 내지 도 17을 참조하면, 3가지 실시예의 블록 기반 보상 구동 방법은, 한 블록 내 각 라인별로, 발광구간(S1450)의 시작시점 및 종료시점이 모두 다르다.
- [0117] 즉, 1번째 하이 레벨 전압(H1)이 1번째 로우 레벨 전압(L1)으로 바뀌는 시점과 1번째 로우 레벨 전압(L1)에서 2번째 하이 레벨 전압(H2)으로 바뀌는 시점 간의 시간간격(ΔT , Vgs 홀딩 구간)이 서로 다르기 때문에, 즉, Vgs 홀딩 구간의 길이 편차가 있기 때문에($\Delta T1 \neq \Delta T2 \neq \dots \neq \Delta Tk$), 한 블록 내 각 라인별로, 발광단계(S1450)에 해당하는 발광구간의 시작시점이 모두 다르다.
- [0118] 또한, 유기발광다이오드 리셋 단계(S1460)에서의 발광시간(ET)의 조절로 인해, 한 블록 내 각 라인별로, 즉, 한 서브픽셀 행 블록 내 각 서브픽셀 행 별로, 발광구간의 종료시점도 모두 달라진다.

- [0119] 또한, 도 15 내지 도 17을 참조하면, 3가지 실시예의 블록 기반 보상 구동 방법에 따르면, 한 프레임 구간 동안, 각 서브픽셀 행 블록에 포함된 둘 이상의 서브픽셀 행에서 다음 서브픽셀 행으로 갈수록, 즉, 한 블록 내에서 1번째 라인에서 k번째 라인(마지막 번째 라인)으로 갈수록, 발광구간의 시작시점 및 종료시점이 지연되되, 발광구간의 시작시점 및 종료시점의 지연 폭이 서로 동일하다. 즉, 각 라인별 발광구간의 종료시점의 차이는, 각 라인별 발광구간의 시작시점의 차이와 동일하다.
- [0120] 따라서, 한 블록 내 각 라인별 발광구간의 시간적인 길이, 즉, 발광시간(ET)이 동일해질 수 있다 (ET1=ET2=...=ETk).
- [0121] 즉, 한 프레임 구간 동안, 각 블록(서브픽셀 행 블록)에 포함된 둘 이상의 라인(서브픽셀 행) 각각에서, 발광구간의 시작시점과 종료시점 간의 시간간격은 발광 시간(ET: Emission Time)으로서 서로 동일하다.
- [0122] 전술한 바와 같이, 한 블록 내 각 라인별로, 발광구간의 시작시점이 모두 다르더라도, 발광구간의 종료시점도 다르게 하여, 한 블록 내 모든 라인에 대하여, 발광구간의 시간적인 길이, 즉, 발광시간(ET)을 동일하게 해줄 수 있고, 이를 통해, 한 블록 각 라인별 휘도 편차를 제거해줄 수 있다.
- [0123] 도 15 내지 도 17을 참조하면, 3가지 실시예의 블록 기반 보상 구동 방법에 따르면, 한 프레임 구간 동안, 각 서브픽셀 행 블록에 포함된 둘 이상의 서브픽셀 행 각각에 대하여, 게이트 라인에서 공급되는 스캔신호(SCAN)가 2번째 하이 레벨 전압(H1)에서 2번째 로우 레벨 전압(L2)으로 바뀌는 시점이 발광구간의 시작시점이고, 발광구간의 시작시점 이후, 구동 트랜지스터에 해당하는 제1트랜지스터(T1)의 제2노드(N2, 예: 소스 노드)의 전압이 하이 레벨 전압에서 로우 레벨 전압으로 바뀌는 시점이 발광구간의 종료시점이다.
- [0124] 이와 같이, 발광구간의 시작시점 및 종료시점을 스캔신호(SCAN)의 타이밍과 구동 트랜지스터에 해당하는 제1트랜지스터(T1)의 제2노드(N2)의 전압 변화로 정확하게 정의해줌으로써, 발광구간을 명확하게 정의해줄 수 있다.
- [0125] 도 15 내지 도 17을 참조하면, 3가지 실시예의 블록 기반 보상 구동 방법에 따르면, 한 프레임 구간 동안, 각 서브픽셀 행 블록에 포함된 둘 이상의 서브픽셀 행 각각에서, 제1트랜지스터(T1)의 문턱전압 보상(S1420)은 동일한 시간 구간에서 동시에 이루어지고, 제1트랜지스터(T1)의 이동도 보상(S1440)은, Vgs 홀딩 구간의 편차로 인해, 순차적으로 이루어질 수 있다.
- [0126] 전술한 바와 같이, 한 블록 내 각 라인별 문턱전압 보상이 동시에 이루어짐으로써, 한 블록에서의 전체적인 문턱전압 보상 시간을 줄일 수 있다.
- [0127] 이상에서는, 도 15 내지 도 17을 참조하여, 3가지 실시예의 블록 기반 보상 구동 방법에 대하여 각 다이어그램(타이밍 도)을 참조하여 공통적인 사항에 대하여 설명하였으며, 아래에서는, 도 15 내지 도 17을 참조하여, 3가지 실시예의 블록 기반 보상 구동 방법에 대한 차이점 위주로 다시 한번 설명한다.
- [0128] 도 15 내지 도 17에 도시된 각종 신호 및 전압의 타이밍은, 타이밍 컨트롤러(140)에 의해 제어된다.
- [0129] 도 15를 참조하면, 제1실시예에 따른 블록 기반 보상 구동 방법은, 제2실시예 및 제3실시예와 마찬가지로, 초기화 단계(S1410), 문턱전압 보상 단계(S1420), 블랙 데이터 기록 단계(S1430), 데이터 기록 및 이동도 보상 단계(S1440), 발광 단계(S1450) 및 유기발광다이오드 리셋 단계(S1460)를 포함한다.
- [0130] 초기화 단계(S1410), 문턱전압 보상 단계(S1420), 블랙 데이터 기록 단계(S1430), 데이터 기록 및 이동도 보상 단계(S1440)는, 이상에서 설명한 바와 동일하므로, 발광 단계(S1450) 및 유기발광다이오드 리셋 단계(S1460)를 위주로 설명한다.
- [0131] 도 15를 참조하면, 제1실시예에 따른 블록 기반 보상 구동 방법에서, 한 프레임 구간 동안, 각 서브픽셀 행 블록에 포함된 둘 이상의 서브픽셀 행 각각에 대하여, 게이트 라인에서 공급되는 스캔신호(SCAN)는 두 개의 하이 레벨 전압 구간(H1, H2)을 갖는다.
- [0132] 도 15를 참조하면, 한 프레임 구간 동안, 게이트 라인에서 공급되는 스캔신호(SCAN)가 2번째 하이 레벨 전압(H2)에서 2번째 로우 레벨 전압(L2)으로 바뀌는 시점이 발광구간의 시작시점이고, 센스신호(SENSE)가 로우 레벨 전압(L)에서 하이 레벨 전압(H)으로 바뀌는 시점이 발광구간의 종료시점이 된다.
- [0133] 도 15를 참조하면, 제1실시예에 따른 블록 기반 보상 구동 방법의 유기발광다이오드 리셋 단계(S1460)에서는, 센스 트랜지스터에 해당하는 제3트랜지스터(T3)를 미리 턴 온 시키는 시점을 조절함으로써, 발광시간을 동일하게 조절해준다.

- [0134] 따라서, 도 15를 참조하면, 각 서브픽셀 행 블록에 포함된 둘 이상의 서브픽셀 행 중 적어도 하나의 서브픽셀 행 각각에 대하여, 한 프레임 구간이 시작되는 시점에서, 센스신호(SENSE)는 이전 프레임 구간에서 변경된 하이 레벨 전압(H)이 유지되고 있는 상태이다.
- [0135] 도 15를 참조하면, 유기발광다이오드 리셋 단계(S1460)에서는, 한 블록 내에서, 발광시간(ET)이 가장 긴 1번째 라인은, 센스 트랜지스터에 해당하는 제3트랜지스터(T3)를 가장 먼저 턴 온 시킴으로써, 구동 트랜지스터에 해당하는 제1트랜지스터(T1)의 제2노드(N2, 예: 소스 노드 또는 드레인 노드)를 가장 빨리 초기화시켜준다.
- [0136] 이와는 다르게, 동일 블록 내에서, 발광시간(ET)이 가장 짧은 k번째 라인은, 제3트랜지스터(T3)를 가장 늦게 턴 온 시킴으로써, 구동 트랜지스터에 해당하는 제1트랜지스터(T1)의 제2노드(N2, 예: 소스 노드 또는 드레인 노드)를 가장 늦게 초기화시켜준다.
- [0137] 따라서, 전술한 바와 같이, 한 프레임 구간 내에서, 제3트랜지스터(T3)가 미리 턴 온 되는 시점이 1번째 라인에서 마지막 번째 라인으로 갈수록 늦어진다. 이로 인해, 제3트랜지스터(T3)가 미리 턴 온 되는 구간의 길이(ΔT_{preon})가 1번째 라인에서 마지막 번째 라인으로 갈수록 짧아진다($\Delta T_{preon1} > \Delta T_{preon2} > \dots > \Delta T_{preonk}$).
- [0138] 도 15를 참조하면, 한 블록 내에서, 발광시간(ET)이 가장 긴 1번째 라인에서 제3트랜지스터(T3)의 턴 온 시점과, 발광시간(ET)이 가장 짧은 k번째 라인에서 제3트랜지스터(T3)의 턴 온 시점 간의 차이가, Vgs 홀딩 구간과 동일하면, 한 블록 내 각 라인별 발광시간이 동일해진다. 즉, 각 라인별로 초기화 구간의 길이를 가변시켜 모든 라인의 발광시간을 동일하게 해 줄 수 있다.
- [0139] 이에 따라, 한 블록 내 라인 간의 휘도 편차가 제거될 수 있다.
- [0140] 이로 인해, 센스 트랜지스터에 해당하는 제3트랜지스터(T3)를 미리 턴 온 시키는 시점을 조절하여 구동 트랜지스터에 해당하는 제1트랜지스터(T1)의 제2노드(N2, 예: 소스 노드 또는 드레인 노드)의 초기화 시간을 조절하여, 한 블록 내 각 라인별 발광시간을 동일하게 해줌으로써, 휘도 편차의 심화 현상 때문에 한 블록 내 라인 개수를 많게 할 수 없었던 제약 사항이 해결되어, 휘도 편차 없이, 한 블록 내 라인 개수를 증가시킬 수 있고, 이를 통해, 한 라인의 데이터 기록 시간(1 HT)을 충분히 확보할 수 있어, 고속 구동을 실질적으로 가능하게 할 수 있다.
- [0141] 이러한 제1실시에 따른 블록 기반 보상 구동 방법은, 도 2의 서브픽셀 구조(3T1C 구조), 그리고, 센싱 트랜지스터에 해당하는 제3트랜지스터(T3)를 포함하는 서브픽셀 구조(예: 3개 이상의 트랜지스터를 포함하는 구조)에 모두 적용될 수 있다.
- [0142] 아래에서는, 도 16을 참조하며 제2실시에 따른 블록 기반 구동 방법에 대하여 설명한다.
- [0143] 도 16을 참조하면, 제2실시에 따른 블록 기반 구동 방법은, 제1실시에 및 제3실시에와 마찬가지로, 초기화 단계(S1410), 문턱전압 보상 단계(S1420), 블랙 데이터 기록 단계(S1430), 데이터 기록 및 이동도 보상 단계(S1440), 발광 단계(S1450) 및 유기발광다이오드 리셋 단계(S1460)를 포함한다.
- [0144] 초기화 단계(S1410), 문턱전압 보상 단계(S1420), 블랙 데이터 기록 단계(S1430), 데이터 기록 및 이동도 보상 단계(S1440)는, 이상에서 설명한 바와 동일하므로, 발광 단계(S1450) 및 유기발광다이오드 리셋 단계(S1460)를 위주로 설명한다.
- [0145] 도 16을 참조하면, 제2실시에 따른 블록 기반 구동 방법에서, 한 프레임 구간 동안, 각 서브픽셀 행 블록에 포함된 둘 이상의 서브픽셀 행 각각에 대하여, 게이트 라인에서 공급되는 스캔신호(SCAN)는 두 개의 하이 레벨 전압 구간(H1, H2)을 갖는다.
- [0146] 도 16을 참조하면, 한 프레임 구간 동안, 게이트 라인에서 공급되는 스캔신호(SCAN)가 2번째 하이 레벨 전압(H2)에서 2번째 로우 레벨 전압(L2)으로 바뀌는 시점이 발광구간의 시작시점이고,
- [0147] 구동 트랜지스터에 해당하는 제1트랜지스터(T1)의 제3노드(N3)의 전압이 하이 레벨 전압에서 로우 레벨 전압으로 바뀌는 시점이 발광구간의 종료시점이다. 여기서, 도 2 및 도 3을 참조하면, 제3노드(N3)은 구동전압(EVDD)이 인가되는 노드이다.
- [0148] 도 16을 참조하면, 한 프레임 구간 동안, 제1트랜지스터(T1)의 제3노드(N3)의 전압이 하이 레벨 전압에서 로우 레벨 전압으로 바뀌는 시점은, 제1트랜지스터(T1)의 제3노드(N3)로 인가되는 구동전압(EVDD)이 하이 레벨 전압에서 로우 레벨 전압으로 바뀌는 스윙(Swing) 시점이다.

- [0149] 도 16을 참조하면, 한 블록 내 각 라인별 구동전압(EVDD)의 스윙 시점은 1번째 라인에서 가장 빠르고, 마지막 번째 라인으로 갈수록 늦어진다.
- [0150] 이로 인해, 한 블록 내 각 라인별 구동전압(EVDD)의 스윙 길이(ΔT_{swing} , 하이 레벨 전압에서 바뀐 로우 레벨 전압이 유지되는 시간 길이)는, 한 블록 내에서, 마지막 번째 라인(k번째 라인)으로 갈수록 짧아진다($\Delta T_{swing1} > \Delta T_{swing2} > \dots > \Delta T_{swingk}$).
- [0151] 도 16을 참조하면, 제2실시예에 따른 블록 기반 보상 구동 방법에 따르면, 유기발광다이오드 리셋 단계(S1460)에서, 한 블록 각 라인별 Vgs 홀딩 구간($\Delta T1$, $\Delta T2$, ..., ΔTk)의 편차를 고려하여, 구동전압(EVDD)의 스윙 (Swing) 시간을 조절함으로써, 구동 트랜지스터에 해당하는 제1트랜지스터(T1)의 제2노드(N2, 예: 소스 노드 또는 드레인 노드)의 초기화 시간을 조절하고, 이를 통해, 각 라인별 발광시간의 편차를 제거해줄 수 있다.
- [0152] 이로 인해, 구동 트랜지스터에 해당하는 제1트랜지스터(T1)에 인가되는 구동전압(EVDD)을 스윙(Swing)시켜 구동 트랜지스터에 해당하는 제1트랜지스터(T1)의 제2노드(N2, 예: 소스 노드 또는 드레인 노드)의 초기화 시간을 조절하여, 한 블록 내 각 라인별 발광시간을 동일하게 해줌으로써, 휘도 편차의 심화 현상 때문에 한 블록 내 라인 개수를 많게 할 수 없었던 제약 사항이 해결되어, 휘도 편차 없이, 한 블록 내 라인 개수를 증가시킬 수 있고, 이를 통해, 한 라인의 데이터 기록 시간(1 HT)을 충분히 확보할 수 있어, 고속 구동을 실질적으로 가능하게 할 수 있다.
- [0153] 전술한 제2실시예에 따른 블록 기반 보상 구동 방법은, 도 2의 서브픽셀 구조(3T1C 구조) 및 도 3의 서브픽셀 구조(2T2C 구조) 등에 모두 적용될 수 있다.
- [0154] 아래에서는, 도 17을 참조하여, 제3실시예에 따른 블록 기반 보상 구동 방법에 대하여 설명한다.
- [0155] 도 17을 참조하면, 제3실시예에 따른 블록 기반 구동 방법은, 제1실시예 및 제2실시예와 마찬가지로, 초기화 단계(S1410), 문턱전압 보상 단계(S1420), 블랙 데이터 기록 단계(S1430), 데이터 기록 및 이동도 보상 단계(S1440), 발광 단계(S1450) 및 유기발광다이오드 리셋 단계(S1460)를 포함한다.
- [0156] 초기화 단계(S1410), 문턱전압 보상 단계(S1420), 블랙 데이터 기록 단계(S1430), 데이터 기록 및 이동도 보상 단계(S1440)는, 이상에서 설명한 바와 동일하므로, 발광 단계(S1450) 및 유기발광다이오드 리셋 단계(S1460)를 위주로 설명한다.
- [0157] 도 17을 참조하면, 제3실시예에 따른 블록 기반 구동 방법에서, 한 프레임 구간 동안, 각 서브픽셀 행 블록(블록)에 포함된 둘 이상의 서브픽셀 행(라인) 각각에 대하여, 게이트 라인에서 공급되는 스캔신호(SCAN)는 세 개 또는 두 개의 하이 레벨 전압 구간(H1, H2, H3 또는 H1, H2)을 갖는다.
- [0158] 예를 들어, 1번째 라인, 즉, 1번째 서브픽셀 행에서, 스캔신호(SCAN)는, 3개의 하이 레벨 전압 구간(H1, H2, H3)을 가지지만, k번째 라인, 즉, k번째 서브픽셀 행에서, 스캔신호(SCAN)는, 2개의 하이 레벨 전압 구간(H1, H2)을 갖는다.
- [0159] 도 17을 참조하면, 제3실시예에 따른 블록 기반 구동 방법에서, 한 프레임 구간 동안, 게이트 라인에서 공급되는 스캔신호(SCAN)가 2번째 하이 레벨 전압(H2)에서 2번째 로우 레벨 전압(L2)으로 바뀌는 시점이 발광구간의 시작시점이다.
- [0160] 그리고, 도 17을 참조하면, 제3실시예에 따른 블록 기반 구동 방법에서, 한 프레임 구간 동안, 게이트 라인에서 공급되는 스캔신호(SCAN)가 2번째 로우 레벨 전압(H2)에서 3번째 하이 레벨 전압(H3) 또는 다음 프레임 구간의 1번째 하이 레벨 전압(H1)으로 바뀌는 시점이 발광구간의 종료시점이다.
- [0161] 게이트 라인에서 공급되는 스캔신호(SCAN)가 3개의 하이 레벨 전압 구간(H1, H2, H3)을 갖는 경우, 게이트 라인에서 공급되는 스캔신호(SCAN)가 2번째 로우 레벨 전압(H2)에서 3번째 하이 레벨 전압(H3)으로 바뀌는 시점이 발광구간의 종료시점이다. 게이트 라인에서 공급되는 스캔신호(SCAN)가 2개의 하이 레벨 전압 구간(H1, H2)을 갖는 경우, 게이트 라인에서 공급되는 스캔신호(SCAN)가 2번째 로우 레벨 전압(H2)에서 다음 프레임 구간의 1번째 하이 레벨 전압(H1)으로 바뀌는 시점이 발광구간의 종료시점이 된다.
- [0162] 도 17을 참조하면, 제3실시예에 따른 블록 기반 구동 방법에서, 한 프레임 구간이 시작되는 시점에서, 센스신호 (SENSE)는 로우 레벨 전압(L)에서 하이 레벨 전압(H)으로 바뀐다.
- [0163] 도 17을 참조하면, 제3실시예에 따른 블록 기반 구동 방법에서, 유기발광다이오드 리셋 단계(S1460)에서는, 한 프레임 구간 동안, 스캔신호(SCAN)의 하이 레벨 전압 구간(H3)을 한번 더 만들어 주어, 유기발광다이오드(OLE

D)가 발광하고 있는 도중에, 스위칭 트랜지스터(Switching Transistor) 또는 스캔 트랜지스터(Scan Transistor)에 해당하는 제2트랜지스터(T2)를 턴 온 시킨다.

- [0164] 이에 따라, 구동 트랜지스터에 해당하는 제1트랜지스터(T1)의 제1노드(N1)에 블랙 데이터 전압을 인가해주고, 구동 트랜지스터에 해당하는 제1트랜지스터(T1)를 턴 오프 시켜, 발광시간을 조절할 수 있다.
- [0165] 발광시간의 조절량은, 유기발광다이오드(OLED)가 발광하고 있는 도중에, 스위칭 트랜지스터(Switching Transistor) 또는 스캔 트랜지스터(Scan Transistor)에 해당하는 제2트랜지스터(T2)를 얼마나 빨리 턴 온 시키느냐에 따라 결정된다.
- [0166] 즉, 발광시간 가장 긴 1번째 라인에서는, 제2트랜지스터(T2)를 가장 빨리 턴 온 시키고, 발광시간 가장 짧은 k번째 라인에서는, 제2트랜지스터(T2)를 가장 늦게 턴 온 시켜, 발광시간을 동일하게 해줄 수 있다.
- [0167] 즉, 발광시간 가장 긴 1번째 라인에서 제2트랜지스터(T2)의 턴 온 시점과, 발광시간 가장 짧은 k번째 라인에서 제2트랜지스터(T2)의 턴 온 시점의 차이는, 발광시간 가장 긴 1번째 라인에서 Vgs 홀딩 구간과, 발광시간 가장 짧은 k번째 라인에서 Vgs 홀딩 구간의 차이와 동일하게 하여, 발광시간을 동일하게 해줄 수 있다.
- [0168] 이로 인해, 유기발광다이오드(OLED)가 발광하고 있는 도중에, 센싱 트랜지스터(스캔 트랜지스터)에 해당하는 제2트랜지스터(T2)를 턴 온 시켜, 블랙 데이터를 구동 트랜지스터에 해당하는 제1트랜지스터(T1)로 인가해주어 제1트랜지스터(T1)를 턴 오프시켜, 한 블록 내 각 라인별 발광시간을 동일하게 해줌으로써, 휘도 편차의 심화 현상 때문에 한 블록 내 라인 개수를 많게 할 수 없었던 제약 사항이 해결되어, 휘도 편차 없이, 한 블록 내 라인 개수를 증가시킬 수 있고, 이를 통해, 한 라인의 데이터 기록 시간(1 HT)을 충분히 확보할 수 있어, 고속 구동을 실질적으로 가능하게 할 수 있다.
- [0169] 제3실시예에 따른 블록 기반 구동 방법은, 도 2의 서브픽셀 구조(3T1C 구조) 및 도 3의 서브픽셀 구조(2T2C 구조) 등에 모두 적용될 수 있다.
- [0170] 도 18은 도 15 내지 도 17 중 하나의 구동 다이어그램을 이용하여 블록 기반 보상 구동을 수행한 경우, 휘도 편차 및 고속 구동의 영향을 나타낸 도면이다.
- [0171] 도 15 내지 도 17에 도시된 3가지 실시예 중 하나의 블록 기반 보상 구동 방법을 이용하는 경우, 한 블록 내 각 라인별 발광시간이 동일해지기 때문에, 한 블록 내 라인 간의 휘도 편차가 제거된다.
- [0172] 따라서, 도 18의 (a)에 도시된 바와 같이, 한 블록 내 라인 간의 휘도 편차가 없어지기 때문에, 휘도 편차의 문제로, 한 블록 내 라인 개수가 늘일 수 없는 제약 사항이 해결될 수 있다.
- [0173] 즉, 한 블록 내 라인 개수를 많게 해도, 한 블록 내 라인 간 휘도 편차가 발생하지 않는다.
- [0174] 도 18의 (b)를 참조하면, 전술한 바와 같이, 한 블록 내 라인 간 휘도 편차가 없기 때문에, 한 블록 내 라인 개수를 많게 할 수 있고, 이에 따라, 1HT를 충분히 크게 하여 고속 구동을 가능하게 할 수 있다.
- [0175] 한편, 이상에서는, 한 블록 내 각 라인별 발광시간이 동일하고, 한 블록 내 각 라인별 휘도 편차가 제거되었다고 기재하였으나, 실제적으로는, 구동 시, 약간의 오차로 인해, 발광시간이 완전히 동일하지 않고, 휘도 편차 또한 완전히 제거되지 않을 수도 있다. 그렇지만, 한 블록 내 각 라인별 발광시간이 약간 차이가 나거나, 한 블록 내 각 라인별 휘도 편차가 약간 존재하는 것은 오차에 의한 것으로 봐야 할 것이다.
- [0176] 즉, 구동 시 발생할 수 있는 오차를 고려하면, 한 프레임 구간 동안, 각 서브픽셀 행 블록에 포함된 둘 이상의 서브픽셀 행 각각은, 발광구간의 시작시점 및 종료시점이 모두 다르고, 발광구간의 시간간격, 즉 발광시간이 미리 정해진 허용 오차 범위 이내에서 동일할 수 있다.
- [0177] 한편, 각 서브픽셀 행 블록, 즉, 각 블록의 크기는, 각 블록 내 모든 라인 각각의 발광구간의 시간간격(발광시간)이 일정 허용 오차 범위 이내가 되는 것을 만족할 때, 각 블록 내 각 서브픽셀 행 블록에 포함 가능한 서브픽셀의 최대 개수를 의미한다.
- [0178] 이상에서 설명한 바와 같은 본 실시예들에 의하면, 보상 기능을 제공하면서도 고속 구동이 가능한 유기발광표시장치(100)를 제공할 수 있다.
- [0179] 또한, 본 실시예들에 의하면, 블록 단위로 고속의 보상 구동을 가능하게 하는 유기발광표시장치(100)를 제공할 수 있다.

- [0180] 또한, 본 실시예들에 의하면, 각 블록 내 라인별 발광시간이 동일한 유기발광표시장치(100)를 제공할 수 있다.
- [0181] 또한, 본 실시예들에 의하면, 각 블록 내 라인(서브픽셀 행) 간의 휘도 편차를 줄여주거나 없애주어, 각 블록 내 라인 개수를 더욱 증가시켜, 구동 단위의 블록 개수를 줄임으로써, 고속의 블록 기반 보상 구동을 가능하게 하는 유기발광표시장치(100)를 제공할 수 있다.
- [0182] 다시 말해, 본 실시예들은, 각 블록 내 라인(서브픽셀 행) 간의 발광시간 편차를 줄여주거나 제거하여, 각 블록 내 라인(서브픽셀 행) 간의 휘도 편차를 줄여주거나 제거하고, 이를 통해, 각 블록 내 라인별 휘도 편차를 발생시키지 않으면서도, 각 블록 내 라인 개수를 더욱 증가시키는 것을 가능하게 하여, 즉, 구동 단위의 블록 개수를 줄이는 것을 가능하게 하여, 고속의 블록 기반 보상 구동을 가능하게 할 수 있다.
- [0183] 또한, 본 실시예들에 의하면, 다양한 고속의 블록 기반 보상 구동 방식을 제공할 수 있다.
- [0184] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

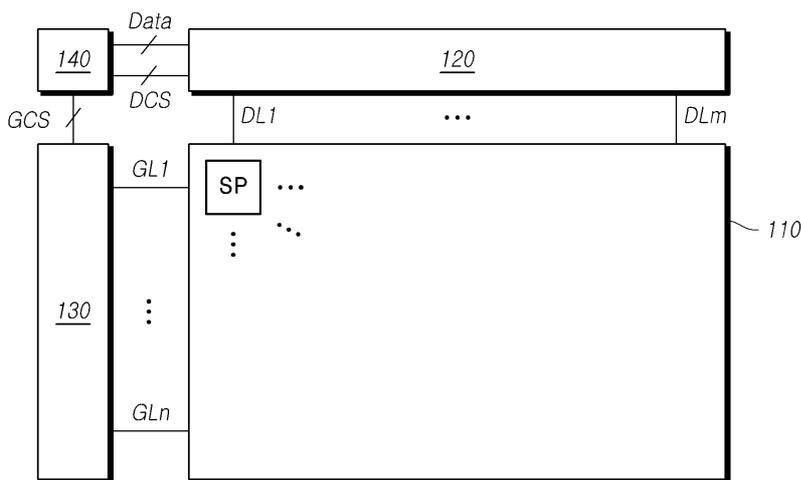
부호의 설명

- [0185] 100: 표시장치
- 110: 유기발광표시패널
- 120: 데이터 구동부
- 130: 게이트 구동부
- 140: 타이밍 컨트롤러

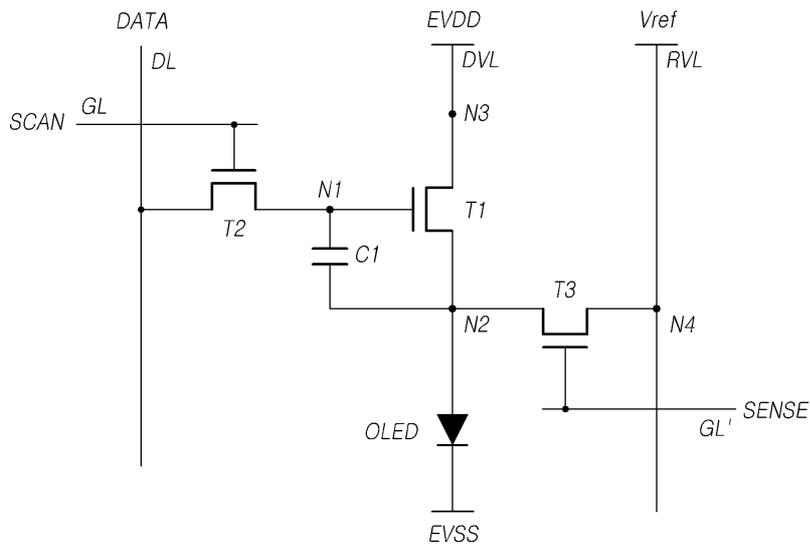
도면

도면1

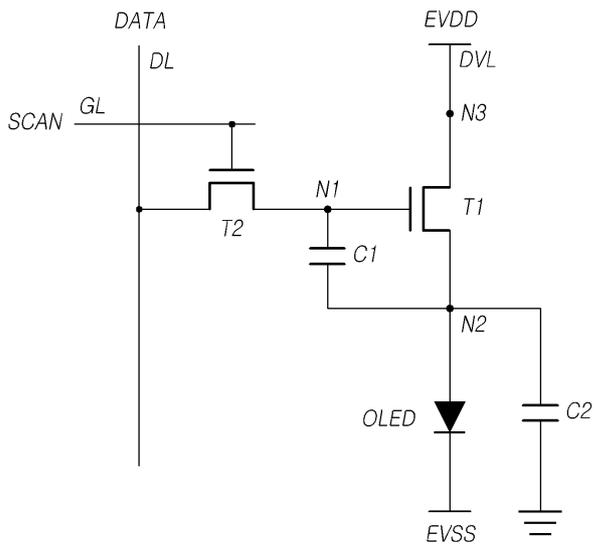
100



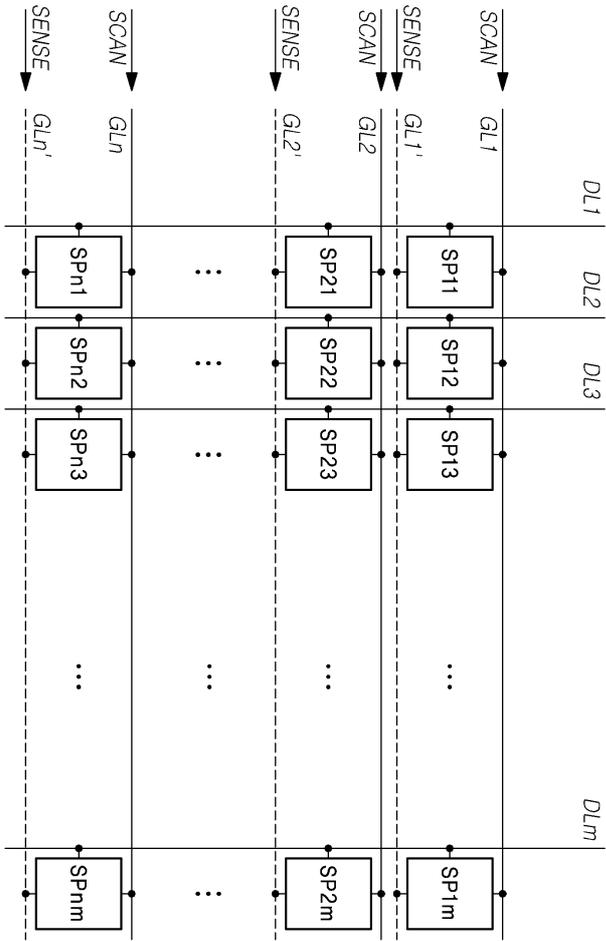
도면2



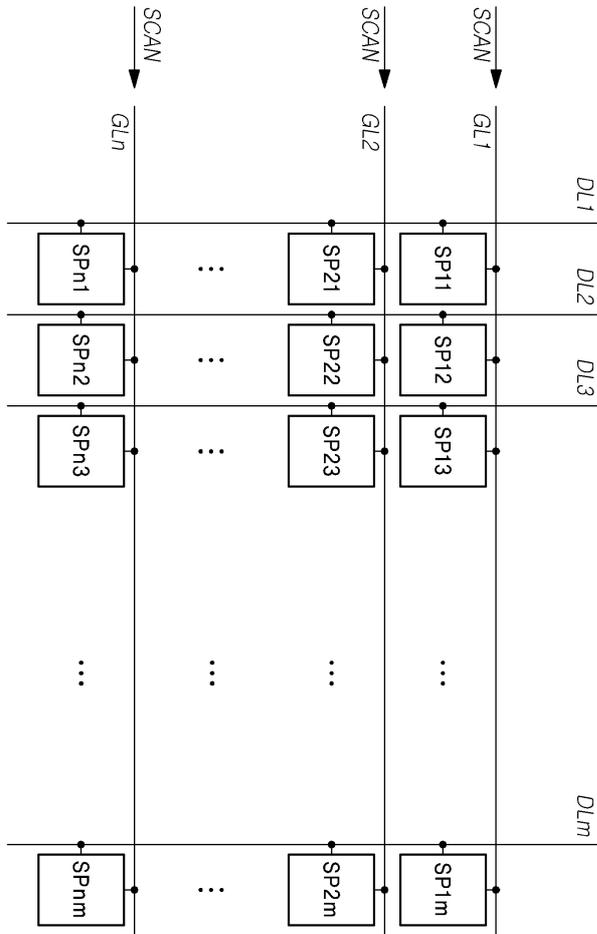
도면3



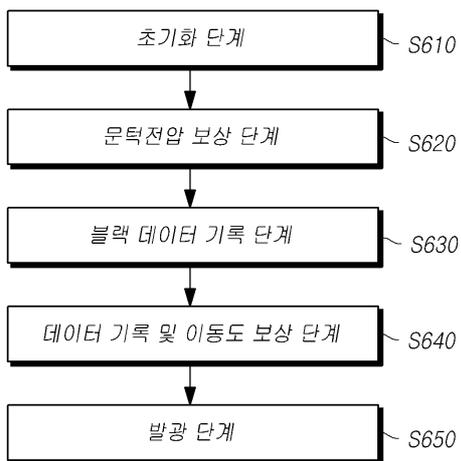
도면4



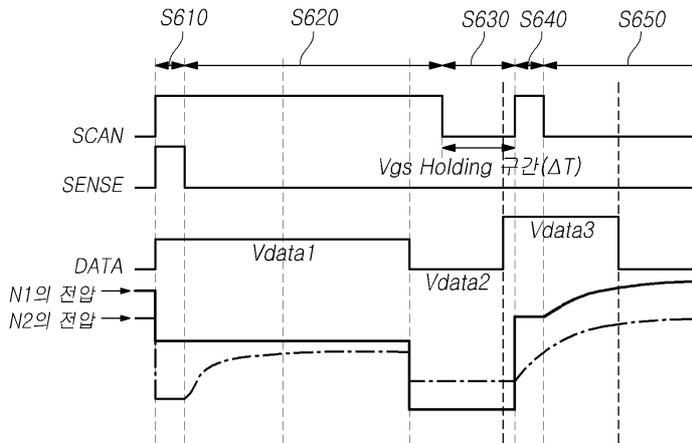
도면5



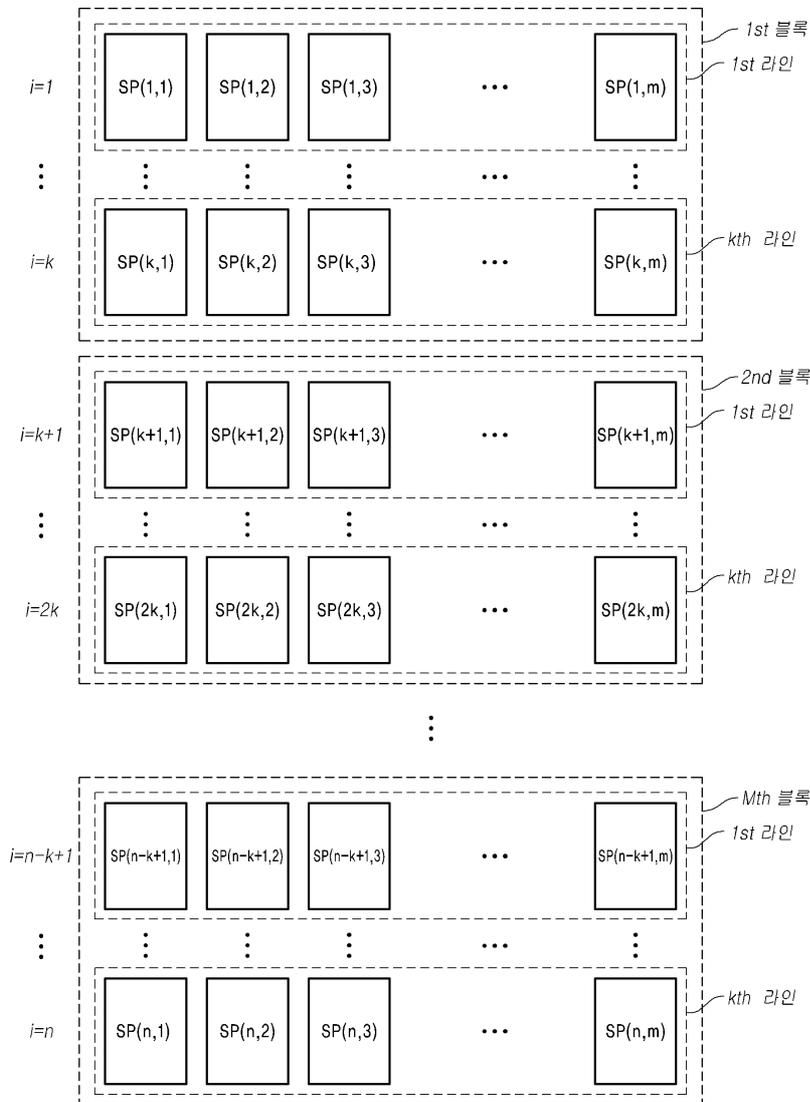
도면6



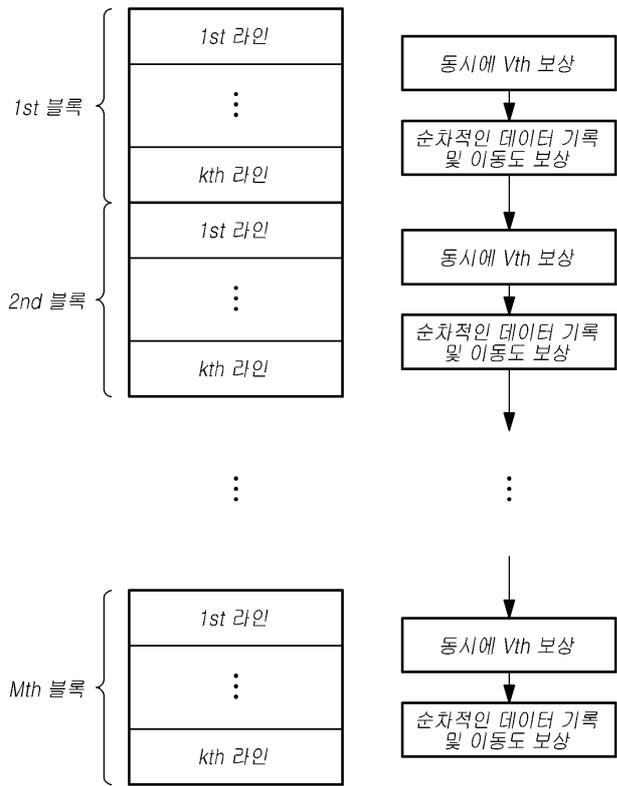
도면7



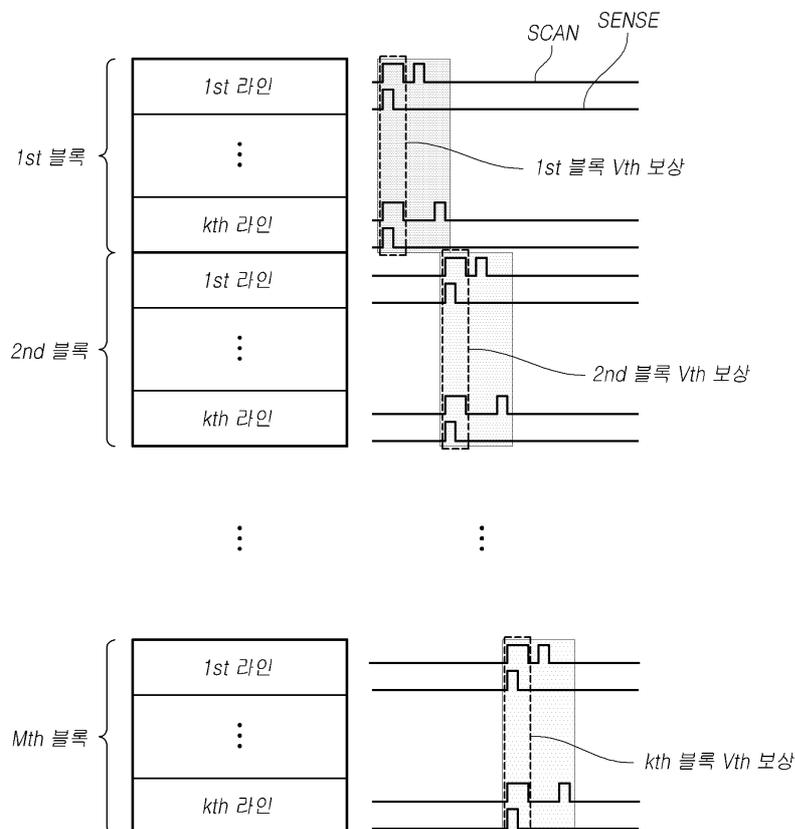
도면8



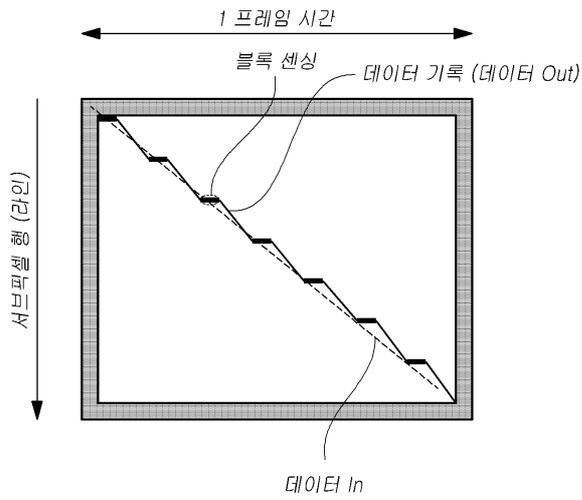
도면9



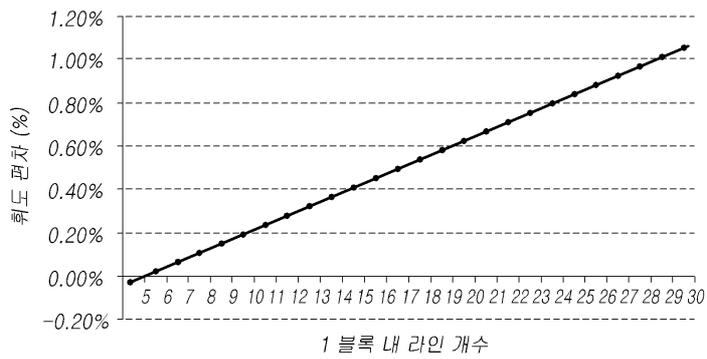
도면10



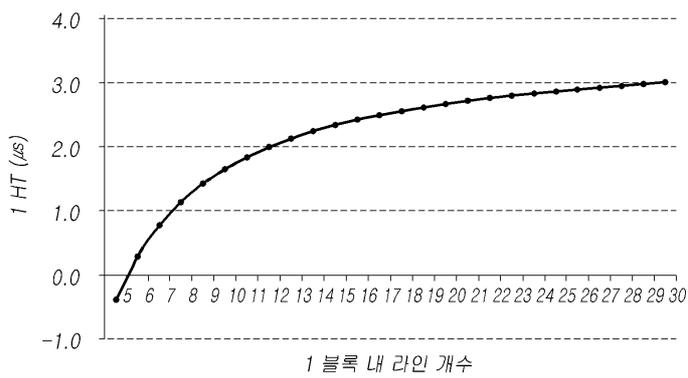
도면11



도면12

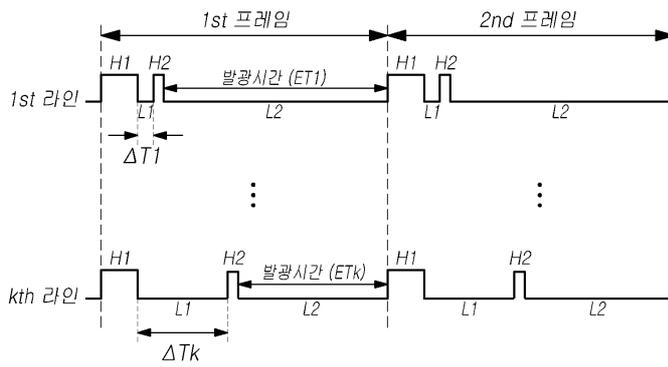


(a)

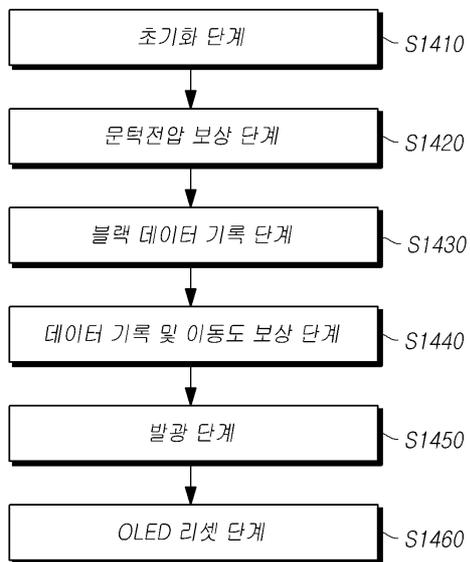


(b)

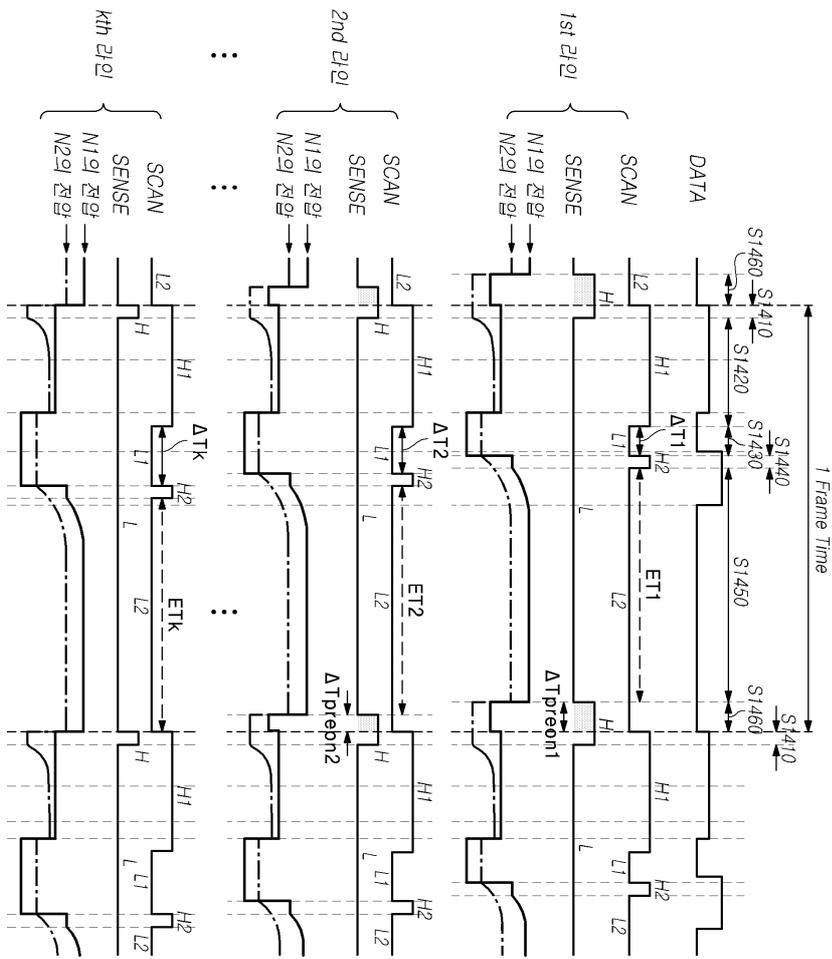
도면13



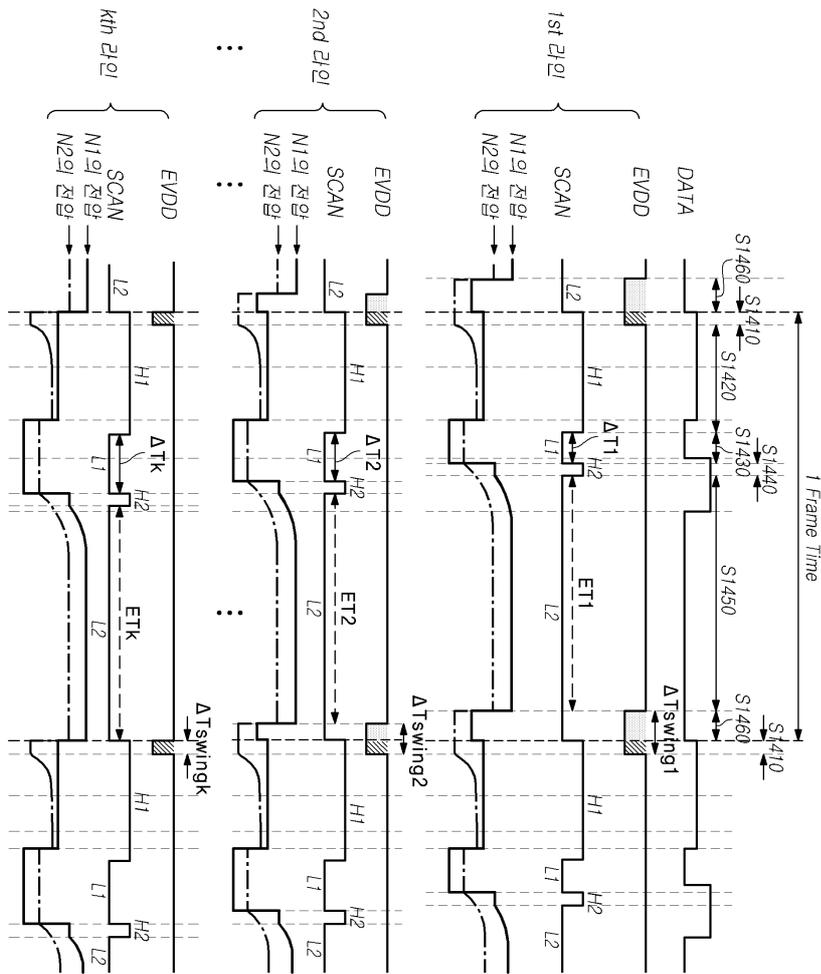
도면14



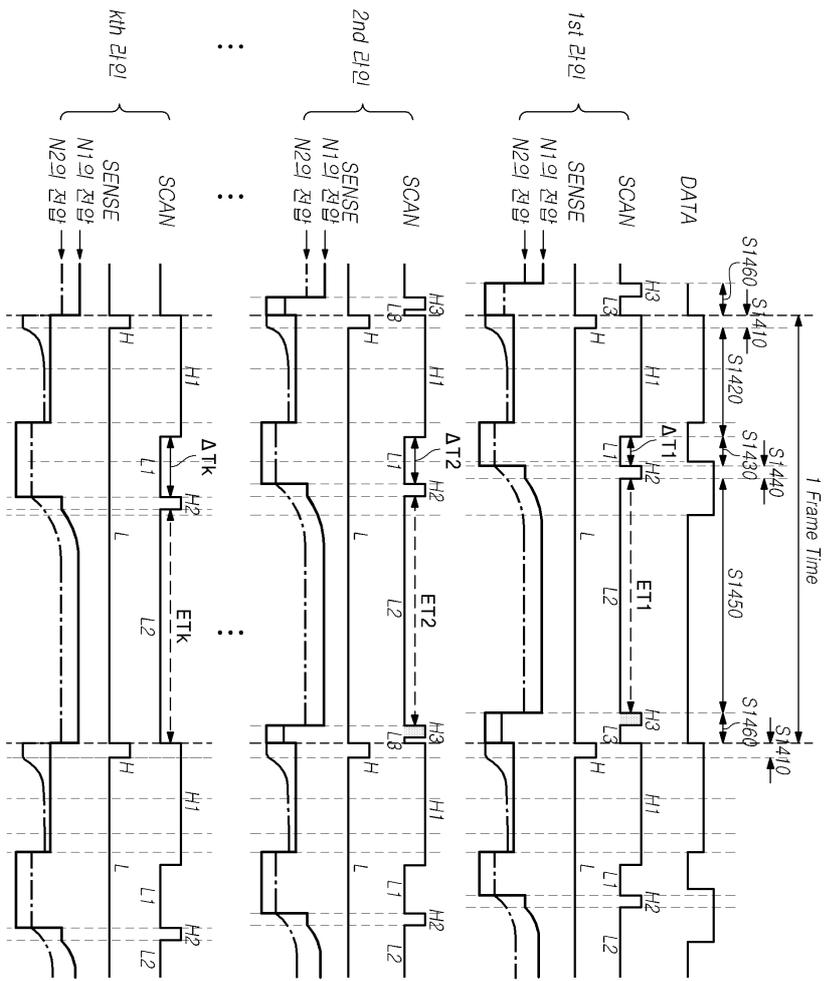
도면15



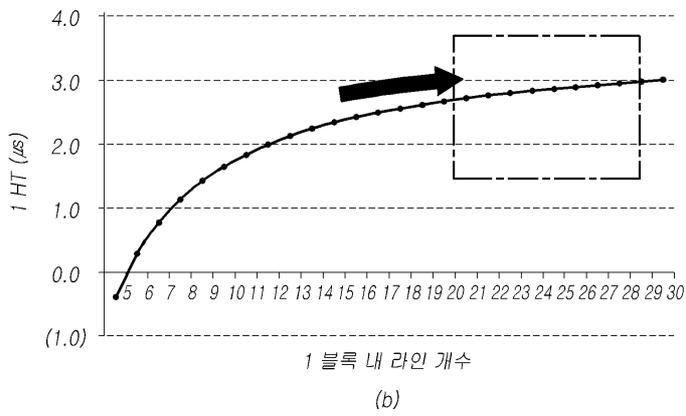
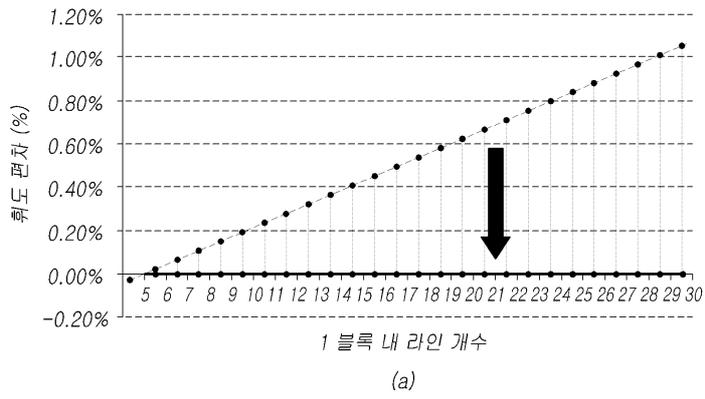
도면16



도면17



도면18



专利名称(译)	相关技术的描述		
公开(公告)号	KR1020160039065A	公开(公告)日	2016-04-08
申请号	KR1020140131901	申请日	2014-09-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK HYE MIN 박혜민 PARK HAE JIN 박해진 DO O SUNG 도오성		
发明人	박혜민 박해진 도오성		
IPC分类号	H01L27/32 H01L51/50		
CPC分类号	G09G3/3266 G09G3/3233 G09G2230/00 G09G2300/0452 G09G2310/08		
代理人(译)	Gimeungu 宋.		
外部链接	Espacenet		

摘要(译)

本实施例通过减少或消除每个块内的线(子像素行)之间的发光时间的偏差来减少或消除每个块内的线(子像素行)之间的发光时间的偏差,可以进一步增加每个块中的行数,即,减少驱动单元中的块数,而不产生亮度偏差,可以提供。

